



(21)申請案號：104125829

(22)申請日：中華民國 104 (2015) 年 08 月 07 日

(51)Int. Cl. : G06F12/02 (2006.01)

G11C16/14 (2006.01)

(71)申請人：群聯電子股份有限公司 (中華民國) PHISON ELECTRONICS CORP. (TW)
中華民國

(72)發明人：葉志剛 YEH, CHIH-KANG (TW)

(74)代理人：葉璟宗；詹東穎；劉亞君

(56)參考文獻：

TW 201351137A

TW 201519251A

US 2011/0128785A1

US 2013/0124794A1

審查人員：郭子意

申請專利範圍項數：24 項 圖式數：16 共 80 頁

(54)名稱

有效資料合併方法、記憶體控制器與記憶體儲存裝置

VALID DATA MERGING METHOD, MEMORY CONTROLLER AND MEMORY STORAGE APPARATUS

(57)摘要

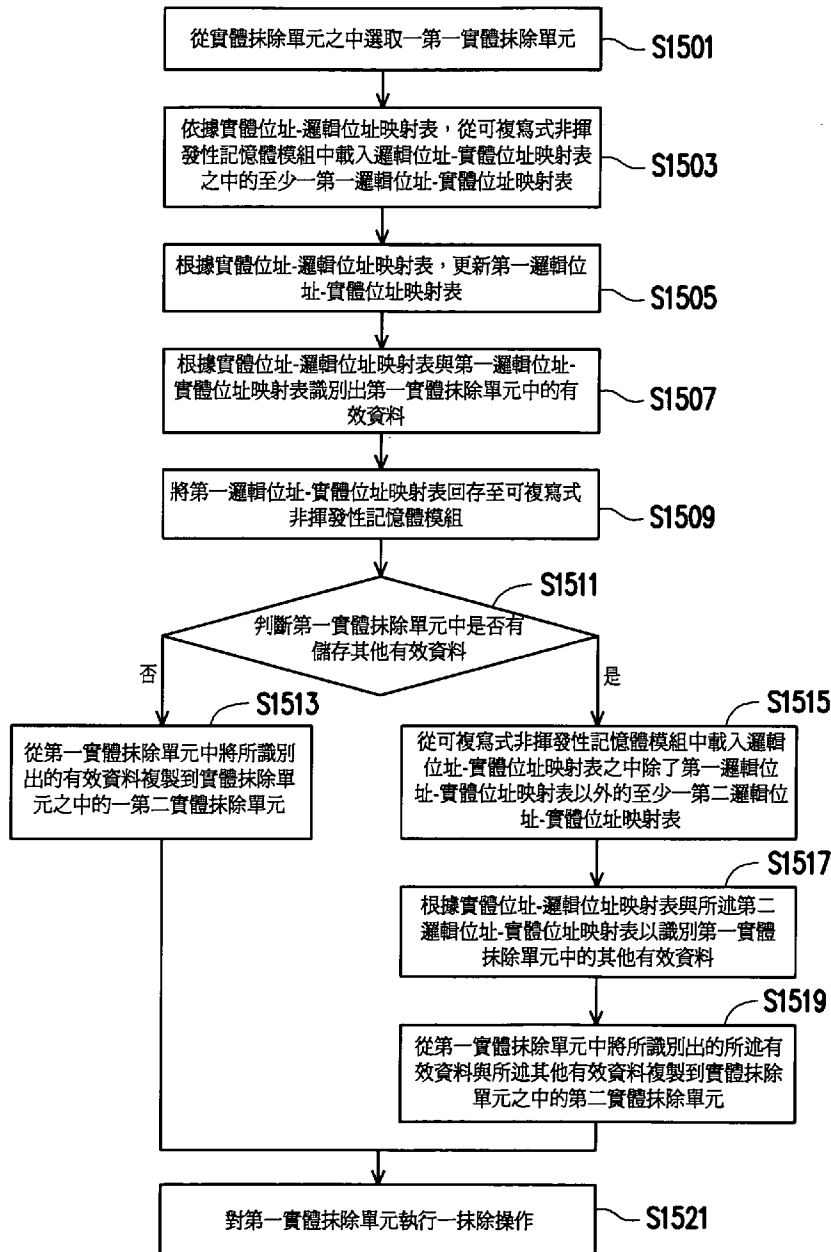
本發明提出一種有效資料合併方法、記憶體控制器與記憶體儲存裝置。本方法包括：選取一第一實體抹除單元，依據實體位址-邏輯位址映射表，載入第一邏輯位址-實體位址映射表。本發法還包括：根據實體位址-邏輯位址映射表，更新所述第一邏輯位址-實體位址映射表，根據實體位址-邏輯位址映射表與第一邏輯位址-實體位址映射表識別出該第一實體抹除單元中的有效資料。本方法更包括：儲存第一邏輯位址-實體位址映射表，將該有效資料複製到一第二實體抹除單元，並對第一實體抹除單元執行抹除操作。

A valid data merging method, a memory controller and a memory storage apparatus are provided. The method includes: choosing a first physical erasing unit, and loading at least one first logical address-physical address mapping table according to a physical address-logical address mapping table. The method also includes: updating the at least one first logical address-physical address mapping table according to the physical address-logical address mapping table and finding valid data of a first physical erasing unit according to the physical address-logical address mapping table and the at least one first logical address-physical address mapping table. The method further includes: saving the at least one first logical address-physical address mapping table, copying the valid data to a second physical erasing unit, and performing an erasing operation to the first physical erasing unit.

指定代表圖：

符號簡單說明：

S1501、S1503、
S1505、S1507、
S1509、S1511、
S1513、S1515、
S1517、S1519、
S1521...有效資料
合併方法的步驟



【圖15】



申請日: 104. 8. 07

公告本

【發明摘要】

IPC分類:

G16F 12/02

G11C 16/4

2006.01

2006.01

【中文發明名稱】

有效資料合併方法、記憶體控制器與記憶體儲存裝置

【英文發明名稱】

VALID DATA MERGING METHOD, MEMORY CONTROLLER
AND MEMORY STORAGE APPARATUS

【中文】

本發明提出一種有效資料合併方法、記憶體控制器與記憶體儲存裝置。本方法包括：選取一第一實體抹除單元，依據實體位址-邏輯位址映射表，載入第一邏輯位址-實體位址映射表。本發法還包括：根據實體位址-邏輯位址映射表，更新所述第一邏輯位址-實體位址映射表，根據實體位址-邏輯位址映射表與第一邏輯位址-實體位址映射表識別出該第一實體抹除單元中的有效資料。本方法更包括：儲存第一邏輯位址-實體位址映射表，將該有效資料複製到一第二實體抹除單元，並對第一實體抹除單元執行抹除操作。

【英文】

A valid data merging method, a memory controller and a memory storage apparatus are provided. The method includes: choosing a first physical erasing unit, and loading at least one first logical address-physical address mapping table according to a physical

address-logical address mapping table. The method also includes: updating the at least one first logical address-physical address mapping table according to the physical address-logical address mapping table and finding valid data of a first physical erasing unit according to the physical address-logical address mapping table and the at least one first logical address-physical address mapping table. The method further includes: saving the at least one first logical address-physical address mapping table, copying the valid data to a second physical erasing unit, and performing an erasing operation to the first physical erasing unit.

【指定代表圖】圖15。

【代表圖之符號簡單說明】

S1501、S1503、S1505、S1507、S1509、S1511、S1513、S1515、
S1517、S1519、S1521：有效資料合併方法的步驟

【發明說明書】

【中文發明名稱】

有效資料合併方法、記憶體控制器與記憶體儲存裝置

【英文發明名稱】

VALID DATA MERGING METHOD, MEMORY CONTROLLER
AND MEMORY STORAGE APPARATUS

【技術領域】

【0001】 本發明是有關於一種用於可複寫式非揮發性記憶體的有效資料合併方法及使用此方法的記憶體控制器與記憶體儲存裝置。

【先前技術】

【0002】 數位相機、手機與 MP3 在這幾年來的成長十分迅速，使得消費者對儲存媒體的需求也急速增加。由於可複寫式非揮發性記憶體(rewritable non-volatile memory)具有資料非揮發性、省電、體積小、無機械結構、讀寫速度快等特性，最適於可攜式電子產品，例如筆記型電腦。固態硬碟就是一種以快閃記憶體作為儲存媒體的記憶體儲存裝置。因此，近年快閃記憶體產業成為電子產業中相當熱門的一環。

【0003】 快閃記憶體模組具有多個實體抹除單元且每一實體抹除單元具有多個實體程式化單元(physical page)，其中在實體抹除單

元中寫入資料時必須依據實體程式化單元的順序寫入資料。此外，已被寫入資料之實體程式化單元需先被抹除後才能再次用於寫入資料。特別是，實體抹除單元為抹除之最小單位，並且實體程式化單元為程式化(亦稱寫入)的最小單元。因此，在快閃記憶體模組的管理中，實體抹除單元會被區分為資料區與閒置區。

【0004】 資料區的實體抹除單元是用以儲存主機系統所儲存之資料。具體來說，記憶體儲存裝置中的記憶體管理電路會將主機系統所存取的邏輯存取位址轉換為邏輯區塊的邏輯頁面並且將邏輯區塊的邏輯頁面映射至資料區的實體抹除單元的實體程式化單元。也就是說，快閃記憶體模組的管理上資料區的實體抹除單元是被視為已被使用之實體抹除單元(例如，已儲存主機系統所寫入的資料)。例如，記憶體管理電路會使用邏輯位址-實體位址映射表(logical address-physical address mapping table)來記載邏輯頁面與資料區的實體程式化單元的映射關係。

【0005】 閒置區的實體抹除單元是用以輪替資料區中的實體抹除單元。具體來說，如上所述，已被寫入資料的實體抹除單元必須被抹除後才可再次用於寫入資料，因此，閒置區的實體抹除單元是被設計用於寫入更新資料以替換映射邏輯區塊的實體抹除單元。基此，在閒置區中的實體抹除單元為空或者可用於寫入資料的實體抹除單元。

【0006】 在一般的寫入操作中，資料被寫入閒置區的實體抹除單元後，記憶體儲存裝置中的記憶體管理電路並不會立即更改邏輯

位址-實體位址映射表中邏輯頁面與實體程式化單元間的映射關係，而是藉由儲存在緩衝記憶體中的一實體位址-邏輯位址映射表 (physical address-logical address mapping table)，來儲存對應於寫入操作的映射資訊。具體來說，在一寫入操作中，記憶體管理電路會將更新資料寫入至閒置區中的一實體抹除單元中(亦稱為，作動實體抹除單元)，並在實體位址-邏輯位址映射表中紀錄關於此寫入操作的邏輯頁面以及用於儲存其更新資料的實體程式化單元兩者間的映射資訊。在適當時機，例如主機系統處於一段閒置時間或實體位址-邏輯位址映射表被寫滿時，記憶體管理電路才會根據實體位址-邏輯位址映射表中的映射資訊，載入對應的邏輯位址-實體位址映射表以進行邏輯頁面與實體程式化單元間映射資訊的更新。

【0007】此外，當閒置區中閒置的實體抹除單元的個數為非大於一預先定義值時，記憶體管理電路會執行一有效資料合併程序。具體來說，當閒置區中閒置的實體抹除單元的個數為非大於一預先定義值時，代表閒置區中可用於寫入的實體抹除單元已不夠用，而記憶體管理電路亦會藉由載入邏輯位址-實體位址映射表來執行資料合併程序，以釋放更多的空間給閒置區。

【0008】由於實體位址-邏輯位址映射表的儲存空間通常為對應於閒置區中被挑選用來寫入更新資料的作動實體抹除單元的大小或倍數，因此當實體位址-邏輯位址映射表被寫滿時，時常伴隨著作動實體抹除單元被寫入操作的更新資料寫滿的情況發生。倘若作

動實體抹除單元被更新資料寫滿且閒置區中閒置的實體抹除單元的個數非大於一預先定義值時，記憶體管理電路會執行上述的有效資料合併程序。也就是說，在進行有效資料合併程序之前，經常會搭配實體位址-邏輯位址映射表的清除運作以更新邏輯位址-實體位址映射表。由於傳統的方法兩者為互相獨立的機制，在兩者皆需載入邏輯位址-實體位址映射表至緩衝記憶體中的情況下，可能會有相同的邏輯位址-實體位址映射表被重複載入至緩衝記憶體的情形，進而造成主機系統等待回應的時間過長。

【發明內容】

【0009】 本發明提供一種本發明提供一種資料管理方法、記憶體控制器與記憶體儲存裝置，其能夠有效地降低在執行清除實體位址-邏輯位址映射表的運作及執行有效資料合併時所造成的延遲。

【0010】 本發明一範例實施例提出一種有效資料合併方法，此方法適用於可複寫式非揮發性記憶體模組，其中此可複寫式非揮發性記憶體模組具有多個實體抹除單元，每一實體抹除單元具有多個實體程式化單元，多個邏輯位址-實體位址映射表被儲存在可複寫式非揮發性記憶體模組中以記錄多個邏輯位址與實體程式化單元之間的映射資訊。本有效資料合併方法包括：從實體抹除單元之中選取一第一實體抹除單元；依據實體位址-邏輯位址映射表，從可複寫式非揮發性記憶體模組中載入邏輯位址-實體位址映射表之中的至少一第一邏輯位址-實體位址映射表；根據實體位址-

邏輯位址映射表，更新第一邏輯位址-實體位址映射表；根據實體位址-邏輯位址映射表與第一邏輯位址-實體位址映射表識別出第一實體抹除單元中的有效資料；將第一邏輯位址-實體位址映射表回存至可複寫式非揮發性記憶體模組；從第一實體抹除單元中將所識別出的有效資料複製到實體抹除單元之中的一第二實體抹除單元；以及對第一實體抹除單元執行一抹除操作。

【0011】 在本發明的一範例實施例中，在上述對第一實體抹除單元執行抹除操作的步驟之前包括：倘若第一實體抹除單元中有儲存其他有效資料，從可複寫式非揮發性記憶體模組中載入邏輯位址-實體位址映射表之中除了第一邏輯位址-實體位址映射表以外的至少一第二邏輯位址-實體位址映射表，根據實體位址-邏輯位址映射表與所述第二邏輯位址-實體位址映射表以識別出第一實體抹除單元中的其他有效資料，從第一實體抹除單元中將所識別出的所述其他有效資料複製到實體抹除單元之中的第二實體抹除單元。

【0012】 在本發明的一範例實施例中，上述的有效資料合併方法更包括在緩衝記憶體中建立實體位址-邏輯位址映射表，其中此實體位址-邏輯位址映射表記錄實體抹除單元之中的一作動實體抹除單元的實體程式化單元與邏輯位址之中的已更新邏輯位址之間的映射資訊，其中所述第一邏輯位址-實體位址映射表是記錄有對應已更新邏輯位址的映射資訊。

【0013】 在本發明的一範例實施例中，上述的有效資料合併方法

更包括依據實體抹除單元中的有效資料的數量記錄每一實體抹除單元的有效資料計數。

【0014】 在本發明的一範例實施例中，上述的有效資料合併方法更包括建立有效資料計數表以記錄每一實體抹除單元的有效資料計數。

【0015】 在本發明的一範例實施例中，上述的有效資料合併方法更包括實體抹除單元至少被分組為一資料區與一閒置區，且閒置區的實體抹除單元用以替換資料區的實體抹除單元以寫入資料。

【0016】 在本發明的一範例實施例中，上述從實體抹除單元之中選取第一實體抹除單元的步驟包括：從資料區中選取第一實體抹除單元，其中此第一實體抹除單元的有效資料計數小於資料區中的其他實體抹除單元的有效資料計數。

【0017】 在本發明的一範例實施例中，上述的有效資料合併方法更包括判斷閒置區中的實體抹除單元的數目是否非大於一預先定義值。上述的有效資料合併方法更包括倘若閒置區中的實體抹除單元的數目非大於預先定義值，從實體抹除單元之中選取第一實體抹除單元，依據實體位址-邏輯位址映射表，從可複寫式非揮發性記憶體模組中載入邏輯位址-實體位址映射表之中的所述第一邏輯位址-實體位址映射表，根據實體位址-邏輯位址映射表，更新第一邏輯位址-實體位址映射表，根據實體位址-邏輯位址映射表與第一邏輯位址-實體位址映射表識別出第一實體抹除單元中的有效資料，並將第一邏輯位址-實體位址映射表回存至可複寫式非揮

發性記憶體模組，從第一實體抹除單元中將所識別出的有效資料複製到實體抹除單元之中的第二實體抹除單元，並對第一實體抹除單元執行抹除操作；以及倘若閒置區中的實體抹除單元的數目大於預先定義值，依據實體位址-邏輯位址映射表，從可複寫式非揮發性記憶體模組中載入邏輯位址-實體位址映射表之中的第一邏輯位址-實體位址映射表，根據實體位址-邏輯位址映射表，更新所述第一邏輯位址-實體位址映射表。

● **【0018】** 本發明一範例實施例提供一種用於控制可複寫式非揮發性記憶體模組的記憶體控制器，其中可複寫式非揮發性記憶體模組具有多個實體抹除單元，每一實體抹除單元具有多個實體程式化單元，且多個邏輯位址-實體位址映射表被儲存在可複寫式非揮發性記憶體模組中以記錄多個邏輯位址與實體程式化單元之間的映射資訊。此記憶體控制器包括：用以耦接至主機系統的主機介面；用以耦接至可複寫式非揮發性記憶體模組的記憶體介面；以及耦接至主機介面與記憶體介面的記憶體管理電路。記憶體管理電路用以從實體抹除單元之中選取一第一實體抹除單元，依據實體位址-邏輯位址映射表，從可複寫式非揮發性記憶體模組中載入邏輯位址-實體位址映射表之中的至少一第一邏輯位址-實體位址映射表，根據實體位址-邏輯位址映射表，更新第一邏輯位址-實體位址映射表，根據實體位址-邏輯位址映射表與第一邏輯位址-實體位址映射表識別出第一實體抹除單元中的有效資料。此外，其中記憶體管理電路更用以將第一邏輯位址-實體位址映射表回存至

該可複寫式非揮發性記憶體模組，從第一實體抹除單元中將所識別出的有效資料複製到實體抹除單元之中的一第二實體抹除單元，並對第一實體抹除單元執行一抹除操作。

【0019】 在本發明的一範例實施例中，其中在上述記憶體管理電路對第一實體抹除單元執行抹除操作的運作之前包括：倘若該第一實體抹除單元中有儲存其他有效資料，記憶體管理電路更用以從可複寫式非揮發性記憶體模組中載入邏輯位址-實體位址映射表之中除了第一邏輯位址-實體位址映射表以外的至少一第二邏輯位址-實體位址映射表，根據實體位址-邏輯位址映射表與所述第二邏輯位址-實體位址映射表以識別出第一實體抹除單元中的其他有效資料，從第一實體抹除單元中將所識別出的所述其他有效資料複製到實體抹除單元之中的第二實體抹除單元。

【0020】 在本發明的一範例實施例中，上述記憶體管理電路更用以在緩衝記憶體中建立上述實體位址-邏輯位址映射表，其中此實體位址-邏輯位址映射表記錄實體抹除單元之中的作動實體抹除單元的實體程式化單元與邏輯位址之中的多個已更新邏輯位址之間的映射資訊。並且，上述第一邏輯位址-實體位址映射表是記錄有對應已更新邏輯位址的映射資訊。

【0021】 在本發明的一範例實施例中，上述記憶體管理電路更用以依據實體抹除單元中的有效資料的數量記錄每一實體抹除單元的有效資料計數。

【0022】 在本發明的一範例實施例中，上述記憶體管理電路更用

以建立一有效資料計數表以記錄每一實體抹除單元的有效資料計數。

【0023】 在本發明的一範例實施例中，上述記憶體管理電路更用以將實體抹除單元至少分組為資料區與閒置區，且閒置區的實體抹除單元用以替換該資料區的實體抹除單元以寫入資料。

【0024】 在本發明的一範例實施例中，在上述從實體抹除單元之中選取第一實體抹除單元的運作中，上述記憶體管理電路更用以從該資料區中選取此第一實體抹除單元，其中第一實體抹除單元的有效資料計數小於資料區中的其他實體抹除單元的有效資料計數。

【0025】 在本發明的一範例實施例中，上述記憶體管理電路更用以判斷閒置區中的實體抹除單元的數目是否非大於預先定義值。倘若閒置區中的實體抹除單元的數目非大於預先定義值，記憶體管理電路從實體抹除單元之中選取第一實體抹除單元，依據實體位址-邏輯位址映射表從可複寫式非揮發性記憶體模組中載入邏輯位址-實體位址映射表之中的至少一第一邏輯位址-實體位址映射表，根據實體位址-邏輯位址映射表更新第一邏輯位址-實體位址映射表，根據實體位址-邏輯位址映射表與第一邏輯位址-實體位址映射表識別出第一實體抹除單元中的有效資料，將第一邏輯位址-實體位址映射表回存至可複寫式非揮發性記憶體模組，從第一實體抹除單元中將所識別出的有效資料複製到實體抹除單元之中的第二實體抹除單元，並對該第一實體抹除單元執行抹除操作。倘

若閒置區中的實體抹除單元的數目大於預先定義值，記憶體管理電路依據實體位址-邏輯位址映射表從可複寫式非揮發性記憶體模組中載入邏輯位址-實體位址映射表之中的至少一第一邏輯位址-實體位址映射表，根據實體位址-邏輯位址映射表更新所述第一邏輯位址-實體位址映射表。

【0026】本發明的一範例實施例提供一種記憶體儲存裝置，其包括：用以耦接至主機系統的连接器、可複寫式非揮發性記憶體模組與記憶體控制器。可複寫式非揮發性記憶體模組具有多個實體抹除單元且每一實體抹除單元具有多個實體程式化單元，多個邏輯位址-實體位址映射表被儲存在此可複寫式非揮發性記憶體模組中以記錄多個邏輯位址與實體程式化單元之間的映射資訊。記憶體控制器耦接至连接器與可複寫式非揮發性記憶體模組，記憶體控制器用以從實體抹除單元之中選取一第一實體抹除單元並且依據實體位址-邏輯位址映射表，從可複寫式非揮發性記憶體模組中載入邏輯位址-實體位址映射表之中的至少一第一邏輯位址-實體位址映射表。此外，記憶體控制器更用以根據實體位址-邏輯位址映射表，更新第一邏輯位址-實體位址映射表，並根據實體位址-邏輯位址映射表與第一邏輯位址-實體位址映射表識別出第一實體抹除單元中的有效資料。再者，記憶體控制器更用以根據實體位址-邏輯位址映射表與第一邏輯位址-實體位址映射表識別出第一實體抹除單元中的有效資料，並將第一邏輯位址-實體位址映射表回存至可複寫式非揮發性記憶體模組，從第一實體抹除單元中

將所識別出的有效資料複製到實體抹除單元之中的一第二實體抹除單元，記憶體控制器更用以對第一實體抹除單元執行一抹除操作。

【0027】 在本發明的一範例實施例中，其中上述該記憶體控制器對第一實體抹除單元執行抹除操作的運作之前包括：倘若第一實體抹除單元中有儲存其他有效資料，該記憶體管理電路從可複寫式非揮發性記憶體模組中載入邏輯位址-實體位址映射表之中除了第一邏輯位址-實體位址映射表以外的至少一第二邏輯位址-實體位址映射表，根據實體位址-邏輯位址映射表與所述第二邏輯位址-實體位址映射表以識別出第一實體抹除單元中的其他有效資料，從第一實體抹除單元中將所識別出的所述其他有效資料複製到實體抹除單元之中的第二實體抹除單元。

【0028】 在本發明的一範例實施例中，上述記憶體控制器更用以在緩衝記憶體中建立上述實體位址-邏輯位址映射表，其中此實體位址-邏輯位址映射表記錄實體抹除單元之中的一作動實體抹除單元的實體程式化單元與邏輯位址之中的已更新邏輯位址之間的映射資訊。並且，上述第一邏輯位址-實體位址映射表是記錄有對應已更新邏輯位址的映射資訊。

【0029】 在本發明的一範例實施例中，上述記憶體控制器更用以依據實體抹除單元中的有效資料的數量記錄每一實體抹除單元的有效資料計數。

【0030】 在本發明的一範例實施例中，上述記憶體控制器更用以

建立有效資料計數表以記錄每一實體抹除單元的有效資料計數。

【0031】 在本發明的一範例實施例中，上述記憶體控制器更用以將實體抹除單元至少分組為資料區與閒置區，且閒置區的實體抹除單元用以替換該資料區的實體抹除單元以寫入資料。

【0032】 在本發明的一範例實施例中，在上述從實體抹除單元之中選取第一實體抹除單元的運作中，上述記憶體控制器更用以從該資料區中選取此第一實體抹除單元，其中第一實體抹除單元的有效資料計數小於資料區中的其他實體抹除單元的有效資料計數。

【0033】 在本發明的一範例實施例中，上述記憶體控制器更用以判斷閒置區中的實體抹除單元的數目是否非大於預先定義值。倘若閒置區中的實體抹除單元的數目非大於預先定義值，記憶體控制器從實體抹除單元之中選取第一實體抹除單元，依據實體位址-邏輯位址映射表從可複寫式非揮發性記憶體模組中載入邏輯位址-實體位址映射表之中的至少一第一邏輯位址-實體位址映射表，根據實體位址-邏輯位址映射表更新第一邏輯位址-實體位址映射表，根據實體位址-邏輯位址映射表與第一邏輯位址-實體位址映射表識別出第一實體抹除單元中的有效資料，將第一邏輯位址-實體位址映射表回存至可複寫式非揮發性記憶體模組，從第一實體抹除單元中將所識別出的有效資料複製到該些實體抹除單元之中的第二實體抹除單元，並對第一實體抹除單元執行抹除操作。倘若閒置區中的實體抹除單元的數目大於預先定義值，記憶體控制器

依據實體位址-邏輯位址映射表從可複寫式非揮發性記憶體模組中載入邏輯位址-實體位址映射表之中的至少一第一邏輯位址-實體位址映射表，根據實體位址-邏輯位址映射表更新所述第一邏輯位址-實體位址映射表。

【0034】 基於上述，綜上所述，本發明藉由分段地載入邏輯位址-實體位址映射表，執行邏輯位址-實體位址映射表映射資訊的更新以及執行資料合併程序，以避免相同的邏輯位址-實體位址映射表被重複載入，並有效解決主機系統延遲時間過長的問題。

【0035】 為讓本發明的上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

【圖式簡單說明】

【0036】

圖 1 是根據一範例實施例所繪示的主機系統與記憶體儲存裝置。

圖 2 是根據本發明範例實施例所繪示的電腦、輸入/輸出裝置與記憶體儲存裝置的示意圖。

圖 3 是根據本發明範例實施例所繪示的主機系統與記憶體儲存裝置的示意圖。

圖 4 是繪示圖 1 所示的記憶體儲存裝置的概要方塊圖。

圖 5 是根據一範例實施例所繪示之記憶體控制器的概要方塊圖。

圖 6 與圖 7 是根據一範例實施例所繪示之管理實體區塊的範例示意圖。

圖 8A~圖 8C 是繪示資料寫入的簡化範例。

圖 9A~圖 9C 是繪示資料寫入的簡化範例。

圖 10A~圖 10C 是繪示資料寫入的簡化範例。

圖 11A~圖 11C 是繪示資料寫入的簡化範例。

圖 12A~圖 12C 是繪示有效資料合併方法的簡化範例。

圖 13A~圖 13C 是繪示有效資料合併方法的簡化範例。

圖 14A~圖 14C 是繪示有效資料合併方法的簡化範例。

圖 15 是根據一範例實施例所繪示的資料管理方法的流程圖。

圖 16 是根據另一範例實施例所繪示的資料管理方法的流程圖。

【實施方式】

【0037】 一般而言，記憶體儲存裝置(亦稱，記憶體儲存系統)包括可複寫式非揮發性記憶體模組與控制器(亦稱，控制電路)。通常記憶體儲存裝置是與主機系統一起使用，以使主機系統可將資料寫入至記憶體儲存裝置或從記憶體儲存裝置中讀取資料。

【0038】 圖 1 是根據一範例實施例所繪示的主機系統與記憶體儲存裝置。

【0039】 請參照圖 1，主機系統 1000 一般包括電腦 1100 與輸入/輸出(input/output, I/O)裝置 1106。電腦 1100 包括微處理器 1102、

隨機存取記憶體(random access memory, RAM) 1104、系統匯流排 1108 與資料傳輸介面 1110。輸入/輸出裝置 1106 包括如圖 2 的滑鼠 1202、鍵盤 1204、顯示器 1206 與印表機 1208。必須瞭解的是，圖 2 所示的裝置非限制輸入/輸出裝置 1106，輸入/輸出裝置 1106 可更包括其他裝置。

【0040】 在本發明實施例中，記憶體儲存裝置 100 是透過資料傳輸介面 1110 與主機系統 1000 的其他元件耦接。藉由微處理器 1102、隨機存取記憶體 1104 與輸入/輸出裝置 1106 的運作可將資料寫入至記憶體儲存裝置 100 或從記憶體儲存裝置 100 中讀取資料。例如，記憶體儲存裝置 100 可以是如圖 2 所示的隨身碟 1212、記憶卡 1214 或固態硬碟(Solid State Drive, SSD)1216 等的可複寫式非揮發性記憶體儲存裝置。

【0041】 一般而言，主機系統 1000 為可實質地與記憶體儲存裝置 100 配合以儲存資料的任意系統。雖然在本範例實施例中，主機系統 1000 是以電腦系統來作說明，然而，在本發明另一範例實施例中主機系統 1000 可以是數位相機、攝影機、通信裝置、音訊播放器或視訊播放器等系統。例如，在主機系統為數位相機(攝影機)1310 時，可複寫式非揮發性記憶體儲存裝置則為其所使用的 SD 卡 1312、MMC 卡 1314、記憶棒(memory stick)1316、CF 卡 1318 或嵌入式儲存裝置 1320(如圖 3 所示)。嵌入式儲存裝置 1320 包括嵌入式多媒體卡(Embedded MMC, eMMC)。值得一提的是，嵌入式多媒體卡是直接耦接於主機系統的基板上。

【0042】 圖 4 是繪示圖 1 所示的記憶體儲存裝置的概要方塊圖。

【0043】 請參照圖 4，記憶體儲存裝置 100 包括連接器 102、記憶體控制器 104 與可複寫式非揮發性記憶體模組 106。

【0044】 在本範例實施例中，連接器 102 是相容於序列先進附件 (Serial Advanced Technology Attachment, SATA) 標準。然而，必須瞭解的是，本發明不限於此，連接器 102 亦可以是符合並列先進附件 (Parallel Advanced Technology Attachment, PATA) 標準、電氣和電子工程師協會 (Institute of Electrical and Electronic Engineers, IEEE) 1394 標準、高速周邊零件連接介面 (Peripheral Component Interconnect Express, PCI Express) 標準、通用序列匯流排 (Universal Serial Bus, USB) 標準、超高速一代 (Ultra High Speed-I, UHS-I) 介面標準、超高速二代 (Ultra High Speed-II, UHS-II) 介面標準、安全數位 (Secure Digital, SD) 介面標準、記憶棒 (Memory Stick, MS) 介面標準、多媒體儲存卡 (Multi Media Card, MMC) 介面標準、小型快閃 (Compact Flash, CF) 介面標準、整合式驅動電子介面 (Integrated Device Electronics, IDE) 標準或其他適合的標準。

【0045】 記憶體控制器 104 用以執行以硬體型式或軟體型式實作的多個邏輯閘或控制指令，並且根據主機系統 1000 的指令在可複寫式非揮發性記憶體模組 106 中進行資料的寫入、讀取與抹除等運作。

【0046】 可複寫式非揮發性記憶體模組 106 是耦接至記憶體控制器 104，並且用以儲存主機系統 1000 所寫入之資料。可複寫式非

揮發性記憶體模組 106 具有實體抹除單元 410(0)~ 410(N)。例如，實體抹除單元 410(0)~410(N)可屬於同一個記憶體晶粒(die)或者屬於不同的記憶體晶粒。每一實體抹除單元分別具有複數個實體程式化單元，其中屬於同一個實體抹除單元之實體程式化單元可被獨立地寫入且被同時地抹除。然而，必須瞭解的是，本發明不限於此，每一實體抹除單元是可由 64 個實體程式化單元、256 個實體程式化單元或其他任意個實體程式化單元所組成。

● **【0047】** 更詳細來說，實體抹除單元為抹除之最小單位。亦即，每一實體抹除單元含有最小數目之一併被抹除之記憶胞。實體程式化單元為程式化的最小單元。即，實體程式化單元為寫入資料的最小單元。每一實體程式化單元通常包括資料位元區與冗餘位元區。資料位元區包含多個實體存取位址用以儲存使用者的資料，而冗餘位元區用以儲存系統的資料（例如，控制資訊與錯誤更正碼）。在本範例實施例中，每一個實體程式化單元的資料位元區中會包含 4 個實體存取位址，且一個實體存取位址的大小為 512 位元組(byte)。然而，在其他範例實施例中，資料位元區中也可包含數目更多或更少的實體存取位址，本發明並不限制實體存取位址的大小以及個數。例如，在一範例實施例中，實體抹除單元為實體區塊，並且實體程式化單元為實體頁面或實體扇區，但本發明不以此為限。

● **【0048】** 在本範例實施例中，可複寫式非揮發性記憶體模組 106 為多階記憶胞（Multi Level Cell，MLC）NAND 型快閃記憶體模

組（即，一個記憶胞中可儲存 2 個位元資料的快閃記憶體模組）。然而，本發明不限於此，可複寫式非揮發性記憶體模組 106 亦可是單階記憶胞（Single Level Cell，SLC）NAND 型快閃記憶體模組（即，一個記憶胞中可儲存 1 個位元資料的快閃記憶體模組）、複數階記憶胞（Trinary Level Cell，TLC）NAND 型快閃記憶體模組（即，一個記憶胞中可儲存 3 個位元資料的快閃記憶體模組）、其他快閃記憶體模組或其他具有相同特性的記憶體模組。

【0049】 圖 5 是根據一範例實施例所繪示之記憶體控制器的概要方塊圖。

【0050】 請參照圖 5，記憶體控制器 104 包括記憶體管理電路 202、主機介面 204 與記憶體介面 206。

【0051】 記憶體管理電路 202 用以控制記憶體控制器 104 的整體運作。具體來說，記憶體管理電路 202 具有多個控制指令，並且在記憶體儲存裝置 100 運作時，這些控制指令會被執行以進行資料的寫入、讀取與抹除等運作。

【0052】 在本範例實施例中，記憶體管理電路 202 的控制指令是以韌體型式來實作。例如，記憶體管理電路 202 具有微處理器單元(未繪示)與唯讀記憶體(未繪示)，並且這些控制指令是被燒錄至此唯讀記憶體中。當記憶體儲存裝置 100 運作時，這些控制指令會由微處理器單元來執行以進行資料的寫入、讀取與抹除等運作。

【0053】 在本發明另一範例實施例中，記憶體管理電路 202 的控制指令亦可以程式碼型式儲存於可複寫式非揮發性記憶體模組

106 的特定區域(例如，記憶體模組中專用於存放系統資料的系統區)中。此外，記憶體管理電路 202 具有微處理器單元(未繪示)、唯讀記憶體(未繪示)及隨機存取記憶體(未繪示)。特別是，此唯讀記憶體具有驅動碼，並且當記憶體控制器 104 被致能時，微處理器單元會先執行此驅動碼段來將儲存於可複寫式非揮發性記憶體模組 106 中之控制指令載入至記憶體管理電路 202 的隨機存取記憶體中。之後，微處理器單元會運轉此些控制指令以進行資料的寫入、讀取與抹除等運作。

【0054】此外，在本發明另一範例實施例中，記憶體管理電路 202 的控制指令亦可以一硬體型式來實作。例如，記憶體管理電路 202 包括微控制器、記憶體管理電路、記憶體寫入電路、記憶體讀取電路、記憶體抹除電路與資料處理電路。記憶體管理電路、記憶體寫入電路、記憶體讀取電路、記憶體抹除電路與資料處理電路是耦接至微控制器。其中，記憶體管理電路用以管理可複寫式非揮發性記憶體模組 106 的實體抹除單元；記憶體寫入電路用以對可複寫式非揮發性記憶體模組 106 下達寫入指令以將資料寫入至可複寫式非揮發性記憶體模組 106 中；記憶體讀取電路用以對可複寫式非揮發性記憶體模組 106 下達讀取指令以從可複寫式非揮發性記憶體模組 106 中讀取資料；記憶體抹除電路用以對可複寫式非揮發性記憶體模組 106 下達抹除指令以將資料從可複寫式非揮發性記憶體模組 106 中抹除；而資料處理電路用以處理欲寫入至可複寫式非揮發性記憶體模組 106 的資料以及從可複寫式非揮

發性記憶體模組 106 中讀取的資料。

【0055】 主機介面 204 是耦接至記憶體管理電路 202 並且用以接收與識別主機系統 1000 所傳送的指令與資料。也就是說，主機系統 1000 所傳送的指令與資料會透過主機介面 204 來傳送至記憶體管理電路 202。在本範例實施例中，主機介面 204 是相容於 SATA 標準。然而，必須瞭解的是本發明不限於此，主機介面 204 亦可以是相容於 PATA 標準、IEEE 1394 標準、PCI Express 標準、USB 標準、UHS-I 介面標準、UHS-II 介面標準、SD 標準、MS 標準、MMC 標準、CF 標準、IDE 標準或其他適合的資料傳輸標準。

【0056】 記憶體介面 206 是耦接至記憶體管理電路 202 並且用以存取可複寫式非揮發性記憶體模組 106。也就是說，欲寫入至可複寫式非揮發性記憶體模組 106 的資料會經由記憶體介面 206 轉換為可複寫式非揮發性記憶體模組 106 所能接受的格式。

【0057】 在本發明一範例實施例中，記憶體控制器 104 還包括緩衝記憶體 208、電源管理電路 210 與錯誤檢查與校正電路 212。

【0058】 緩衝記憶體 208 是耦接至記憶體管理電路 202 並且用以暫存來自於主機系統 1000 的資料與指令或來自於可複寫式非揮發性記憶體模組 106 的資料。在本範例實施例中，緩衝記憶體 208 更用以儲存實體位址-邏輯位址映射表，所述實體位址-邏輯位址映射表用於記錄實體抹除單元之中的作動實體抹除單元的實體程式化單元與邏輯位址中的多個已更新邏輯位址之間的映射資訊。具體來說，當主機系統 1000 欲寫入更新資料至可複寫式非揮發性記

記憶體模組 106 時，記憶體管理電路 202 會將該更新資料儲存至可複寫式非揮發性記憶體模組 106 的閒置區的一作動實體抹除單元中，並在實體位址-邏輯位址映射表中紀錄關於此寫入操作的邏輯頁面以及該作動實體抹除單元中用於儲存其更新資料的實體程式化單元兩者間的映射資訊。

【0059】 電源管理電路 210 是耦接至記憶體管理電路 202 並且用以控制記憶體儲存裝置 100 的電源。

● 【0060】 錯誤檢查與校正電路 212 是耦接至記憶體管理電路 202 並且用以執行錯誤檢查與校正程序以確保資料的正確性。具體來說，當記憶體管理電路 202 從主機系統 1000 中接收到寫入指令時，錯誤檢查與校正電路 212 會為對應此寫入指令的資料產生對應的錯誤檢查與校正碼(Error Checking and Correcting Code, ECC Code)，並且記憶體管理電路 202 會將對應此寫入指令的資料與對應的錯誤檢查與校正碼寫入至可複寫式非揮發性記憶體模組 106 中。之後，當記憶體管理電路 202 從可複寫式非揮發性記憶體模組 106 中讀取資料時會同時讀取此資料對應的錯誤檢查與校正碼，並且錯誤檢查與校正電路 212 會依據此錯誤檢查與校正碼對所讀取的資料執行錯誤檢查與校正程序。

● 【0061】 圖 6 與圖 7 是根據一範例實施例所繪示之管理實體抹除單元的範例示意圖。

【0062】 請參照圖 6，記憶體控制器 104(或記憶體管理電路 202) 會將實體抹除單元 410(0)~410(N)邏輯地分組為資料區 502、閒置

區 504、系統區 506 與取代區 508。

【0063】 邏輯上屬於資料區 502 與閒置區 504 的實體抹除單元是用以儲存來自於主機系統 1000 的資料。具體來說，資料區 502 的實體抹除單元是被視為已儲存資料的實體抹除單元，而閒置區 504 的實體抹除單元是用以替換資料區 502 的實體抹除單元。也就是說，當從主機系統 1000 接收到寫入指令與欲寫入之資料時，記憶體管理電路 202 會從閒置區 504 中提取實體抹除單元，並且將資料寫入至所提取的實體抹除單元中，以替換資料區 502 的實體抹除單元。

【0064】 邏輯上屬於系統區 506 的實體抹除單元是用以記錄系統資料。例如，系統資料包括關於可複寫式非揮發性記憶體模組的製造商與型號、可複寫式非揮發性記憶體模組的實體抹除單元數、每一實體抹除單元的實體程式化單元數等。在本範例實施例中，系統區 506 更用於儲存一有效資料計數表，所述有效資料計數表用於記錄資料區 502 中實體抹除單元 410(0)~410(F-1)的有效資料計數，其中所述有效資料計數為一實體抹除單元中儲存有效資料的實體程式化單元的個數。然而在一範例實施例中，所述有效資料計數表更可以被用於記錄可複寫式非揮發性記憶體模組 106 中所有的實體抹除單元 410(0)~410(N)的有效資料計數。

【0065】 邏輯上屬於取代區 508 中的實體抹除單元是用於壞實體抹除單元取代程序，以取代損壞的實體抹除單元。具體來說，倘若取代區 508 中仍存有正常之實體抹除單元並且資料區 502 的實

體抹除單元損壞時，記憶體管理電路 202 會從取代區 508 中提取正常的實體抹除單元來更換損壞的實體抹除單元。

【0066】 特別是，資料區 502、閒置區 504、系統區 506 與取代區 508 之實體抹除單元的數量會依據不同的記憶體規格而有所不同。此外，必須瞭解的是，在記憶體儲存裝置 100 的運作中，實體抹除單元關聯至資料區 502、閒置區 504、系統區 506 與取代區 508 的分組關係會動態地變動。例如，當閒置區 504 中的實體抹除單元損壞而被取代區 508 的實體抹除單元取代時，則原本取代區 508 的實體抹除單元會被關聯至閒置區 504。

【0067】 請參照圖 7，記憶體控制器 104(或記憶體管理電路 202) 會配置邏輯單元 LBA(0)~LBA(H)以映射資料區 502 的實體抹除單元，其中每一邏輯單元具有多個邏輯頁面以映射對應之實體抹除單元的實體程式化單元。並且，當主機系統 100 欲寫入資料至邏輯單元或更新儲存於邏輯單元中的資料時，記憶體控制器 104(或記憶體管理電路 202)會從閒置區 504 中提取一個實體抹除單元作為作動實體抹除單元以用於寫入資料，以輪替資料區 502 的實體抹除單元。

【0068】 為了識別資料每個邏輯單元的資料被儲存在哪個實體抹除單元，在本範例實施例中，記憶體控制器 104(或記憶體管理電路 202)會記錄邏輯單元與實體抹除單元之間的映射關係。並且，當主機系統 1000 欲在邏輯頁面中存取資料時，記憶體控制器 104(或記憶體管理電路 202)會確認此邏輯頁面所屬的邏輯單元，

並且在此邏輯單元所映射的實體抹除單元中來存取資料。例如，在本範例實施例中，記憶體控制器 104(或記憶體管理電路 202)會在可複寫式非揮發性記憶體模組 106 中儲存邏輯位址-實體位址映射表來記錄每一邏輯單元所映射的實體抹除單元，並且當欲存取資料時記憶體控制器 104(或記憶體管理電路 202)會將邏輯位址-實體位址映射表載入至緩衝記憶體 208 來維護。

【0069】 值得一提的是，由於緩衝記憶體 208 的容量有限無法儲存記錄了所有邏輯單元之映射關係的映射表，因此，在本範例實施例中，記憶體控制器 104 (或記憶體管理電路 202) 會將邏輯單元 LBA(0)~LBA(H)分組為多個邏輯區域 LZ(0)~LZ(M)，並且為每一邏輯區域配置一個邏輯位址-實體位址映射表。特別是，當記憶體控制器 104(或記憶體管理電路 202)欲更新某個邏輯單元的映射資訊時，對應此邏輯單元所屬之邏輯區域的邏輯位址-實體位址映射表會被載入至緩衝記憶體 208 來被更新。在本範例實施例中，儲存所有的邏輯位址-實體位址映射表所需的空間為對應於可複寫式非揮發性記憶體模組 106 中可用於儲存資料的空間的千分之一。也就是說，假設可複寫式非揮發性記憶體模組 106 的容量為 1TB(Terabyte)，則儲存所有的邏輯位址-實體位址映射表所需的空間為 1GB(Gigabyte)。然而，在其他範例實施例中，儲存所有的邏輯位址-實體位址映射表所需的空間可以隨著可複寫式非揮發性記憶體模組 106 的容量的不同而改變。

【0070】 在本範例實施例中，當主機系統 1000 欲執行寫入操作

時，記憶體控制器 104(或記憶體管理電路 202)會從閒置區 504 中提取一作動實體抹除單元，並且將包含於來自主機系統 1000 之寫入指令中的資料(亦稱為更新資料)寫入至此作動實體抹除單元中。

【0071】 具體來說，當記憶體儲存裝置 100 從主機系統 1000 接收到寫入指令時，來自於主機系統 1000 之寫入指令中的資料可被寫入閒置區 504 中的一作動實體抹除單元中。並且，當此實體抹除單元已被寫滿時，記憶體控制器 104(或記憶體管理電路 202)會再從閒置區 504 中提取空的實體抹除單元作為另一個作動實體抹除單元，以繼續寫入對應來自於主機系統 1000 之寫入指令的更新資料。

【0072】 值得一提的是，當記憶體儲存裝置 100 屬於閒置狀態一段時間(例如，30 秒未從主機系統 1000 中接收到任何指令)或者是當閒置區 504 中空的實體抹除單元的數目非大於一預先定義值時，記憶體控制電路單元 104(或記憶體管理電路 302)會對資料區 502 執行有效資料合併程序，以釋放出空的實體抹除單元。在本範例實施例中，所述預先定義值被設定為 1。然而，必須瞭解的是，在其他範例實施例中，預先定義值亦可以是其他適當的數值。

【0073】 圖 8A~圖 11C 是繪示資料寫入的簡化範例。

【0074】 為方便說明，在此假設資料區 502 具有 3 個實體抹除單元分別為實體抹除單元 410(0)~410(2)，閒置區 504 具有 2 個實體抹除單元分別為實體抹除單元 410(3)~410(4)。其中，每一實體抹除單元具有 3 個實體程式化單元，並且記憶體控制器 104(或記憶

體管理電路 202)會判斷當閒置區 504 中的閒置的實體抹除單元的個數非大於一預先定義值時，記憶體控制器 104(或記憶體管理電路 202)會執行一有效資料合併程序，以釋放更多的儲存空間。在本範例實施例中，所述預先定義值為 1，也就是說，當閒置區 504 中僅剩一個空的實體抹除單元時，記憶體控制器 104(或記憶體管理電路 202)會執行上述資料合併程序。

【0075】請同時參照圖 8A、圖 8B 與圖 8C，假設在圖 8A 的記憶體儲存裝置 100 的狀態中，邏輯單元 LBA(0)~LBA(2)的邏輯頁面映射資料區 502 的實體抹除單元 410(0)~410(2)的實體程式化單元，並且閒置區 504 具有實體抹除單元 410(3)~410(4)。也就是說，記憶體控制器 104(或記憶體管理電路 202)會在邏輯位址-實體位址映射表中記錄邏輯單元 LBA(0)~LBA(2)與實體抹除單元 410(0)~410(4)之間的映射關係，並且將實體抹除單元 410(0)~410(2)的實體程式化單元視為已儲存屬於邏輯單元 LBA(0)~LBA(2)的邏輯頁面的資料(即，初始資料 ID1~ID9)。特別是，在此範例實施例中，假設目前的邏輯單元 LBA(1) 的第 2 個邏輯頁面是映射至實體抹除單元 410(2)的第 0 個實體程式化單元，且邏輯單元 LBA(2) 的第 0 個邏輯頁面是映射至實體抹除單元 410(1)的第 2 個實體程式化單元。此外，記憶體控制器 104(或記憶體管理電路 202)會記錄閒置區 504 中可用的實體抹除單元 410(3)~410(4)，且當主機系統 1000 執行寫入操作時，記憶體控制器 104(或記憶體管理電路 202)會記錄對應此寫入操作的更新資料的映射資訊至緩衝記憶體

208 中如圖 8B 所示的實體位址-邏輯位址映射表 600。

【0076】 具體來說，當主機系統 1000 執行關於一邏輯頁面的寫入操作時，記憶體控制器 104(或記憶體管理電路 202)會將此寫入操作對應的更新資料寫入從閒置區 504 選出的作動實體抹除單元中。於此同時，記憶體控制器 104(或記憶體管理電路 202)並不會更改邏輯位址-實體位址映射表中邏輯單元 LBA(0)~LBA(2)與實體抹除單元 410(0)~410(4)之間的映射關係，記憶體控制器 104(或記憶體管理電路 202)會將作動實體抹除單元中，被用於儲存此更新資料的實體程式化單元的位址(亦稱，實體位址)，連同此寫入操作所對應的邏輯頁面的位址(亦稱，邏輯位址)記錄至圖 8B 中的實體位址-邏輯位址映射表 600 中。等到實體位址-邏輯位址映射表 600 被寫滿後，才會根據實體位址-邏輯位址映射表 600 中的映射資訊(即，更新資料所對應的邏輯位址)，載入對應的邏輯位址-實體位址映射表至緩衝記憶體 208 中，以更新邏輯單元 LBA(0)~LBA(2)與實體抹除單元 410(0)~410(4)之間的映射關係。值得一提的是，當記憶體儲存裝置 100 屬於閒置狀態一段時間(例如，30 秒未從主機系統 1000 中接收到任何指令)時，記憶體控制器 104(或記憶體管理電路 202)亦可以根據實體位址-邏輯位址映射表 600 中的映射資訊，載入對應的邏輯位址-實體位址映射表至緩衝記憶體 208 中，以更新邏輯單元 LBA(0)~LBA(2)與實體抹除單元 410(0)~410(4)之間的映射關係。

【0077】 此外，在本範例實施例中，記憶體控制器 104(或記憶體

管理電路 202)會建立如圖 8C 中的有效資料計數表 700 以記錄資料區 502 中每一實體抹除單元 410(0)~410(2)的有效資料計數，其中所述有效資料計數為一實體抹除單元中儲存有效資料的實體程式化單元的個數。例如，對應於圖 8A 的狀態，圖 8C 的有效資料計數表 700 分別記錄了實體抹除單元 410(0)、實體抹除單元 410(1)以及實體抹除單元 410(2)的有效資料計數為 3。必須瞭解的是，在另一範例實施例中，有效資料計數表 700 可以用於記錄可複寫式非揮發性記憶體模組 106 中每一實體抹除單元的有效資料個數。在本範例實施例中，在記憶體儲存裝置 100 運作時，有效資料計數表 700 會被載入至緩衝記憶體 208 中來更新與維護，並且在關機前，記憶體控制器 104(或記憶體管理電路 202)會將有效資料計數表 700 回存至系統區 506。

【0078】 請同時參照圖 9A、圖 9B 與圖 9C，假設主機系統 1000 欲寫入更新資料 UD1 並且更新資料 UD1 是屬於邏輯單元 LBA(0)的第 2 個邏輯頁面時，記憶體控制器 104(或記憶體管理電路 202)會從閒置區 504 中提取例如實體抹除單元 410(3)做為作動實體抹除單元，並且下達寫入指令以將此更新資料 UD1 寫入至實體抹除單元 410(3)的第 0 個實體程式化單元。接著，如圖 9B 所示，記憶體控制器 104(或記憶體管理電路 202)會在實體位址-邏輯位址映射表 600 中記錄實體抹除單元 410(3)的第 0 個實體程式化單元(即，資訊“410(3)-0”)與邏輯單元 LBA(0)的第 2 個邏輯頁面(即，資訊“LBA(0)-2”)的映射資訊。此外，如圖 9C 所示，記憶體控制器

104(或記憶體管理電路 202)還會對應此寫入操作，將有效資料計數表 700 中原本用於儲存邏輯單元 LBA(0)的第 2 個邏輯頁面的資料的實體抹除單元 410(0)的有效資料計數修改為 2。

【0079】請同時參照圖 10A、圖 10B 與圖 10C，接續圖 9A、圖 9B 與圖 9C，假設主機系統 1000 欲再寫入更新資料 UD2 並且更新資料 UD2 是屬於邏輯單元 LBA(1)的第 0 個邏輯頁面時，記憶體控制器 104(或記憶體管理電路 202)會將此更新資料 UD2 寫入至實體抹除單元 410(3)的第 1 個實體程式化單元。接著如圖 10B 所示，記憶體控制器 104(或記憶體管理電路 202)會在實體位址-邏輯位址映射表 600 中記錄實體抹除單元 410(3)的第 1 個實體程式化單元(即，資訊“410(3)-1”)與邏輯單元 LBA(1)的第 0 個邏輯頁面(即，資訊“LBA(1)-0”)的映射資訊。此外，如圖 10C 所示，記憶體控制器 104(或記憶體管理電路 202)還會對應此寫入操作，將有效資料計數表 700 中原本用於儲存邏輯單元 LBA(1)的第 0 個邏輯頁面的資料的實體抹除單元 410(1)的有效資料計數修改為 2。

【0080】請同時參照圖 11A、圖 11B 與圖 11C，接續圖 10A、圖 10B 與圖 10C，假設主機系統 1000 欲再寫入更新資料 UD3 並且更新資料 UD3 是屬於邏輯單元 LBA(1)的第 1 個邏輯頁面時，記憶體控制器 104(或記憶體管理電路 202)會將此更新資料 UD3 寫入至實體抹除單元 410(3)的第 2 個實體程式化單元。接著如圖 11B 所示，記憶體控制器 104(或記憶體管理電路 202)會在實體位址-邏輯位址映射表 600 中記錄實體抹除單元 410(3)的第 2 個實體程式化單元

(即，資訊“410(3)-2”)與邏輯單元 LBA(1)的第 1 個邏輯頁面(即，資訊“LBA(1)-1”)的映射資訊。此外，如圖 11C 所示，記憶體控制器 104(或記憶體管理電路 202)還會對應此寫入操作，將有效資料計數表 700 中原本用於儲存邏輯單元 LBA(1)的第 1 個邏輯頁面的資料的實體抹除單元 410(1)的有效資料計數修改為 1。

【0081】 必須了解的是，由於此時實體位址-邏輯位址映射表 600 已被寫滿，記憶體控制器 104(或記憶體管理電路 202) 會根據實體位址-邏輯位址映射表 600 中寫入資訊所對應的邏輯位址(例如，資訊“LBA(0)-2”、資訊“LBA(1)-0”以及資訊“LBA(1)-1”)，載入對應的邏輯位址-實體位址映射表至緩衝記憶體 208 中，以更新邏輯單元 LBA(0)~LBA(2)與實體抹除單元 410(0)~410(4)之間的映射關係。此外，由於被選擇為作動實體抹除單元的實體抹除單元 410(3)已無儲存空間，且記憶體控制器 104(或記憶體管理電路 202) 會判斷閒置區 504 中間置且可用於寫入更新資料的實體抹除單元的個數為非大於一預先定義值(例如，在本範例實施例中預先定義值為 1)。也就是說，在此情況下，記憶體控制器 104(或記憶體管理電路 202)會執行有效資料合併程序，以釋放更多空間。也就是說，在此情況下，記憶體控制器 104(或記憶體管理電路 202)會更新邏輯位址-實體位址映射表中的映射關係以清空實體位址-邏輯位址映射表 600，並對可複寫式非揮發性記憶體模組 106 執行資料合併程序。

【0082】 必須了解的是，傳統藉由實體位址-邏輯位址映射表來更

新邏輯位址-實體位址映射表的方法，以及執行資料合併程序的方法兩者為互相獨立的機制。具體來說，由於邏輯位址-實體位址映射表的更新需要根據實體轉邏輯映射表中儲存的映射資訊，以載入對應的邏輯位址-實體位址映射表至緩衝記憶體中進行更新。此外，在資料合併程序中，需載入所有的邏輯位址-實體位址映射表至緩衝記憶體中，並搭配實體位址-邏輯位址映射表來比對(或辨識)欲進行資料合併程序的實體抹除單元中，儲存有效資料的實體程式化單元以及儲存無效資料的實體程式化單元，以將比對出(或辨識出)的有效資料寫入至其他空的實體抹除單元中，並修改有效資料與邏輯頁面間的映射關係。要知道的是，由於實體位址-邏輯位址映射表用於儲存關於寫入操作的資訊的儲存空間通常為對應於用於寫入更新資料的作動實體抹除單元的大小或倍數，故當實體位址-邏輯位址映射表被寫滿時，通常作動實體抹除單元亦會被寫入操作的更新資料寫滿。倘若作動實體抹除單元被更新資料寫滿且閒置區 504 中閒置的實體抹除單元的數目為非大於一預先定義值時，記憶體控制器 104(或記憶體管理電路 202)會對可複寫式非揮發性記憶體 106 執行有效資料合併程序。

【0083】 也就是說，在執行有效資料合併程序之前常會搭配邏輯轉實體映射表的更新，且由於傳統的方法兩者為互相獨立的機制，在兩者皆需載入邏輯位址-實體位址映射表至緩衝記憶體中的情況下，可能會有相同的邏輯位址-實體位址映射表被重複載入緩衝記憶體中的情形，造成主機系統等待的時間過長。基此，本發

明所提出的資料管理方法為用於解決上述邏輯位址-實體位址映射表載入時間過長的問題。

【0084】 圖 12A~圖 14C 是繪示有效資料合併方法的簡化範例。

【0085】 請同時參照圖 12A、圖 12B 與圖 12C，接續圖 11A、圖 11B 與圖 11C，在本範例實施例中，記憶體控制器 104(或記憶體管理電路 202)首先會根據圖 12C 的有效資料計數表 700 挑選出資料區 502 中的實體抹除單元 410(1)(即，第一實體抹除單元)，其中對應實體抹除單元 410(1)的有效資料計數(即，有效資料計數值為 1)小於資料區 502 中的其他實體抹除單元(例如實體抹除單元 410(0)及實體抹除單元 410(3))的有效資料計數。也就是說，實體抹除單元 410(1)的有效資料計數是資料區 502 中最小且實體抹除單元 410(1)中儲存的有效資料為最少。

【0086】 接著，記憶體控制器 104(或記憶體管理電路 202)會依據實體位址-邏輯位址映射表 600，從可複寫式非揮發性記憶體模組 106 中載入對應於實體位址-邏輯位址映射表 600 的邏輯位址-實體位址映射表(亦即，第一邏輯位址-實體位址映射表)。具體來說，由於圖 12B 中的實體位址-邏輯位址映射表 600 中儲存了關於邏輯單元 LBA(0)的第 2 個邏輯頁面的更新資訊(即，資訊“LBA(0)-2”)、邏輯單元 LBA(1)的第 0 個邏輯頁面的更新資訊(即，資訊“LBA(1)-0”)以及邏輯單元 LBA(1)的第 1 個邏輯頁面的更新資訊(即，資訊“LBA(1)-1”)，記憶體控制器 104(或記憶體管理電路 202)會對應地從可複寫式非揮發性記憶體模組 106 中載

入邏輯單元 LBA(0) 的邏輯位址-實體位址映射表以及邏輯單元 LBA(1)的邏輯位址-實體位址映射表(亦即，第一邏輯轉實體映射表)至緩衝記憶體 208 中。

【0087】 接著，記憶體控制器 104(或記憶體管理電路 202)會根據實體位址-邏輯位址映射表 600 中儲存的資訊，更新邏輯單元 LBA(0)以及邏輯單元 LBA(1)與實體抹除單元 410(0)~410(3)之間的映射關係。具體來說，由於實體位址-邏輯位址映射表 600 中儲存了關於邏輯單元 LBA(0)的第 2 個邏輯頁面(即，資訊“LBA(0)-2”)的更新資料 UD1 被儲存至實體抹除單元 410(3)的第 0 個實體程式化單元(即，資訊“410(3)-0”)的更新資訊、關於邏輯單元 LBA(1)的第 0 個邏輯頁面(即，資訊“LBA(1)-0”)的更新資料 UD2 被儲存至實體抹除單元 410(3)的第 1 個實體程式化單元(即，資訊“410(3)-1”)的更新資訊、以及關於邏輯單元 LBA(1)的第 1 個邏輯頁面(即，資訊“LBA(1)-1”)的更新資料 UD3 被儲存至實體抹除單元 410(3)的第 2 個實體程式化單元(即，資訊“410(3)-2”)的更新資訊，記憶體控制器 104(或記憶體管理電路 202)會分別更新邏輯單元 LBA(0) 的邏輯位址-實體位址映射表以及邏輯單元 LBA(1)的邏輯位址-實體位址映射表，以將邏輯單元 LBA(0)的第 2 個邏輯頁面映射至實體抹除單元 410(3)的第 0 個實體程式化單元、將邏輯單元 LBA(1)的第 0 個邏輯頁面映射至實體抹除單元 410(3)的第 1 個實體程式化單元以及將邏輯單元 LBA(1)的第 1 個邏輯頁面映射至實體抹除單元 410(3)的第 2 個實體程式

化單元。

【0088】 接著，記憶體控制器 104(或記憶體管理電路 202)會根據實體位址-邏輯位址映射表 600 與邏輯單元 LBA(0) 的邏輯位址-實體位址映射表以及邏輯單元 LBA(1)的邏輯位址-實體位址映射表，以找出實體抹除單元 410(1)中的有效資料。具體來說，請參照圖 11A，記憶體控制器 104(或記憶體管理電路 202)首先會藉由邏輯單元 LBA(1)的邏輯位址-實體位址映射表來確認原本未更新前的映射關係，其中邏輯單元 LBA(1)的第 0 個邏輯頁面原本為映射至實體抹除單元 410(1)的第 0 個實體程式化單元，邏輯單元 LBA(1)的第 1 個邏輯頁面原本為映射至實體抹除單元 410(1)的第 1 個實體程式化單元，以及邏輯單元 LBA(1)的第 2 個邏輯頁面原本為映射至實體抹除單元 410(2)的第 0 個實體程式化單元。接著，記憶體控制器 104(或記憶體管理電路 202)會根據實體位址-邏輯位址映射表 600 中所儲存的資訊 LBA(1)-0 及資訊 LBA(1)-1，判斷出關於邏輯單元 LBA(1)的第 0 個邏輯頁面以及邏輯單元 LBA(1)的第 1 個邏輯頁面的資料已被更新，且更新資料被分別儲存於實體抹除單元 410(3)的第 1 個實體程式化單元以及實體抹除單元 410(3)的第 2 個實體程式化單元中。故記憶體控制器 104(或記憶體管理電路 202)可以判斷出實體抹除單元 410(1)中初始資料 ID4 以及初始資料 ID5 為無效資料。

【0089】 必須了解的是，在本範例實施例中，有效資料合併的步驟是先更新第一邏輯位址-實體位址映射表，再根據實體位址-邏輯

位址映射表與第一邏輯位址-實體位址映射表識別出第一實體抹除單元中的有效資料；然而需注意的是，在其他範例實施例中，亦可以先根據實體位址-邏輯位址映射表與第一邏輯位址-實體位址映射表識別出第一實體抹除單元中的有效資料，再更新第一邏輯位址-實體位址映射表，在此並不設限。

● **【0090】** 請再次參照圖 12A、圖 12B 與圖 12C。接著，記憶體控制器 104(或記憶體管理電路 202)會將更新後的邏輯單元 LBA(0)以及邏輯單元 LBA(1)的邏輯位址-實體位址映射表回存至可複寫式非揮發性記憶體模組 106 中。而需注意的是，本範例實施例並非用於限定將第一邏輯位址-實體位址映射表回存至可複寫式非揮發性記憶體模組 106 中的時機；在本發明另一實施例中，第一邏輯位址-實體位址映射表亦可以在執行完本發明所述的資料合併方法後才被回存至可複寫式非揮發性記憶體模組 106 中，在此並不設限。

● **【0091】** 接著，記憶體控制器 104(或記憶體管理電路 202)會判斷實體抹除單元 410(1)(即，第一實體抹除單元)中是否有儲存其他有效資料。具體來說，記憶體控制器 104(或記憶體管理電路 202)會判斷實體抹除單元 410(1)(即，第一實體抹除單元)中是否尚有儲存未被識別出的其他有效資料。必須了解的是，在一範例實施例中，假設在此情形下記憶體控制器 104(或記憶體管理電路 202)藉由邏輯單元 LBA(0)以及邏輯單元 LBA(1)的邏輯位址-實體位址映射表，識別出實體抹除單元 410(1)中的有效資料的個數剛好等於有

效資料計數表 700 中關於實體抹除單元 410(1)的有效資料計數的值時，記憶體控制器 104(或記憶體管理電路 202)可以判斷實體抹除單元 410(1)中所有的有效資料為映射至邏輯單元 LBA(0)或邏輯單元 LBA(1)中。此時，記憶體控制器 104(或記憶體管理電路 202)可以不從可複寫式非揮發性記憶體模組 106 中載入其他的邏輯位址-實體位址映射表，而可以直接根據邏輯單元 LBA(0)或邏輯單元 LBA(1)中的映射資訊將實體抹除單元 410(1)中所有的有效資料複製至其他的實體抹除單元中，以執行有效資料合併運作。

【0092】然而，在本範例實施例中，記憶體控制器 104(或記憶體管理電路 202)根據圖 12C 中的有效資料計數表 700 判斷出實體抹除單元 410(1)中還儲存有一有效資料(即，實體抹除單元 410(1)的有效資料計數的值為 1)，且由於邏輯單元 LBA(0)以及邏輯單元 LBA(1)中並沒有儲存關於實體抹除單元 410(1)中該有效資料的映射資訊，故記憶體控制器 104(或記憶體管理電路 202)會載入邏輯單元 LBA(2)(以下稱第二邏輯位址-實體位址映射表)來識別出實體抹除單元 410(1)中該有效資料所對應的邏輯位址。也就是說，記憶體控制器 104(或記憶體管理電路 202)會從可複寫式非揮發性記憶體模組 106 中載入邏輯單元 LBA(0) 的邏輯位址-實體位址映射表以及邏輯單元 LBA(1)的邏輯位址-實體位址映射表以外的其他邏輯位址-實體位址映射表(即，邏輯單元 LBA(2)的邏輯位址-實體位址映射表)。

【0093】接著，記憶體控制器 104(或記憶體管理電路 202)會根據

實體位址-邏輯位址映射表 600 與邏輯單元 LBA(2)的邏輯位址-實體位址映射表，以找出實體抹除單元 410(1)中的其他有效資料。具體來說，記憶體控制器 104(或記憶體管理電路 202)會藉由邏輯單元 LBA(2)的邏輯位址-實體位址映射表，得知初始的邏輯單元 LBA(2)的第 0 個邏輯頁面為映射至實體抹除單元 410(1)的第 2 個實體程式化單元。然而，由於實體位址-邏輯位址映射表 600 中沒有儲存關於邏輯單元 LBA(2)的第 0 個邏輯頁面的更新資訊，故記憶體控制器 104(或記憶體管理電路 202)會判斷關於邏輯單元 LBA(2)的第 0 個邏輯頁面的初始資料 ID6 尚未被更新，記憶體控制器 104(或記憶體管理電路 202)會判斷初始資料 ID6 為有效資料。

【0094】請同時參照圖 13A、圖 13B 與圖 13C，接續圖 12A、圖 12B 與圖 12C，記憶體控制器 104(或記憶體管理電路 202)會從閒置區 504 中挑選出實體抹除單元 410(4)(亦即，第二實體抹除單元)，並將初始資料 ID6 複製到實體抹除單元 410(4)的第 0 個實體程式化單元中。接著，記憶體控制器 104(或記憶體管理電路 202)更新邏輯單元 LBA(2)的邏輯位址-實體位址映射表，將邏輯單元 LBA(2)的第 0 個邏輯頁面映射至實體抹除單元 410(4)的第 0 個實體程式化單元中，並將圖 13C 的有效資料計數表 700 中對應於實體抹除單元 410(1)的有效資料計數調整為 0。也就是說，原本實體抹除單元 410(1)中的有效資料(即，初始資料 ID6)被複製到實體抹除單元 410(4)的第 0 個實體程式化單元後，實體抹除單元 410(1)中儲存的資料皆為無效資料。此外，記憶體控制器 104(或記憶體

管理電路 202)會清除實體位址-邏輯位址映射表 600 中儲存的更新資訊，以釋放實體位址-邏輯位址映射表 600 的空間，如圖 13B 所示。

【0095】 請同時參照圖 14A、圖 14B 與圖 14C，接續圖 13A、圖 13B 與圖 13C，記憶體控制器 104(或記憶體管理電路 202)會對實體抹除單元 410(1)執行抹除操作，並將實體抹除單元 410(1)關聯至閒置區 504 中。此外，記憶體控制器 104(或記憶體管理電路 202)會將實體抹除單元 410(3)關聯至資料區 502 中，並對應修改有效資料計數表 700。需注意的是，在本範例實施例中，由於有效資料計數表 700 僅用於紀錄資料區 502 中的實體抹除單元的有效資料計數，故在圖 14C 中，記憶體控制器 104(或記憶體管理電路 202)會刪除原先對應於實體抹除單元 410(1)的記錄，並增加實體抹除單元 410(3)的記錄，以記錄實體抹除單元 410(3)的有效資料計數，其值為 3。然而，在其他範例實施例中，有效資料計數表 700 可以記錄可複寫式非揮發性記憶體 106 中所有的實體抹除單元的有效計數。

【0096】 基於上述，本範例實施例是藉由分段地載入邏輯位址-實體位址映射表，以執行邏輯位址-實體位址映射表的更新以及有效資料合併程序，以避免相同的邏輯位址-實體位址映射表被重複載入，並造成主機系統 1000 等待時間過長的問題。

【0097】 值得一提的是，在一範例實施例中，當實體位址-邏輯位址映射表 600 被寫滿時，記憶體控制器 104(或記憶體管理電路 202)

會先判斷閒置區 504 中實體抹除單元的數目是否非大於一預先定義值(例如，預先定義值為 1)。倘若記憶體控制器 104(或記憶體管理電路 202)判斷閒置區 504 中實體抹除單元的數目為非大於一預先定義值時，則代表閒置區 504 中空出的實體抹除單元已不夠用，並且記憶體控制器 104(或記憶體管理電路 202)會進行如上述圖 12~14 的有效資料合併運作，以釋放更多空間。倘若，記憶體控制器 104(或記憶體管理電路 202)判斷閒置區 504 中實體抹除單元的數目為大於預先定義值時，則代表閒置區 504 中實體抹除單元仍然足夠，故記憶體控制器 104(或記憶體管理電路 202)不需執行有效資料合併運作，只需執行邏輯位址-實體位址映射表的更新，以清除實體位址-邏輯位址映射表中的資訊。

【0098】 具體來說，當記憶體控制器 104(或記憶體管理電路 202)判斷閒置區 504 中實體抹除單元的數目為大於預先定義值時，記憶體控制器 104(或記憶體管理電路 202)僅需根據實體位址-邏輯位址映射表中資料的更新資訊，載入對應的邏輯位址-實體位址映射表，並更新邏輯單元 LBA(0)~LBA(2)與實體抹除單元 410(0)~410(4)之間的映射關係，再將更新後的邏輯位址-實體位址映射表回存至可複寫式非揮發性記憶體模組 106 中。也就是說，在閒置區 504 仍擁有足夠的實體抹除單元可以用於寫入的情況下，當實體位址-邏輯位址映射表 600 被寫滿時，僅需執行邏輯位址-實體位址映射表的更新以釋放實體位址-邏輯位址映射表 600 的空間。

【0099】 圖 15 是根據一範例實施例所繪示的有效資料合併方法的

流程圖。

【0100】請參照圖 15，首先從實體抹除單元之中選取實體抹除單元（以下稱為第一實體抹除單元）（步驟 S1501）並且，依據實體位址-邏輯位址映射表，從可複寫式非揮發性記憶體模組中載入邏輯位址-實體位址映射表之中的至少一第一邏輯位址-實體位址映射表（步驟 S1503）。然後，根據實體位址-邏輯位址映射表，更新第一邏輯位址-實體位址映射表（步驟 S1505），並且根據實體位址-邏輯位址映射表與第一邏輯位址-實體位址映射表識別出第一實體抹除單元中的有效資料（步驟 S1507），再將第一邏輯位址-實體位址映射表回存至可複寫式非揮發性記憶體模組。之後，判斷第一實體抹除單元中是否有儲存其他有效資料（步驟 S1511）。倘若第一實體抹除單元中沒有儲存其他有效資料，從第一實體抹除單元中將所識別出的有效資料複製到實體抹除單元之中的一第二實體抹除單元（步驟 S1513）。接著，對第一實體抹除單元執行一抹除操作（步驟 S1521）。倘若第一實體抹除單元中有儲存所述其他有效資料，從可複寫式非揮發性記憶體模組中載入邏輯位址-實體位址映射表之中除了第一邏輯位址-實體位址映射表以外的至少一其他邏輯位址-實體位址映射表（步驟 S1515），且根據實體位址-邏輯位址映射表與所述其他邏輯位址-實體位址映射表以識別出第一實體抹除單元中的其他有效資料（步驟 S1517）。最後從第一實體抹除單元中將所識別出的所述有效資料與所述其他有效資料複製到實體抹除單元之中的空實體抹除單元（以下稱為第二實體抹

除單元)中(步驟 S1519)並且對第一實體抹除單元執行一抹除操作(步驟 S1521)。

【0101】圖 16 是根據另一範例實施例所繪示的有效資料合併方法的流程圖。

【0102】請參照圖 16，首先，判斷閒置區中的實體抹除單元的數目是否非大於預先定義值(步驟 S1601)。

【0103】倘若閒置區中的實體抹除單元的數目非大於預先定義值，則執行上述步驟 S1501、S1503、S1505、S1507、S1509、S1511、S1513、S1515、S1517、S1519 與 S1521。

【0104】倘若閒置區中的實體抹除單元的數目大於預先定義值，則依據實體位址-邏輯位址映射表，從可複寫式非揮發性記憶體模組中載入邏輯位址-實體位址映射表之中的至少一第一邏輯位址-實體位址映射表(步驟 S1603)，並且根據實體位址-邏輯位址映射表更新第一邏輯位址-實體位址映射表及將第一邏輯位址-實體位址映射表回存至可複寫式非揮發性記憶體模組(步驟 S1605)。

【0105】綜上所述，本發明藉由分段地載入邏輯位址-實體位址映射表，執行更新邏輯位址-實體位址映射表以及資料合併程序，以避免相同的邏輯位址-實體位址映射表被重複載入，並有效解決主機系統等待時間過長的問題。

【0106】雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明的精神和範圍內，當可作些許的更動與潤飾，故本發明的保護範圍

當視後附的申請專利範圍所界定者為準。

【符號說明】

【0107】

- 1000：主機系統
- 1100：電腦
- 1102：微處理器
- 1104：隨機存取記憶體
- 1106：輸入/輸出裝置
- 1108：系統匯流排
- 1110：資料傳輸介面
- 1202：滑鼠
- 1204：鍵盤
- 1206：顯示器
- 1208：印表機
- 1212：隨身碟
- 1214：記憶卡
- 1216：固態硬碟
- 1310：數位相機
- 1312：SD 卡
- 1314：MMC 卡
- 1316：記憶棒

- 1318：CF 卡
- 1320：嵌入式儲存裝置
- 100：記憶體儲存裝置
- 102：連接器
- 104：記憶體控制器
- 106：可複寫式非揮發性記憶體模組
- 202：記憶體管理電路
- 204：主機介面
- 206：記憶體介面
- 208：緩衝記憶體
- 210：電源管理電路
- 212：錯誤檢查與校正電路
- 410(0)~410(N)：實體抹除單元
- 502：資料區
- 504：閒置區
- 506：系統區
- 508：取代區
- LBA(0)~LBA(H)：邏輯單元
- LZ(0)~LZ(M)：邏輯區域
- 600：實體位址-邏輯位址映射表
- 700：有效資料計數表
- ID1~ID9：初始資料

UD1~UD3：更新資料

S1501、S1503、S1505、S1507、S1509、S1511、S1513、S1515、
S1517、S1519、S1521、S1601、S1603、S1605：有效資料合併方
法的步驟

【發明申請專利範圍】

【第1項】一種有效資料合併方法，適用於一可複寫式非揮發性記憶體模組，其中該可複寫式非揮發性記憶體模組具有多個實體抹除單元，每一該些實體抹除單元具有多個實體程式化單元，多個邏輯位址-實體位址映射表被儲存在該可複寫式非揮發性記憶體模組中以記錄多個邏輯位址與該些實體程式化單元之間的一映射資訊，該有效資料合併方法包括：

從該些實體抹除單元之中選取一第一實體抹除單元；

依據一實體位址-邏輯位址映射表，從該可複寫式非揮發性記憶體模組中載入該些邏輯位址-實體位址映射表之中的至少一第一邏輯位址-實體位址映射表；

根據該實體位址-邏輯位址映射表，更新該至少一第一邏輯位址-實體位址映射表；

根據該實體位址-邏輯位址映射表與該至少一第一邏輯位址-實體位址映射表識別出該第一實體抹除單元中的有效資料；

將該至少一第一邏輯位址-實體位址映射表回存至該可複寫式非揮發性記憶體模組；

從該第一實體抹除單元中將所識別出的該有效資料複製到該些實體抹除單元中的一第二實體抹除單元；以及

對該第一實體抹除單元執行一抹除操作。

【第2項】如申請專利範圍第1項所述的有效資料合併方法，其中上述對該第一實體抹除單元執行該抹除操作的步驟之前包括：

倘若該第一實體抹除單元中有儲存其他有效資料，從該可複寫式非揮發性記憶體模組中載入該些邏輯位址-實體位址映射表

之中除了該至少一第一邏輯位址-實體位址映射表以外的至少一第二邏輯位址-實體位址映射表，

根據該實體位址-邏輯位址映射表與該至少一第二邏輯位址-實體位址映射表以識別出該第一實體抹除單元中的該其他有效資料，

從該第一實體抹除單元中將所識別出的該其他有效資料複製到該些實體抹除單元之中的該第二實體抹除單元。

【第3項】 如申請專利範圍第1項所述的有效資料合併方法，更包括：

在一緩衝記憶體中建立該實體位址-邏輯位址映射表，其中該實體位址-邏輯位址映射表記錄該些實體抹除單元中的一作動實體抹除單元的實體程式化單元與該些邏輯位址之中的多個已更新邏輯位址之間的映射資訊，

其中該至少一第一邏輯位址-實體位址映射表是記錄有對應該些已更新邏輯位址的映射資訊。

【第4項】 如申請專利範圍第1項所述的有效資料合併方法，更包括：

依據該些實體抹除單元中的有效資料的數量記錄每一該些實體抹除單元的有效資料計數。

【第5項】 如申請專利範圍第4項所述的有效資料合併方法，更包括：

建立一有效資料計數表以記錄每一該些實體抹除單元的有效資料計數。

【第6項】如申請專利範圍第4項所述的有效資料合併方法，其中該些實體抹除單元至少被分組為一資料區與一閒置區，且該閒置區的實體抹除單元用以替換該資料區的實體抹除單元以寫入資料。

【第7項】如申請專利範圍第6項所述的有效資料合併方法，其中上述從該些實體抹除單元之中選取該第一實體抹除單元的步驟包括：

● 從該資料區中選取該第一實體抹除單元，其中該第一實體抹除單元的有效資料計數小於該資料區中的其他實體抹除單元的有效資料計數。

【第8項】如申請專利範圍第7項所述的有效資料合併方法，更包括：

判斷該閒置區中的實體抹除單元的數目是否非大於一預先定義值；

● 倘若該閒置區中的實體抹除單元的數目非大於該預先定義值，從該些實體抹除單元之中選取該第一實體抹除單元，依據該實體位址-邏輯位址映射表，從該可複寫式非揮發性記憶體模組中載入該些邏輯位址-實體位址映射表之中的該至少一第一邏輯位址-實體位址映射表，根據該實體位址-邏輯位址映射表，更新該至少一第一邏輯位址-實體位址映射表，根據該實體位址-邏輯位址映射表與該至少一第一邏輯位址-實體位址映射表識別出該第一實體抹除單元中的有效資料，並將該至少一第一邏輯位址-實體位址

映射表回存至該可複寫式非揮發性記憶體模組，從該第一實體抹除單元中將所識別出的該有效資料複製到該些實體抹除單元之中的該第二實體抹除單元，並對該第一實體抹除單元執行該抹除操作；以及

倘若該閒置區中的實體抹除單元的數目大於該預先定義值，依據該實體位址-邏輯位址映射表，從該可複寫式非揮發性記憶體模組中載入該些邏輯位址-實體位址映射表之中的該至少一第一邏輯位址-實體位址映射表，根據該實體位址-邏輯位址映射表，更新該至少一第一邏輯位址-實體位址映射表。

【第9項】一種記憶體控制器，用於控制一可複寫式非揮發性記憶體模組，該記憶體控制器包括：

一主機介面，用以耦接至一主機系統；

一記憶體介面，用以耦接至該可複寫式非揮發性記憶體模組，其中該可複寫式非揮發性記憶體模組具有多個實體抹除單元，每一該些實體抹除單元具有多個實體程式化單元，且多個邏輯位址-實體位址映射表被儲存在該可複寫式非揮發性記憶體模組中以記錄多個邏輯位址與該些實體程式化單元之間的一映射資訊；以及

一記憶體管理電路，耦接至該主機介面與該記憶體介面，

其中該記憶體管理電路用以從該些實體抹除單元之中選取一第一實體抹除單元，

其中該記憶體管理電路更用以依據一實體位址-邏輯位址映射表，從該可複寫式非揮發性記憶體模組中載入該些邏輯位址-實體位址映射表之中的至少一第一邏輯位址-實體位址映射表，

其中該記憶體管理電路更用以根據該實體位址-邏輯位址映射表，更新該至少一第一邏輯位址-實體位址映射表，

其中該記憶體管理電路更用以根據該實體位址-邏輯位址映射表與該至少一第一邏輯位址-實體位址映射表識別出該第一實體抹除單元中的有效資料，

其中該記憶體管理電路更用以將該至少一第一邏輯位址-實體位址映射表回存至該可複寫式非揮發性記憶體模組，

其中該記憶體管理電路更用以從該第一實體抹除單元中將所識別出的該有效資料複製到該些實體抹除單元中的一第二實體抹除單元，

其中該記憶體管理電路更用以對該第一實體抹除單元執行一抹除操作。

【第10項】如申請專利範圍第9項所述的記憶體控制器，其中上述該記憶體管理電路對該第一實體抹除單元執行該抹除操作的運作之前包括：

倘若該第一實體抹除單元中有儲存其他有效資料，該記憶體管理電路更用以從該可複寫式非揮發性記憶體模組中載入該些邏輯位址-實體位址映射表之中除了該至少一第一邏輯位址-實體位址映射表以外的至少一第二邏輯位址-實體位址映射表，根據該實

體位址-邏輯位址映射表與該至少一第二邏輯位址-實體位址映射表以識別出該第一實體抹除單元中的該其他有效資料，從該第一實體抹除單元中將所識別出的該其他有效資料複製到該些實體抹除單元之中的該第二實體抹除單元。

【第11項】如申請專利範圍第9項所述的記憶體控制器，其中該記憶體管理電路更用以在一緩衝記憶體中建立該實體位址-邏輯位址映射表，其中該實體位址-邏輯位址映射表記錄該些實體抹除單元之中的一作動實體抹除單元的實體程式化單元與該些邏輯位址之中的多個已更新邏輯位址之間的映射資訊，

其中該至少一第一邏輯位址-實體位址映射表是記錄有對應該些已更新邏輯位址的映射資訊。

【第12項】如申請專利範圍第9項所述的記憶體控制器，其中該記憶體管理電路更用以依據該些實體抹除單元中的有效資料的數量記錄每一該些實體抹除單元的有效資料計數。

【第13項】如申請專利範圍第12項所述的記憶體控制器，其中該記憶體管理電路更用以建立一有效資料計數表以記錄每一該些實體抹除單元的有效資料計數。

【第14項】如申請專利範圍第12項所述的記憶體控制器，其中該記憶體管理電路更用以將該些實體抹除單元至少分組為一資料區與一閒置區，且該閒置區的實體抹除單元用以替換該資料區的實體抹除單元以寫入資料。

【第15項】如申請專利範圍第14項所述的記憶體控制器，其中上述該記憶體管理電路從該些實體抹除單元之中選取該第一實體抹除單元的運作中，該記憶體管理電路更用以從該資料區中選取該第一實體抹除單元，其中該第一實體抹除單元的有效資料計數小於該資料區中的其他實體抹除單元的有效資料計數。

【第16項】如申請專利範圍第15項所述的記憶體控制器，其中該記憶體管理電路更用以判斷該閒置區中的實體抹除單元的數目是否非大於一預先定義值，

倘若該閒置區中的實體抹除單元的數目非大於該預先定義值，該記憶體管理電路從該些實體抹除單元之中選取該第一實體抹除單元，

該記憶體管理電路依據該實體位址-邏輯位址映射表，從該可複寫式非揮發性記憶體模組中載入該些邏輯位址-實體位址映射表之中的該至少一第一邏輯位址-實體位址映射表，

該記憶體管理電路根據該實體位址-邏輯位址映射表，更新該至少一第一邏輯位址-實體位址映射表，

該記憶體管理電路根據該實體位址-邏輯位址映射表與該至少一第一邏輯位址-實體位址映射表識別出該第一實體抹除單元中的該有效資料，

該記憶體管理電路將該至少一第一邏輯位址-實體位址映射表回存至該可複寫式非揮發性記憶體模組，

該記憶體管理電路從該第一實體抹除單元中將所識別出的該有效資料複製到該些實體抹除單元之中的該第二實體抹除單元，

該記憶體管理電路對該第一實體抹除單元執行該抹除操作，

倘若該閒置區中的實體抹除單元的數目大於該預先定義值，該記憶體管理電路依據該實體位址-邏輯位址映射表，從該可複寫式非揮發性記憶體模組中載入該些邏輯位址-實體位址映射表之中的該至少一第一邏輯位址-實體位址映射表，

該記憶體管理電路根據該實體位址-邏輯位址映射表，更新該至少一第一邏輯位址-實體位址映射表。

【第17項】一種記憶體儲存裝置，包括：

一連接器，用以耦接至一主機系統；

一可複寫式非揮發性記憶體模組，具有多個實體抹除單元，每一該些實體抹除單元具有多個實體程式化單元，多個邏輯位址-實體位址映射表被儲存在該可複寫式非揮發性記憶體模組中以記錄多個邏輯位址與該些實體程式化單元之間的一映射資訊；以及

一記憶體控制器，耦接至該連接器與該可複寫式非揮發性記憶體模組，

其中該記憶體控制器更用以從該些實體抹除單元之中選取一第一實體抹除單元，

其中該記憶體控制器更用以依據一實體位址-邏輯位址映射表，從該可複寫式非揮發性記憶體模組中載入該些邏輯位址-實體位址映射表之中的至少一第一邏輯位址-實體位址映射表，

其中該記憶體控制器更用以根據該實體位址-邏輯位址映射表，更新該至少一第一邏輯位址-實體位址映射表，

其中該記憶體控制器更用以根據該實體位址-邏輯位址映射表與該至少一第一邏輯位址-實體位址映射表識別出該第一實體抹除單元中的有效資料，

其中該記憶體控制器更用以將該至少一第一邏輯位址-實體位址映射表回存至該可複寫式非揮發性記憶體模組，

其中該記憶體控制器更用以從該第一實體抹除單元中將所識別出的該有效資料複製到該些實體抹除單元中的一第二實體抹除單元，

其中該記憶體控制器更用以對該第一實體抹除單元執行一抹除操作。

【第18項】如申請專利範圍第17項所述的記憶體儲存裝置，其中上述該記憶體控制器對該第一實體抹除單元執行該抹除操作的運作之前包括：

倘若該第一實體抹除單元中有儲存其他有效資料，該記憶體控制器更用以從該可複寫式非揮發性記憶體模組中載入該些邏輯位址-實體位址映射表之中除了該至少一第一邏輯位址-實體位址映射表以外的至少一第二邏輯位址-實體位址映射表，根據該實體位址-邏輯位址映射表與該至少一第二邏輯位址-實體位址映射表以識別出該第一實體抹除單元中的該其他有效資料，從該第一實

體抹除單元中將所識別出的該其他有效資料複製到該些實體抹除單元之中的該第二實體抹除單元。

【第19項】如申請專利範圍第17項所述的記憶體儲存裝置，其中所述該記憶體控制器更用以在一緩衝記憶體中建立該實體位址-邏輯位址映射表，其中該實體位址-邏輯位址映射表記錄該些實體抹除單元之中的一作動實體抹除單元的實體程式化單元與該些邏輯位址之中的多個已更新邏輯位址之間的映射資訊，

其中該至少一第一邏輯位址-實體位址映射表是記錄有對應該些已更新邏輯位址的映射資訊。

【第20項】如申請專利範圍第17項所述的記憶體儲存裝置，其中該記憶體控制器更用以依據該些實體抹除單元中的有效資料的數量記錄每一該些實體抹除單元的有效資料計數。

【第21項】如申請專利範圍第20項所述的記憶體儲存裝置，其中該記憶體控制器更用以建立一有效資料計數表以記錄每一該些實體抹除單元的有效資料計數。

【第22項】如申請專利範圍第20項所述的記憶體儲存裝置，其中該記憶體控制器更用以將該些實體抹除單元至少分組為一資料區與一閒置區，且該閒置區的實體抹除單元用以替換該資料區的實體抹除單元以寫入資料。

【第23項】如申請專利範圍第22項所述的記憶體儲存裝置，其中上述該記憶體控制器從該些實體抹除單元之中選取該第一實體抹除單元的運作中，該記憶體控制器更用以從該資料區中選取該第

一實體抹除單元，其中該第一實體抹除單元的有效資料計數小於該資料區中的其他實體抹除單元的有效資料計數。

【第24項】如申請專利範圍第23項所述的記憶體儲存裝置，其中該記憶體控制器更用以判斷該閒置區中的實體抹除單元的數目是否非大於一預先定義值，

倘若該閒置區中的實體抹除單元的數目非大於該預先定義值，該記憶體控制器從該些實體抹除單元之中選取該第一實體抹除單元，

該記憶體控制器依據該實體位址-邏輯位址映射表，從該可複寫式非揮發性記憶體模組中載入該些邏輯位址-實體位址映射表之中的該至少一第一邏輯位址-實體位址映射表，

該記憶體控制器根據該實體位址-邏輯位址映射表，更新該至少一第一邏輯位址-實體位址映射表，

該記憶體控制器根據該實體位址-邏輯位址映射表與該至少一第一邏輯位址-實體位址映射表識別出該第一實體抹除單元中的該有效資料，

該記憶體控制器將該至少一第一邏輯位址-實體位址映射表回存至該可複寫式非揮發性記憶體模組，

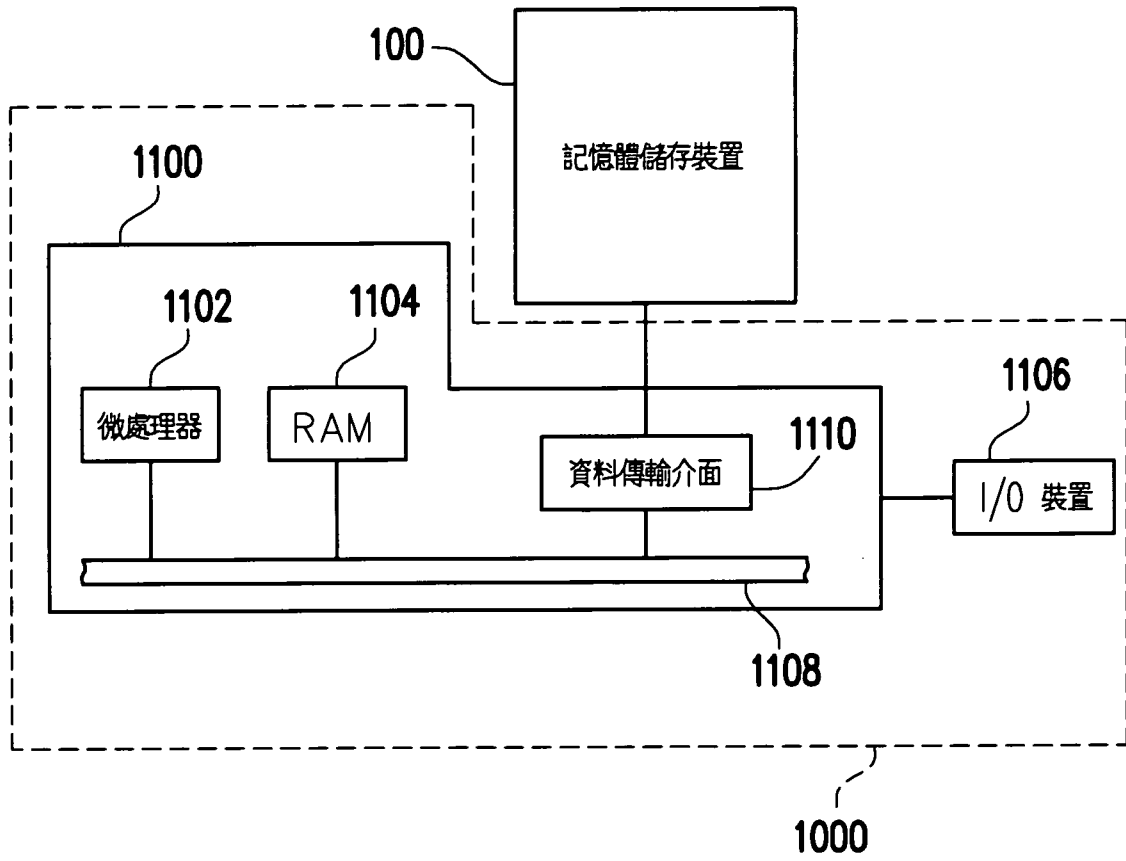
該記憶體控制器從該第一實體抹除單元中將所識別出的該有效資料複製到該些實體抹除單元之中的該第二實體抹除單元

該記憶體控制器對該第一實體抹除單元執行該抹除操作，

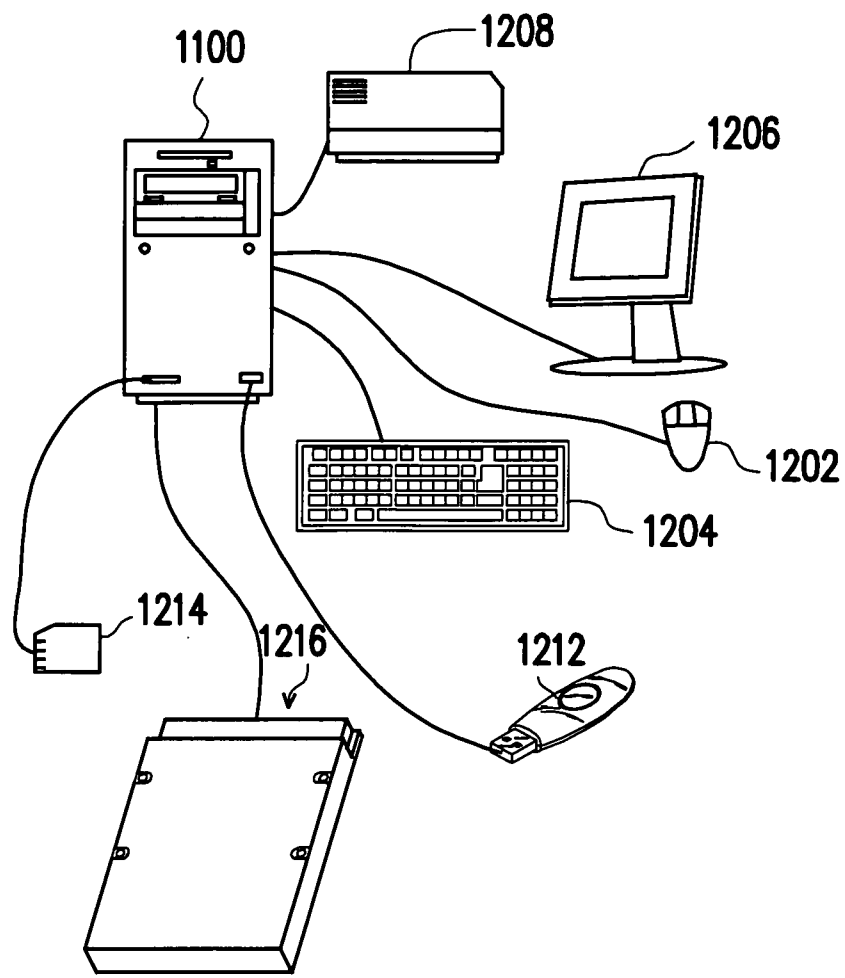
倘若該閒置區中的實體抹除單元的數目大於該預先定義值，該記憶體控制器依據該實體位址-邏輯位址映射表，從該可複寫式非揮發性記憶體模組中載入該些邏輯位址-實體位址映射表之中的該至少一第一邏輯位址-實體位址映射表，

該記憶體控制器根據該實體位址-邏輯位址映射表，更新該至少一第一邏輯位址-實體位址映射表。

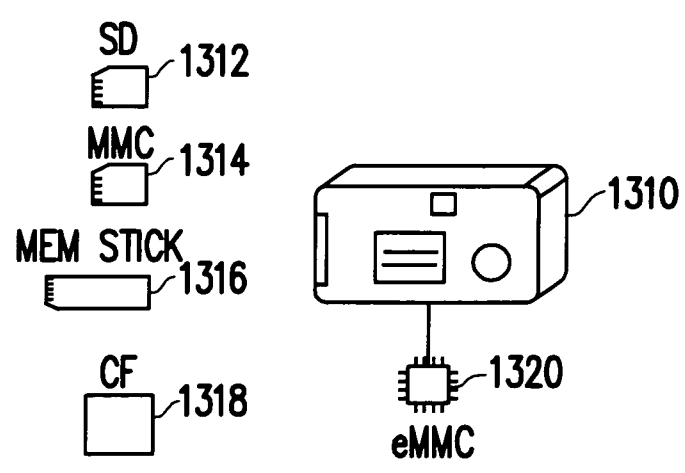
【發明圖式】



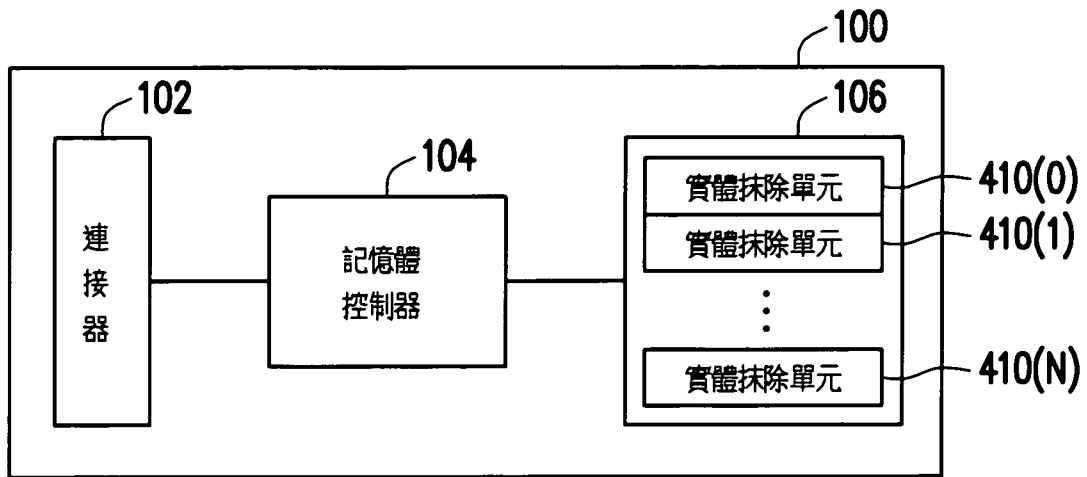
【圖1】



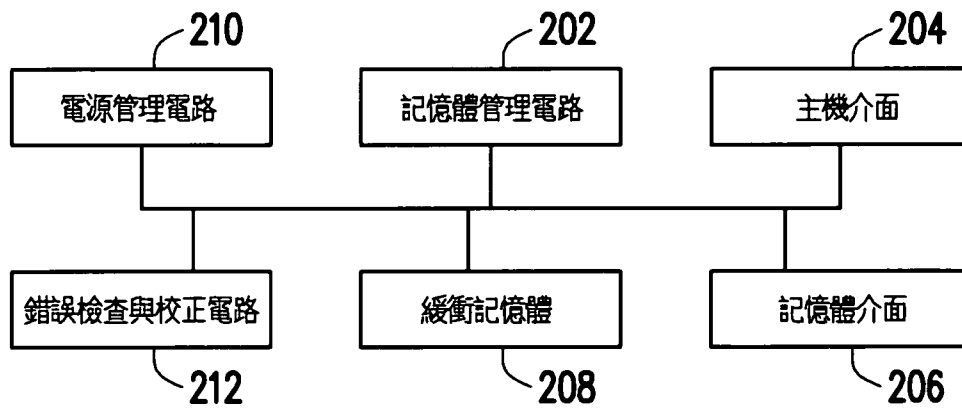
【圖2】



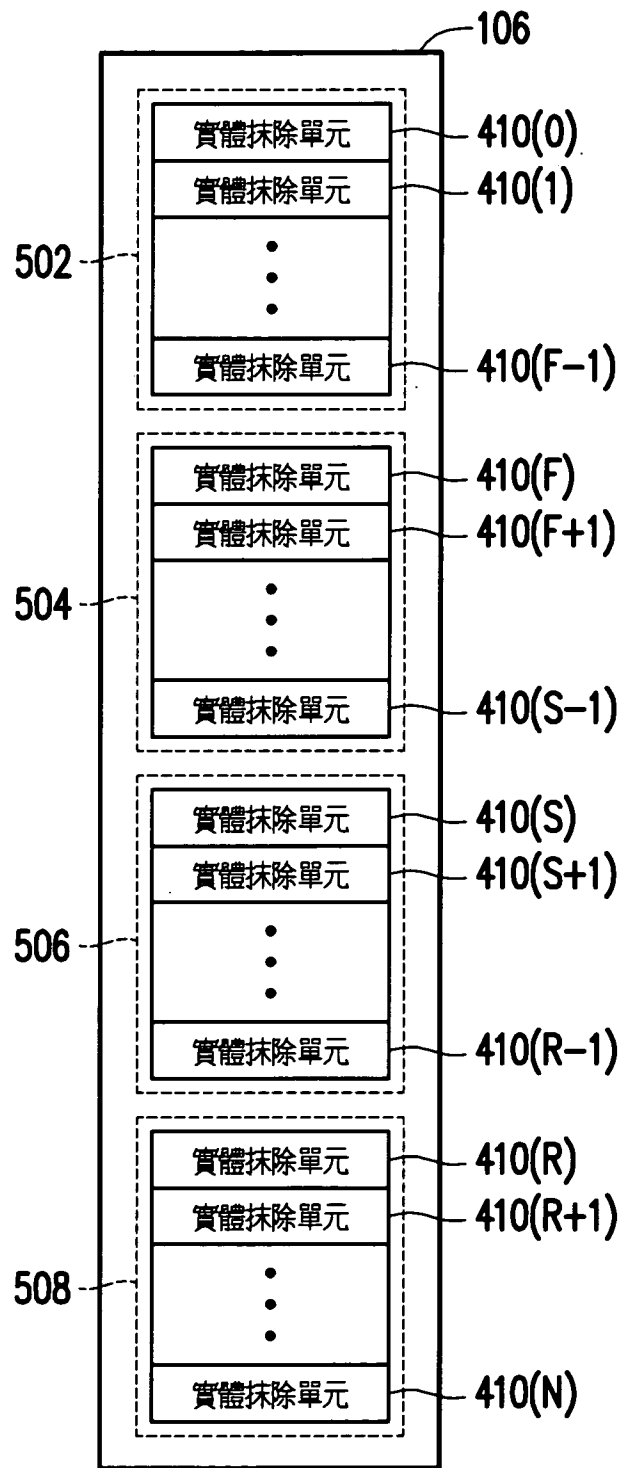
【圖3】



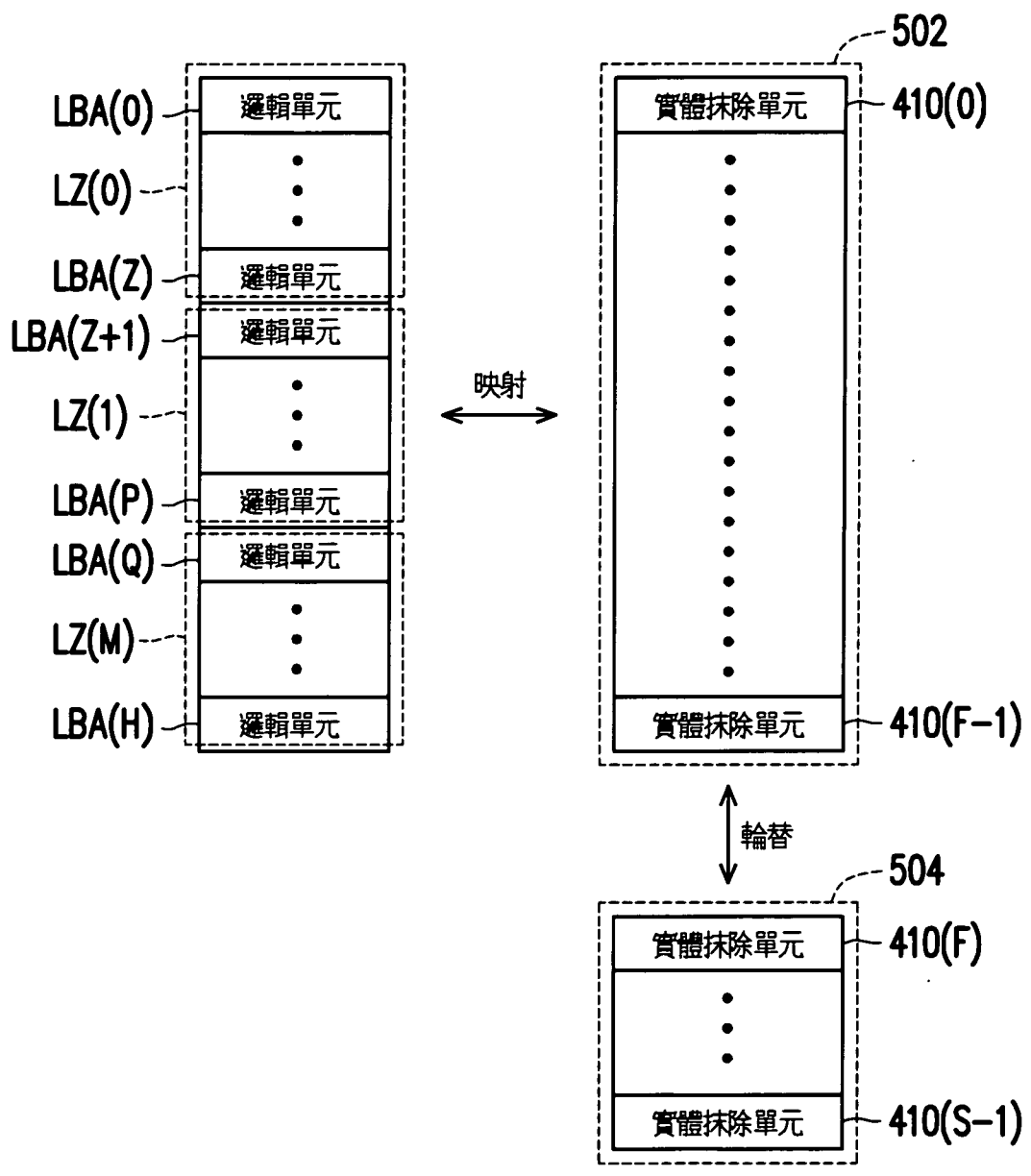
【圖4】



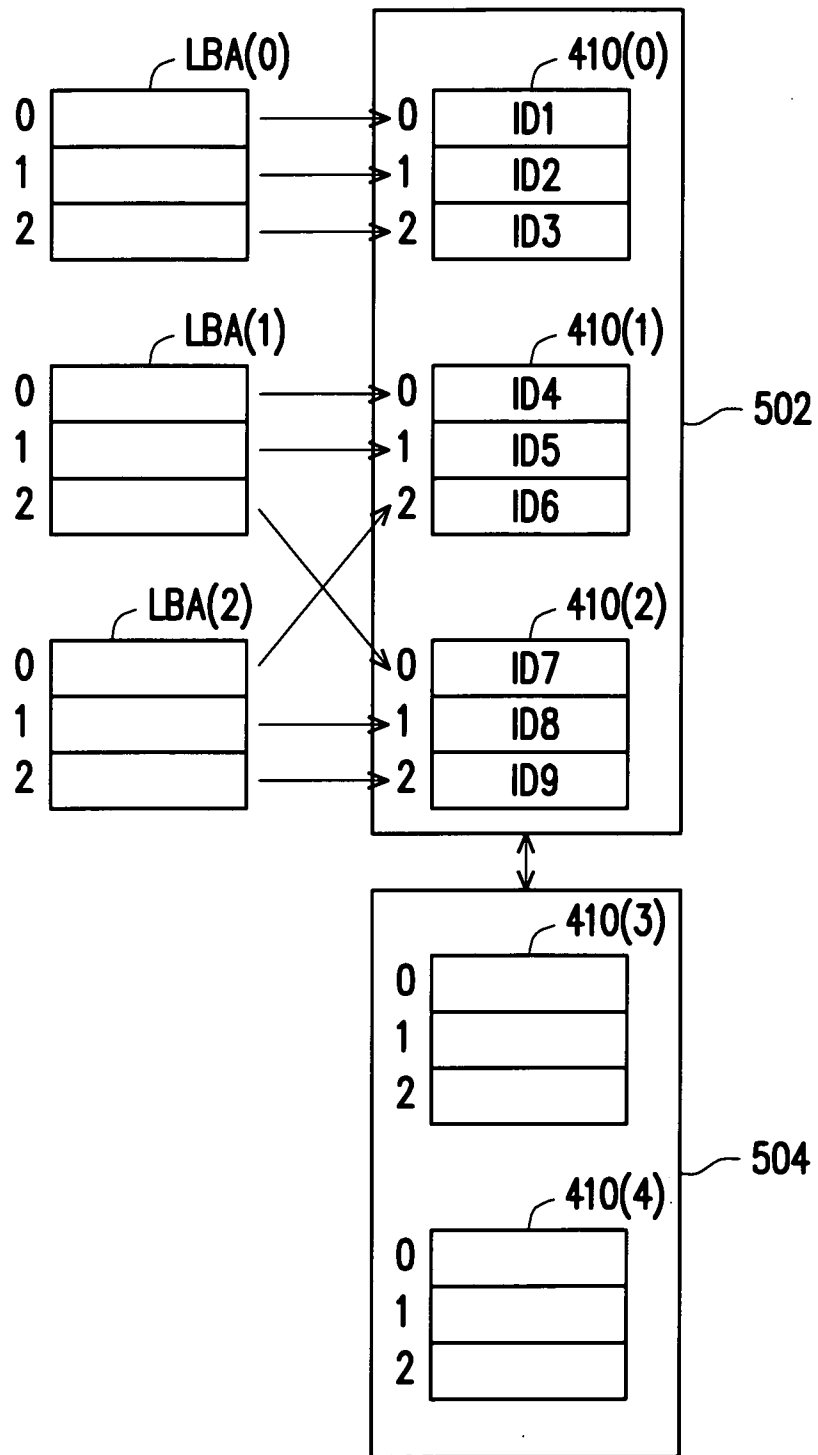
【圖5】



【圖6】



【圖7】



【圖8A】

600

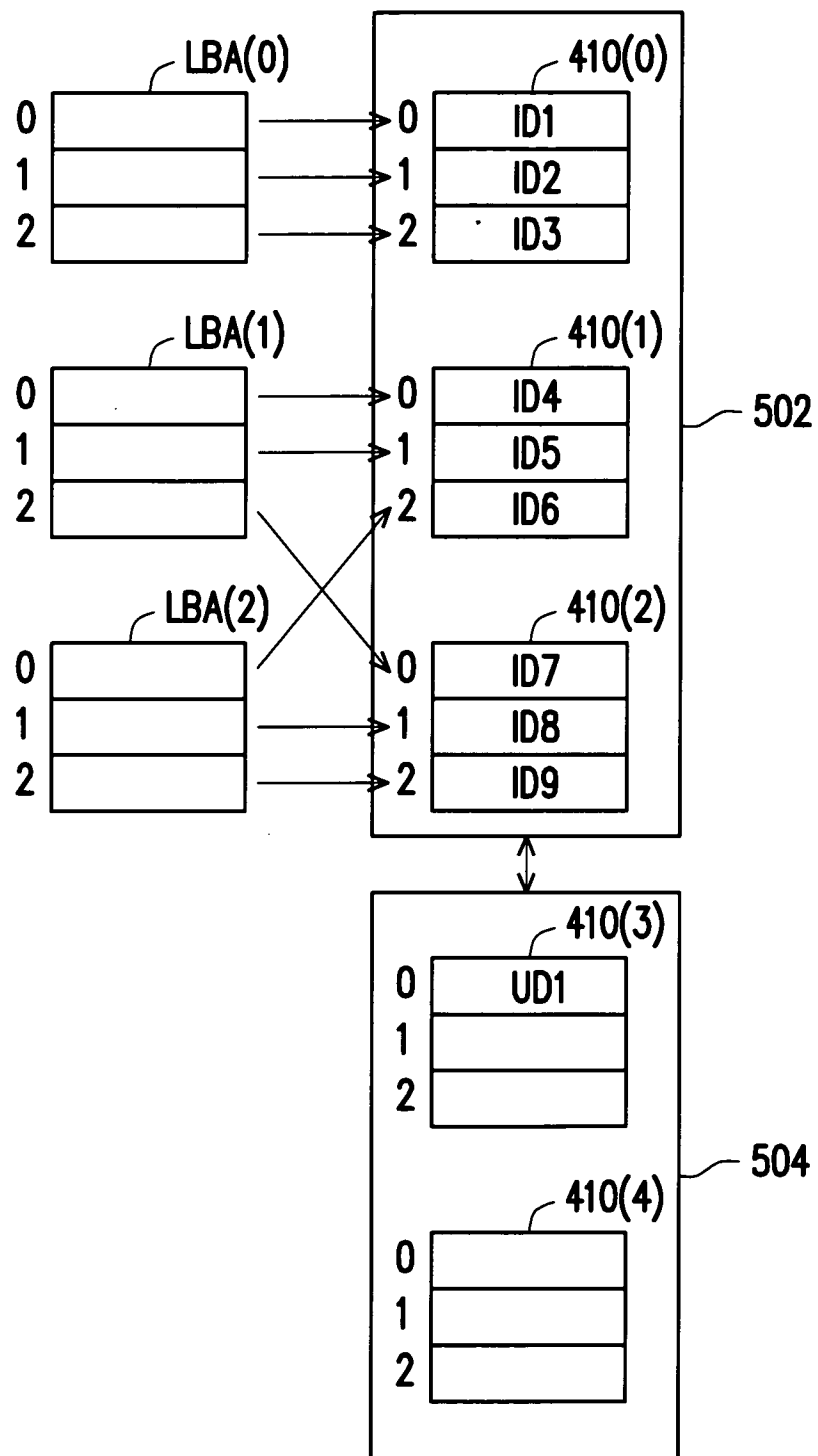
| 實體位址 | 邏輯位址 |
|------|------|
| | |
| | |
| | |

【圖8B】

700

| 實體抹除單元 | 有效資料計數 |
|--------|--------|
| 410(0) | 3 |
| 410(1) | 3 |
| 410(2) | 3 |

【圖8C】



【圖9A】

600

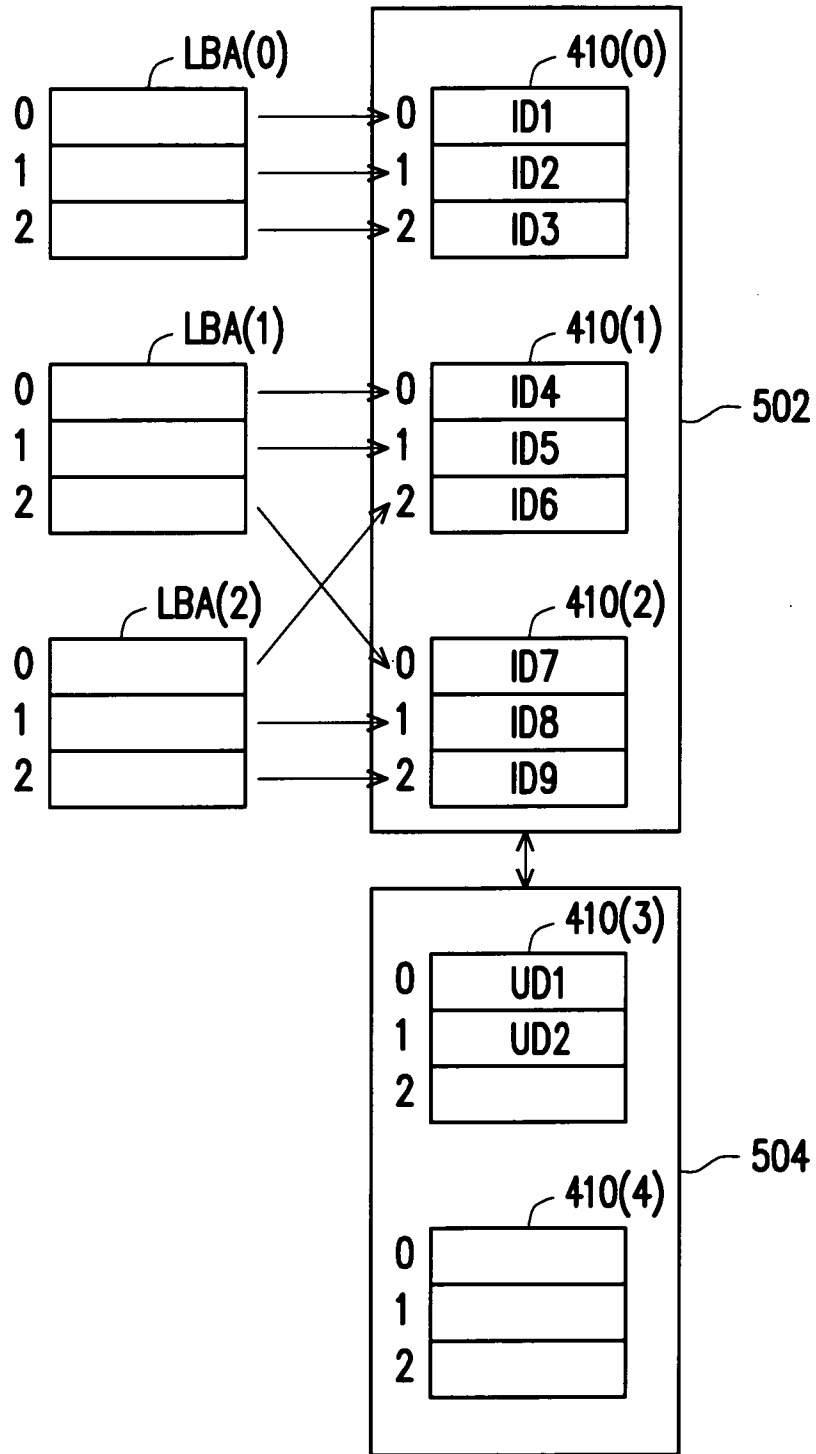
| 實體位址 | 邏輯位址 |
|----------|----------|
| 410(3)-0 | LBA(0)-2 |
| | |
| | |

【圖9B】

700

| 實體抹除單元 | 有效資料計數 |
|--------|--------|
| 410(0) | 2 |
| 410(1) | 3 |
| 410(2) | 3 |

【圖9C】



【圖10A】

600

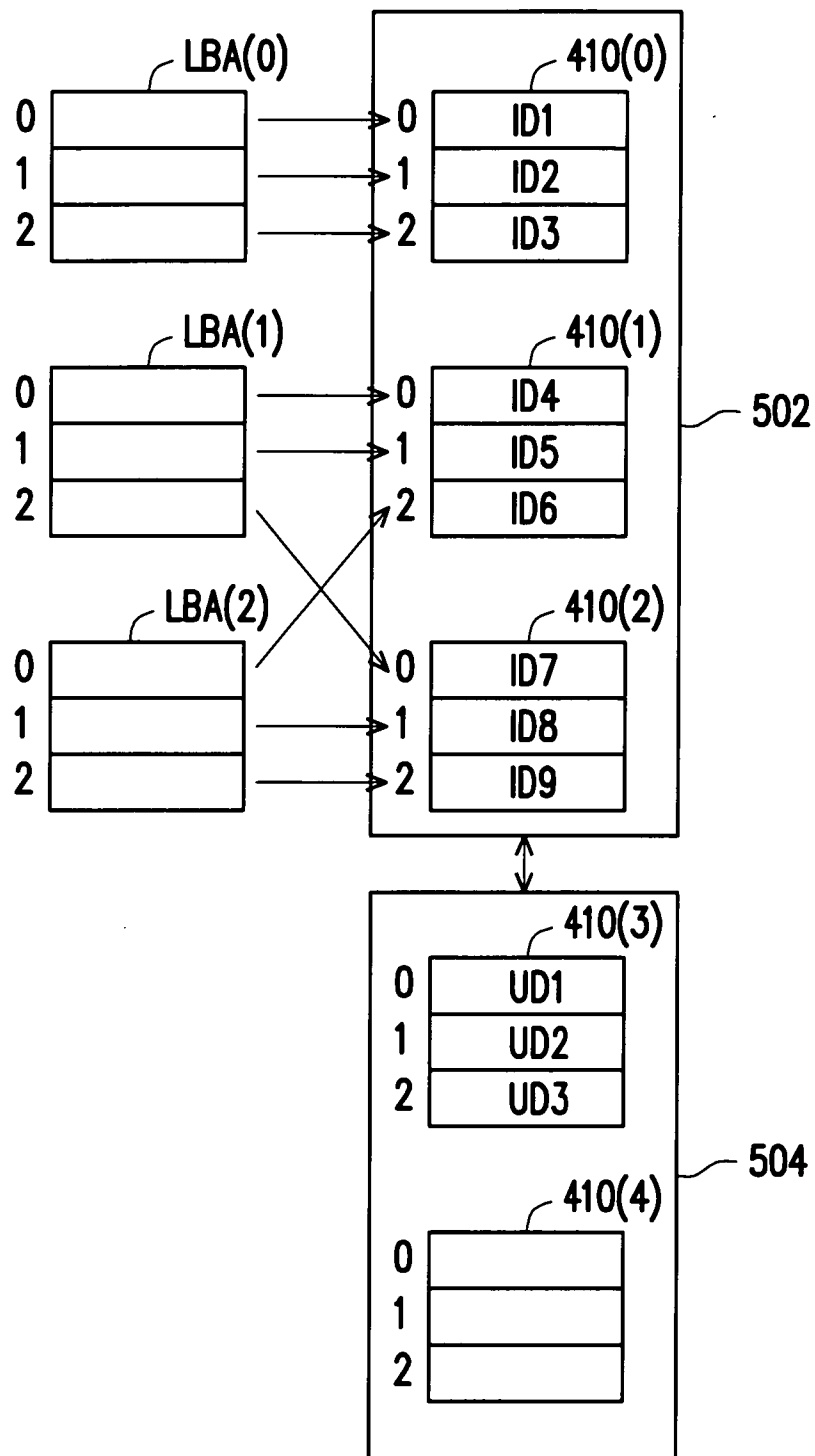
| 實體位址 | 邏輯位址 |
|----------|----------|
| 410(3)-0 | LBA(0)-2 |
| 410(3)-1 | LBA(1)-0 |
| | |

【圖10B】

700

| 實體抹除單元 | 有效資料計數 |
|--------|--------|
| 410(0) | 2 |
| 410(1) | 2 |
| 410(2) | 3 |

【圖10C】



【圖11A】

600

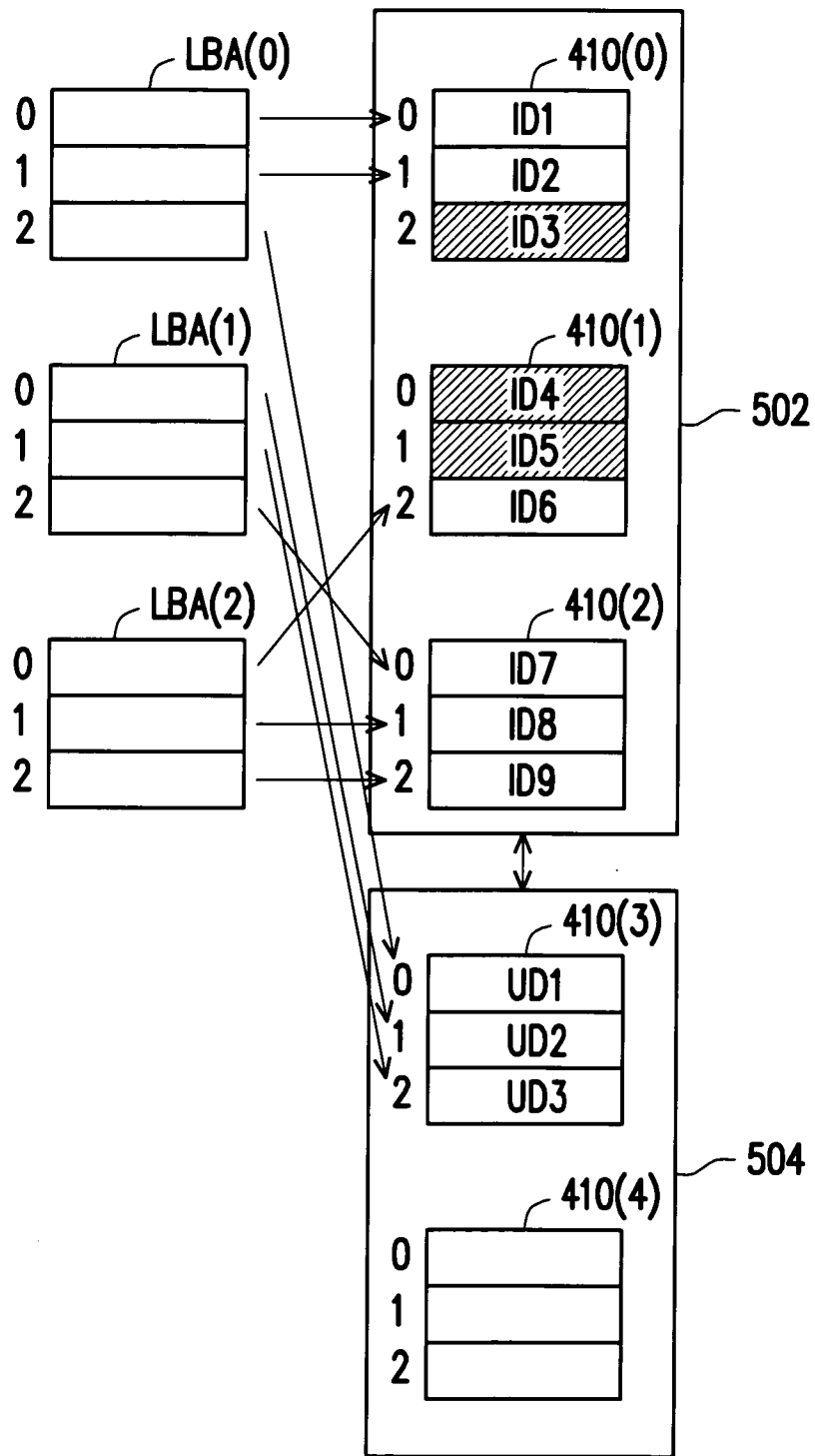
| 實體位址 | 邏輯位址 |
|----------|----------|
| 410(3)-0 | LBA(0)-2 |
| 410(3)-1 | LBA(1)-0 |
| 410(3)-2 | LBA(1)-1 |

【圖11B】

700

| 實體抹除單元 | 有效資料計數 |
|--------|--------|
| 410(0) | 2 |
| 410(1) | 1 |
| 410(2) | 3 |

【圖11C】



【圖12A】

600

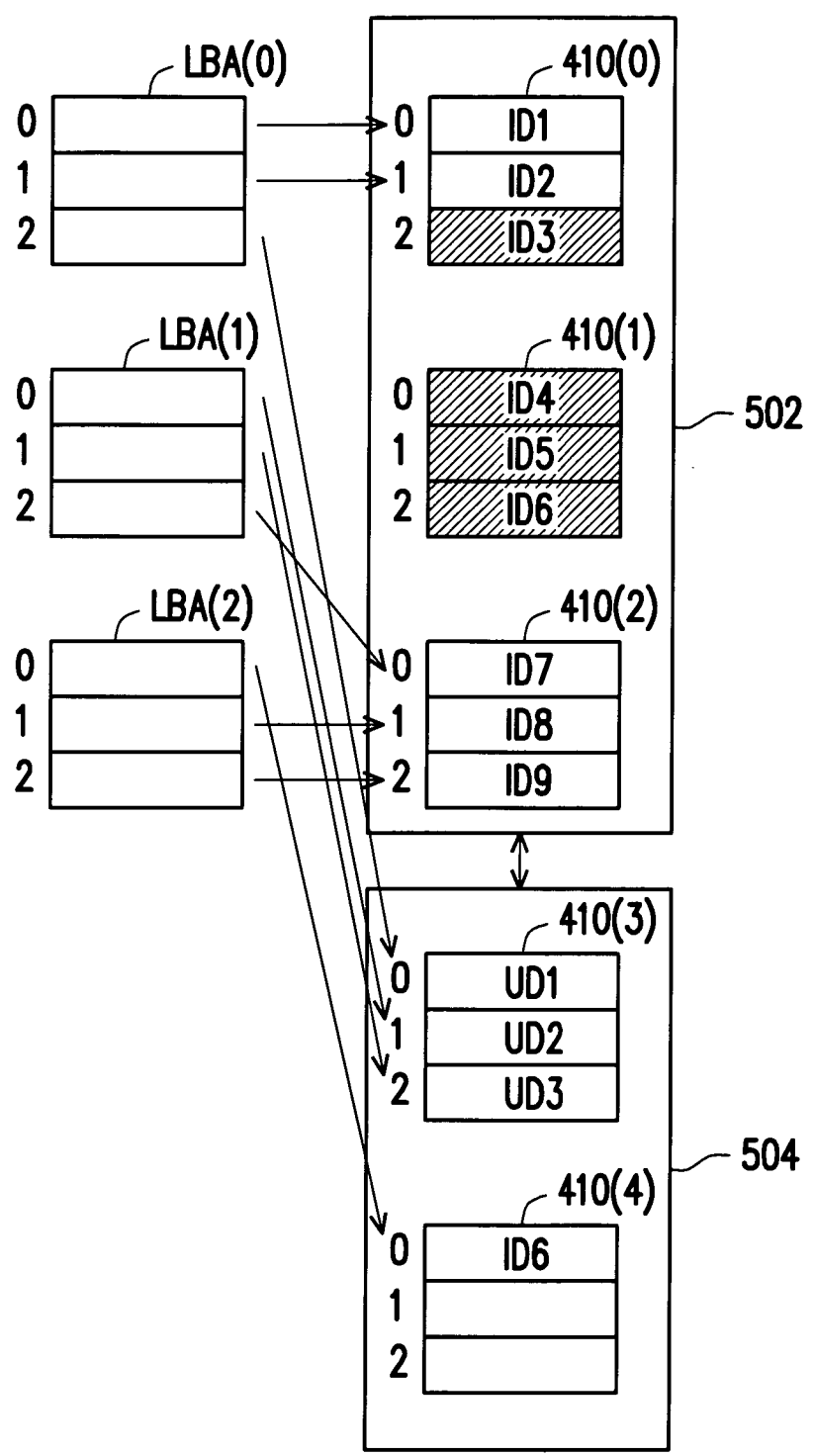
| 實體位址 | 邏輯位址 |
|----------|----------|
| 410(3)-0 | LBA(0)-2 |
| 410(3)-1 | LBA(1)-0 |
| 410(3)-2 | LBA(1)-1 |

【圖12B】

700

| 實體抹除單元 | 有效資料計數 |
|--------|--------|
| 410(0) | 2 |
| 410(1) | 1 |
| 410(2) | 3 |

【圖12C】



【圖13A】

600

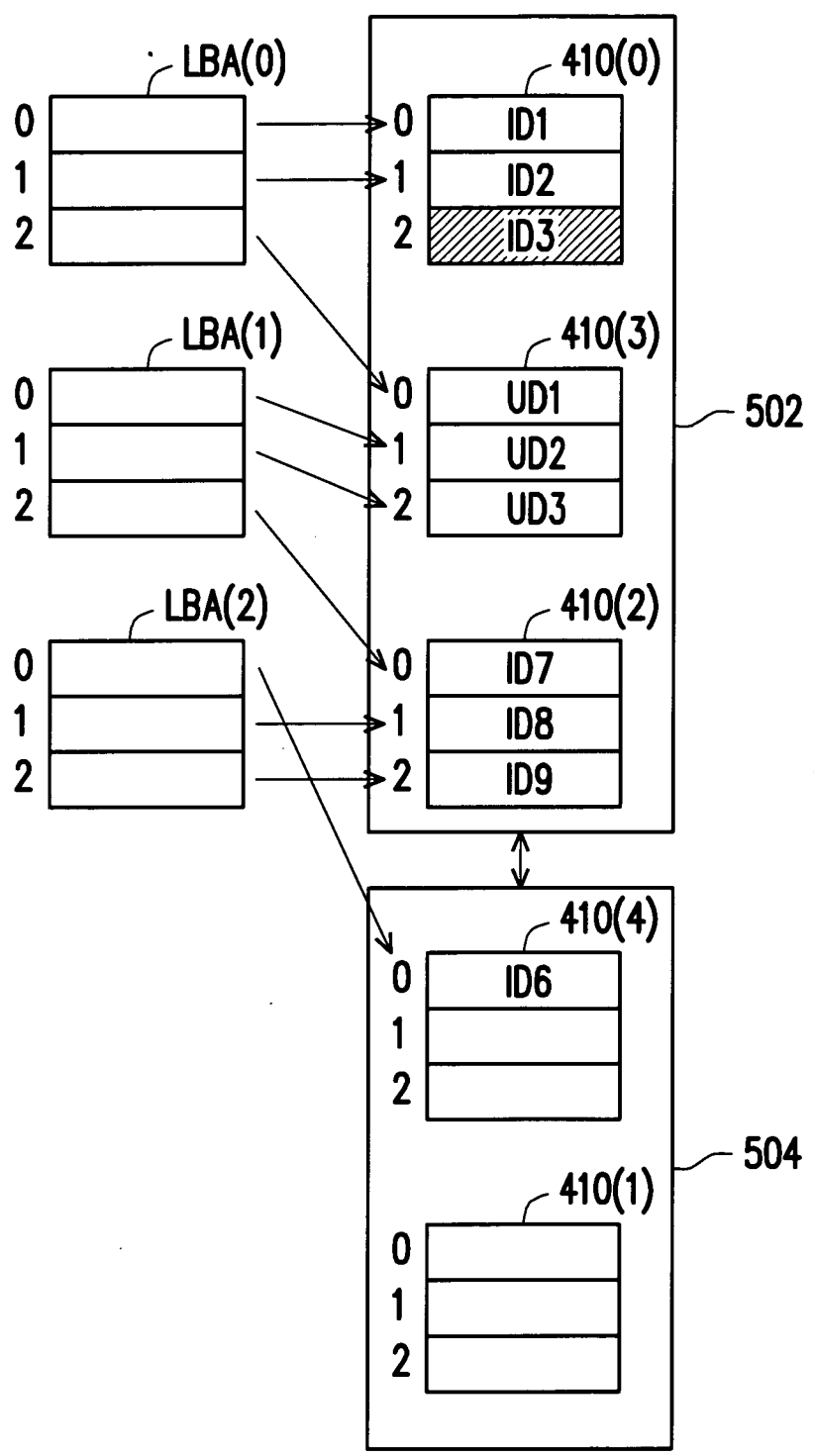
| 實體位址 | 邏輯位址 |
|------|------|
| | |
| | |
| | |

【圖13B】

700

| 實體抹除單元 | 有效資料計數 |
|--------|--------|
| 410(0) | 2 |
| 410(1) | 0 |
| 410(2) | 3 |

【圖13C】



【圖14A】

600

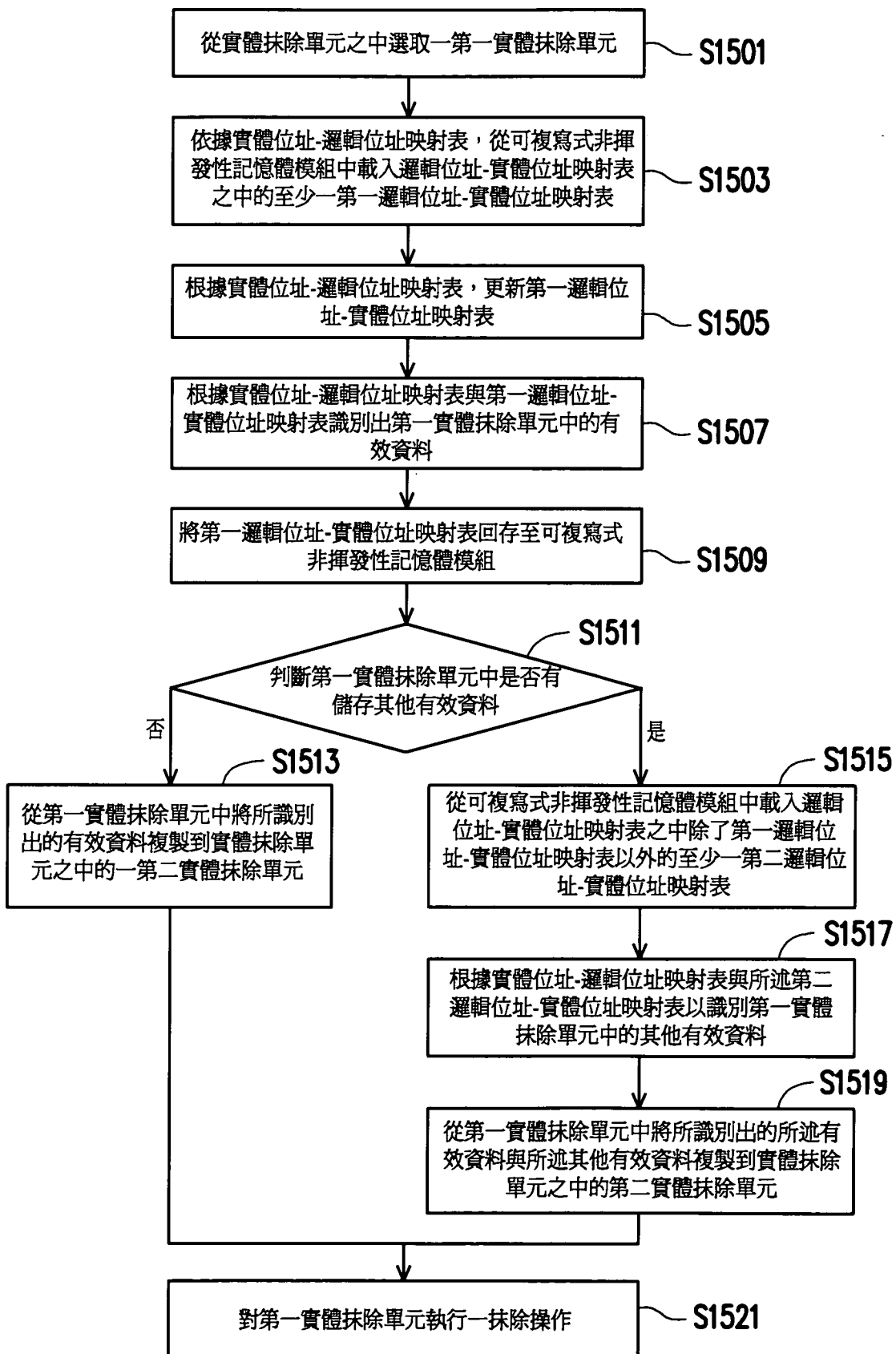
| 實體位址 | 邏輯位址 |
|------|------|
| | |
| | |
| | |

【圖14B】

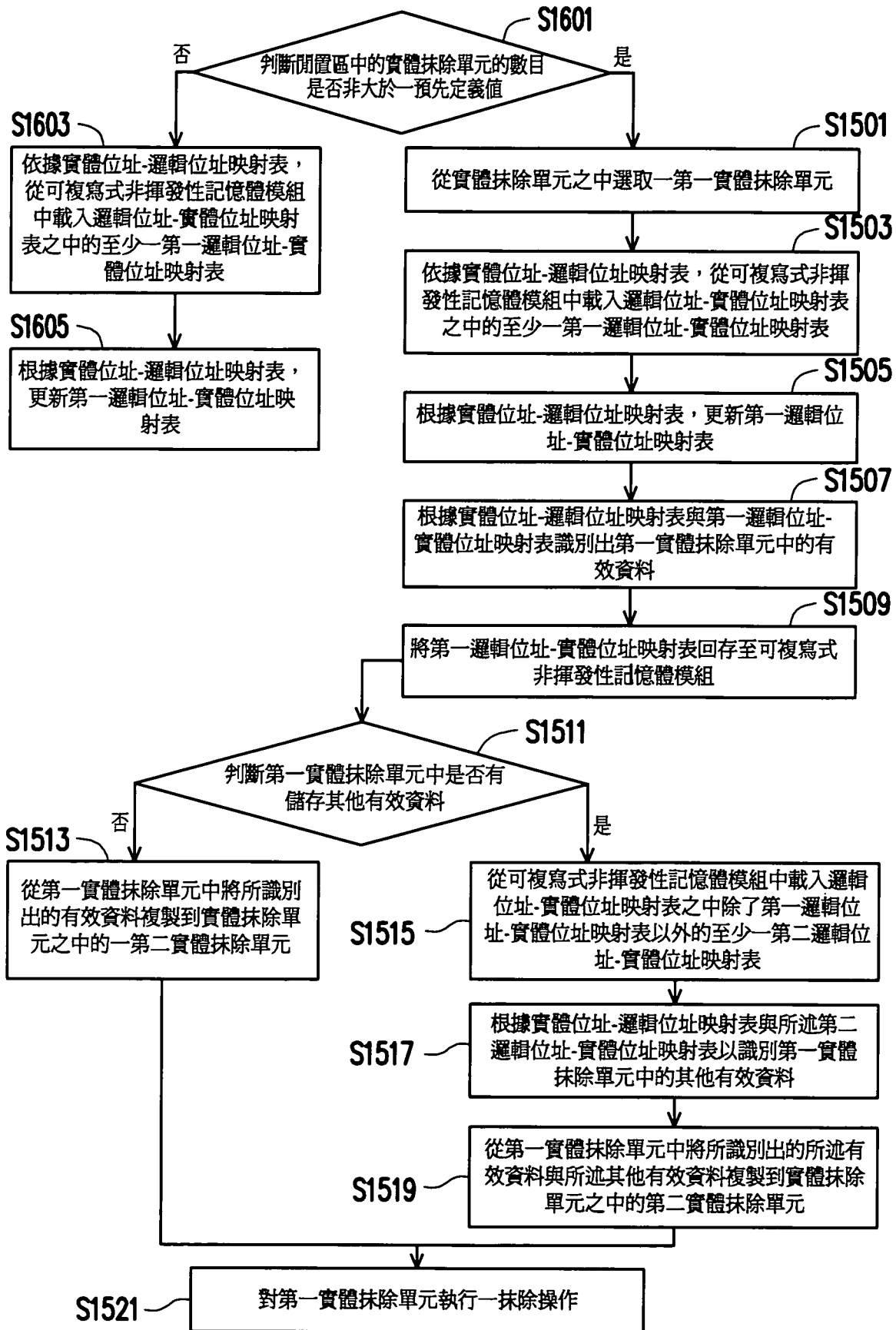
700

| 實體抹除單元 | 有效資料計數 |
|--------|--------|
| 410(0) | 2 |
| 410(3) | 3 |
| 410(2) | 3 |

【圖14C】



【圖15】



【圖16】