

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁶
H01L 29/70

(45) 공고일자 2001년01월 15일

(11) 등록번호 10-0275544

(24) 등록일자 2000년09월21일

(21) 출원번호	10-1995-0052694	(65) 공개번호	특1997-0054345
(22) 출원일자	1995년 12월 20일	(43) 공개일자	1997년 07월 31일

(73) 특허권자 한국전기통신공사 이계철
경기도 성남시 분당구 정자동 206한국전자통신연구원 정선중
대전광역시 유성구 가정동 161번지
(72) 발명자 염병렬
대전광역시 유성구 가정동 161번지
조덕호
대전광역시 유성구 가정동 161번지
한태현
대전광역시 유성구 가정동 161번지
이수민
대전광역시 유성구 가정동 161번지
편광의
대전광역시 유성구 가정동 161번지
(74) 대리인 이화익, 김명섭

심사관 : 김관식

(54) 선택적 컬렉터 박막 성장을 이용한 초자기정렬 바이폴러 트랜지스터의 제조방법

요약

본 발명은 선택적 컬렉터 박막 성장을 이용한 초자기정렬 바이폴러 트랜지스터와 그 제조방법에 관한 것으로서, 그 특징은 전도성 매물 컬렉터(2)가 형성된 반도체 기판(1)에 제1산화막(3), 베이스 전극 박막(4) 및 제2산화막(5)을 순차적으로 형성하는 제1과정과, 활성영역을 정의하여 패터닝하고, 측벽에 측면 절연막을 형성시키는 제2과정과, 상기 활성영역에 컬렉터용 전도체 반도체 박막(8)을 선택적으로 형성하는 제3과정과, Si(9)/도핑양된 SiGe(10)/도핑된 SiGe(11)/Si(12)의 다층으로 이루어진 베이스층 및 실리콘사이드 박막(13)을 형성하는 제4과정과, 상기 베이스 영역을 패터닝하고, 제3산화막(14)을 증착시키는 제6과정과, 에미터 영역을 정의하여 측벽에 제2스페이서용 측벽 절연막(15)을 형성하는 제7과정과, 선택적으로 에미터 박막(16)을 성장시키고, 그 위에 에미터 전극용 다결정 규소박막(17)을 증착하여 패터닝하는 제8과정과, 패시베이션 절연막(18)을 증착후 금속 접촉층을 형성하여 전극을 형성하는 제9과정을 포함하여 이루어짐을 특징으로 한다.

대표도

도1

명세서

[발명의 명칭]

선택적 컬렉터 박막 성장을 이용한 초자기정렬 바이폴러 트랜지스터의 제조방법

[도면의 간단한 설명]

제1도는 종래의 선택적 베이스 박막 성장법을 사용한 초자기정렬 npn 규소/규소 게르마늄 이종접합 바이폴러 소자의 단면도.

제2도는 종래의 컬렉터 베이스 에미터를 선택적 박막 성장법으로 형성한 초자기정렬 바이폴러 소자의 단면도.

제3도는 본 발명에 따른 선택적 컬렉터 박막 성장법으로 형성한 초자기정렬 바이폴러 소자의 단면도.

제4(a)도 - 4(i)도는 본 발명에 따른 완성한 선택적 컬렉터 박막 성장법으로 형성한 초자기정렬 바이폴러 소자의 제조 공정별 단면도.

[발명의 상세한 설명]

본 발명은 초자기정렬 바이폴러 트랜지스터의 제조방법에 관한 것으로서, 특히 선택적 컬렉터 박막 성장

을 이용한 초자기정렬 바이폴러 트랜지스터의 제조방법에 관한 것이다.

일반적으로, 동종접합 바이폴러 트랜지스터(Homojunction Bipolar Transistor)의 크기가 작아지면 동작 속도가 개선되는 잇점이 있지만 에미터(emitter)와 베이스(base)의 불순물(dopant)농도가 증가되어야 하므로 기존 구조를 이용하여 소자특성을 향상시키는 데에는 한계가 있었다.

상기 한계점을 극복하기 위하여 안출된 것이 이종접합 바이폴러 소자(Heterojunction bipolar device)이다.

이종접합 소자의 구조적 특징은 에미터 에너지 띠 간격(Energy bandgap)이 베이스 에너지 띠 간격보다 크다는 것이다.

이로 인하여 소자의 성능과 설계상에 많은 잇점을 얻을 수 있는데, 기존의 동종접합 바이폴러 소자 공정에서 규소(Si)를 이용한 베이스 층에 게르마늄(Ge)을 첨가하여 에너지 띠 간격을 감소시키는 방법이 최근에 와서 집중 연구중에 있다.

본 발명은 Si/SiGe 이종접합 박막을 이용한 새로운 소자구조로서, 컬렉터-베이스간을 자기정렬함으로써 컬렉터-베이스간의 기생용량 및 베이스 기생저항을 크게 감소시켜 소자의 고주파 대역에서의 동작 특성을 개선하였다.

기존의 이종접합 바이폴러 소자들은 일반적인 동종접합 규소 바이폴러 소자와 같이 다결정 규소(Polysilicon) 박막을 베이스 전극 및 에미터와 에미터 불순물 확산원(Diffusion source)으로 동시에 사용한다.

그렇게 해서 베이스 층에는 규소 대신 규소 게르마늄을 사용하여 에미터와 베이스간의 에너지 띠 간격격차를 생기게 하여 에미터 주입 효율(Injection efficiency)을 증가시키며, 베이스를 고불순물 농도(High doping concentration) 초미세 박막(Ultra-thin)으로 성장시켜 소자의 전류 증폭이득(Current gain) 및 스위칭 속도를 크게 향상시켜 왔다.

최근에 와서 소자의 구조가 최적화 또한 소형화(Scaling-down)되면서 소자의 활성영역 상에 존재하는 베이스 저항 및 컬렉터-베이스간의 기생용량등 각종 기생성분을 최소화하기 위해 여러 가지 방법이 이용되었다.

그 방법으로는 도랑 소자격리와, 국부 규소 열산화(Local Oxidation of Silicon, 이하 LOCOS라고 약칭함)와, 규소 게르마늄(SiGe) 베이스 박막의 선택적 박막 성장(SEG : Selective Epitaxial Growth)과, 규소 에미터만의 선택적 박막 성장 등이 있다.

상기와 같은 방법을 이용하여 베이스-에미터를 자기정렬하여 베이스 기생저항을 줄이거나, 베이스-에미터간과 컬렉터-베이스간 모두를 자기정렬한 초자기정렬 규소/규소 게르마늄(Si/SiGe) 이종접합 바이폴러 트랜지스터를 개발하였다.

동시에 베이스 전극 물질인 다결정 규소 박막에서 야기되는 베이스 기생저항을 더욱 줄이기 위해 베이스 전극으로 다결정 규소 대신 금속성 박막 예를 들면 티타늄 실리사이드(TiSi₂)를 사용하는 공정에 대해 연구가 활발하게 진행되었다.

또한 LOCOS도 수직적인 규소 열산화막의 두께만큼 새부리 모양의 열산화막이 수평적으로 형성되어 소자의 등비축소에 한계를 야기시키므로 바람직하지는 않다.

이 중에서 가장 최근 것으로는 규소 게르마늄 베이스 박막의 선택적 박막성장을 사용하고 LOCOS를 사용하지 않은 초자기정렬 Si/SiGe 이종접합 바이폴러 트랜지스터의 대표적인 예를 제1도에 나타내었다.

제1도는 종래의 선택적 베이스 박막 성장법을 사용한 초자기정렬 npn 규소/규소 게르마늄 이종접합 바이폴러 소자의 단면도이다.

제1도를 참조하여 초자기정렬 선택적 베이스 성장법(Super Self-Aligned Selectively grown Base)으로 제조된 npn 이종접합 바이폴러 트랜지스터를 설명하면 다음과 같다.

p형 규소 기판(1-1)에 고불순물 농도층인 n⁺ 매몰 규소 컬렉터 층(1-2)을 형성하고 그 위에 저불순물 농도층인 n⁻ 규소 컬렉터박막(1-3)을 성장시킨다.

그 후에 n형 불순물 이온을 주입하여 컬렉터 연결부(1-4)를 형성하고, 소자간을 격리하기 위하여 규소층의 건식식각으로 도랑(Trench)을 형성하고 그 안에 붕소와 인을 포함한 BPSG(Boron Phosphorous Silica Glass) 절연막(1-5)을 채웠다.

그리고 고압에서 박막(1-5)을 평탄화 시켰다.

그 후에 절연막(1-6)과 p⁺ 다결정 규소막(1-7)과 절연막(1-8)과 측면 절연막(1-9)을 도포와 식각으로 제1도와 같이 형성하고난 다음에 선택적으로 소자의 활성영역에만 이온주입하여 고전류 영역에서의 소자특성을 향상시키기 위한 n형 컬렉터 영역(1-10)을 형성하였다.

다음으로 기체원 분자선 박막 성장법(Gas Source Molecular Beam)을 사용하여 규소 컬렉터(1-3, 1-10)와 다결정 규소 베이스 전극(1-7)이 노출된 부분에만 선택적으로 규소 게르마늄 베이스(1-11)를 성장시키고 다시 잔여공간에 다결정 규소 박막(1-12)을 선택적으로 성장시켜 베이스전극용 다결정 규소(1-7)와 규소 게르마늄 베이스(1-11)와의 접촉을 이루었다.

따라서, 컬렉터와 베이스간에 형성되는 기생용량 영역은 감광막으로 정의됨 없이 박막(1-12)의 부분만으로 국한되어 작게 할 수 있어서 컬렉터-베이스간이 자기 정렬되었다.

다음 단계로 미세한 베이스 박막(1-11)에 절연막(1-13)을 도포한 후에 비등방성(Anisotropic) 식각을 사

용하여 측면에만 절연막(1-13)을 형성시킴으로써 베이스 전극(1-7)과 다결정 규소 에미터 박막(1-14)을 감광막으로 정의함 없이 격리함으로써 베이스-에미터간도 자기정렬하였다.

이로써 베이스의 기생저항 영역은 오로지 측면 절연막(1-9, 1-13)의 일부분으로 국한되며 측면 절연막의 두께를 조절하여 기생 베이스 저항을 작게할 수 있게 된다.

그러나, 절연막(1-6)을 수평적 습식식각으로 컬렉터-베이스간에 형성되는 기생용량 영역(1-12)을 정의하는 것의 균일도나 재현성면에서 공정의 안정도가 떨어지며 자칫 소자성능의 치명적인 열화를 초래할 수 있다.

또한, 성장속도가 극도로 느린 선택적 박막 성장법을 베이스 박막(1-11)과 연결 박막(1-12)의 성장에 두 번이나 적용하고, 박막 종류도 결정 박막(1-11)과 다결정 규소 박막(1-12)으로 다름으로써 공정의 복잡성이 증가함과 동시에 자칫 베이스 박막(1-11) 상에 다결정성 규소 박막(1-12)이 조금이라도 성장되는 경우는 소자에 치명적이므로 공정조절이 용이하지 않다.

그래서, 스루풋(Throughput)과 관련된 경제성과 공정의 용이성과 관련된 재현성 있는 기술이 되기 힘들다는 단점이 있다.

또한, 제1도와 같이 기판 전면에 형성된 n^+ 매몰 컬렉터층(1-2)상에과 컬렉터 연결부(1-4)가 n^- 컬렉터박막(1-3)을 통해 소자간에 연결됨을 방지하기 위해서 소자격리 도랑구조를 깊게 형성해야 한다.

그로 인해 절연막(1-5)을 채우기 위한 도랑의 평면면적이 커져서 소자가 커진다는 문제점이 있었다.

제2도는 종래의 컬렉터 베이스 에미터를 선택적 박막 성장법으로 형성한 초자기정렬 바이폴러 소자의 단면도이다.

제2도를 참조하여 종래의 컬렉터 베이스 에미터를 선택적 박막 성장법으로 형성한 초자기정렬 바이폴러 소자에 대하여 설명하면 다음과 같다.

제2도는 베이스뿐만 아니라 컬렉터 박막까지 선택적 박막 성장법을 사용함으로써 제1도의 구조를 더욱 간단화하고 집적화한 것으로, P형 규소 기판(2-1)에 N^+ 형 컬렉터(2-2)를 형성한다.

그리고, 그 위에 절연막(2-3) 베이스 전극용 다결정 규소 박막(2-4)을 증착하고 박막(2-4)을 감광막 마스크와 박막(2-4)의 식각으로 베이스 전극 영역을 정의한다.

그 후, 절연막(2-5)을 도포하고 감광막 마스크와 박막(2-5, 2-4, 2-3)의 식각으로 활성영역을 정의한다.

이어서 컬렉터용 N형 규소 박막(2-6)과 베이스용 규소 게르마늄 박막(2-7) 그리고 에미터용 규소 박막(2-8)을 일시에 순차적으로 불순물을 첨가하면서 성장시킨다.

이 때, 박막(2-6, 2-7, 2-8)을 성장시킬 때에 제2도와 같이 측면에 다결정 또는 비정질 규소 박막(2-6-1, 2-7-1, 2-8-1)이 각각 형성된다.

다음으로 컬렉터 금속접촉용 실리사이드 박막(2-9)을 형성하고 최종적으로 금속 전극(2-10)을 형성시켜 소자를 완성한다.

제2도의 소자에서는 (2-8-1)에서 (2-7-1)을 거쳐 (2-6-1)로 전류가 도통되는 경로가 생기므로 누설전류의 수준이 아닌 컬렉터-에미터간의 단락 현상이 발생할 수 있다는 문제점이 있었다.

마찬가지로 (2-8-1)에서 (2-7-1)과 (2-6-1)을 거쳐 (2-6)으로 전류가 도통되며 또한 (2-6)에서 (2-7-1)과 (2-6-1)을 통해 전류가 도통되므로 사실상 에미터-베이스간과 베이스-컬렉터간의 단락 현상이 발생할 수도 있다는 문제점이 있었다.

상기 문제점을 해결하기 위한 본 발명의 목적은 바이폴러 트랜지스터의 동작속도를 이중접합의 박막 구조를 사용하여 증가시키며 소자의 기생용량 및 기생저항을 최소화하고 소자크기를 감소시키기 위하여 선택적 컬렉터 박막 성장을 이용한 초자기정렬 바이폴러 트랜지스터의 제조방법을 제공함에 있다.

상기 목적을 달성하기 위한 본 발명은 바이폴러 트랜지스터의 제조방법에 있어서, 전도성 매몰 컬렉터(2)가 형성된 반도체 기판(1)에 제1산화막(3), 베이스 전극용 전도성 반도체 박막(4) 및 제2산화막(5)을 순차적으로 형성하는 제1과정과, 활성영역을 정의하고 상기 제2산화막(5)과 베이스 전극용 반도체 박막(4)을 패터닝하고, 그 제2산화막(5) 및 베이스전극용 반도체 박막(4)의 노출된 측벽에 제1스페이서용 절연막을 형성시키는 제2과정과, 상기 활성영역의 노출된 제1산화막(3)을 제거하고 그 활성영역에 컬렉터용 전도성 반도체 박막(8)을 상기 베이스 전극용 반도체 박막(4)과 같은 높이로 선택적으로 형성하는 제3과정과, 상기 제3과정의 결과물의 상면에 있는 제2산화막(5)을 제거하고, 그 결과물 전면 위에 Si(9)/도핑된 SiGe(10)/도핑된 SiGe(11)/Si(12)의 다층으로 이루어진 베이스층 및 실리사이드 박막(13)을 형성하는 제4과정과, 베이스 영역을 정의하여 상기 실리사이드 박막(13) 및 베이스층을 패터닝하고, 제3산화막(14)을 증착시키는 제6과정과, 에미터 영역을 정의하는 마스크로 상기 제3산화막(14)과 상기 실리사이드 박막(13)을 식각하여 상기 베이스층을 노출시키고 식각된 측벽에 제2스페이서용 측벽 절연막(15)을 형성하는 제7과정과, 상기 에미터 영역에 선택적으로 에미터 박막(16)을 성장시키고, 그 위에 에미터 전극용 다결정 규소박막(17)을 증착하여 에미터 전극을 패터닝하는 제8과정과, 상기 제8과정의 결과물에 패시베이션 절연막(18)을 증착후 금속 접촉층을 형성하여 배선용 금속을 증착 및 패터닝하는 제9과정을 포함하는 선택적 컬렉터 박막 성장을 이용한 초자기정렬 바이폴러 트랜지스터의 제조방법을 제공함에 특징이 있다.

이하, 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예들 중의 하나를 상세히 설명한다.

제3도는 본 발명에 따른 선택적 컬렉터 박막 성장법으로 형성한 초자기정렬 바이폴러 소자의 단면도이다.

제3도를 참조하여 본 발명에 따른 선택적 컬렉터 박막 성장법으로 형성한 초자기정렬 바이폴러 소자에 관

하여 설명하면 다음과 같다.

먼저, 매몰 컬렉터(3-2)를 갖는 반도체 기판(3-1) 상에 제1산화막(3-3)과 베이스 전극용 도전성 박막(3-4)이 순차적으로 형성되어 있다.

이때 상기 반도체 기판(3-1)은 Si 단일 기판, 또는 Si 층 위에 SiGe 또는 Ge로 이루어진 완충층이 형성되고 이 위에 Ge층이 형성된 이종접합 기판으로 구성되어 매몰 컬렉터(3-2)가 Ge박막상에 형성되게 할 수 있다.

상기 도전성 박막(3-4)과 제1산화막(3-3)을 패터닝하여 정의된 트랜지스터의 활성영역에 컬렉터층(3-7)이 형성되며, 이 컬렉터층(3-7)을 둘러싼 도전성 박막(3-4)의 양측벽에는 제1스페이서가 형성된다. 이때, 상기 제1스페이서는 소자의 신뢰성 향상을 위해 서로 식각율이 상이한 질화 규소막(3-5)과 규소산화막(3-6)의 이종막으로 구성된다.

상기 결과물의 전면에 베이스층과 제3산화막(3-14)이 형성되어 있다. 이때, 베이스층은 Si/SiGe의 이종층(3-8, 10) 또는 Si(3-8)/도핑양된 SiGe(3-10)/도핑된 SiGe(3-11)/Si(3-12)의 다층으로 구성될 수 있으며, 이 베이스층과 상기 제3산화막(3-14)과의 계면에 베이스 기생저항을 줄이기 위해 실리 사이드층(3-13)을 더 포함할 수 있다.

상기 제3산화막(3-14) 및 실리사이드층(3-13)을 패터닝하여 정의된 에미터 영역내에는 에미터층(3-15)이 선택적으로 성장된다.

상기 에미터층(3-15)을 둘러싼 제3산화막(3-14) 및 실리사이드층(3-13)의 측벽에는 제2스페이서(3-14)가 형성된다.

상기 에미터층(3-15) 상부에는 에미터 전극(3-16)이 형성되어 있으며, 이 결과물 전면에는 페시베이션용 절연막(3-17)이 형성된다.

상기 베이스층, 에미터 전극(3-16), 및 매몰 컬렉터(3-2) 상에는 상기 절연막(3-17)과산화막들을 관통하여 금속배선(3-18)들이 각각 형성된다.

상술한 구성을 갖는 본 발명에 의한 바이폴라 트랜지스터(제3도)의 장점을 종래 기술(제1도와 제2도)과 비교하여 설명하면 다음과 같다.

첫째로, 제1도와 같이 기판 전면에 형성된 n^+ 매몰 컬렉터층(1-2)상에과 컬렉터 연결부(1-4)가 n^- 컬렉터박막(1-3)을 통해 소자간에 연결됨을 방지하기 위해서 소자격리 도랑구조를 깊게 형성해야 한다.

그로 인해 절연막(1-5)을 채우기 위한 도랑의 평면면적이 커져서 소자가 커지는 반면, 제2도와 제3도에서는 각각의 컬렉터 박막(2-6, 3-5)이 절연막(2-3, 3-3)에 의해 격리되므로 제1도의 도랑격리와 같은 소자간의 격리공정이 불필요해진다.

또한, 베이스-컬렉터와 에미터-베이스간이 각각 자기정렬됨으로써 에미터, 베이스, 컬렉터의 면적이 거의 같아져서 상하향 동작모드(에미터와 컬렉터가 바뀌는 경우)가 가능하며 베이스-컬렉터간의 기생용량뿐만 아니라 에미터-베이스간이 자기정렬되어 제1도의 초자기정렬의 장점이 본 발명에도 그대로 있다.

소자격리 공정이 제거됨으로써 소자의 면적을 더욱 줄일 수 있으며 동시에 공정도 더욱 단순해졌다.

둘째로, 제2도와 제3도에서는 제1도의 불필요한 영역(길이 L로 표시된 곳)이 제거됨으로 인해 소자가 더욱 작아지므로써 고집적화에 보다 적합하고 동시에 n^+ 매몰 컬렉터와 p형 기판 사이의 기생 용량을 감소시켜 소자의 동작속도를 향상시킬 수 있다.

제2도에 비해서 본 발명인 제3도가 갖는 장점에 대해 서술하면 다음과 같다.

제2도의 소자에서는 (2-8-1)에서 (2-7-1)을 거쳐 (2-6-1)로 전류가 도통되는 경로가 생기므로 누설전류의 수준이 아닌 컬렉터-에미터간의 단락 현상이 발생할 수 있다.

마찬가지로 (2-8-1)에서 (2-7-1)과 (2-6-1)을 거쳐 (2-6)으로 전류가 도통되며 또한 (2-6)에서 (2-7-1)과 (2-6-1)을 통해 전류가 도통되므로 사실상 에미터-베이스간과 베이스-컬렉터간의 단락 현상이 발생할 수도 있다.

따라서 제2도의 구조와 공정은 사실상 구현 될 수 없다고 사료된다.

그리고, 컬렉터 박막(2-6)을 선택적으로 성장시킬 때에 박막(2-6-1)이 측면에서부터 성장되므로 박막(2-6)의 두께가 커질수록 박막(2-6-1)의 측면서부터의 성장이 증가되므로 단결정성 박막(2-8, 2-7, 2-6, 2-2)으로 정의 되는 소자의 활성영역의 범위가 명확하게 정의되지 않는다.

또한 이후의 (2-7)과 (2-8)의 성장시에 성장되는 (2-7-1)과 (2-8-1)도 추가되어 사실상 소자의 활성영역의 폭이 박막(2-6, 2-7, 2-8)의 두께에 의해 좌우된다.

첫째로, 베이스 전극용 다결정 규소 박막(3-4)과 선택적으로 성장된 컬렉터 규소 박막(3-7) 사이에 다결정 규소 박막의 성장이 없으므로 소자의 활성영역이 명확하게 마스크로 정의된 대로 형성된다.

이 후의 에미터 영역을 정의하는 감광막 마스크와 측면 절연막(3-14)으로 에미터 박막(3-15)이 다결정성 영역과 연결되지 않게 할 수 있다.

제2도와 같이 누설전류의 도통 또는 에미터-베이스-컬렉터간의 단락현상이 발생되지는 않는다.

둘째로, 제2도의 구조같이 p형 규소 게르마늄 단일층 박막을 베이스로 사용한 경우에 에미터 박막(2-8)을 성장시킬 때에 베이스 박막 내의 P형 불순물이 베이스 바깥쪽인 컬렉터와 성장되고 있는 에미터 박막 쪽으로 확산된다.

그로 인해 규소(2-8)-규소 게르마늄(2-7)-규소(2-6) 에미터-베이스-컬렉터간의 물질 접합면과 npn 불순물 접합면이 불일치하게 된다.

이에 따라 에미터-베이스와 컬렉터-베이스 접합면에 기생전위가 발생하여 에미터로부터 컬렉터로의 전자의 이동이 방해됨으로 인해 전류증폭률과 차단 주파수 등등 소자성능의 열화를 초래한다.

반면에 본 발명 제3도에서는 p형 규소 게르마늄 박막(3-8)의 아래 위로 각각 규소 게르마늄(3-7)과 규소 박막(3-9)을 삽입하여 기생전위의 발생으로 인한 소자성능의 열화를 방지하였다.

측면막(3-5)과 (3-6)상에 규소 게르마늄 박막의 성장이 원활히 되도록 하고 컬렉터-베이스와 컬렉터-에미터간의 항복전압의 증가를 위하여 규소 박막(3-8)을 삽입하였다.

셋째로, 고속소자의 경우 보통 컬렉터가 얇게 설계되므로 제2도와 제3도의 베이스 전극막(2-4)과 (3-4)의 두께가 얇아지게 되어 베이스 전극 박막 자체로부터 오는 기생저항이 커지게 되는 경우가 발생한다.

이 경우를 위해 본 발명에서는 금속성 실리사이드 박막(3-12)을 삽입하여 베이스 기생저항을 최소화하였다.

네째로, 고속화를 위해 박막(2-6)이나 (3-7)의 두께가 작아질 때에 제2도에서는 (2-3)도 동시에 작아져야 하며 이에 따라 (2-4)와 (2-6-1)과 (2-6) 간의 항복전압이 감소하게 된다.

반면에, 제3 도에서는 절연막(3-5, 3-6)으로 인해 박막(3-7)의 두께가 작아지더라도 박막(3-4)과 박막(3-7) 사이의 항복전압의 감소효과가 없다.

다섯째로, 제2도의 구조는 규소 게르마늄 박막(2-7)을 성장시킬때에 선택적 성장공정을 사용하므로 공정의 난이도가 증가하거나 공정시간이 증가하여 생산성이 감소된다

또한, 베이스 전극 박막(2-4)과 베이스 박막(2-7)과의 접촉이 측면에서 이루어짐에 따라 베이스 기생저항이 증가한다

반면 제3도는 기관의 표면이 다결정 규소 박막(3-4)과 단결정 규소 박막(3-7)의 표면이므로 규소/규소 게르마늄으로 구성된 베이스용 다층 박막을 선택적으로 성장할 필요가 없어져 공정시간이 단축되고 또한 베이스 전극 박막(3-4) 상에서 베이스용 다층 박막과의 접촉이 이루어지므로 베이스 기생저항의 증가 효과가 없다

기존에 발표된 이온주입이나 도량격리를 사용하여 소자간을 격리한 소자구조와는 달리, 칩(Chip) 상에 소자격리 영역을 제거하고 또한 이온주입 소자격리 등에 따른 단점등을 제거할 수 있으며, 컬렉터-베이스간의 기생용량을 작게 조절할수 있고 또한 베이스-에미터간을 자기정렬함으로써 에미터-베이스간의 기생용량 및 베이스 기생저항을 크게 감소시켜 소자의 고주파 대역에서의 동작 특성을 개선하였다.

제4도는 본 발명에 따른 컬렉터 베이스 에미터를 선택적 박막 성장법으로 형성한 초자기정렬 바이폴러 소자의 제조 공정별 단면도이다.

제4도를 참조하여 본 발명에 따른 컬렉터 베이스 에미터를 선택적 박막 성장법으로 형성한 초자기정렬 바이폴러 소자의 제조 공정을 설명하면 다음과 같다.

제4(a)도에서는 p형 규소 기판(1)에 규소산화막을 도포한다.

그리고 나서, 감광막을 마스크로 식각한 다음 감광막을 제거하여 규소산화막을 마스크로 불순물 이온주입과 열처리로 매몰 컬렉터(2)를 형성시킨다.

그 다음, 마스크로 사용된 규소산화막을 제거하고 다시 제1산화막으로서 규소산화막(3)을 도포한다.

이어서 인-시츄(In-situ)로 불순물을 첨가하면서 화학기상 증착하거나 혹은 증착후의 불순물 이온주입하여 p⁺형 다결정 규소 박막(4)을 형성한다.

그리고 나서, 다시 제2산화막으로서 규소산화막(5)을 도포한다.

제4(b)도에서는 소자의 활성영역을 정의하는 감광막 마스크로 상기 규소산화막(5)과, 상기 p⁺형 다결정 규소 박막(4)을 식각하고, 노출된 측벽에 열산화 규소막(6) 형성하고 질화 규소막(7)을 도포한다.

그 다음, 비등방성 건식식각으로 측면에만 질화 규소막(7)을 남긴다.

제4(c)도에서는 다시 상기 제1산화막인 규소산화막(3)을 식각하고 (이 때에 규소산화막(5)도 상기 규소산화막(3)이 식각되는 두께만큼 식각된다), 컬렉터용 단결정 규소 박막(8)을 노출된 상기 매몰 컬렉터(2) 표면상에만 선택적으로 성장시킨다.

이 때 상기 컬렉터 단결정 규소 박막(8)의 도핑은 인-시츄로 박막을 성장시킬 때에 n형 불순물을 첨가하거나 혹은 박막 성장 후 이온 주입과 열처리를 한다.

제4(d)도에서는 상기 제2산화막인 규소산화막(5)을 식각한다.

이 때, 상기 규소산화막(5)과 상기 질화 규소 박막(7) 사이의 식각속도 차이가 거의 없으므로 상기 질화 규소박막(7)도 함께 거의 같은 두께만큼 식각된다.

드러난 다결정 규소 박막(4)과 컬렉터 규소 박막(8) 상에 베이스층을 위한 규소(Si)(9)와 도핑않된 규소 게르마늄(SiGe) 박막(10)과 인-시츄로 p형 불순물이 도핑된 규소 게르마늄(SiGe) 박막(11)과 규소(Si) 박막(12)을 차례로 성장한다.

이때, 상기 도핑않된 규소 게르마늄 박막(10)에는 불순물 첨가를 안하거나 혹은 n형 불순물을 인-시츄로 박막 성장시킬 때에 첨가하며, 상기 규소 박막(12)에는 불순물 첨가를 안하거나 혹은 n형이나 P형의 돌

중 어느 형으로 불순물을 첨가한다.

또한 규소 박막(9)을 뺀 상태에서 이중의 규소 게르마늄 박막(10,11)만을 혹은 도핑않된 SiGe/도핑된 SiGe/Si 박막(10,11,12) 모두를 인-시츄로 도핑된 p형 규소 박막으로 대체할 수 도 있다.

이과정에서 박막(4,6,7) 상에는 다결정성박막이 성장되는 반면 컬렉터 박막(8) 위에는 단결정성박막이 성장된다

다음으로 금속이나 혹은 금속성 실리사이드로써 한 예로 티타늄 실리사이드 $TiSi_{2-x}$ ($x = 0$ 내지 9)를스퍼터링하여 실리사이드 박막(13)에 도포한다.

제4(e)도에서는 베이스 전극을 정의하는 감광막을 마스크로 박막 (13,12,11,10,4)을 식각하고 감광막을 제거하고 규소산화막(14)을 도포한다.

제4(f)도에서는 에미터를 정의하는 감광막 마스크로 상기 규소산화막(14)을 식각하고 이어서 실리사이드 박막(13)을 식각한다.

그 다음, 규소산화막을 도포하고 비등방성 식각으로 측면에만 제2스페이서용 측벽 절연막으로서 규소산화막(15)을 남긴다.

그 후, 인-시츄로 도핑된 에미터용 n형 규소 박막(16)을 선택적으로 증착시 킨다.

제4(f')도에서는 제4(f)도와 달리 인-시츄로 도핑된 에미터용 n형 규소 박막(16)을 비선택적으로 증착한 것을 보인 것이다.

제4(g)도에서는 제4(f)도나 제4(f')도 후에(그림에서는 일 예로 제4(f)도 후로 했음) 인-시츄로 n형 불순물을 첨가하면서 다결정 규소 박막(17)을 증착하거나 혹은 제4(g')도와 같이 다결정 규소 박막(17)을 증착한 후에 n형 불순물을 이온주입하여 도핑한다.

제4(h)도에서는 에미터 전극을 정의하는 감광막 마스크로 상기 다결정 규소 박막(17)을 식각하고 감광막을 제거한다.

그 후 패시베이션 절연막으로서 규소산화막(18)을 도포한다.

제4(i)도에서는 금속 접촉창을 정의하는 감광막 마스크로 상기 패시베이션 규소산화막(18)을 식각하고 감광막을 제거한다.

그 후, 금속 박막(예를 들면 Al-1%Si/TiW의 2중층 구조 금속 박막)을 도포하고 금속배선을 정의하는 감광막 마스크로 전극 박막(19)을 식각한다.

그리고 나서, 감광막을 제거하여 소자를 완성한다.

그러므로, 상술한 바와 같은 본 발명은 바이폴러 트랜지스터의 동작속도를 규소/규소 게르마늄 이중접합의 박막 구조를 사용하여 증가시키는 동시에 소자의 기생용량 및 기생저항을 최소화하고 더 나아가 소자 크기를 감소시킴으로써 고속화 고집적화 그리고 저전력화를 이룰 수 있으며, 고속소자인 경우에 컬렉터 두께가 작아짐에 따른 컬렉터-베이스 컬렉터-에미터 항복전압의 감소효과를 최소화하며, 공정을 간단화함으로써 공정수가 줄어들어 소자의 생산성 향상을 도모할 수 있다는 데에 그 효과가 있다.

상기에서는 일실시예의 제조공정을 설명하였으나 본 발명의 사상에 벗어남이 없이 다르게 실시할 수도 있음은 이 분야에 통상적인 지식을 가진 자는 쉽게 알 수 있을 것이다.

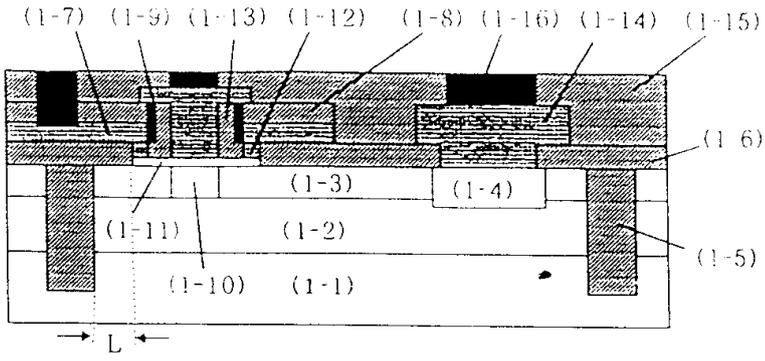
(57) 청구의 범위

청구항 1

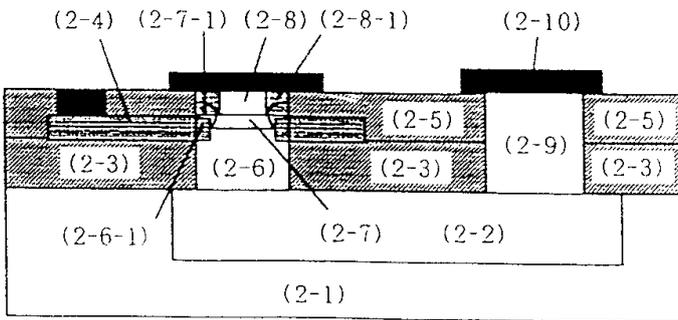
바이폴러 트랜지스터의 제조방법에 있어서, 전도성 매물 컬렉터(2)가 형성된 반도체 기판(1)에 제1산화막(3), 베이스 전극용 전도성 반도체 박막(4) 및 제2산화막(5)을 순차적으로 형성하는 제1과정과; 활성영역을 정의하여 상기 제2산화막(5)과 베이스 전극용 반도체 박막(4)을 패터닝하고, 그 제2산화막(5) 및 베이스 전극용 반도체 박막(4)의 노출된 측벽에 제1스페이서용 측벽 절연막을 형성시키는 제2과정과; 상기 활성영역의 노출된 제1산화막(3)을 제거하고 그 활성영역에 컬렉터용 전도성 반도체 박막(8)을 상기 베이스 전극용 반도체 박막(4)과 같은 높이로 선택적으로 형성하는 제3과정과; 상기 제3과정의 결과물의 상면에 있는 제2산화막(5)을 제거하고, 그 결과물 전면 위에 Si(9)/도핑않된 SiGe(10)/도핑된 SiGe(11)/Si(12)의 다층으로 이루어진 베이스층 및 실리사이드 박막(13)을 형성하는 제4과정과; 베이스 영역을 정의하여 상기 실리사이드 박막(13) 및 베이스층을 패터닝하고, 제3산화막(14)을 증착시키는 제6과정과; 에미터 영역을 정의하는 마스크로 상기 제3산화막(14)과 상기 실리사이드 박막(13)을 식각하여 상기 베이스층을 노출시키고 식각된 측벽에 제2스페이서용 측벽 절연막(15)을 형성하는 제7과정과; 상기 에미터 영역에 선택적으로 에미터 박막(16)을 성장시키고, 그 위에 에미터 전극용 다결정 규소박막(17)을 증착하여 에미터 전극을 패터닝하는 제8과정과; 상기 제8과정의 결과물에 패시베이션 절연막(18)을 증착후 금속 접촉창을 형성하여 배선용 금속을 증착 및 패터닝하는 제9과정;을 포함하여 이루어진 것을 특징으로 하는 선택적 컬렉터 박막 성장을 이용한 초자기정렬 바이폴러 트랜지스터의 제조방법.

도면

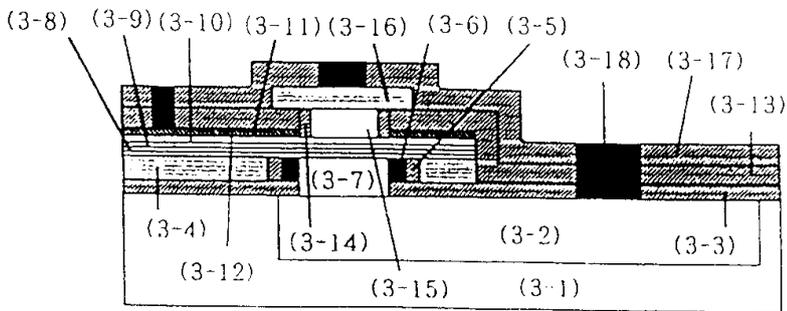
도면1



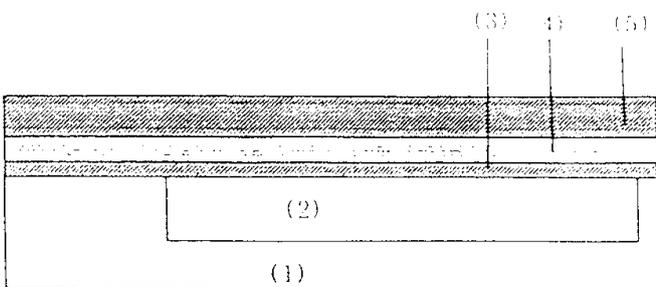
도면2



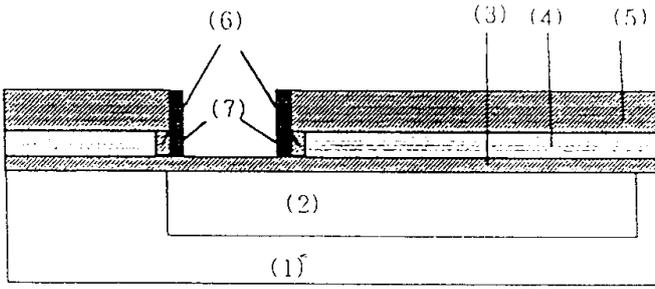
도면3



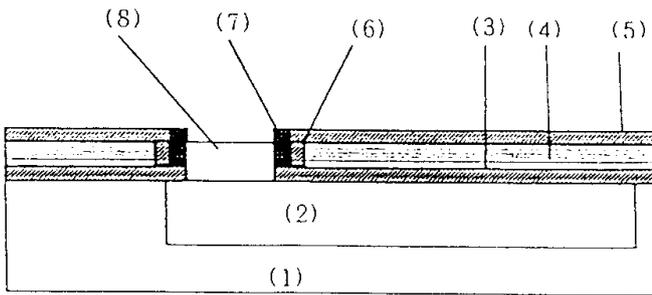
도면4a



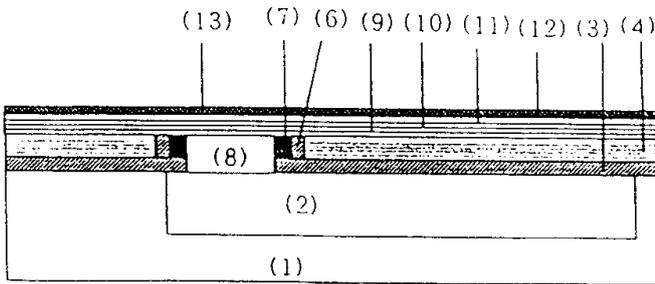
도면4b



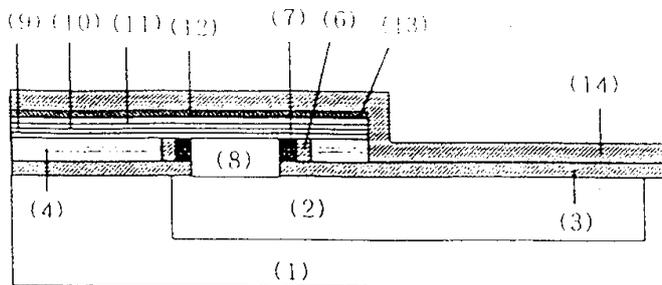
도면4c



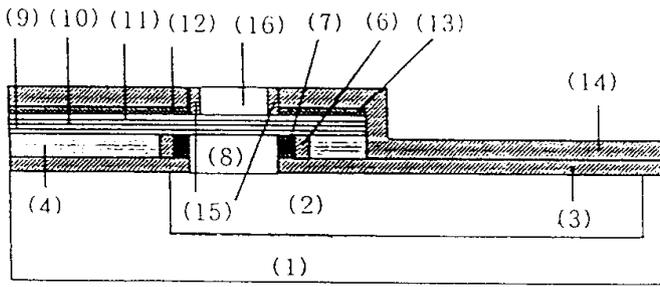
도면4d



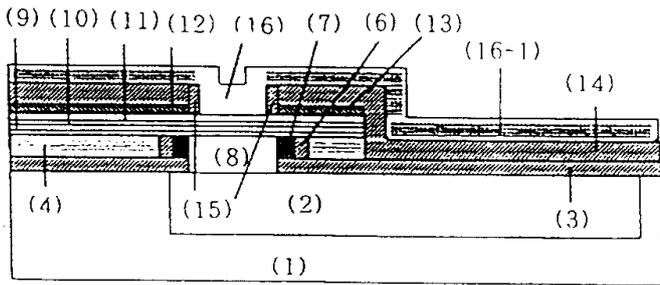
도면4e



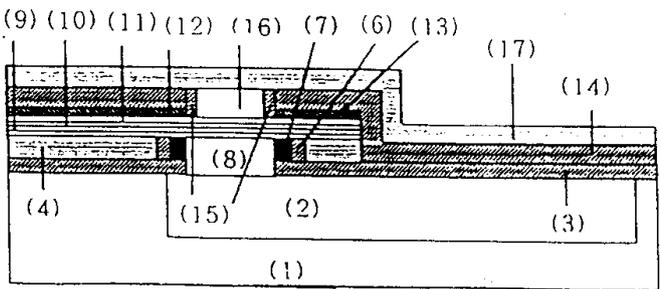
도면4fa



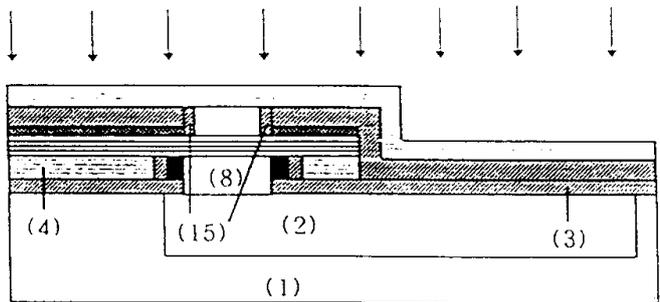
도면4fb



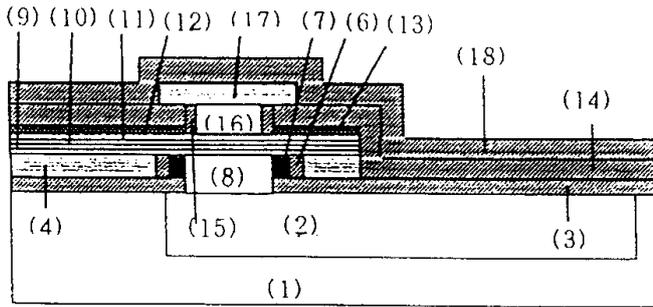
도면4ga



도면4gb



도면4h



도면4i

