

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)公開番号

特開2022-28722

(P2022-28722A)

(43)公開日 令和4年2月16日(2022.2.16)

(51)国際特許分類

G 0 9 G 3/3233(2016.01)
H 0 1 L 27/32 (2006.01)
H 0 5 B 33/02 (2006.01)
H 0 1 L 51/50 (2006.01)
G 0 9 F 9/30 (2006.01)

F I

G 0 9 G 3/3233
H 0 1 L 27/32
H 0 5 B 33/02
H 0 5 B 33/14 A
G 0 9 F 9/30 3 3 8

審査請求 有 請求項の数 1 O L (全65頁) 最終頁に続く

(21)出願番号 特願2021-180156(P2021-180156)
(22)出願日 令和3年11月4日(2021.11.4)
(62)分割の表示 特願2021-172203(P2021-172203)
)の分割
 原出願日 平成18年12月1日(2006.12.1)
(31)優先権主張番号 特願2005-349165(P2005-349165)
(32)優先日 平成17年12月2日(2005.12.2)
(33)優先権主張国・地域又は機関
 日本国(JP)

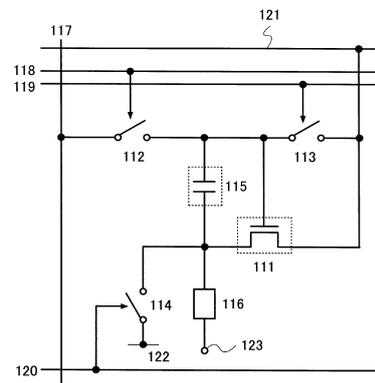
(71)出願人 000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷3 9 8 番地
(72)発明者 木村 肇
神奈川県厚木市長谷3 9 8 番地 株式会
社半導体エネルギー研究所内

(54)【発明の名称】 半導体装置

(57)【要約】 (修正有)【課題】トランジスタのしきい値電圧のばらつきに起因する電流値のばらつきを抑制することを課題とする。また、ビデオ信号によって指定された輝度からのずれが少なくかつデューティー比が高い表示装置を提供することを課題とする。

【解決手段】負荷と、前記負荷に供給する電流値を制御するトランジスタと、容量素子と、電源線と、第1のスイッチ乃至第3のスイッチとを有し、前記容量素子に前記トランジスタのしきい値電圧を保持させた後、ビデオ信号に応じた電位を入力し、前記しきい値電圧に前記電位を加算した電圧を保持させることで、トランジスタのしきい値電圧のばらつきに起因した電流値のばらつきを抑制することができる。そのため、発光素子をはじめとする負荷に所望の電流を供給することができる。また、電源線の電位を変動させることでデューティー比が高い表示装置を提供することができる。

【選択図】図1



【特許請求の範囲】

【請求項 1】

トランジスタと、
第 1 のスイッチと、
整流素子と、を含む画素を有し、
前記整流素子は、前記トランジスタのゲート電極に電氣的に接続され、
前記トランジスタのソース電極及びドレイン電極の一方は電源線に電氣的に接続され、
前記トランジスタのソース電極及びドレイン電極の他方は画素電極に電氣的に接続され、
前記トランジスタのソース電極及びドレイン電極の他方は前記第 1 のスイッチに電氣的に接続され、
前記トランジスタのゲート電極には、前記画素の階調に従った信号を入力する半導体装置

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は負荷に供給する電流をトランジスタで制御する機能を設けた半導体装置に係り、信号によって輝度が変化する電流駆動型表示素子で形成された画素や、その画素を駆動させる信号線駆動回路や走査線駆動回路を含む表示装置に関する。また、その駆動方法に関する。また、その表示装置を表示部に有する電子機器に関する。

【背景技術】

【0002】

近年、画素をエレクトロルミネッセンス (EL: Electro Luminescence) などの発光素子を用いた自発光型の表示装置、いわゆる発光装置が注目を浴びている。このような自発光型の表示装置に用いられる発光素子としては、有機発光ダイオード (OLED (Organic Light Emitting Diode))、EL素子が注目を集めており、ELディスプレイなどに用いられるようになってきている。これらの発光素子は自ら発光するため、液晶ディスプレイに比べて画素の視認性が高く、バックライトが不要である。また、応答速度が速い等の利点がある。なお、発光素子の輝度は、発光素子を流れる電流値によって制御されるものが多い。

【0003】

また、発光素子の発光を制御するトランジスタが画素ごとに設けられたアクティブマトリクス型表示装置の開発が進められている。アクティブマトリクス型表示装置は、パッシブマトリクス型表示装置では困難な高精細、大画面の表示を可能とするだけでなく、パッシブマトリクス型表示装置を上回る低い消費電力で動作するため実用化が期待されている。

【0004】

従来、アクティブマトリクス型表示装置の画素の構成を図 46 に示す (特許文献 1)。図 46 に示した画素は、薄膜トランジスタ (Thin Film Transistor: TFT) 11、TFT 12、容量素子 13、発光素子 14 を有し、信号線 15 及び走査線 16 に接続されている。なお、TFT 12 のソースもしくはドレイン電極のいずれか一方及び容量素子 13 の一方の電極には電源電位 V_{dd} が供給され、発光素子 14 の対向電極にはグラウンド電位が供給されている。

【0005】

このとき、発光素子に供給する電流値を制御する TFT 12、即ち駆動用 TFT の半導体層にアモルファスシリコンを用いた場合、劣化等によりしきい値電圧 (V_{th}) に変動が生じる。この場合、異なる画素に信号線 15 から同じ電位を印加したにもかかわらず、発光素子 14 に流れる電流は画素ごとに異なり、表示される輝度が画素によって不均一となる。なお、駆動用 TFT の半導体層にポリシリコンを用いた場合においても、トランジスタの特性が劣化したり、ばらついたりする。

【0006】

20

30

40

50

この問題を改善すべく、特許文献 2 において図 4 7 の画素を用いた動作方法が提案されている。図 4 7 に示した画素は、トランジスタ 2 1、発光素子 2 4 に供給する電流値を制御する駆動用トランジスタ 2 2、容量素子 2 3、発光素子 2 4 を有し、画素は信号線 2 5、走査線 2 6 に接続されている。なお、駆動用トランジスタ 2 2 は N M O S トランジスタであり、駆動用トランジスタ 2 2 のソース電極もしくはドレイン電極のいずれか一方にはグランド電位が供給され、発光素子 2 4 の対向電極には V_{ca} が供給される。

【0007】

この画素の動作におけるタイミングチャートを図 4 8 に示す。図 4 8 において、1 フレーム期間は、初期化期間 3 1、しきい値 (V_{th}) 書き込み期間 3 2、データ書き込み期間 3 3 及び発光期間 3 4 に分割される。なお、1 フレーム期間とは 1 画面分の画像を表示する期間に相当し、初期化期間、しきい値 (V_{th}) 書き込み期間及びデータ書き込み期間をまとめてアドレス期間と呼ぶ。

10

【0008】

まず、しきい値書き込み期間 3 2 において、駆動用トランジスタ 2 2 のしきい値電圧が容量素子に書き込まれる。その後、データ書き込み期間 3 3 において、画素の輝度を示すデータ電圧 (V_{data}) が容量素子に書き込まれ、 $V_{data} + V_{th}$ が容量素子に蓄積される。そして、発光期間において駆動用トランジスタ 2 2 はオンとなり、 V_{ca} を変化させることでデータ電圧によって指定された輝度で発光素子 2 4 が点灯する。このような動作により、駆動用トランジスタのしきい値の変動による輝度のばらつきを低減している。

20

【0009】

特許文献 3 においても、駆動用 T F T のしきい値電圧にデータ電位を加えた電圧がゲート・ソース間電圧となり、T F T のしきい値電圧が変動した場合であっても流れる電流は変化しないことが開示されている。

【先行技術文献】

【特許文献】

【0010】

【特許文献 1】特開平 8 - 2 3 4 6 8 3 号公報

【特許文献 2】特開 2 0 0 4 - 2 9 5 1 3 1 号公報

【特許文献 3】特開 2 0 0 4 - 2 8 0 0 5 9 号公報

30

【発明の概要】

【発明が解決しようとする課題】

【0011】

特許文献 2 及び 3 に記載されている動作方法はいずれの場合においても、 V_{ca} の電位を 1 フレーム期間当たり回数と変化させることで上述した初期化、しきい値電圧の書き込み、発光を行っていた。これらの画素において、 V_{ca} が供給されている発光素子の一方の電極、即ち対向電極は画素領域全体に形成されているため、初期化及びしきい値電圧の書き込み以外にデータの書き込み動作を行っている画素がたとえ一つでもあると発光素子を発光させることができない。よって、図 4 9 に示すように、1 フレーム期間における発光期間の割合 (即ち、デューティ比) が小さくなってしまふ。

40

【0012】

デューティ比が低いと発光素子や駆動用トランジスタに流す電流値を大きくする必要があるので、発光素子にかかる電圧が大きくなり消費電力が大きくなる。また、発光素子や駆動用トランジスタが劣化しやすくなるため、劣化前と同等の輝度を得るにはさらに大きな電力を要することになる。

【0013】

また、対向電極は全画素接続されているため、発光素子は容量の大きい素子として機能する。よって、対向電極の電位を変えるためには、高い消費電力が必要となる。

【0014】

上記問題を鑑み、本発明は、消費電力が低く、デューティ比の高い表示装置を提供す

50

ることを課題とする。また、データ電位によって指定された輝度からのずれが少ない画素構成、半導体装置、及び表示装置を得ることを課題とする。

【0015】

なお、発光素子を有する表示装置のみが対象となるわけではなく、本発明はトランジスタのしきい値電圧のばらつきに起因する電流値のばらつきを抑制することを課題とする。よって、駆動用トランジスタにより制御された電流を供給する先は、発光素子に限定されない。

【課題を解決するための手段】

【0016】

本発明の一は、トランジスタと、第1のスイッチと、第2のスイッチとを含む画素を有し、前記トランジスタのソース電極及びドレイン電極の一方は前記第1のスイッチを介して前記トランジスタのゲート電極に電氣的に接続され、前記トランジスタのソース電極及びドレイン電極の他方は画素電極に電氣的に接続され、前記トランジスタのソース電極及びドレイン電極の他方は前記第2のスイッチに電氣的に接続され、前記トランジスタのゲート電極には、前記画素の階調に従った信号を入力することを特徴とする半導体装置である。

10

【0017】

本発明の一は、保持容量と、トランジスタと、第1のスイッチと、第2のスイッチと、第3のスイッチとを有し、前記トランジスタのソース電極及びドレイン電極の一方は第1の配線に電氣的に接続され、前記トランジスタのソース電極及びドレイン電極の他方は画素電極と電氣的に接続され、前記トランジスタのソース電極及びドレイン電極の他方は前記第3のスイッチを介して第2の配線と電氣的に接続され、前記トランジスタのゲート電極は前記第1のスイッチを介して第3の配線と電氣的に接続され、前記トランジスタのゲート電極は前記第2のスイッチを介して前記第1の配線と電氣的に接続され、前記トランジスタのソース電極及びドレイン電極の他方は前記保持容量を介して前記ゲート電極と電氣的に接続されていることを特徴とする半導体装置である。

20

【0018】

本発明の一は、容量素子と、トランジスタと、第1のスイッチと、第2のスイッチと、第3のスイッチとを有し、前記トランジスタのソース電極及びドレイン電極の一方は第1の配線に電氣的に接続され、前記トランジスタのソース電極及びドレイン電極の他方は画素電極と電氣的に接続され、前記トランジスタのソース電極及びドレイン電極の他方は前記第3のスイッチを介して第2の配線と電氣的に接続され、前記トランジスタのゲート電極は前記第1のスイッチを介して第3の配線と電氣的に接続され、前記トランジスタのゲート電極は前記第2のスイッチを介して前記第1の配線と電氣的に接続され、前記トランジスタのソース電極及びドレイン電極の他方は前記容量素子を介して前記ゲート電極と電氣的に接続されていることを特徴とする半導体装置である。

30

【0019】

本発明の一は、トランジスタと、容量素子と、第1のスイッチと、第2のスイッチと、第3のスイッチと、第4のスイッチとを有し、前記トランジスタのソース電極及びドレイン電極の一方は前記第4のスイッチを介して第1の配線に電氣的に接続され、前記トランジスタのソース電極及びドレイン電極の他方は画素電極と電氣的に接続され、前記トランジスタのソース電極及びドレイン電極の他方は前記第3のスイッチを介して第2の配線と電氣的に接続され、前記トランジスタのゲート電極は前記第1のスイッチを介して第3の配線と電氣的に接続され、前記トランジスタのゲート電極は前記第2のスイッチを介して前記第1の配線と電氣的に接続され、前記トランジスタのソース電極及びドレイン電極の他方は前記容量素子を介して前記ゲート電極と電氣的に接続されていることを特徴とする半導体装置である。

40

【0020】

本発明の一は、トランジスタと、容量素子と、第1のスイッチと、第2のスイッチと、第3のスイッチと、第4のスイッチとを有し、前記トランジスタのソース電極及びドレイン

50

ン電極の一方は第 1 の配線に電氣的に接続され、前記トランジスタのソース電極及びドレイン電極の他方は前記第 4 のスイッチを介して画素電極と電氣的に接続され、前記トランジスタのソース電極及びドレイン電極の他方は前記第 4 のスイッチ及び前記第 3 のスイッチを介して第 2 の配線と電氣的に接続され、前記トランジスタのゲート電極は前記第 1 のスイッチを介して第 3 の配線と電氣的に接続され、前記トランジスタのゲート電極は前記第 2 のスイッチを介して前記第 1 の配線と電氣的に接続され、前記トランジスタのソース電極及びドレイン電極の他方は前記第 4 のスイッチ及び前記容量素子を介して前記ゲート電極と電氣的に接続されていることを特徴とする半導体装置である。

【 0 0 2 1 】

前記第 2 の配線は、前記第 3 のスイッチを制御する配線と同一であってもよい。

10

【 0 0 2 2 】

前記第 2 の配線は、前行もしくは次行の第 1 乃至第 3 のスイッチを制御する走査線のいずれかであってもよい。

【 0 0 2 3 】

前記トランジスタは、Nチャネル型トランジスタであってもよい。また、前記トランジスタの半導体層は、非結晶性半導体膜からなることを特徴としてもよい。さらに、前記トランジスタの半導体層は、アモルファスシリコンからなることを特徴としてもよい。

【 0 0 2 4 】

また、前記トランジスタの半導体層は、結晶性半導体膜からなることを特徴としてもよい。

20

【 0 0 2 5 】

上記発明において、前記第 1 の配線に入力される電位は V_1 もしくは V_2 の二値であり、前記第 1 のスイッチ乃至前記第 3 のスイッチが非導通状態のときのみ V_2 の値をとり、 V_1 は前記第 2 の配線に入力される電位よりも高い電位であり、その差分は前記トランジスタのしきい値電圧分より大きく、 V_2 は V_1 より高い値であることを特徴としてもよい。

【 0 0 2 6 】

また、前記トランジスタは、Pチャネル型トランジスタであってもよい。その場合、上記発明において、前記第 1 の配線に入力される電位は V_1 もしくは V_2 の二値をとり、前記第 1 のスイッチ乃至前記第 3 のスイッチが非導通状態のときのみ V_2 の値であり、 V_1 は前記第 2 の配線に入力される電位よりも低い電位であり、その差分は前記トランジスタのしきい値電圧の絶対値分より大きく、 V_2 は V_1 より低い値であることを特徴としてもよい。

30

【 0 0 2 7 】

本発明の一は、ソース電極及びドレイン電極の一方が第 1 の配線に電氣的に接続され、ソース電極及びドレイン電極の他方が第 2 の配線に電氣的に接続されるトランジスタと、前記トランジスタのゲートソース間電圧を保持する保持容量と、前記第 1 の配線に入力される第 1 の電位を前記トランジスタのゲート電極に印加し、なおかつ前記第 2 の配線に入力される第 2 の電位を前記トランジスタのソース電極に印加することにより、前記保持容量に第 1 の電圧を保持させる手段と、前記保持容量の電圧を第 2 の電圧まで放電させる手段と、前記第 1 の電位に第 3 の電圧を加算した電位を前記トランジスタのゲート電極に印加し、前記第 2 の電圧と第 4 の電圧とを加算した第 5 の電圧を前記保持容量に保持させる手段と、前記第 1 の配線に前記第 1 の電位とは異なる第 3 の電位を入力することにより前記トランジスタに設定された電流を負荷に供給する手段とを有することを特徴とする半導体装置である。

40

【 0 0 2 8 】

本発明の一は、ソース電極及びドレイン電極の一方が第 1 の配線に電氣的に接続され、ソース電極及びドレイン電極の他方が第 2 の配線に電氣的に接続されるトランジスタと、前記トランジスタのゲートソース間電圧を保持する保持容量と、前記第 1 の配線に入力される第 1 の電位を前記トランジスタのゲート電極に印加し、なおかつ前記第 2 の配線に入

50

力される第2の電位を前記トランジスタのソース電極に印加することにより、前記保持容量に第1の電圧を保持させる手段と、前記保持容量の電圧を前記トランジスタのしきい値電圧まで放電させる手段と、前記第1の電位に第2の電圧を加算した電位を前記トランジスタのゲート電極に印加し、前記トランジスタのしきい値電圧と第3の電圧とを加算した第4の電圧を前記保持容量に保持させる手段と、前記第1の配線に前記第1の電位とは異なる第3の電位を入力することにより前記トランジスタに設定された電流を負荷に供給する手段とを有することを特徴とする半導体装置である。

【0029】

前記トランジスタは、Nチャネル型トランジスタであってもよい。また、前記トランジスタの半導体層は、非結晶性半導体膜からなることを特徴としてもよい。さらに、前記トランジスタの半導体層は、アモルファスシリコンからなることを特徴としてもよい。

10

【0030】

また、前記トランジスタの半導体層は、結晶性半導体膜からなることを特徴としてもよい。

【0031】

上記発明において、前記第1の電位は前記第2の電位よりも高い電位であり、その差分は前記トランジスタのしきい値電圧分より大きく、なおかつ前記第1の電位は前記第3の電位より低い値であることを特徴としてもよい。

【0032】

また、前記トランジスタは、Pチャネル型トランジスタであってもよい。この場合、前記第1の電位は前記第2の電位よりも低い電位であり、その差分は前記トランジスタのしきい値電圧の絶対値分より大きく、なおかつ前記第1の電位は前記第3の電位より高い値であることを特徴としてもよい。

20

【0033】

また、本発明の一は、上記に記載した半導体装置を有する表示装置である。また、前記表示装置を表示部に有する電子機器である。

【0034】

なお、明細書に示すスイッチは、電流の流れを制御できるものなら、電氣的スイッチでも機械的なスイッチでも特に限定されない。トランジスタでもよいし、ダイオードでもよいし、それらを組み合わせた論理回路でもよい。スイッチとしてトランジスタを用いる場合、そのトランジスタは、単なるスイッチとして動作するため、トランジスタの極性（導電型）は特に限定されない。ただし、オフ電流が少ない方の極性のトランジスタを用いることが望ましい。オフ電流が少ないトランジスタとしては、LDD領域を設けているものやマルチゲート構造にしているもの等がある。また、スイッチとして動作させるトランジスタのソース電極の電位が、低電位側電源（ V_{ss} 、 GND 、 $0V$ など）に近い状態で動作する場合はNチャネル型を、反対に、ソース電極の電位が、高電位側電源（ V_{dd} など）に近い状態で動作する場合はPチャネル型を用いることが望ましい。なぜなら、ゲートソース間電圧の絶対値を大きくできるため、スイッチとして、動作しやすいからである。なお、Nチャネル型とPチャネル型の両方を用いて、CMOS型のスイッチにしてもよい。

30

40

【0035】

なお、本発明において接続されているとは、電氣的に接続されていることと同義である。したがって、間に別の素子やスイッチなどが配置されていてもよい。

【0036】

なお、負荷は、何でもよい。例えば、EL素子（有機EL素子、無機EL素子又は有機物及び無機物を含むEL素子）、電子放出素子などの発光素子の他、液晶素子、電子インクなど、電気磁氣的作用によりコントラストが変化する表示媒体を適用することができる。なお、電子放出素子を用いた表示装置としてはフィールドエミッションディスプレイ（FED）、SED方式平面型ディスプレイ（SED：Surface-conduction Electron-emitter Display）などが挙げられる。また電子

50

インクを用いた表示装置としては電子ペーパーがある。

【0037】

本発明において、適用可能なトランジスタの種類に限定はなく、非晶質シリコンや多結晶シリコンに代表される非単結晶半導体膜を用いた薄膜トランジスタ(TFT)、半導体基板やSOI基板を用いて形成されるトランジスタ、MOS型トランジスタ、接合型トランジスタ、バイポーラトランジスタ、有機半導体やカーボンナノチューブを用いたトランジスタ、その他のトランジスタを適用することができる。また、トランジスタが配置されている基板の種類に限定はなく、単結晶基板、SOI基板、ガラス基板、プラスチック基板などに配置することが出来る。

【0038】

なお、上述したように、本発明におけるトランジスタは、どのようなタイプのトランジスタでもよいし、どのような基板上に形成されていてもよい。したがって、回路の全てがガラス基板上に形成されていてもよいし、プラスチック基板や単結晶基板に形成されていてもよいし、SOI基板上に形成されていてもよいし、どのような基板上に形成されていてもよい。あるいは、回路の一部が、ある基板に形成されており、回路の別の一部が、別の基板に形成されていてもよい。つまり、回路の全てが同じ基板上に形成されていなくてもよい。例えば、回路の一部は、ガラス基板上にTFTを用いて形成し、回路の別の一部は、単結晶基板上に形成し、そのICチップをCOG(Chip On Glass)で接続してガラス基板上に配置してもよい。あるいは、そのICチップをTAB(Tape Automated Bonding)やプリント基板を用いてガラス基板と接続してもよい。

【0039】

本明細書においては、一画素とは色要素を示すものとする。よって、R(赤)G(緑)B(青)の色要素からなるフルカラー表示装置の場合には、一画素とはRの色要素やGの色要素やBの色要素のいずれか一をいうものとする。

【0040】

なお、本明細書において、画素がマトリクスに配置されているとは、縦縞と横縞を組み合わせたいわゆる格子状に配置されている場合はもちろんのこと、三色の色要素(例えばRGB)でフルカラー表示を行う場合に、1つの画像の最小要素を表す三色の色要素の画素がいわゆるデルタ配置されている場合も含むものとする。また、色要素毎にその画素の大きさが異なってもよい。

【0041】

なお、本明細書において、半導体装置とは半導体素子(トランジスタやダイオードなど)を含む回路を有する装置をいう。また、表示装置とは、基板上に負荷を含む複数の画素やそれらの画素を駆動させる周辺駆動回路が形成された表示パネル本体だけではなく、それにフレキシブルプリントサーキット(FPC)やプリント配線基盤(PWB)が取り付けられたものも含む。

【発明の効果】

【0042】

本発明により、トランジスタのしきい値電圧のばらつきに起因する電流値のばらつきを抑制することができる。そのため、発光素子をはじめとする負荷に所望の電流を供給することができる。特に、負荷として発光素子を用いる場合、輝度のばらつきが少なくデュティ比が高い表示装置を提供することができる。

【図面の簡単な説明】

【0043】

【図1】実施の形態1に示す画素構成を説明する図。

【図2】図1で示した画素の動作を説明するタイミングチャート。

【図3】図1で示した画素の動作を説明する図。

【図4】実施の形態1に示す画素構成を説明する図。

【図5】チャンネル長変調による電圧-電流特性のモデル図。

10

20

30

40

50

- 【図 6】実施の形態 1 に示す表示装置を説明する図。
- 【図 7】実施の形態 3 に示す画素構成を説明する図。
- 【図 8】実施の形態 3 に示す画素構成を説明する図。
- 【図 9】実施の形態 3 に示す画素構成を説明する図。
- 【図 10】実施の形態 4 に示す画素構成を説明する図。
- 【図 11】実施の形態 4 に示す画素構成を説明する図。
- 【図 12】実施の形態 5 に示す画素構成を説明する図。
- 【図 13】図 12 で示した画素の動作を説明するタイミングチャート。
- 【図 14】実施の形態 7 に示す画素構成を説明する図。
- 【図 15】図 14 で示した画素の動作を説明するタイミングチャート。 10
- 【図 16】図 14 で示した画素の動作を説明する図。
- 【図 17】実施の形態 8 に示す画素の部分断面図。
- 【図 18】実施の形態 8 に示す発光素子を説明する図。
- 【図 19】実施の形態 8 に示す光の取り出し方向を説明する図。
- 【図 20】実施の形態 8 に示す画素の部分断面図。
- 【図 21】実施の形態 8 に示す画素の部分断面図。
- 【図 22】実施の形態 8 に示す画素の部分断面図。
- 【図 23】実施の形態 8 に示す画素の部分断面図。
- 【図 24】実施の形態 8 に示す画素の部分断面図。
- 【図 25】実施の形態 9 に示す表示装置を説明する図。 20
- 【図 26】実施の形態 9 に示す表示装置を説明する図。
- 【図 27】実施の形態 9 に示す表示装置を説明する図。
- 【図 28】実施の形態 9 に示す画素の部分断面図。
- 【図 29】実施の形態 6 に示す画素構成を説明する図。
- 【図 30】実施の形態 6 に示す画素構成を説明する図。
- 【図 31】実施の形態 6 に示す画素構成を説明する図。
- 【図 32】実施の形態 7 に示す画素構成を説明する図。
- 【図 33】本発明を適用可能な電子機器を説明する図。
- 【図 34】携帯電話機の構成例を示す図。
- 【図 35】EL モジュールの例を示す図。 30
- 【図 36】EL テレビ受像器の主要な構成を示すブロック図。
- 【図 37】実施の形態 6 に示す画素構成を説明する図。
- 【図 38】図 4 に示す画素の上面図。
- 【図 39】実施の形態 2 に示す画素構成を説明する図。
- 【図 40】実施の形態 1 に示す表示装置の書き込み動作を説明する図。
- 【図 41】実施の形態 5 に示す画素構成を説明する図。
- 【図 42】デジタル階調方式と時間階調方式とを組み合わせた駆動方式を説明する図。
- 【図 43】実施の形態 6 に示す画素構成を説明する図。
- 【図 44】実施の形態 6 に示す画素構成を説明する図。
- 【図 45】実施の形態 1 に記載した画素構成を説明する図。 40
- 【図 46】従来技術の画素構成を説明する図。
- 【図 47】従来技術の画素構成を説明する図。
- 【図 48】従来技術に示した画素を動作させるタイミングチャート。
- 【図 49】従来技術を用いた際の 1 フレーム期間における発光期間の割合を説明する図。

【発明を実施するための形態】

【0044】

以下、本発明の一態様について説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同じも

のを指す符号は異なる図面間で共通して用いる。

【0045】

(実施の形態1)

本発明の画素の基本構成について、図1を用いて説明する。図1に示す画素は、トランジスタ111、第1のスイッチ112、第2のスイッチ113、第3のスイッチ114、容量素子115、発光素子116を有する。なお、画素は、信号線117、第1の走査線118、第2の走査線119、第3の走査線120、電源線121及び電位供給線122に接続されている。本実施の形態において、トランジスタ111はNチャンネル型トランジスタとし、そのゲート・ソース間電圧(V_{gs})がしきい値電圧(V_{th})を上回ったとき、導通状態になるものとする。また、発光素子116の画素電極は陽極、対向電極123は陰極とする。なお、トランジスタのゲート・ソース間電圧は V_{gs} 、ドレイン・ソース間電圧は V_{ds} 、しきい値電圧は V_{th} 、容量素子に蓄積された電圧は V_{cs} と記し、電源線121、電位供給線122、信号線117を、それぞれ第1の配線、第2の配線、第3の配線とも呼ぶ。

10

【0046】

トランジスタ111の第1の電極(ソース電極及びドレイン電極の一方)は、発光素子116の画素電極に接続され、第2の電極(ソース電極及びドレイン電極の他方)は電源線121に接続され、ゲート電極は第2のスイッチ113を介して電源線121と接続されている。また、トランジスタ111のゲート電極は、第1のスイッチ112を介して信号線117とも接続されており、第1の電極は第3のスイッチ114を介して電位供給線122とも接続されている。

20

【0047】

さらに、トランジスタ111のゲート電極と第1の電極との間に容量素子115が接続されている。つまり、容量素子115の第1の電極がトランジスタ111のゲート電極に、第2の電極がトランジスタ111の第1の電極に接続されている。容量素子115は、配線、半導体層や電極によって絶縁膜を挟むことで形成しても良いし、トランジスタ111のゲート容量を用いて省略することもできる。これらの電圧を保持する手段を保持容量と言う。

【0048】

なお、第1の走査線118、第2の走査線119、第3の走査線120に信号を入力することにより、それぞれ第1のスイッチ112、第2のスイッチ113、第3のスイッチ114のオンオフが制御される。

30

【0049】

信号線117には、ビデオ信号に相当する画素の階調に従った信号、即ち輝度データに応じた電位が入力される。

【0050】

次に、図1で示した画素の動作について図2のタイミングチャート及び図3を用いて説明する。なお、図2において1画面分の画像を表示する期間に相当する1フレーム期間は、初期化期間、しきい値書き込み期間、データ書き込み期間及び発光期間に分割される。また、初期化期間、しきい値書き込み期間、データ書き込み期間をまとめてアドレス期間と呼ぶ。1フレーム期間は特に限定はないが、画像をみる人がちらつき(フリッカ)を感じないように少なくとも1/60秒以下とすることが好ましい。

40

【0051】

なお、発光素子116の対向電極123には V_1 の電位が、電位供給線122には $V_1 - V_{th}$ (: 任意の正の数)の電位が入力される。また、電源線121には、アドレス期間は V_1 、発光期間では V_2 の電位が入力される。ただし、 $V_2 > V_1$ とする。

【0052】

ここでは動作を説明するために、発光素子116の対向電極123の電位は、アドレス期間における電源線121の電位と同じであるとしたが、発光素子116が発光するために少なくとも必要とする電位差を V_{EL} とすると対向電極123の電位は $V_1 - V_{th} -$

50

V_{EL} の電位より高い値であれば良い。また、発光期間における電源線121の電位 V_2 は、対向電極123の電位と発光素子116が発光するために少なくとも必要とする電位差(V_{EL})とを加算した値より大きい値であれば良いが、説明上ここでは対向電極123の電位を V_1 としたため、 V_2 は $V_1 + V_{EL}$ より大きい値であれば良いということになる。

【0053】

まず、図2(A)及び図3(A)に示すように初期化期間では、第1のスイッチ112をオフとし、第2のスイッチ113及び第3のスイッチ114をオンとする。このとき、トランジスタ111の第1の電極はソース電極となり、その電位は電位供給線122と等しくなるため $V_1 - V_{th}$ となる。一方、ゲート電極の電位は V_1 となる。よって、トランジスタ111のゲート・ソース間電圧 V_{gs} は $V_{th} +$ となり、トランジスタ111は導通状態となる。そして、トランジスタ111のゲート電極と第1の電極との間に設けられた容量素子115に $V_{th} +$ が保持される。つまり、電位供給線122はトランジスタ111がオンとなる電位であれば良く、第3のスイッチ114はトランジスタ111がオンとなる電位をトランジスタの第1の電極に供給するか否かを選択する機能があれば良い。

10

【0054】

次に、図2(B)及び図3(B)に示すしきい値書き込み期間では、第3のスイッチ114をオフとする。そのため、トランジスタ111の第1の電極即ちソース電極の電位は次第に上昇し $V_1 - V_{th}$ となったところ、つまりトランジスタ111のゲート・ソース間電圧 V_{gs} がしきい値電圧(V_{th})となったところで、トランジスタ111は非導通状態となる。よって、容量素子115に保持される電圧は V_{th} となる。

20

【0055】

その後の図2(C)及び図3(C)に示すデータ書き込み期間においては、第2のスイッチ113をオフとした後、第1のスイッチ112をオンとし、信号線117より輝度データに応じた電位($V_1 + V_{data}$)を入力する。このときに、容量素子115に保持される電圧 V_{cs} は、容量素子115及び発光素子116の静電容量をそれぞれ C_1 、 C_2 とすると式(1)のように表すことができる。

【数1】

$$V_{cs} = V_{th} + V_{data} \times \frac{C_2}{C_1 + C_2} \quad \dots(1)$$

30

【0056】

ただし、発光素子116は容量素子115に比べ膜厚が薄いうえ電極面積が大きいため、 $C_2 \gg C_1$ となる。よって、 $C_2 / (C_1 + C_2) \approx 1$ より容量素子115に保持される電圧 V_{cs} は式(2)となり、トランジスタ111は導通状態になる。なお、 $V_{data} = 0$ の電位を入力した場合には、非導通状態となり非発光とすることができる。

【数2】

$$V_{cs} = V_{th} + V_{data} \quad \dots(2)$$

40

【0057】

次に、図2(D)及び図3(D)に示す発光期間では、第1のスイッチ112をオフとし、電源線121の電位を V_2 とする。このとき、トランジスタ111のゲート・ソース間電圧は $V_{gs} = V_{th} + V_{data}$ であり、これに応じた電流がトランジスタ111及び発光素子116に流れ、発光素子116が発光する。

【0058】

なお、発光素子に流れる電流 I は、トランジスタ111を飽和領域で動作させた場合、式(3)で表される。

【数3】

50

$$\begin{aligned}
 I &= \frac{1}{2} \left(\frac{W}{L} \right) \mu_{\text{Cox}} (V_{\text{gs}} - V_{\text{th}})^2 \\
 &= \frac{1}{2} \left(\frac{W}{L} \right) \mu_{\text{Cox}} (V_{\text{th}} + V_{\text{data}} - V_{\text{th}})^2 \\
 &= \frac{1}{2} \left(\frac{W}{L} \right) \mu_{\text{Cox}} (V_{\text{data}})^2 \quad \dots(3)
 \end{aligned}$$

【 0 0 5 9 】

10

また、トランジスタ 1 1 1 を線形領域で動作させた場合、発光素子に流れる電流 I は式 (4) で表される。

【 数 4 】

$$\begin{aligned}
 I &= \left(\frac{W}{L} \right) \mu_{\text{Cox}} \left[(V_{\text{gs}} - V_{\text{th}}) V_{\text{ds}} - \frac{1}{2} V_{\text{ds}}^2 \right] \\
 &= \left(\frac{W}{L} \right) \mu_{\text{Cox}} \left[(V_{\text{th}} + V_{\text{data}} - V_{\text{th}}) V_{\text{ds}} - \frac{1}{2} V_{\text{ds}}^2 \right] \\
 &= \left(\frac{W}{L} \right) \mu_{\text{Cox}} \left[(V_{\text{data}}) V_{\text{ds}} - \frac{1}{2} V_{\text{ds}}^2 \right] \quad \dots(4)
 \end{aligned}$$

20

【 0 0 6 0 】

ここで、 W はトランジスタ 1 1 1 のチャンネル幅、 L はチャンネル長、 μ は移動度、 C_{ox} は蓄積容量を指す。

【 0 0 6 1 】

式 (3) 及び式 (4) より、トランジスタ 1 1 1 の動作領域が飽和領域、線形領域のいずれの場合においても、発光素子 1 1 6 に流れる電流は、トランジスタ 1 1 1 のしきい値電圧 (V_{th}) に依存しない。よって、トランジスタ 1 1 1 のしきい値電圧のばらつきに起因した電流値のばらつきを抑制し、輝度データに対応した電流値を発光素子 1 1 6 に供給することができる。

30

【 0 0 6 2 】

以上のことから、トランジスタ 1 1 1 のしきい値電圧のばらつきに起因した輝度のばらつきを抑制することができる。また、対向電極の電位を一定として動作させるため消費電力を低くすることが可能である。

【 0 0 6 3 】

さらに、トランジスタ 1 1 1 を飽和領域で動作させた場合においては、発光素子 1 1 6 の劣化による輝度のばらつきも抑制できる。発光素子 1 1 6 が劣化すると、発光素子 1 1 6 の V_{EL} は増大し、トランジスタ 1 1 1 の第 1 の電極、即ちソース電極の電位は上昇する。このとき、トランジスタ 1 1 1 のソース電極は容量素子 1 1 5 の第 2 の電極に、トランジスタ 1 1 1 のゲート電極は容量素子 1 1 5 の第 1 の電極に接続されており、なおかつゲート電極側は浮遊状態となっている。そのため、ソース電位の上昇に伴い、同じ電位だけトランジスタ 1 1 1 のゲート電位も上昇する。よって、トランジスタ 1 1 1 の V_{gs} は変化しないため、たとえ発光素子が劣化してもトランジスタ 1 1 1 及び発光素子 1 1 6 に流れる電流に影響しない。なお、式 (3) においても発光素子に流れる電流 I はソース電位やドレイン電位に依存しないことがわかる。

40

【 0 0 6 4 】

よって、トランジスタ 1 1 1 を飽和領域で動作させた場合においては、トランジスタ 1 1 1 のしきい値電圧のばらつき及び発光素子 1 1 6 の劣化に起因したトランジスタ 1 1 1 に流れる電流のばらつきを抑制することができる。

【 0 0 6 5 】

50

なお、トランジスタ 111 を飽和領域で動作させた場合、チャンネル長 L が短いほど、降伏現象によりドレイン電圧を著しく増大させると電流が大量に流れやすい。

【0066】

また、ドレイン電圧をピンチオフ電圧より増大させるとピンチオフ点がソース側に移動し、実質チャンネルとして機能する実効的なチャンネル長は減少する。これにより、電流値が増大する。この現象をチャンネル長変調と呼ぶ。なお、ピンチオフ点とはチャンネルが消滅していきゲート下においてチャンネルの厚さが 0 となる境界箇所であり、ピンチオフ電圧とはピンチオフ点がドレイン端となる時の電圧を指す。この現象も、チャンネル長 L が短いほど起こり易い。例えば、チャンネル長変調による電圧 - 電流特性のモデル図を図 5 に示す。なお、図 5 において、トランジスタのチャンネル長 L は $(a) > (b) > (c)$ である。

10

【0067】

以上のことから、トランジスタ 111 を飽和領域で動作させる場合、ドレイン・ソース間電圧 V_{ds} に対して電流 I が一定なら上述したように発光素子 116 の劣化の影響をより小さくできることを考慮に入れると、ドレイン・ソース間電圧 V_{ds} に対する電流 I はより一定に近い方が好ましい。よって、トランジスタ 111 のチャンネル長 L は長い方がより好ましい。たとえば、トランジスタのチャンネル長 L はチャンネル幅 W より大きい方が好ましい。また、チャンネル長 L は $10 \mu\text{m}$ 以上 $50 \mu\text{m}$ 以下、より望ましくは $15 \mu\text{m}$ 以上 $40 \mu\text{m}$ 以下が好ましい。ただし、チャンネル長 L 及びチャンネル幅 W はこれに限定されない。

【0068】

また、初期化期間において発光素子 116 に逆方向のバイアス電圧を印加しているため、発光素子における短絡箇所を絶縁化したり、発光素子の劣化を抑制することができる。よって、発光素子の寿命を延ばすことができる。

20

【0069】

なお、トランジスタのしきい値電圧のばらつきに起因する電流値のばらつきを抑制することができるため、そのトランジスタによって制御された電流の供給先は特に限定されない。そのため、図 1 に示した発光素子 116 は、EL 素子（有機 EL 素子、無機 EL 素子又は有機物及び無機物を含む EL 素子）、電子放出素子、液晶素子、電子インクなどを適用することができる。

【0070】

また、トランジスタ 111 は発光素子 116 に供給する電流値を制御する機能を有していれば良く、トランジスタの種類は特に限定されない。そのため、結晶性半導体膜を用いた薄膜トランジスタ（TFET）、非晶質シリコンや多結晶シリコンに代表される非単結晶半導体膜を用いた薄膜トランジスタ、半導体基板や SOI 基板を用いて形成されるトランジスタ、MOS 型トランジスタ、接合型トランジスタ、バイポーラトランジスタ、有機半導体やカーボンナノチューブを用いたトランジスタ、その他のトランジスタを適用することができる。

30

【0071】

第 1 のスイッチ 112 は画素の階調に従った信号を容量素子に入力するタイミングを選択し、トランジスタ 111 のゲート電極に供給する信号を制御するものであり、第 2 のスイッチ 113 はトランジスタ 111 のゲート電極に所定の電位を与えるタイミングを選択し、トランジスタ 111 のゲート電極に所定の電位を供給するかどうかを制御するものであり、第 3 のスイッチ 114 は容量素子 115 に書き込まれた電位を初期化するための所定の電位を与えるタイミングを選択したり、トランジスタ 111 の第 1 の電極の電位を低くするものである。そのため、第 1 のスイッチ 112、第 2 のスイッチ 113、第 3 のスイッチ 114 は、上記機能を有していれば特に限定されない。たとえば、トランジスタやダイオードでもよいし、それらを組み合わせた論理回路でもよい。なお、第 1 乃至第 3 のスイッチは、上記のタイミングで信号もしくは電位を画素に与えることができれば特に必要はない。例えば、画素の階調に従った信号をトランジスタ 111 のゲート電極に入力することができる場合には、図 45 に示すように第 1 のスイッチ 112 を設けなくても良い。

40

図 45 に示す画素は、トランジスタ 111、第 2 のスイッチ 113、第 3 のスイッチ 11

50

4、画素電極4540を有する。そして、トランジスタ111の第1の電極（ソース電極及びドレイン電極の一方）は画素電極4540と第3のスイッチ114とに接続され、ゲート電極は第2のスイッチ113を介してトランジスタ111の第2の電極と接続されている。なお、トランジスタ111のゲート容量4515を保持容量として利用しているため、図1における容量素子115を特に設ける必要はない。このような画素においても、図2に示すタイミングチャートに従って各スイッチを動作させ、それぞれの電極に所望の電位を供給することで、トランジスタ111のしきい値電圧のばらつきに起因した電流値のばらつきを抑制することができる。よって、画素電極4540に所望の電流を供給することができる。

【0072】

10

次に、図4に第1のスイッチ112、第2のスイッチ113、第3のスイッチ114にNチャンネル型のトランジスタを適用した場合について示す。なお、図1の構成と共通するところは共通の符号を用いてその説明を省略する。

【0073】

第1のスイッチングトランジスタ412が第1のスイッチ112に相当し、第2のスイッチングトランジスタ413が第2のスイッチ113に相当し、第3のスイッチングトランジスタ414が第3のスイッチ114に相当する。なお、トランジスタ111のチャンネル長は、第1のスイッチングトランジスタ412、第2のスイッチングトランジスタ413及び第3のスイッチングトランジスタ414のいずれのトランジスタのチャンネル長より長い方が好ましい。

20

【0074】

第1のスイッチングトランジスタ412のゲート電極は第1の走査線118に接続され、第1の電極が信号線117に接続され、第2の電極が容量素子115の第1の電極及びトランジスタ111のゲート電極に接続されている。

【0075】

また、第2のスイッチングトランジスタ413はゲート電極が第2の走査線119に接続され、第1の電極が容量素子115の第1の電極及びトランジスタ111のゲート電極に接続され、第2の電極が電源線121及びトランジスタ111の第2の電極と接続されている。

【0076】

30

第3のスイッチングトランジスタ414はゲート電極が第3の走査線120に接続され、第1の電極が容量素子115の第2の電極、トランジスタ111の第1の電極及び発光素子116の画素電極に接続され、第2の電極が電位供給線122に接続されている。

【0077】

各々のスイッチングトランジスタは、それぞれの走査線に入力される信号がHレベルのときにオンとなり、入力される信号がLレベルのときにオフとなる。

【0078】

図4に示した画素の上面図の一形態を図38に示す。導電層3810は、第1の走査線118と第1のスイッチングトランジスタ412のゲート電極として機能する部分を含み、導電層3811は信号線117と第1のスイッチングトランジスタ412の第1の電極として機能する部分を含む。また、導電層3812は第1のスイッチングトランジスタ412の第2の電極として機能する部分と、容量素子115の第1の電極として機能する部分と第2のスイッチングトランジスタ413の第1の電極として機能する部分を含む。導電層3813は第2のスイッチングトランジスタ413のゲート電極として機能する部分を含み、配線3814を介して第2の走査線119と接続されている。導電層3822は第2のスイッチングトランジスタ413の第2の電極として機能する部分とトランジスタ111の第2の電極として機能する部分を含み、配線3815を介して電源線121と接続されている。導電層3816はトランジスタ111の第1の電極として機能する部分を含み、発光素子の画素電極3844と接続されている。導電層3817はトランジスタ111のゲート電極として機能する部分を含み、配線3818を介して導電層3812と接

40

50

続されている。また、導電層 3819 は第 3 の走査線 120 と第 3 のスイッチングトランジスタ 414 のゲート電極として機能する部分を含む。導電層 3820 は第 3 のスイッチングトランジスタ 414 の第 1 の電極として機能する部分を含み、画素電極 3844 と接続されている。また、第 3 のスイッチングトランジスタ 414 の第 2 の電極として機能する部分を含む導電層 3821 は配線 3823 を介して電位供給線 122 と接続されている。

【0079】

なお、各々の導電層のうち第 1 のスイッチングトランジスタ 412 のゲート電極、第 1 の電極及び第 2 の電極として機能する部分は半導体層 3833 と重なって形成されている部分であり、第 2 のスイッチングトランジスタ 413 のゲート電極、第 1 の電極及び第 2 の電極として機能する部分は半導体層 3834 と重なって形成されている部分であり、第 3 のスイッチングトランジスタ 414 のゲート電極、第 1 の電極及び第 2 の電極として機能する部分は半導体層 3835 と重なって形成されている部分である。また、トランジスタ 111 のゲート電極、第 1 の電極及び第 2 の電極として機能する部分は半導体層 3836 と重なって形成されている導電層部分である。容量素子 115 は、導電層 3812 と画素電極 3844 が重なっている部分に形成されている。

10

【0080】

図 4 の画素構成においても、図 1 と同様の動作方法によりトランジスタ 111 のしきい値電圧のばらつきに起因した電流値のばらつきを抑制することができる。よって、輝度データに対応した電流を発光素子 116 に供給することができ、輝度のばらつきを抑制することが可能となる。また、トランジスタ 111 を飽和領域で動作させた場合においては、発光素子 116 の劣化に起因した輝度のばらつきも抑制することができる。

20

【0081】

また、Nチャネル型のトランジスタのみで画素を構成することができるため、製造工程の簡略化を図ることができる。また、画素を構成するトランジスタの半導体層にアモルファス半導体やセミアモルファス半導体（若しくは微結晶半導体ともいう）などの非晶質半導体を用いることができる。例えば、アモルファス半導体としてアモルファスシリコン（a-Si:H）が挙げられる。これら非晶質半導体を用いることにより、さらに製造工程の簡略化が可能である。したがって、製造コストの削減や歩留まりの向上を図ることができる。

30

【0082】

なお、第 1 のスイッチングトランジスタ 412、第 2 のスイッチングトランジスタ 413 及び第 3 のスイッチングトランジスタ 414 は、単なるスイッチとして動作させるため、トランジスタの極性（導電型）は特に限定されない。ただし、オフ電流が少ないトランジスタを用いることが望ましい。オフ電流が少ないトランジスタとしては、LDD領域を設けているものやマルチゲート構造にしているものなどがある。また、Nチャネル型とPチャネル型の両方を用いて、CMOS型のスイッチにしてもよい。

【0083】

続いて、本発明の画素を有する表示装置について図 6 を用いて説明する。

【0084】

表示装置は、信号線駆動回路 611、走査線駆動回路 612 及び画素部 613 を有し、画素部 613 には、信号線駆動回路 611 から列方向に伸張して配置された複数の信号線 $S_1 \sim S_m$ と、走査線駆動回路 612 から行方向に伸張して配置された複数の第 1 の走査線 $G_{1_1} \sim G_{n_1}$ 、第 2 の走査線 $G_{1_2} \sim G_{n_2}$ 、第 3 の走査線 $G_{1_3} \sim G_{n_3}$ 及び電源線 $P_{1_1} \sim P_{n_1}$ と、信号線 $S_1 \sim S_m$ に対応してマトリクスに配置された複数の画素 614 とを有する。また、第 1 の走査線 $G_{1_1} \sim G_{n_1}$ と平行に複数の電位供給線 $P_{1_2} \sim P_{n_2}$ を有している。そして、各画素 614 は、信号線 S_j （信号線 $S_1 \sim S_m$ のうちいずれか一）、第 1 の走査線 G_{i_1} （走査線 $G_{1_1} \sim G_{n_1}$ のうちいずれか一）、第 2 の走査線 G_{i_2} 、第 3 の走査線 G_{i_3} 、電源線 P_{i_1} 、電位供給線 P_{i_2} と接続されている。

40

50

【 0 0 8 5 】

なお、信号線 S_j 、第 1 の走査線 G_{i_1} 、第 2 の走査線 G_{i_2} 、第 3 の走査線 G_{i_3} 、電源線 P_{i_1} 、電位供給線 P_{i_2} は、それぞれ図 1 の信号線 1 1 7、第 1 の走査線 1 1 8、第 2 の走査線 1 1 9、第 3 の走査線 1 2 0、電源線 1 2 1、電位供給線 1 2 2 に相当する。

【 0 0 8 6 】

走査線駆動回路 6 1 2 から出力される信号により、動作させる画素の行を選択すると共に同行に属するそれぞれの画素に対し同時に図 2 に示した動作を行う。なお、図 2 のデータ書き込み期間においては、選択された行の画素に信号線駆動回路 6 1 1 から出力されたビデオ信号を書き込む。このとき、それぞれの画素の輝度データに応じた電位が各信号線 $S_1 \sim S_m$ に入力される。

10

【 0 0 8 7 】

図 4 0 に示すように、例えば i 行目のデータ書き込み期間を終えると $i + 1$ 行目に属する画素へ信号の書き込みを行う。なお、図 4 0 には、各行におけるデータ書き込み期間を表すためにこれを忠実に表すことができる図 2 の第 1 のスイッチ 1 1 2 の動作のみを抜き出して記載している。また、 i 行目においてデータ書き込み期間を終えた画素は、発光期間に移り、その画素へ書き込まれた信号にしたがって発光する。

【 0 0 8 8 】

よって、各行におけるデータ書き込み期間さえ重複しなければ、各行自由に初期化開始時期を設定することができる。また、各画素は自身のアドレス期間を除き発光することが可能であるため、1 フレーム期間における発光期間の割合（即ち、デューティ比）を非常に大きくでき、おおむね 1 0 0 % にすることも可能となる。よって、輝度のばらつきが少なくデューティ比が高い表示装置を得ることができる。

20

【 0 0 8 9 】

また、しきい値書き込み期間を長く設定することも可能であるため、トランジスタのしきい値電圧をより正確に容量素子に書き込むことができる。よって、表示装置としての信頼性が向上する。

【 0 0 9 0 】

なお、図 6 に示した表示装置の構成は一例であって本発明はこれに限定されない。例えば、電位供給線 $P_{1_2} \sim P_{n_2}$ は第 1 の走査線 $G_{1_1} \sim G_{n_1}$ と平行に配置されている必要はなく、信号線 $S_1 \sim S_m$ に平行に配置されていても良い。

30

【 0 0 9 1 】

また、しきい値電圧のばらつきには、画素間における各トランジスタのしきい値電圧の違いのほか、1 つのトランジスタに注目した場合において経時的なしきい値電圧の変化も含むものとする。さらに、各トランジスタのしきい値電圧の違いは、トランジスタの作製時におけるトランジスタ特性の違いによるものも含まれるものとする。なお、ここでいうトランジスタは発光素子等の負荷に電流を供給する機能を有するトランジスタを指す。

【 0 0 9 2 】

（実施の形態 2）

本実施形態では、実施の形態 1 とは異なる構成の画素を図 3 9 に示す。なお、実施の形態 1 と同様のものに関しては共通の符号を用いて示し、同一部分又は同様な機能を有する部分の詳細な説明は省略する。

40

【 0 0 9 3 】

図 3 9 (A) に示す画素は、トランジスタ 1 1 1、第 1 のスイッチ 1 1 2、第 2 のスイッチ 1 1 3、整流素子 3 9 1 4、容量素子 1 1 5、発光素子 1 1 6 を有する。なお、画素は、信号線 1 1 7、第 1 の走査線 1 1 8、第 2 の走査線 1 1 9、第 3 の走査線 3 9 2 0 及び電源線 1 2 1 に接続されている。図 3 9 (A) に示した画素は、図 1 における第 3 のスイッチ 1 1 4 に整流素子 3 9 1 4 を用いた構成となっており、容量素子 1 1 5 の第 2 の電極、トランジスタ 1 1 1 の第 1 の電極及び発光素子 1 1 6 の画素電極は、整流素子 3 9 1 4 を介して第 3 の走査線 3 9 2 0 と接続されている。つまり、整流素子 3 9 1 4 はトラン

50

ジスタ 111 の第 1 の電極から第 3 の走査線 3920 に電流が流れるように接続されている。もちろん、実施の形態 1 に示したように第 1 のスイッチ 112 及び第 2 のスイッチ 113 については、トランジスタ等を用いてもよい。また、整流素子 3914 には、図 39 (B) に示すショットキー・バリア型 3951、PIN 型 3952、PN 型 3953 のダイオードの他、ダイオード接続されているトランジスタ 3954、3955 等を用いることができる。ただし、トランジスタ 3954 及びトランジスタ 3955 は、電流を流す方向によってトランジスタの極性を適宜選択する必要がある。

【0094】

整流素子 3914 は、第 3 の走査線 3920 に H レベルの信号が入力されたときには電流が流れず、L レベルの信号が入力されたときには整流素子 3914 に電流が流れる。よって、図 39 の画素を図 1 と同様に動作させる際には、初期化期間において第 3 の走査線 3920 に L レベルの信号を入力し、それ以外の期間においては H レベルの信号を入力する。ただし、L レベルの信号は、整流素子 3914 にただ電流が流れるだけでなく容量素子 115 の第 2 の電極の電位を $V_1 - V_{th}$ (: 任意の正の数) にまで下げる必要があるため $V_1 - V_{th} -$ (: 任意の正の数) の電位であることとする。なお、は整流素子 3914 の順方向におけるしきい値電圧を指す。

10

【0095】

上記事項を考慮し、図 39 の画素構成においても図 1 と同様に動作させることによりトランジスタ 111 のしきい値電圧のばらつきに起因した電流値のばらつきを抑制することができる。よって、輝度データに対応した電流を発光素子 116 に供給することができ、輝度のばらつきを抑制することが可能となる。また、トランジスタ 111 を飽和領域で動作させた場合においては、発光素子 116 の劣化に起因した輝度のばらつきも抑制することができる。さらに、整流素子 3914 を用いることで、配線数を減らすことが可能となり、開口率を向上させることができる。

20

【0096】

さらに、図 6 の表示装置に本実施形態で示した画素を適用することができる。実施の形態 1 と同様、各行におけるデータ書き込み期間さえ重複しなければ、各行自由に初期化開始時期を設定することができる。また、各画素は自身のアドレス期間を除き発光することが可能であるため、1 フレーム期間における発光期間の割合 (即ち、デューティ比) を非常に大きくでき、おおむね 100% にすることもできる。よって、輝度のばらつきが少なくデューティ比が高い表示装置を得ることができる。

30

【0097】

また、しきい値書き込み期間を長く設定することも可能であるため、発光素子に流れる電流値を制御するトランジスタのしきい値電圧をより正確に容量素子に書き込むことができる。よって、表示装置としての信頼性が向上する。

【0098】

また、本実施形態は、上述した図 1 以外にもその他の実施の形態に示した画素構成とも自由に組み合わせることができる。つまり、整流素子 3914 は、他の実施形態に示した画素にも適用することが可能である。

【0099】

(実施の形態 3)

本実施形態では、実施の形態 1 とは異なる構成の画素を図 7 乃至 9 に示す。なお、実施の形態 1 と同様のものに関しては共通の符号を用いて示し、同一部分又は同様な機能を有する部分の詳細な説明は省略する。

40

【0100】

図 7 に示す画素 700 は、トランジスタ 111、第 1 のスイッチ 112、第 2 のスイッチ 113、第 3 のスイッチ 114、容量素子 115、発光素子 116 を有する。なお、画素 700 は、信号線 117、第 1 の走査線 718、第 2 の走査線 119、第 3 の走査線 120、電源線 121 及び次行の第 1 の走査線 718 に接続されている。

【0101】

50

実施の形態 1 に示した図 1 の画素ではトランジスタ 1 1 1 の第 1 の電極は第 3 のスイッチ 1 1 4 を介して電位供給線 1 2 2 に接続していたのに対し、図 7 では次行の第 1 の走査線 7 1 8 に接続することができる。これは、電位供給線 1 2 2 に限らず、初期化期間においてトランジスタ 1 1 1 の第 1 の電極に所定の電位を供給できれば良いからである。そのため、初期化期間において所定の電位をトランジスタ 1 1 1 の第 1 の電極に供給できれば供給する配線はたえず一定の電位である必要はない。よって、電位供給線のかわりに次行の第 1 の走査線 7 1 8 を用いることができる。このように、次行と配線を共有することで配線数を減らすことが可能となり、開口率を向上させることができる。

【0102】

なお、図 7 に示した画素構成においても、実施の形態 1 と同様の動作をさせることにより、トランジスタ 1 1 1 のしきい値電圧のばらつきに起因した電流値のばらつきを抑制することができる。よって、輝度データに対応した電流を発光素子 1 1 6 に供給することができ、輝度のばらつきを抑制することが可能となる。また、対向電極の電位を一定として動作させるため消費電力を低くすることが可能である。なお、トランジスタ 1 1 1 の動作領域は特に限定されないが、飽和領域の場合の方が効果は顕著にあらわれる。さらに、トランジスタ 1 1 1 を飽和領域で動作させた場合には、発光素子 1 1 6 の劣化に起因したトランジスタ 1 1 1 に流れる電流のばらつきを抑制することができる。

【0103】

ただし、第 1 の走査線 7 1 8 において第 1 のスイッチ 1 1 2 をオフさせる信号は $V1 - V_{th -}$ (: 任意の正の数) の電位となる。そのため、 $V1 - V_{th -}$ (: 任意の正の数) の電位でオフとなる第 1 のスイッチ 1 1 2 を使用する必要がある。また、画素 7 0 0 が属する行の初期化期間は配線を共有した行のデータ書き込み期間と重ならないように動作させる必要がある。

【0104】

なお、第 3 のスイッチ 1 1 4 に N チャンネル型トランジスタを用いた場合、第 3 の走査線 1 2 0 において第 3 のスイッチ 1 1 4 をオフさせる電位は、第 1 の走査線 7 1 8 において第 1 のスイッチ 1 1 2 をオフさせる信号である $V1 - V_{th -}$ の電位より下げてもよく、この場合トランジスタがオフとなる際のゲート・ソース間電圧を負の値とすることが可能となる。よって、第 3 のスイッチ 1 1 4 がオフした際の電流漏れを少なくすることができる。

【0105】

また、図 8 の画素 8 0 0 に示すように図 1 の電位供給線 1 2 2 を次行の第 2 の走査線 8 1 9 と共有しても良い。画素 8 0 0 においても、実施の形態 1 と同様の動作をさせることができる。ただし、第 2 の走査線 8 1 9 において第 2 のスイッチ 1 1 3 をオフさせる信号は $V1 - V_{th -}$ (: 任意の正の数) の電位となる。そのため、 $V1 - V_{th -}$ (: 任意の正の数) の電位でオフとなる第 2 のスイッチ 1 1 3 を使用する必要がある。また、画素 8 0 0 が属する行の初期化期間は配線を共有した行のしきい値書き込み期間と重ならないように動作させる必要がある。

【0106】

なお、第 3 のスイッチ 1 1 4 に N チャンネル型トランジスタを用いた場合、第 3 の走査線 1 2 0 において第 3 のスイッチ 1 1 4 をオフさせる信号は、第 2 の走査線 8 1 9 において第 2 のスイッチ 1 1 3 をオフさせる信号である $V1 - V_{th -}$ の電位より下げてもよく、この場合第 3 のスイッチ 1 1 4 がオフした際の電流漏れを少なくすることができる。

【0107】

また、図 9 の画素 9 0 0 に示すように図 1 の電位供給線 1 2 2 を前行の第 3 の走査線 9 2 0 と共有しても良い。画素 9 0 0 においても、実施の形態 1 と同様の動作をさせることができる。ただし、第 3 の走査線 9 2 0 において第 3 のスイッチ 1 1 4 をオフさせる信号は $V1 - V_{th -}$ (: 任意の正の数) の電位となる。そのため、 $V1 - V_{th -}$ (: 任意の正の数) の電位でオフとなる第 3 のスイッチ 1 1 4 を使用する必要がある。また、画素 9 0 0 が属する行の初期化期間は配線を共有した行の初期化期間と重ならないよ

10

20

30

40

50

うに動作させる必要があるが、初期化期間がデータ書き込み期間より短く設定されている場合には特に問題はない。

【0108】

なお、本実施形態では図1の電位供給線122が次行もしくは前行の走査線と共有する場合について示したが、初期化期間に $V_1 - V_{th}$ （ V_{th} ：任意の正の数）の電位を供給することが可能な配線であればそれ以外でも良い。

【0109】

さらに、本実施形態で示した画素を図6の表示装置に適用することができる。なお、表示装置において、図7乃至図9に記載した画素ごとの動作の制約及び各行におけるデータ書き込み期間が重複しない範囲内で、各行自由に初期化開始時期を設定することができる。また、各画素は自身のアドレス期間を除き発光することが可能であるため、1フレーム期間における発光期間の割合（即ち、デューティ比）を非常に大きくでき、おおむね100%にすることも可能となる。よって、輝度のばらつきが少なくデューティ比が高い表示装置を得ることができる。

10

【0110】

また、しきい値書き込み期間を長く設定することも可能であるため、発光素子に流れる電流値を制御するトランジスタのしきい値電圧をより正確に容量素子に書き込むことができる。よって、表示装置としての信頼性が向上する。

【0111】

また、本実施の形態は、上述した図1以外の実施の形態1及び2に示した画素構成とも自由に組み合わせることができる。

20

【0112】

（実施の形態4）

本実施形態では、実施の形態1とは異なる構成の画素について図10に示す。なお、実施の形態1と同様のものに関しては共通の符号を用いて示し、同一部分又は同様な機能を有する部分の詳細な説明は省略する。

【0113】

図10に示す画素は、トランジスタ1011、第1のスイッチ112、第2のスイッチ113、第3のスイッチ114、容量素子115、発光素子116を有する。なお、画素は、信号線117、第1の走査線118、第2の走査線119、第3の走査線120、電源線121及び電位供給線122に接続されている。

30

【0114】

本実施形態におけるトランジスタ1011は、トランジスタを2つ直列に接続したマルチゲート型トランジスタであり、実施の形態1のトランジスタ111と同じ位置に設けられている。ただし、直列に接続されるトランジスタの数は特に限定されない。

【0115】

実施の形態1と同様に図10に示した画素を動作させることにより、トランジスタ1011のしきい値電圧のばらつきに起因した電流値のばらつきを抑制することができる。よって、輝度データに対応した電流を発光素子116に供給することができ、輝度のばらつきを抑制することが可能となる。また、対向電極の電位を一定として動作させるため消費電力を低くすることが可能である。なお、トランジスタ1011の動作領域は特に限定されないが、飽和領域の場合の方が効果は顕著にあらわれる。

40

【0116】

さらに、トランジスタ1011を飽和領域で動作させた場合には、発光素子116の劣化に起因したトランジスタ1011に流れる電流のばらつきを抑制することができる。

【0117】

本実施形態におけるトランジスタ1011のチャンネル長 L は、直列に接続された2つのトランジスタのチャンネル幅が等しい場合、各トランジスタのチャンネル長の合計として作用する。よって、飽和領域においてドレイン・ソース間電圧 V_{ds} にかかわらず、より一定に近い電流値を得られやすい。特に、トランジスタ1011は長いチャンネル長 L を有する

50

トランジスタの作製が困難な場合に有効である。なお、2つのトランジスタの接続部は抵抗として機能する。

【0118】

なお、トランジスタ1011は発光素子116に供給する電流値を制御する機能を有していれば良く、トランジスタの種類は特に限定されない。そのため、結晶性半導体膜を用いた薄膜トランジスタ(TFT)、非晶質シリコンや多結晶シリコンに代表される非単結晶半導体膜を用いた薄膜トランジスタ、半導体基板やSOI基板を用いて形成されるトランジスタ、MOS型トランジスタ、接合型トランジスタ、バイポーラトランジスタ、有機半導体やカーボンナノチューブを用いたトランジスタ、その他のトランジスタを適用することができる。

10

【0119】

また、図10に示した画素は、図1に示した画素と同様、第1のスイッチ112、第2のスイッチ113、第3のスイッチ114はトランジスタを用いることができる。

【0120】

さらに、図6の表示装置に本実施形態で示した画素を適用することができ、実施の形態1と同様、各行におけるデータ書き込み期間さえ重複しなければ、各行自由に初期化開始時期を設定することができる。また、各画素は自身のアドレス期間を除き発光することが可能であるため、1フレーム期間における発光期間の割合(即ち、デューティ比)を非常に大きくでき、おおむね100%にすることも可能となる。よって、輝度のばらつきが少なくデューティ比が高い表示装置を得ることができる。

20

【0121】

また、しきい値書き込み期間を長く設定することも可能であるため、発光素子に流れる電流値を制御するトランジスタのしきい値電圧をより正確に容量素子に書き込むことができる。よって、表示装置としての信頼性が向上する。

【0122】

なお、トランジスタ1011は直列に接続されたトランジスタに限らず、図11のトランジスタ1111に示すような並列にトランジスタが接続された構成であっても良い。トランジスタ1111により、より大きな電流を発光素子116に供給することができる。また、並列に接続した2つのトランジスタによってトランジスタの特性が平均化されるため、トランジスタ1111を構成するトランジスタ本来の特性ばらつきをより小さくすることができる。ばらつきが小さいと図2に示した動作によりトランジスタのしきい値電圧のばらつきに起因する電流値のばらつきをより抑制しやすくすることができる。

30

【0123】

また、本実施の形態は、上述した図1に限らずその他の実施の形態に示した画素構成にも適用することが可能である。

【0124】

(実施の形態5)

本実施形態では、本発明の画素において、発光素子に供給する電流値を制御するトランジスタを期間毎に切り替えることにより、トランジスタの経時的な劣化を平均化する画素構成について図12を用いて説明する。

40

【0125】

図12に示す画素は、第1のトランジスタ1201、第2のトランジスタ1202、第1のスイッチ1212、第2のスイッチ1213、第3のスイッチ1214、第4のスイッチ1203、第5のスイッチ1204、容量素子1215、発光素子1216を有する。なお、画素は、信号線1217、第1の走査線1218、第2の走査線1219、第3の走査線1220、電源線1221及び電位供給線1222に接続されている。さらに、図12には図示していないが、第4のスイッチ1203及び第5のスイッチ1204のオン、オフを制御する第4及び第5の走査線にも接続されている。本実施形態において、第1のトランジスタ1201及び第2のトランジスタ1202はNチャネル型トランジスタとし、それぞれのトランジスタはゲート・ソース間電圧(V_{gs})がしきい値電圧を上回

50

ったとき、導通状態になるものとする。また、発光素子 1 2 1 6 の画素電極は陽極、対向電極 1 2 2 3 は陰極とする。なお、トランジスタのゲート・ソース間電圧は V_{gs} 、容量素子に蓄積された電圧は V_{cs} と記す。また、第 1 のトランジスタ 1 2 0 1 のしきい値電圧を V_{th1} 、第 2 のトランジスタ 1 2 0 2 のしきい値電圧を V_{th2} と記す。電源線 1 2 2 1、電位供給線 1 2 2 2、信号線 1 2 1 7 を、それぞれ第 1 の配線、第 2 の配線、第 3 の配線とも呼ぶ。

【0126】

第 1 のトランジスタ 1 2 0 1 は、第 1 の電極が第 4 のスイッチ 1 2 0 3 を介して発光素子 1 2 1 6 の画素電極に接続され、第 2 の電極が電源線 1 2 2 1 に接続され、ゲート電極が第 2 のスイッチ 1 2 1 3 を介して電源線 1 2 2 1 と接続されている。また、第 1 のトランジスタ 1 2 0 1 は、ゲート電極が第 1 のスイッチ 1 2 1 2 を介して信号線 1 2 1 7 とも接続されており、第 1 の電極が第 4 のスイッチ 1 2 0 3 及び第 3 のスイッチ 1 2 1 4 を介して電位供給線 1 2 2 2 とも接続されている。

10

【0127】

第 2 のトランジスタ 1 2 0 2 は、第 1 の電極が第 5 のスイッチ 1 2 0 4 を介して発光素子 1 2 1 6 の画素電極に接続され、第 2 の電極が電源線 1 2 2 1 に接続され、ゲート電極が第 2 のスイッチ 1 2 1 3 を介して電源線 1 2 2 1 と接続されている。また、第 2 のトランジスタ 1 2 0 2 はゲート電極が第 1 のスイッチ 1 2 1 2 を介して信号線 1 2 1 7 とも接続されており、第 1 の電極が第 5 のスイッチ 1 2 0 4 及び第 3 のスイッチ 1 2 1 4 を介して電位供給線 1 2 2 2 とも接続されている。なお、第 1 のトランジスタ 1 2 0 1 と第 2 のトランジスタ 1 2 0 2 のゲート電極、及び第 1 のトランジスタ 1 2 0 1 と第 2 のトランジスタ 1 2 0 2 の第 2 の電極はそれぞれ接続されており、第 1 のトランジスタ 1 2 0 1 と第 2 のトランジスタ 1 2 0 2 の第 1 の電極においても第 4 のスイッチ 1 2 0 3 及び第 5 のスイッチ 1 2 0 4 を介して接続されている。

20

【0128】

さらに、接続された第 1 のトランジスタ 1 2 0 1 と第 2 のトランジスタ 1 2 0 2 のゲート電極は、容量素子 1 2 1 5 及び第 4 のスイッチ 1 2 0 3 を介して第 1 のトランジスタ 1 2 0 1 の第 1 の電極に接続され、さらに容量素子 1 2 1 5 及び第 5 のスイッチ 1 2 0 4 を介して第 2 のトランジスタ 1 2 0 2 の第 1 の電極と接続されている。つまり、容量素子 1 2 1 5 の第 1 の電極が第 1 のトランジスタ 1 2 0 1 及び第 2 のトランジスタ 1 2 0 2 のゲート電極に、第 2 の電極が各々のスイッチを介して第 1 のトランジスタ 1 2 0 1 及び第 2 のトランジスタ 1 2 0 2 の第 1 の電極に接続されている。なお、容量素子 1 2 1 5 は、配線、半導体層や電極によって絶縁膜を挟むことで形成しても良いし、第 1 のトランジスタ 1 2 0 1 及び第 2 のトランジスタ 1 2 0 2 のゲート容量を用いて省略することもできる。

30

【0129】

なお、第 1 の走査線 1 2 1 8、第 2 の走査線 1 2 1 9、第 3 の走査線 1 2 2 0 に信号を入力することにより、それぞれ第 1 のスイッチ 1 2 1 2、第 2 のスイッチ 1 2 1 3、第 3 のスイッチ 1 2 1 4 のオンオフが制御される。図 1 2 においては、第 4 のスイッチ 1 2 0 3 及び第 5 のスイッチ 1 2 0 4 のオン、オフを制御する走査線は省略している。

【0130】

信号線 1 2 1 7 には、ビデオ信号に相当する画素の階調に従った信号、即ち輝度データに応じた電位が入力される。

40

【0131】

次に、図 1 2 で示した画素の動作について図 1 3 のタイミングチャートを用いて説明する。なお、図 1 3 において 1 画面分の画像を表示する期間に相当する 1 フレーム期間は、初期化期間、しきい値書き込み期間、データ書き込み期間及び発光期間に分割される。

【0132】

なお、発光素子 1 2 1 6 の対向電極 1 2 2 3 には V_1 の電位が供給され、 V_{th1} と V_{th2} の大きい方の値を V_{th} とした時、電位供給線 1 2 2 2 には $V_1 - V_{th} -$ (: 任意の正の数) の電位が供給される。また、電源線 1 2 2 1 には、アドレス期間は V_1

50

、発光期間ではV2の電位が供給される。ただし、 $V2 > V1$ とする。

【0133】

ここでは動作を説明するために、発光素子1216の対向電極1223の電位は、アドレス期間における電源線1221の電位と同じであるとしたが、発光素子1216が発光するために少なくとも必要とする電位差を V_{EL} とすると対向電極1223の電位は $V1 - V_{th} - V_{EL}$ の電位より高い値であれば良い。また、発光期間における電源線1221の電位V2は、対向電極1223の電位と発光素子1216が発光するために少なくとも必要とする電位差(V_{EL})とを加算した値より大きい値であれば良いが、説明上ここでは対向電極1223の電位をV1としたため、V2は $V1 + V_{EL}$ より大きい値であれば良いということになる。

10

【0134】

まず、図13(A)に示すように初期化期間では、第1のスイッチ1212及び第5のスイッチ1204をオフとし、第2のスイッチ1213、第3のスイッチ1214及び第4のスイッチ1203をオンとする。このとき、第1のトランジスタ1201の第1の電極はソース電極となり、その電位は $V1 - V_{th}$ である。一方、ゲート電極の電位はV1となる。よって、第1のトランジスタ1201のゲート・ソース間電圧 V_{gs} は $V_{th} +$ となり、第1のトランジスタ1201は導通状態となる。そして、第1のトランジスタ1201のゲート電極と第1の電極との間に配置された容量素子1215に $V_{th} +$ が保持される。

【0135】

次に、図13(B)に示すしきい値書き込み期間では、第3のスイッチ1214をオフとする。そのため、第1のトランジスタ1201の第1の電極即ちソース電極の電位は次第に上昇し $V1 - V_{th1}$ となったところで、第1のトランジスタ1201は非導通状態となる。よって、容量素子1215に保持される電圧は V_{th1} となる。

20

【0136】

その後、図13(C)に示すデータ書き込み期間においては、第2のスイッチ1213をオフとした後、第1のスイッチ1212をオンとし、信号線1217より輝度データに応じた電位($V1 + V_{data}$)を入力する。このときに、容量素子1215に保持される電圧 V_{cs} は $V_{th1} + V_{data}$ となり、第1のトランジスタ1201は導通状態になる。なお、 $V_{data} = 0$ の電位を入力した場合には、非導通状態となり非発光とすることができる。

30

【0137】

次に、図13(D)に示す発光期間では、第1のスイッチ1212をオフとし、電源線1221の電位をV2とする。このとき、第1のトランジスタ1201のゲート・ソース間電圧は $V_{gs} = V_{th1} + V_{data}$ であり、これに応じた電流が第1のトランジスタ1201及び発光素子1216に流れ、発光素子1216が発光する。

【0138】

このような動作により、発光素子1216に流れる電流は、第1のトランジスタ1201の動作領域が飽和領域、線形領域のいずれの場合においても、第1のトランジスタ1201のしきい値電圧(V_{th1})に依存しない。

40

【0139】

さらに、図13(E)に示す次の1フレーム期間における初期化期間では、第4のスイッチ1203をオフとし、第2のスイッチ1213、第3のスイッチ1214及び第5のスイッチ1204をオンとする。このとき、第2のトランジスタ1202の第1の電極はソース電極となり、その電位は $V1 - V_{th}$ である。一方、ゲート電極の電位はV1となる。よって、第2のトランジスタ1202のゲート・ソース間電圧 V_{gs} は $V_{th} +$ となり、第2のトランジスタ1202は導通状態となる。そして、第2のトランジスタ1202のゲート電極と第1の電極との間に配置された容量素子1215に $V_{th} +$ が保持される。

【0140】

50

次に、図 13 (F) に示すしきい値書き込み期間では、第 3 のスイッチ 1214 をオフとする。そのため、第 2 のトランジスタ 1202 の第 1 の電極即ちソース電極の電位は次第に上昇し $V_1 - V_{th2}$ となったところで、第 2 のトランジスタ 1202 は非導通状態となる。よって、容量素子 1215 に保持される電圧は V_{th2} となる。

【0141】

その後、図 13 (G) に示すデータ書き込み期間においては、第 2 のスイッチ 1213 をオフとした後、第 1 のスイッチ 1212 をオンとし、信号線 1217 より輝度データに応じた電位 ($V_1 + V_{data}$) を入力する。このときに、容量素子 1215 に保持される電圧 V_{cs} は $V_{th2} + V_{data}$ となり、第 2 のトランジスタ 1202 は導通状態になる。

10

【0142】

次に、図 13 (H) に示す発光期間では、第 1 のスイッチ 1212 をオフとし、電源線 1221 の電位を V_2 とする。このとき、第 2 のトランジスタ 1202 のゲート・ソース間電圧は $V_{gs} = V_{th2} + V_{data}$ であり、これに応じた電流が第 2 のトランジスタ 1202 及び発光素子 1216 に流れ、発光素子 1216 が発光する。

【0143】

また、第 2 のトランジスタ 1202 の動作領域が飽和領域、線形領域のいずれの場合においても、発光素子 1216 に流れる電流はしきい値電圧 (V_{th2}) に依存しない。

【0144】

よって、第 1 のトランジスタ 1201、第 2 のトランジスタ 1202 のいずれのトランジスタを用いて発光素子に供給する電流を制御してもトランジスタのしきい値電圧のばらつきに起因した電流値のばらつきを抑制し、輝度データに対応した電流値を発光素子 1216 に供給することができる。なお、第 1 のトランジスタ 1201、第 2 のトランジスタ 1202 を切り替えて用いることにより一つのトランジスタに加わる負荷を軽くすることによりトランジスタの経時的なしきい値の変化を小さいものとすることができる。

20

【0145】

以上のことから、第 1 のトランジスタ 1201、第 2 のトランジスタ 1202 のしきい値電圧に起因した輝度のばらつきを抑制することができる。また、対向電極の電位を一定とするため消費電力を低くすることが可能である。

【0146】

さらに、第 1 のトランジスタ 1201、第 2 のトランジスタ 1202 を飽和領域で動作させた場合においては、発光素子 1216 の劣化による各々のトランジスタに流れる電流のばらつきも抑制できる。

30

【0147】

なお、第 1 のトランジスタ 1201、第 2 のトランジスタ 1202 を飽和領域で動作させた場合、これらトランジスタのチャンネル長 L は長い方がより好ましい。

【0148】

また、初期化期間において発光素子 1216 に逆方向のバイアス電圧を印加しているため、発光素子における短絡箇所を絶縁化したり、発光素子の劣化を抑制することができる。よって、発光素子の寿命を延ばすことができる。

40

【0149】

なお、トランジスタのしきい値電圧のばらつきに起因する電流値のばらつきを抑制することができるため、そのトランジスタによって制御された電流の供給先は特に限定されない。そのため、図 12 に示した発光素子 1216 は、EL 素子 (有機 EL 素子、無機 EL 素子又は有機物及び無機物を含む EL 素子)、電子放出素子、液晶素子、電子インクなどを適用することができる。

【0150】

また、第 1 のトランジスタ 1201、第 2 のトランジスタ 1202 は発光素子 1216 に供給する電流値を制御する機能を有していれば良く、トランジスタの種類は特に限定されない。そのため、結晶性半導体膜を用いた薄膜トランジスタ (TFET)、非晶質シリコ

50

ンや多結晶シリコンに代表される非単結晶半導体膜を用いた薄膜トランジスタ、半導体基板やSOI基板を用いて形成されるトランジスタ、MOS型トランジスタ、接合型トランジスタ、バイポーラトランジスタ、有機半導体やカーボンナノチューブを用いたトランジスタ、その他のトランジスタを適用することができる。

【0151】

第1のスイッチ1212は画素の階調に従った信号を容量素子に入力するタイミングを選択するものであり、第2のスイッチ1213は第1のトランジスタ1201もしくは第2のトランジスタ1202のゲート電極に所定の電位を与えるタイミングを選択するものであり、第3のスイッチ1214は容量素子1215に書き込まれた電位を初期化するための所定の電位を与えるタイミングを選択するものである。そのため、第1のスイッチ1212、第2のスイッチ1213、第3のスイッチ1214は、上記機能を有していれば特に限定されない。たとえば、トランジスタやダイオードでもよいし、それらを組み合わせた論理回路でもよい。なお、第1乃至第3のスイッチは、上記のタイミングで信号もしくは電位を画素に与えることができれば特に必要はない。また、第4のスイッチ1203及び第5のスイッチ1204についても特に限定されず、たとえば、トランジスタやダイオードでもよいし、それらを組み合わせた論理回路でもよい。

10

【0152】

第1のスイッチ1212、第2のスイッチ1213、第3のスイッチ1214、第4のスイッチ1203、第5のスイッチ1204にNチャネル型のトランジスタを用いた場合、Nチャネル型のトランジスタのみで画素を構成することができるため、製造工程の簡略化を図ることができる。また、画素を構成するトランジスタの半導体層にアモルファス半導体やセミアモルファス半導体（若しくは微結晶半導体ともいう）などの非晶質半導体を用いることができる。例えば、アモルファス半導体としてアモルファスシリコン（a-Si:H）が挙げられる。これら非晶質半導体を用いることにより、さらに製造工程の簡略化が可能である。したがって、製造コストの削減や歩留まりの向上を図ることができる。

20

【0153】

なお、第1のスイッチ1212、第2のスイッチ1213、第3のスイッチ1214、第4のスイッチ1203、第5のスイッチ1204にトランジスタを用いた場合、トランジスタの極性（導電型）は特に限定されない。ただし、オフ電流が少ないトランジスタを用いることが望ましい。

30

【0154】

また、第1のトランジスタ1201と第4のスイッチ1203及び第2のトランジスタ1202と第5のスイッチ1204は、図41に示すようにそれぞれ入れ替わっていても良い。つまり、第1のトランジスタ1201及び第2のトランジスタ1202の第1の電極は容量素子1215を介して第1のトランジスタ1201及び第2のトランジスタ1202のゲート電極に接続されている。また、第1のトランジスタ1201の第2の電極は第4のスイッチ1203を介し電源線1221と接続され、第2のトランジスタ1202の第2の電極は第5のスイッチ1204を介して電源線1221と接続されている。

【0155】

また、図12及び図41ではトランジスタとスイッチをセットにして、つまり第1のトランジスタ1201と第4のスイッチ1203、第2のトランジスタ1202と第5のスイッチ1204をセットにして並列数が2の場合について記載したが、並列に配置する数は特に限定されない。

40

【0156】

また、図6の表示装置に本実施形態で示した画素を適用することで、実施の形態1と同様、各行におけるデータ書き込み期間さえ重複しなければ、各行自由に初期化開始時期を設定することができる。また、各画素は自身のアドレス期間を除き発光することが可能であるため、1フレーム期間における発光期間の割合（即ち、デューティ比）を非常に大きくでき、おおむね100%にすることも可能となる。よって、輝度のばらつきが少なくデューティ比が高い表示装置を得ることができる。

50

【 0 1 5 7 】

また、しきい値書き込み期間を長く設定することも可能であるため、発光素子に流れる電流値を制御するトランジスタのしきい値電圧をより正確に容量素子に書き込むことができる。よって、表示装置としての信頼性が向上する。

【 0 1 5 8 】

なお、実施の形態 3 と同様、電位供給線 1 2 2 2 は他の行の配線と共有することができる。また、実施の形態 4 と同様、第 1 のトランジスタ 1 2 0 1 及び第 2 のトランジスタ 1 2 0 2 のそれぞれに、トランジスタが直列に接続されたマルチゲート型トランジスタや並列に配置されたトランジスタを用いても良い。これらに限らず、本実施の形態は、実施の形態 1 乃至 4 に示した画素構成にも適用することが可能である。

10

【 0 1 5 9 】

(実施の形態 6)

本実施形態では、実施の形態 1 とは異なる構成の画素を示す。実施の形態 1 と同様のものに関しては共通の符号を用いて示し、同一部分又は同様な機能を有する部分の詳細な説明は省略する。なお、これらは実施の形態 1 と同様に動作させるものとする。

【 0 1 6 0 】

本実施形態では、発光素子 1 1 6 に強制的に電流が流れないようにする画素構成について説明する。つまり、非発光状態を強制的に作ることにより、残像が見えにくく、動画特性に優れた表示装置を得ることを目的とする。

【 0 1 6 1 】

このような画素構成の一つを図 2 9 に示す。図 2 9 に示す画素は、図 1 の画素が有するトランジスタ 1 1 1、第 1 のスイッチ 1 1 2、第 2 のスイッチ 1 1 3、第 3 のスイッチ 1 1 4、容量素子 1 1 5、発光素子 1 1 6 の他に、第 4 のスイッチ 2 9 0 1 を有する。また、画素は、信号線 1 1 7、第 1 の走査線 1 1 8、第 2 の走査線 1 1 9、第 3 の走査線 1 2 0、電源線 1 2 1 及び電位供給線 1 2 2 の他、第 4 の走査線 2 9 0 2 にも接続されている。

20

【 0 1 6 2 】

図 2 9 において、第 4 のスイッチ 2 9 0 1 は、容量素子 1 1 5 と並列に接続されている。そのため、第 4 のスイッチ 2 9 0 1 がオンになるとトランジスタ 1 1 1 のゲート電極と第 1 の電極間が短絡する。すると、容量素子 1 1 5 に保持されていたトランジスタ 1 1 1 のゲートソース間電圧を 0 V にすることができるため、トランジスタ 1 1 1 がオフとなり、発光素子 1 1 6 を非発光とすることができる。なお、第 4 のスイッチ 2 9 0 1 におけるオンオフの制御は、第 4 の走査線 2 9 0 2 に入力される信号によって画素一行ずつ走査する。

30

【 0 1 6 3 】

このような動作により、画素に書き込まれた信号を消去する。よって、次の初期化期間までは強制的に非発光の状態となる消去期間が設けられる。つまり、黒表示が挿入されることになる。よって、残像が見えにくくなり、動画特性の向上を図ることができる。

【 0 1 6 4 】

ところで、表示装置の階調を表現する駆動方式には、アナログ階調方式とデジタル階調方式がある。アナログ階調方式には、発光素子の発光強度をアナログ制御する方式と発光素子の発光時間をアナログ制御する方式がある。アナログ階調方式においては発光素子の発光強度をアナログ制御する方式がよく用いられている。一方、デジタル階調方式はデジタル制御で発光素子をオンオフさせ、階調を表現している。デジタル階調方式の場合、デジタル信号で処理できるためノイズに強いというメリットがあるが、発光・非発光の 2 状態しかないため、このままでは 2 階調しか表現できない。そこで、別の手法を組み合わせ、多階調化を図ることが行われている。多階調化のための手法としては、画素の発光面積に重みをつけてその選択により階調表示を行う面積階調方式と、発光時間に重みをつけてその選択により階調表示を行う時間階調方式とがある。

40

【 0 1 6 5 】

50

このデジタル階調方式と時間階調方式とを組み合わせた場合、図42に示すように、1フレーム期間を複数のサブフレーム期間(SFn)に分割する。各サブフレーム期間は、初期化期間、しきい値書き込み期間及びデータ書き込み期間を有するアドレス期間(Ta)と、発光期間(Ts)とを有する。なお、サブフレーム期間は表示ビット数nに応じた数を1フレーム期間に設ける。また、各サブフレーム期間における発光期間の長さの比を $2(n-1) : 2(n-2) : \dots : 2 : 1$ とし、各発光期間で発光素子の発光、もしくは非発光を選択し、発光素子が発光している1フレーム期間中の合計時間の差を利用して階調表現を行う。1フレーム期間において、発光している合計時間が長ければ輝度が高く、短ければ輝度が低くなる。なお、図42においては4ビット階調の例を示しており、1フレーム期間は4つのサブフレーム期間に分割され、発光期間の組み合わせによって、 $2^4 = 16$ 階調を表現できる。なお、発光期間の長さの比は、特に2のべき乗の比としなくとも、階調表現は可能である。また、あるサブフレーム期間をさらに分割していても良い。

10

【0166】

なお、上記のように時間階調方式を用いて多階調化を図る場合、下位ビットの発光期間の長さは短いため、発光期間の終了後直ちに次のサブフレーム期間のデータ書き込み動作を開始しようとする、前のサブフレーム期間のデータ書き込み動作と重複してしまい、正常な動作ができなくなる。そのため、サブフレーム期間内に上記のような消去期間を設けることで、全行に要するデータ書き込み期間より短い発光も表現することができる。即ち、発光期間を自由に設定することができる。

20

【0167】

本発明は、アナログ階調において特に有効であることはもちろん、デジタル階調方式と時間階調方式とを組み合わせた方式においても、発光期間を自由に設定することができるため、消去期間を設けることは有効である。

【0168】

また、電源線121からトランジスタ111を介して発光素子116の画素電極までの間の電流の経路に新たにスイッチを設け、一行ずつ画素を走査してそのスイッチをオフにすることにより消去期間を設けても良い。

【0169】

このような構成の一つを図30に示す。図30の構成は、図1の画素構成に加え、第4のスイッチ3001がトランジスタ111の第2の電極と電源線121との間に接続されている。そして、第4のスイッチ3001のオンオフは、第4の走査線3002に入力される信号によって制御される。

30

【0170】

また、トランジスタ111の第1の電極と発光素子116の画素電極との接続点をノード3003とすると、図37に示すように第4のスイッチ3701をノード3003とトランジスタ111の第1の電極との間に接続しても良い。第4のスイッチ3701のオンオフは第4の走査線3702に入力される信号によって制御される。

【0171】

よって、第4のスイッチをオフにすることにより消去期間を設けることが可能である。また、実施の形態1と同様に図30及び図37に示す画素を動作させる際に、初期化期間において第4のスイッチをオフにすることにより消費電力を低減することも可能である。

40

【0172】

なお、図30および図37に限らず、図43に示すようにノード3003と発光素子116の画素電極との間に第4のスイッチ4301を接続しても消去期間を設けることは可能である。また、図44に示すように、トランジスタ111の第2の電極と第2のスイッチ113との接続点と、電源線121との間に第4のスイッチ4401を接続しても消去期間を設けることは可能である。

【0173】

また、トランジスタ111のゲート電極に電位を入力することで強制的に消去期間を設

50

けても良い。

【0174】

このような構成の一つを図31に示す。図31の構成は、図1の画素構成に加え整流素子3101を有し、その整流素子3101を介してトランジスタ111のゲート電極と第4の走査線3102とが接続されている。なお、トランジスタ111がNチャネル型トランジスタであるとする、整流素子3101はトランジスタ111のゲート電極から第4の走査線3102に電流が流れるように接続されている。第4の走査線3102はトランジスタ111を強制的にオフにするときのみLレベルの信号が入力され、それ以外はHレベルの信号を入力する。すると、第4の走査線がHレベルのときには、整流素子3101には電流が流れず、Lレベルになるとトランジスタ111から第4の走査線3102へ電流が流れる。このように第4の走査線3102へ電流を流すことにより、容量素子115に保持される電圧をトランジスタ111のしきい値電圧(V_{th})以下にし、トランジスタ111を強制的にオフにする。なお、Lレベルの電位は、トランジスタ111のゲート電極の電位がLレベルの電位より整流素子3101の順方向しきい値電圧分高い電位以下にならないことを考慮し、決定しなければならない。また、このLレベルの電位で第1のスイッチ112及び第2のスイッチ113がオフするものを各々のスイッチに用いている場合には、第4の走査線3102を第1の走査線118もしくは第2の走査線119で代用しても良い。

10

【0175】

なお、画素構成は強制的に非発光にする手段を有していれば黒表示が挿入されることにより残像が見えにくくすることができるため、上記の構成に特に限定されない。

20

【0176】

なお、整流素子3101には、図39(B)に示したショットキー・バリア型、PIN型、PN型のダイオードの他、ダイオード接続されているトランジスタ等を用いることができる。

【0177】

なお、本実施形態に示した消去期間を設けるためのスイッチは、上述した図1に限らずその他の実施の形態に示した画素構成にも適用することが可能である。

【0178】

また、このようなスイッチを設けなくても初期化期間を長く設定することで、初期化期間は消去期間を兼ねることができる。よって、実施の形態1乃至5に記載した画素を動作する際、残像が見えにくくするために黒表示させたい期間を初期化期間の長さとして設定することで、動画特性の向上を図ることができる。また、発光期間において電源線121の電位を対向電極123の電位と同一にすることにより黒表示を挿入しても良い。

30

【0179】

なお、図30に示した画素構成においては、データ書き込み期間にトランジスタ111が導通状態となった場合、第4のスイッチ3001をオフにすることによりトランジスタ111への電流を遮断することができる。よって、トランジスタ111のソース電極と接続されている容量素子115の第2の電極の電位の変動を抑制することができるため、より正確に容量素子115に $V_{th} + V_{data}$ の電圧を保持させることが可能となる。したがって、輝度データに応じたより正確な電流を発光素子116に供給することができる。

40

【0180】

また、図37に示した画素構成においても、データ書き込み期間に第4のスイッチ3701をオフとすることにより容量素子115の第2の電極の電位の変動を抑制することができるため、より正確に容量素子115に $V_{th} + V_{data}$ の電圧を保持させることが可能となる。よって、輝度データに応じたより正確な電流を発光素子116に供給することができる。

【0181】

なお、本実施形態で示した画素は、実施の形態1において示した表示装置に適用するこ

50

とができる。以上のことから、輝度のばらつきが少なく、かつ動画特性に優れた表示装置を得ることができる。

【0182】

(実施の形態7)

本実施形態では、発光素子に供給する電流値を制御するトランジスタにPチャネル型トランジスタを適用した場合について図14を用いて説明する。

【0183】

図14に示す画素は、トランジスタ1411、第1のスイッチ1412、第2のスイッチ1413、第3のスイッチ1414、容量素子1415、発光素子1416を有する。なお、画素は、信号線1417、第1の走査線1418、第2の走査線1419、第3の走査線1420、電源線1421及び電位供給線1422に接続されている。本実施の形態において、トランジスタ1411はPチャネル型トランジスタとし、そのゲート・ソース間電圧の絶対値($|V_{gs}|$)がしきい値電圧($|V_{th}|$)を上回ったとき(V_{gs} が V_{th} を下回ったとき)、導通状態になるものとする。また、発光素子1416の画素電極は陰極、対向電極1423は陽極とする。なお、トランジスタのゲート・ソース間電圧の絶対値を $|V_{gs}|$ 、しきい値の絶対値を $|V_{th}|$ と記し、電源線1421及び電位供給線1422、信号線1417を、それぞれ第1の配線、第2の配線、第3の配線とも呼ぶ。

【0184】

トランジスタ1411の第1の電極(ソース電極及びドレイン電極の一方)は、発光素子1416の画素電極に接続され、第2の電極(ソース電極及びドレイン電極の他方)は電源線1421に接続され、ゲート電極は第2のスイッチ1413を介して電源線1421と接続されている。また、トランジスタ1411のゲート電極は、第1のスイッチ1412を介して信号線1417とも接続されており、第1の電極は第3のスイッチ1414を介して電位供給線1422とも接続されている。

【0185】

さらに、トランジスタ1411のゲート電極と第1の電極との間に容量素子1415が接続されている。つまり、容量素子1415の第1の電極がトランジスタ1411のゲート電極に、第2の電極がトランジスタ1411の第1の電極に接続されている。なお、容量素子1415は、配線、半導体層や電極によって絶縁膜を挟むことで形成しても良いし、トランジスタ1411のゲート容量を用いて省略することもできる。

【0186】

なお、第1の走査線1418、第2の走査線1419、第3の走査線1420に信号を入力することにより、それぞれ第1のスイッチ1412、第2のスイッチ1413、第3のスイッチ1414のオンオフが制御される。

【0187】

信号線1417には、ビデオ信号に相当する画素の階調に従った信号、即ち輝度データに応じた電位が入力される。

【0188】

次に、図14で示した画素の動作について図15のタイミングチャート及び図16を用いて説明する。なお、図14において1画面分の画像を表示する期間に相当する1フレーム期間は、初期化期間、しきい値書き込み期間、データ書き込み期間及び発光期間に分割される。また、初期化期間、しきい値書き込み期間、データ書き込み期間をまとめてアドレス期間と呼ぶ。1フレーム期間は特に限定はないが、画像をみる人がちらつき(フリッカ)を感じないように少なくとも1/60秒以下とすることが好ましい。

【0189】

なお、発光素子1416の対向電極1423には V_1 の電位が、電位供給線1422には $V_1 + |V_{th}| +$ (: 任意の正の数)の電位が入力される。また、電源線1421には、アドレス期間は V_1 、発光期間では V_2 の電位が入力される。ただし、 $V_2 < V_1$ とする。

【0190】

ここでは動作を説明するために、発光素子1416の対向電極1423の電位は、アドレス期間における電源線1421の電位と同じであるとしたが、発光素子1416が発光するために少なくとも必要とする電位差を V_{EL} とすると対向電極1423の電位は V_1 以上かつ $V_1 + |V_{th}| + V_{EL}$ の電位より低い値であれば良い。また、発光期間における電源線1421の電位 V_2 は、対向電極1423の電位から発光素子1416が発光するために少なくとも必要とする電位差(V_{EL})を引いた値より小さい値であれば良いが、説明上ここでは対向電極1423の電位を V_1 としたため、 V_2 は $V_1 - V_{EL}$ より小さい値であれば良いということになる。

【0191】

まず、図15(A)及び図16(A)に示すように初期化期間では、第1のスイッチ1412をオフとし、第2のスイッチ1413及び第3のスイッチ1414をオンとする。このとき、トランジスタ1411の第1の電極はソース電極となり、その電位は電位供給線1422と等しくなるため $V_1 + |V_{th}| +$ となる。一方、ゲート電極の電位は V_1 となる。よって、トランジスタ1411のゲート・ソース間電圧の絶対値 $|V_{gs}|$ は $|V_{th}| +$ となり、トランジスタ1411は導通状態となる。そして、トランジスタ1411のゲート電極と第1の電極との間に設けられた容量素子1415に $|V_{th}| +$ が保持される。

【0192】

次に、図15(B)及び図16(B)に示すしきい値書き込み期間では、第3のスイッチ1414をオフとする。そのため、トランジスタ1411の第1の電極即ちソース電極の電位は次第に下降し $V_1 + |V_{th}|$ となったところで、トランジスタ1411は非導通状態となる。よって、容量素子1415に保持される電圧は $|V_{th}|$ となる。

【0193】

その後の図15(C)及び図16(C)に示すデータ書き込み期間においては、第2のスイッチ1413をオフとした後、第1のスイッチ1412をオンとし、信号線1417より輝度データに応じた電位($V_1 - V_{data}$)を入力する。このときに、容量素子1415に保持される電圧 V_{cs} は、容量素子1415及び発光素子1416の静電容量をそれぞれ C_1 、 C_2 とすると式(5)のように表すことができる。

【数5】

$$V_{cs} = \left| -|V_{th}| - V_{data} \times \frac{C_2}{C_1 + C_2} \right| \dots(5)$$

【0194】

ただし、発光素子1416は容量素子1415に比べ膜厚が薄いうえ電極面積が大きいため、 $C_2 \gg C_1$ となる。よって、 $C_2 / (C_1 + C_2) \approx 1$ より容量素子1415に保持される電圧 V_{cs} は式(6)となり、トランジスタ1411は導通状態になる。

【数6】

$$V_{cs} = \left| -|V_{th}| - V_{data} \right| \dots(6)$$

【0195】

次に、図15(D)及び図16(D)に示す発光期間では、第1のスイッチ1412をオフとし、電源線1421の電位を V_2 とする。このとき、トランジスタ1411のゲート・ソース間電圧は $V_{gs} = -V_{data} - |V_{th}|$ であり、これに応じた電流がトランジスタ1411及び発光素子1416に流れ、発光素子1416が発光する。

【0196】

なお、発光素子に流れる電流 I は、トランジスタ1411を飽和領域で動作させた場合、式(7)で表される。

【数7】

10

20

30

40

50

$$\begin{aligned}
 I &= \frac{1}{2} \left(\frac{W}{L} \right) \mu_{\text{Cox}} (V_{\text{gs}} - V_{\text{th}})^2 \\
 &= \frac{1}{2} \left(\frac{W}{L} \right) \mu_{\text{Cox}} (-V_{\text{data}} - |V_{\text{th}}| - V_{\text{th}})^2 \quad \dots(7)
 \end{aligned}$$

【 0 1 9 7 】

トランジスタ 1 4 1 1 は P チャネル型のトランジスタであるため、 $V_{\text{th}} < 0$ である。よって、式 (7) は式 (8) に変形できる。

【 数 8 】

$$I = \frac{1}{2} \left(\frac{W}{L} \right) \mu_{\text{Cox}} (-V_{\text{data}})^2 \quad \dots(8)$$

10

【 0 1 9 8 】

また、トランジスタ 1 4 1 1 を線形領域で動作させた場合、発光素子に流れる電流 I は式 (9) で表される。

【 数 9 】

$$\begin{aligned}
 I &= \left(\frac{W}{L} \right) \mu_{\text{Cox}} \left[(V_{\text{gs}} - V_{\text{th}}) V_{\text{ds}} - \frac{1}{2} V_{\text{ds}}^2 \right] \\
 &= \left(\frac{W}{L} \right) \mu_{\text{Cox}} \left[(-V_{\text{data}} - |V_{\text{th}}| - V_{\text{th}}) V_{\text{ds}} - \frac{1}{2} V_{\text{ds}}^2 \right] \quad \dots(9)
 \end{aligned}$$

20

【 0 1 9 9 】

$V_{\text{th}} < 0$ より、式 (9) は式 (1 0) に変形できる。

【 数 1 0 】

$$I = \left(\frac{W}{L} \right) \mu_{\text{Cox}} \left[(-V_{\text{data}}) V_{\text{ds}} - \frac{1}{2} V_{\text{ds}}^2 \right] \dots(10)$$

30

【 0 2 0 0 】

ここで、 W はトランジスタ 1 4 1 1 のチャンネル幅、 L はチャンネル長、 μ は移動度、 C_{ox} は蓄積容量を指す。

【 0 2 0 1 】

式 (8) 及び式 (1 0) より、トランジスタ 1 4 1 1 の動作領域が飽和領域、線形領域のいずれの場合においても、発光素子 1 4 1 6 に流れる電流は、トランジスタ 1 4 1 1 のしきい値電圧 (V_{th}) に依存しない。よって、トランジスタ 1 4 1 1 のしきい値電圧のばらつきに起因した電流値のばらつきを抑制し、輝度データに対応した電流値を発光素子 1 4 1 6 に供給することができる。

40

【 0 2 0 2 】

以上のことから、トランジスタ 1 4 1 1 のしきい値電圧のばらつきに起因した輝度のばらつきを抑制することができる。また、対向電極の電位を一定とするため消費電力を低くすることが可能である。

【 0 2 0 3 】

さらに、トランジスタ 1 4 1 1 を飽和領域で動作させた場合においては、発光素子 1 4 1 6 の劣化による輝度のばらつきも抑制できる。発光素子 1 4 1 6 が劣化すると、発光素子 1 4 1 6 の V_{EL} は増大し、トランジスタ 1 4 1 1 の第 1 の電極、即ちソース電極の電位は減少する。このとき、トランジスタ 1 4 1 1 のソース電極は容量素子 1 4 1 5 の第 2 の電極に、トランジスタ 1 4 1 1 のゲート電極は容量素子 1 4 1 5 の第 1 の電極に接続さ

50

れており、なおかつゲート電極側は浮遊状態となっている。そのため、ソース電位の減少に伴い、同じ電位だけトランジスタ1411のゲート電位も減少する。よって、トランジスタ1411の V_{gs} は変化しないため、たとえ発光素子が劣化してもトランジスタ1411及び発光素子1416に流れる電流に影響しない。なお、式(8)においても発光素子に流れる電流 I はソース電位やドレイン電位に依存しないことがわかる。

【0204】

よって、トランジスタ1411を飽和領域で動作させた場合においては、トランジスタ1411のしきい値電圧のばらつき及び発光素子1416の劣化に起因した輝度のばらつきを抑制することができる。

【0205】

なお、トランジスタ1411を飽和領域で動作させた場合、降伏現象やチャンネル長変調による電流量の増加を抑制するために、トランジスタ1411のチャンネル長 L は長い方がより好ましい。

【0206】

また、初期化期間において発光素子1416に逆方向のバイアス電圧を印加しているため、発光素子における短絡箇所を絶縁化したり、発光素子の劣化を抑制することができる。よって、発光素子の寿命を延ばすことができる。

【0207】

なお、図14に示した発光素子1416は、特に限定されず、EL素子(有機EL素子、無機EL素子又は有機物及び無機物を含むEL素子)、電子放出素子、液晶素子、電子

10

20

【0208】

また、トランジスタ1411は発光素子1416に供給する電流値を制御する機能を有していれば良く、トランジスタの種類は特に限定されない。そのため、結晶性半導体膜を用いた薄膜トランジスタ(TFT)、非晶質シリコンや多結晶シリコンに代表される非単結晶半導体膜を用いた薄膜トランジスタ、半導体基板やSOI基板を用いて形成されるトランジスタ、MOS型トランジスタ、接合型トランジスタ、バイポーラトランジスタ、有機半導体やカーボンナノチューブを用いたトランジスタ、その他のトランジスタを適用することができる。

【0209】

第1のスイッチ1412は画素の階調に従った信号を容量素子に入力するタイミングを選択するものであり、第2のスイッチ1413はトランジスタ1411のゲート電極に所定の電位を与えるタイミングを選択するものであり、第3のスイッチ1414は容量素子1415に書き込まれた電位を初期化するための所定の電位を与えるタイミングを選択するものである。そのため、第1のスイッチ1412、第2のスイッチ1413、第3のスイッチ1414は、上記機能を有していれば特に限定されない。トランジスタやダイオードでもよいし、それらを組み合わせた論理回路でもよい。

30

【0210】

なお、トランジスタを用いた場合、その極性(導電型)は特に限定されない。ただし、オフ電流が少ないトランジスタを用いることが望ましい。オフ電流が少ないトランジスタとしては、LDD領域を設けているものやマルチゲート構造にしているものなどがある。また、Nチャンネル型とPチャンネル型の両方を用いて、CMOS型のスイッチにしてもよい。

40

【0211】

たとえば、第1のスイッチ1412、第2のスイッチ1413、第3のスイッチ1414にPチャンネル型のトランジスタを適用した場合、それぞれのスイッチのオンオフを制御する走査線にはオンさせたいときにはLレベルの信号が、オフさせたいときにはHレベルの信号が入力される。

【0212】

この場合、Pチャンネル型のトランジスタのみで画素を構成することができるため、製造

50

工程の簡略化を図ることができる。

【0213】

さらに、図6の表示装置に本実施形態で示した画素を適用することでき、実施の形態1と同様、各行におけるデータ書き込み期間さえ重複しなければ、各行自由に初期化開始時期を設定することができる。また、各画素は自身のアドレス期間を除き発光することが可能であるため、1フレーム期間における発光期間の割合（即ち、デューティ比）を非常に大きくでき、おおむね100%にすることもできる。よって、輝度のばらつきが少なくデューティ比が高い表示装置を得ることができる。

【0214】

また、しきい値書き込み期間を長く設定することも可能であるため、発光素子に流れる電流値を制御するトランジスタのしきい値電圧をより正確に容量素子に書き込むことができる。よって、表示装置としての信頼性が向上する。

10

【0215】

なお、実施の形態3と同様に、電位供給線1422は他の行の配線と共有することができる。また、トランジスタ1411を実施の形態4及び5で示したトランジスタの構成を適用することができる。その他、実施の形態6に示した構成及び動作を適用することも可能である。これらに限らず、本実施形態は、実施の形態1乃至6に示した画素構成にトランジスタ1411を適用することが可能である。

【0216】

ただし、消去期間を設けるために整流素子を用いた場合、発光素子に流れる電流を制御するトランジスタの極性によって整流素子に流れる電流の向きを異ならせる必要がある。図32を用いて説明する。

20

【0217】

トランジスタ1411がPチャネル型トランジスタである場合には、整流素子3201は第4の走査線3202からトランジスタ1411のゲート電極に電流が流れるように接続されている。第4の走査線3202はトランジスタ1411を強制的にオフにするときのみHレベルの信号が入力され、それ以外はLレベルの信号を入力する。すると、第4の走査線3202がLレベルのときには、整流素子3201には電流が流れず、Hレベルになるとトランジスタ1411から第4の走査線3202へ電流が流れる。このように第4の走査線3202へ電流を流すことにより、容量素子1415に保持される電位をトランジスタ1411のしきい値電圧の絶対値（ $|V_{th}|$ ）以下にし、トランジスタ1411を強制的にオフにする。なお、Hレベルの電位は、トランジスタ1411のゲート電極の電位がHレベルの電位より整流素子3201の順方向しきい値電圧分低い電位以上にならないことを考慮し、決定しなければならない。このような動作により、黒表示が挿入され残像が見えにくくなり、動画特性を向上させることができる。

30

【0218】

（実施の形態8）

本実施形態では、本発明の画素の部分断面図の一形態について図17を用いて説明する。なお、本実施形態における部分断面図に示されているトランジスタは、発光素子に供給する電流値を制御する機能を有するトランジスタである。

40

【0219】

まず、絶縁表面を有する基板1711上に下地膜1712を形成する。絶縁表面を有する基板1711としては、ガラス基板、石英基板、プラスチック基板（ポリイミド、アクリル、ポリエチレンテレフタレート、ポリカーボネート、ポリアリレート、ポリエーテルスルホン等）、セラミックス基板等の絶縁性基板の他、金属基板（タンタル、タングステン、モリブデン等）や半導体基板等の表面に絶縁膜を形成したのもを用いることができる。ただし、少なくともプロセス中に発生する熱に耐えうる基板を使用する必要がある。

【0220】

下地膜1712としては、酸化珪素膜、窒化珪素膜または酸化窒化珪素膜（ SiO_xN_y ）等の絶縁膜を用い、これら絶縁膜を単層又は2以上の複数層で形成する。なお、下地

50

膜 1712 は、スパッタ法、CVD 法等を用いて形成すればよい。本実施形態では下地膜 1712 を単層としているが、もちろん 2 以上の複数層でも構わない。

【0221】

次に、下地膜 1712 上にトランジスタ 1713 を形成する。トランジスタ 1713 は、少なくとも半導体層 1714 と、半導体層 1714 上に形成されたゲート絶縁膜 1715 と、半導体層 1714 上にゲート絶縁膜 1715 を介して形成されたゲート電極 1716 から構成されており、半導体層 1714 は、ソース領域及びドレイン領域を有する。

【0222】

半導体層 1714 は、アモルファスシリコン (a-Si:H) の他、シリコン、シリコン・ゲルマニウム (SiGe) 等を主成分とする非晶質半導体、非晶質状態と結晶状態とが混在したセミアモルファス半導体、及び非晶質半導体中に 0.5 nm ~ 20 nm の結晶粒を観察することができる微結晶半導体から選ばれたいずれかの非結晶性状態を有する膜 (即ち、非結晶性半導体膜) やポリシリコン (p-Si:H) 等の結晶性半導体膜を用いることができる。なお、0.5 nm ~ 20 nm の結晶粒を観察することができる微結晶状態はいわゆるマイクロクリスタルと呼ばれている。なお、半導体層 1714 に非結晶性半導体膜を用いる場合には、スパッタ法、CVD 法等を用いて形成すれば良く、結晶性半導体膜を用いる場合には、例えば非結晶性半導体膜を形成した後さらに結晶化すれば良い。また、必要があればトランジスタのしきい値を制御するために上記主成分の他に、微量の不純物元素 (リン、ヒ素、ボロン等) が含まれていても良い。

【0223】

次に、半導体層 1714 を覆ってゲート絶縁膜 1715 を形成する。ゲート絶縁膜 1715 には、例えば酸化珪素、窒化珪素または窒化酸化珪素等を用いて単層または複数の膜を積層させて形成する。なお、成膜方法には、CVD 法、スパッタ法等を用いることができる。

【0224】

続いて、半導体層 1714 の上方にゲート絶縁膜 1715 を介してそれぞれゲート電極 1716 を形成する。ゲート電極 1716 は単層で形成してもよいし、複数の金属膜を積層して形成してもよい。なお、ゲート電極は、タンタル (Ta)、タングステン (W)、チタン (Ti)、モリブデン (Mo)、アルミニウム (Al)、銅 (Cu)、クロム (Cr) 等から選ばれた金属元素の他にも、前記元素を主成分とする合金材料若しくは化合物材料で形成することができる。例えば、第 1 の導電層として窒化タンタル (Ta₂N₅) を用い、第 2 の導電層としてタングステン (W) を用いた、第 1 の導電膜と第 2 の導電膜からなるゲート電極としてもよい。

【0225】

次に、ゲート電極 1716 またはレジストを形成し所望の形状にしたものをマスクとして使い、半導体層 1714 に n 型または p 型の導電性を付与する不純物を選択的に添加する。このようにして、半導体層 1714 に、チャネル形成領域および不純物領域 (ソース領域、ドレイン領域、GOLD 領域、LDD 領域を含む) が形成される。また、添加される不純物元素の導電型により N チャネル型トランジスタ、または P チャネル型トランジスタとを区別して作製することができる。

【0226】

なお、図 17 は、LDD 領域 1720 を自己整合的に作製するために、ゲート電極 1716 を覆うようにシリコン化合物、例えば、酸化シリコン膜、窒化シリコン膜若しくは酸化窒化シリコン膜を形成した後、エッチバックしてサイドウォール 1717 を形成する。その後、半導体層 1714 に導電性を付与する不純物を添加することにより、ソース領域 1718、ドレイン領域 1719 及び LDD 領域 1720 を形成することができる。そのため、LDD 領域 1720 はサイドウォール 1717 の下部に位置する。なお、サイドウォール 1717 は、LDD 領域 1720 を自己整合的に形成するために設けるのであって、必ずしも設けなくてもよい。なお、導電性を付与する不純物としてはリン、ヒ素、ボロン等が用いられる。

10

20

30

40

50

【0227】

次に、ゲート電極1716を覆って、第1の層間絶縁膜1730として第1の絶縁膜1721、第2の絶縁膜1722を積層し形成する。第1の絶縁膜1721、第2の絶縁膜1722としては、酸化珪素膜、窒化珪素膜または酸化窒化珪素膜(SiO_xN_y)等の無機絶縁膜、もしくは低誘電率の有機樹脂膜(感光性や非感光性有機樹脂膜)を用いることができる。また、シロキサンを含む膜を用いてもよい。なお、シロキサンは、シリコン(Si)と酸素(O)との結合で骨格構造が構成される材料であり、置換基としては、有機基(例えばアルキル基、芳香族炭化水素)が用いられる。また、置換基にフルオロ基を含んでいても良い。

【0228】

なお、第1の絶縁膜1721、第2の絶縁膜1722に同一材料の絶縁膜を用いても良い。本実施形態では第1の層間絶縁膜1730を2層の積層構造としたが、1層としても良いし、3層以上の積層構造としても良い。

【0229】

なお、第1の絶縁膜1721、第2の絶縁膜1722は、スパッタ法、CVD法、スピンコーティング法等を用いて形成すればよく、有機樹脂膜やシロキサンを含む膜を用いる場合には塗布法を用いて形成すればよい。

【0230】

その後、第1の層間絶縁膜1730上にソース電極及びドレイン電極1723を形成する。なお、ソース電極及びドレイン電極1723は、それぞれコンタクトホールを介してソース領域1718、ドレイン領域1719に接続されている。

【0231】

なお、ソース電極及びドレイン電極1723は、銀(Ag)、金(Au)、銅(Cu)、ニッケル(Ni)、白金(Pt)、パラジウム(Pd)、イリジウム(Ir)、ロジウム(Rh)、タングステン(W)、アルミニウム(Al)、タンタル(Ta)、モリブデン(Mo)、カドミウム(Cd)、亜鉛(Zn)、鉄(Fe)、チタン(Ti)、珪素(Si)、ゲルマニウム(Ge)、ジルコニウム(Zr)、バリウム(Ba)等の金属又はその合金、若しくはその金属窒化物、又はこれらの積層膜を用いることができる。

【0232】

次に、ソース電極及びドレイン電極1723を覆って第2の層間絶縁膜1731を形成する。第2の層間絶縁膜1731としては、無機絶縁膜や、樹脂膜、又はこれらの積層を用いることができる。無機絶縁膜としては、窒化珪素膜、酸化珪素膜、酸化窒化珪素膜又はこれらを積層した膜を用いることができる。樹脂膜としては、ポリイミド、ポリアミド、アクリル、ポリイミドアミド、エポキシなどを用いることができる。

【0233】

第2の層間絶縁膜1731上には画素電極1724を形成する。次に、画素電極1724の端部を覆うように絶縁物1725を形成する。絶縁物1725は、後に形成される発光物質を含む層1726の成膜を良好なものとするため、絶縁物1725の上端部または下端部が曲率を有する曲面となるように形成することが好ましい。例えば、絶縁物1725の材料としてポジ型の感光性アクリルを用いた場合、絶縁物1725の上端部のみに曲率半径($0.2\mu\text{m} \sim 3\mu\text{m}$)を有する曲面を持たせることが好ましい。また、絶縁物1725として、感光性の光によってエッチャントに不溶解性となるネガ型、あるいは光によってエッチャントに溶解性となるポジ型のいずれも使用することができる。さらには、絶縁物1725の材料として有機物に限らず酸化珪素、酸窒化珪素等の無機物も用いることができる。

【0234】

次に、画素電極1724及び絶縁物1725上に発光物質を含む層1726及び対向電極1727を形成する。

【0235】

なお、画素電極1724と対向電極1727とにより発光物質を含む層1726が挟ま

10

20

30

40

50

れた領域では発光素子 1728 が形成されている。

【0236】

次に、発光素子 1728 の詳細について図 18 を用いて説明する。なお、図 17 における画素電極 1724 及び対向電極 1727 は、それぞれ図 18 の画素電極 1801、対向電極 1802 に相当する。また、図 18 (a) においては、画素電極を陽極、対向電極を陰極とする。

【0237】

図 18 (a) に示すように、画素電極 1801 と対向電極 1802 との間には、発光層 1813 の他、正孔注入層 1811、正孔輸送層 1812、電子輸送層 1814、電子注入層 1815 等も設けられている。これらの層は、画素電極 1801 の電位が対向電極 1802 の電位よりも高くなるように電圧を印加したときに、画素電極 1801 側から正孔が注入され対向電極 1802 側から電子が注入されるように積層されている。

10

【0238】

このような発光素子において、画素電極 1801 から注入された正孔と、対向電極 1802 から注入された電子とは、発光層 1813 において再結合し、発光物質を励起状態にする。そして、励起状態の発光物質が基底状態に戻るときに発光する。なお、発光物質とは、ルミネセンス (エレクトロルミネセンス) が得られる物質であれば良い。

【0239】

発光層 1813 を形成する物質について特に限定はなく、発光物質のみから形成された層であっても良いが、濃度消光を生じる場合には発光物質が有するエネルギーギャップよりも大きいエネルギーギャップを有する物質 (ホスト) からなる層中に発光物質が分散するように混合された層であることが好ましい。これによって、発光物質の濃度消光を防ぐことができる。なお、エネルギーギャップとは最低空分子軌道 (LUMO: Lowest Unoccupied Molecular Orbital) 準位と最高被占分子軌道 (HOMO: Highest Occupied Molecular Orbital) 準位とのエネルギー差をいう。

20

【0240】

また、発光物質についても特に限定はなく、所望の発光波長の発光をし得る物質を用いればよい。例えば、赤色系の発光を得たいときには、4 - ジシアノメチレン - 2 - イソプロピル - 6 - [2 - (1, 1, 7, 7 - テトラメチルジュロリジン - 9 - イル) エテニル] - 4 H - ピラン (略称: DCJT I)、4 - ジシアノメチレン - 2 - メチル - 6 - [2 - (1, 1, 7, 7 - テトラメチルジュロリジン - 9 - イル) エテニル] - 4 H - ピラン (略称: DCJT)、4 - ジシアノメチレン - 2 - tert - ブチル - 6 - [2 - (1, 1, 7, 7 - テトラメチルジュロリジン - 9 - イル) エテニル] - 4 H - ピラン (略称: DCJT B) やペリフランテン、2, 5 - ジシアノ - 1, 4 - ビス [2 - (10 - メトキシ - 1, 1, 7, 7 - テトラメチルジュロリジン - 9 - イル) エテニル] ベンゼン等、600 nm から 680 nm に発光スペクトルのピークを有する発光を呈する物質を用いることができる。また、緑色系の発光を得たいときは、N, N' - ジメチルキナクリドン (略称: DMQd)、クマリン 6 やクマリン 545 T、トリス (8 - キノリノラト) アルミニウム (略称: Alq)、N, N' - ジフェニルキナクリドン (略称: DPQd) 等、500 nm から 550 nm に発光スペクトルのピークを有する発光を呈する物質を用いることができる。また、青色系の発光を得たいときは、9, 10 - ビス (2 - ナフチル) - tert - ブチルアントラセン (略称: t - BuDNA)、9, 9' - ビアントリル、9, 10 - ジフェニルアントラセン (略称: DNA) や 9, 10 - ビス (2 - ナフチル) アントラセン (略称: DNA)、ビス (2 - メチル - 8 - キノリノラト) - 4 - フェニルフェノラト - ガリウム (BGaq)、ビス (2 - メチル - 8 - キノリノラト) - 4 - フェニルフェノラト - アルミニウム (BAIq) 等、420 nm から 500 nm に発光スペクトルのピークを有する発光を呈する物質を用いることができる。

30

40

【0241】

発光物質を分散状態にするために用いる物質についても特に限定はなく、例えば、9,

50

10 - ジ (2 - ナフチル) - 2 - t e r t - ブチルアントラセン (略称 : t - B u D N A) 等のアントラセン誘導体、または 4 , 4 ' - ビス (N - カルバゾリル) ビフェニル (略称 : C B P) 等のカルバゾール誘導体の他、ビス [2 - (2 - ヒドロキシフェニル) ピリジナト] 亜鉛 (略称 : Z n p p 2) 、ビス [2 - (2 - ヒドロキシフェニル) ベンゾオキサゾラト] 亜鉛 (略称 : Z n B O X) 等の金属錯体等を用いることができる。

【 0 2 4 2 】

画素電極 1 8 0 1 を形成する陽極材料は特に限定はされないが、仕事関数の大きい (仕事関数 4 . 0 e V 以上) 金属、合金、電気伝導性化合物、及びこれらの混合物などを用いることが好ましい。このような陽極材料の具体例としては、金属材料の酸化物として、インジウム錫酸化物 (略称 : I T O) 、酸化珪素を含有する I T O 、酸化インジウムに 2 ~ 2 0 [w t %] の酸化亜鉛 (Z n O) を混合したターゲットを用いて形成されるインジウム亜鉛酸化物 (略称 : I Z O) の他、金 (A u) 、白金 (P t) 、ニッケル (N i) 、タングステン (W) 、クロム (C r) 、モリブデン (M o) 、鉄 (F e) 、コバルト (C o) 、銅 (C u) 、パラジウム (P d) 、または金属材料の窒化物 (例えば、 T i N) 等を挙げることができる。

10

【 0 2 4 3 】

一方、対向電極 1 8 0 2 を形成する物質としては、仕事関数の小さい (仕事関数 3 . 8 e V 以下) 金属、合金、電気伝導性化合物、及びこれらの混合物などを用いることができる。このような陰極材料の具体例としては、周期表の 1 族または 2 族に属する元素、すなわちリチウム (L i) やセシウム (C s) 等のアルカリ金属またはマグネシウム (M g) 、カルシウム (C a) 、ストロンチウム (S r) 等のアルカリ土類金属、及びこれらを含む合金 (M g : A g 、 A l : L i) が挙げられる。また、対向電極 1 8 0 2 と発光層 1 8 1 3 との間に、電子注入性に優れた層を当該対向電極と積層して設けることにより、仕事関数の大小に関わらず、A l 、 A g 、 I T O や、酸化珪素を含有する I T O 等の画素電極 1 8 0 1 の材料として挙げた材料も含めた様々な導電性材料を対向電極 1 8 0 2 として用いることができる。また、後述する電子注入層 1 8 1 5 に、特に電子を注入する機能に優れた材料を用いることにより同様の効果を得ることができる。

20

【 0 2 4 4 】

なお、発光した光を外部に取り出すために、画素電極 1 8 0 1 と対向電極 1 8 0 2 のいずれか一方または両方が I T O 等の透明電極、または可視光が透過出来るような数 ~ 数十 n m の厚さで形成された電極であることが好ましい。

30

【 0 2 4 5 】

画素電極 1 8 0 1 と発光層 1 8 1 3 との間には、図 1 8 (a) に示すように正孔輸送層 1 8 1 2 を有する。正孔輸送層とは、画素電極 1 8 0 1 から注入された正孔を発光層 1 8 1 3 へ輸送する機能を有する層である。このように、正孔輸送層 1 8 1 2 を設け、画素電極 1 8 0 1 と発光層 1 8 1 3 とを離すことによって、発光が金属に起因して消光することを防ぐことができる。

【 0 2 4 6 】

なお、正孔輸送層 1 8 1 2 には、正孔輸送性の高い物質を用いて形成することが好ましく、特に $1 \times 10^{-6} \text{ cm}^2 / \text{Vs}$ 以上の正孔移動度を有する物質を用いて形成することが好ましい。なお、正孔輸送性の高い物質とは、電子よりも正孔の移動度が高い物質をいう。正孔輸送層 1 8 1 2 を形成するのに用いることができる物質の具体例としては、4 , 4 ' - ビス [N - (1 - ナフチル) - N - フェニルアミノ] ビフェニル (略称 : N P B) 、4 , 4 ' - ビス [N - (3 - メチルフェニル) - N - フェニルアミノ] ビフェニル (略称 : T P D) 、4 , 4 ' , 4 ' ' - トリス (N , N - ジフェニルアミノ) トリフェニルアミン (略称 : T D A T A) 、4 , 4 ' , 4 ' ' - トリス [N - (3 - メチルフェニル) - N - フェニルアミノ] トリフェニルアミン (略称 : M T D A T A) 、4 , 4 ' - ビス { N - [4 - (N , N - ジ - m - トリルアミノ) フェニル] - N - フェニルアミノ } ビフェニル (略称 : D N T P D) 、1 , 3 , 5 - トリス [N , N - ジ (m - トリル) アミノ] ベンゼン (略称 : m - M T D A B) 、4 , 4 ' , 4 ' ' - トリス (N - カルバゾリル) トリフ

40

50

エニルアミン（略称：TC TA）、フタロシアニン（略称：H₂ P c）、銅フタロシアニン（略称：Cu P c）、バナジルフタロシアニン（略称：VO P c）等が挙げられる。また、正孔輸送層 1812 は、以上に述べた物質から成る層を二以上組み合わせて形成した多層構造の層であってもよい。

【0247】

また、対向電極 1802 と発光層 1813 との間には、図 18 (a) に示すように電子輸送層 1814 を有していてもよい。ここで、電子輸送層とは、対向電極 1802 から注入された電子を発光層 1813 へ輸送する機能を有する層である。このように、電子輸送層 1814 を設け、対向電極 1802 と発光層 1813 とを離すことによって、発光が金属に起因して消光することを防ぐことができる。

10

【0248】

電子輸送層 1814 について特に限定はなく、トリス（8 - キノリノラト）アルミニウム（略称：Al q）、トリス（4 - メチル - 8 - キノリノラト）アルミニウム（略称：Almq₃）、ビス（10 - ヒドロキシベンゾ [h] - キノリノラト）ベリリウム（略称：BeBq₂）、ビス（2 - メチル - 8 - キノリノラト） - 4 - フェニルフェノラト - アルミニウム（略称：BA l q）など、キノリン骨格またはベンゾキノリン骨格を有する金属錯体等によって形成されたものを用いることができる。この他、ビス [2 - (2 - ヒドロキシフェニル) - ベンゾオキサゾラト] 亜鉛（略称：Zn (BOX)₂）、ビス [2 - (2 - ヒドロキシフェニル) - ベンゾチアゾラト] 亜鉛（略称：Zn (BTZ)₂）などのオキサゾール系、チアゾール系配位子を有する金属錯体等によって形成されたものであってもよい。また、2 - (4 - ビフェニル) - 5 - (4 - tert - ブチルフェニル) - 1, 3, 4 - オキサジアゾール（略称：PBD）や、1, 3 - ビス [5 - (p - tert - ブチルフェニル) - 1, 3, 4 - オキサジアゾール - 2 - イル] ベンゼン（略称：OXD - 7）、3 - (4 - tert - ブチルフェニル) - 4 - フェニル - 5 - (4 - ビフェニル) - 1, 2, 4 - トリアゾール（略称：TAZ）、3 - (4 - tert - ブチルフェニル) - 4 - (4 - エチルフェニル) - 5 - (4 - ビフェニル) - 1, 2, 4 - トリアゾール（略称：p - EtTAZ）、バソフェナントロリン（略称：BPhen）、バソキュプロイン（略称：BCP）等を用いて形成されたものであってもよい。電子輸送層 1814 は、以上に記載したような正孔の移動度よりも電子の移動度が高い物質を用いて形成することが好ましい。また、電子輸送層 1814 は、10 - 6 cm² / V s 以上の電子移動度を有する物質を用いて形成することがより好ましい。なお、電子輸送層 1814 は、以上に述べた物質から成る層を二以上組み合わせて形成した多層構造であってもよい。

20

30

【0249】

さらに、画素電極 1801 と正孔輸送層 1812 との間には、図 18 (a) に示すように、正孔注入層 1811 を有していてもよい。ここで、正孔注入層とは、陽極として機能する電極から正孔輸送層 1812 へ正孔の注入を促す機能を有する層である。

【0250】

正孔注入層 1811 について特に限定はなく、モリブデン酸化物（MoO_x）やバナジウム酸化物（VO_x）、ルテニウム酸化物（RuO_x）、タングステン酸化物（WO_x）、マンガン酸化物（MnO_x）等の金属酸化物によって形成されたものを用いることができる。この他、フタロシアニン（略称：H₂ P c）や銅フタロシアニン（Cu P c）等のフタロシアニン系の化合物、4, 4 - ビス（N - (4 - (N, N - ジ - m - トリルアミノ)フェニル) - N - フェニルアミノ)ピフェニル（略称：DNTPD）等の芳香族アミン系の化合物、或いはポリ（エチレンジオキシチオフエン）/ポリ（スチレンスルホン酸）水溶液（PEDOT / PSS）等の高分子等によっても正孔注入層 1811 を形成することができる。

40

【0251】

また、前記金属酸化物と、正孔輸送性の高い物質とを混合したものを、画素電極 1801 と正孔輸送層 1812 との間に設けても良い。このような層は、厚膜化しても駆動電圧の上昇を伴わないため、層の膜厚を調整することでマイクロキャビティ効果や光の干渉効

50

果を利用した光学設計を行うことができる。そのため、色純度に優れ、視野角に依存する色変化などが小さい高品質な発光素子を作製することができる。また、画素電極 1801 の表面に成膜時に発生する凹凸や電極表面に残った微少な残渣の影響で画素電極 1801 と対向電極 1802 がショートすることを防ぐ膜厚を選ぶことができる。

【0252】

また、対向電極 1802 と電子輸送層 1814 との間には、図 18 (a) に示すように、電子注入層 1815 を有していてもよい。ここで、電子注入層とは、陰極として機能する電極から電子輸送層 1814 へ電子の注入を促す機能を有する層である。なお、電子輸送層を特に設けない場合は、陰極として機能する電極と発光層との間に電子注入層を設け、発光層への電子の注入を補助してもよい。

10

【0253】

電子注入層 1815 について特に限定はなく、フッ化リチウム (LiF)、フッ化セシウム (CsF)、フッ化カルシウム (CaF₂) 等のようなアルカリ金属又はアルカリ土類金属の化合物を用いて形成されたものを用いることができる。この他、Alq または 4,4'-ビス(5-メチルベンズオキサゾル-2-イル)スチルベン (BzOs) 等のように電子輸送性の高い物質と、マグネシウムまたはリチウム等のようにアルカリ金属又はアルカリ土類金属とを混合したのも、電子注入層 1815 として用いることができる。

【0254】

なお、正孔注入層 1811、正孔輸送層 1812、発光層 1813、電子輸送層 1814、電子注入層 1815 は、それぞれ、蒸着法、インクジェット法、または塗布法等、いずれの方法で形成しても構わない。また、画素電極 1801 または対向電極 1802 についても、スパッタ法または蒸着法等、いずれの方法を用いて形成しても構わない。

20

【0255】

また、発光素子の層構造は、図 18 (a) に記載したものに限定されず、図 18 (b) に示すように陰極として機能する電極から順に作製してもよい。つまり、画素電極 1801 を陰極とし、画素電極 1801 上に電子注入層 1815、電子輸送層 1814、発光層 1813、正孔輸送層 1812、正孔注入層 1811、対向電極 1802 の順で積層しても良い。なお、対向電極 1802 は陽極として機能する。

【0256】

なお、発光素子は、発光層が一層のものについて記載したが、複数の発光層を有するものであってもよい。複数の発光層を設け、それぞれの発光層からの発光を混合することで、白色光を得ることができる。たとえば 2 層の発光層を有する発光素子の場合、第 1 の発光層と第 2 の発光層との間には、間隔層や、正孔を発生する層及び電子を発生する層を設けることが好ましい。このような構成により、外部に射出したそれぞれの発光は、視覚的に混合され、白色光として視認される。よって、白色光を得ることができる。

30

【0257】

また、発光は、図 17 において画素電極 1724 または対向電極 1727 のいずれか一方または両方を通して外部に取り出される。従って、画素電極 1724 または対向電極 1727 のいずれか一方または両方は、透光性を有する物質で成る。

【0258】

対向電極 1727 のみが透光性を有する物質からなる場合、図 19 (a) に示すように発光は対向電極 1727 を通って基板と逆側から取り出される。また、画素電極 1724 のみが透光性を有する物質からなる場合、図 19 (b) に示すように発光は画素電極 1724 を通って基板側から取り出される。画素電極 1724 および対向電極 1727 がいずれも透光性を有する物質からなるものである場合、図 19 (c) に示すように発光は画素電極 1724 および対向電極 1727 を通って、基板側および基板と逆側の両方から取り出される。

40

【0259】

次に、トランジスタ 1713 に非結晶性の半導体膜を半導体層に用いた順スタガ構造のトランジスタについて説明する。画素の部分断面図を図 20 に示す。なお、図 20 では、

50

順スタガ構造のトランジスタを記すと共に、画素が有する容量素子についても合わせて説明する。

【0260】

図20に示すように、基板2011上に下地膜2012が形成されている。さらに下地膜2012上に画素電極2013が形成されている。また、画素電極2013と同層に同じ材料からなる第1の電極2014が形成されている。

【0261】

さらに、下地膜2012上に配線2015及び配線2016が形成され、画素電極2013の端部は配線2015で覆われている。配線2015及び配線2016の上部にN型の導電性を有するN型半導体層2017及びN型半導体層2018が形成されている。また、配線2015と配線2016の間であって、下地膜2012上に半導体層2019が形成されている。そして、半導体層2019の一部はN型半導体層2017及びN型半導体層2018上にまで延長されている。なお、この半導体層はアモルファスシリコン(a-Si:H)等の非晶質半導体、セミアモルファス半導体、微結晶半導体等の非結晶性の半導体膜で形成されている。また、半導体層2019上にゲート絶縁膜2020が形成されている。また、ゲート絶縁膜2020と同層の同じ材料からなる絶縁膜2021が第1の電極2014上にも形成されている。

10

【0262】

さらに、ゲート絶縁膜2020上に、ゲート電極2022が形成され、トランジスタ2025が形成されている。また、ゲート電極2022と同層に同じ材料でなる第2の電極2023が第1の電極2014上に絶縁膜2021を介して形成され、絶縁膜2021が第1の電極2014と第2の電極2023とで挟まれた構成の容量素子2024が形成されている。また、画素電極2013の端部、トランジスタ2025及び容量素子2024を覆って、層間絶縁膜2026が形成されている。

20

【0263】

層間絶縁膜2026及びその開口部に位置する画素電極2013上に発光物質を含む層2027及び対向電極2028が形成され、発光物質を含む層2027が画素電極2013と対向電極2028とで挟まれた領域で発光素子2029が形成されている。

【0264】

また、図20(a)に示す第1の電極2014を図20(b)に示すように配線2015及び2016と同層の同一材料で形成し、絶縁膜2021が第1の電極2030と第2の電極2023とで挟まれた構成の容量素子2031としても良い。また、図20において、トランジスタ2025にNチャネル型トランジスタを用いたが、Pチャネル型トランジスタでも良い。

30

【0265】

基板2011、下地膜2012、画素電極2013、ゲート絶縁膜2020、ゲート電極2022、層間絶縁膜2026、発光物質を含む層2027及び対向電極2028に用いられる材料は、図17説明した基板1711、下地膜1712、画素電極1724、ゲート絶縁膜1715、ゲート電極1716、層間絶縁膜1730及び1731、発光物質を含む層1726及び対向電極1727と同様の材料をそれぞれ用いることができる。また、配線2015、配線2016は、図17におけるソース電極及びドレイン電極1723と同様の材料を用いれば良い。

40

【0266】

次に、半導体層に非結晶性の半導体膜を用いたトランジスタの他の構成として、基板と半導体層の間にゲート電極が挟まれた構造、つまり半導体層の下にゲート電極が位置するボトムゲート型のトランジスタを有する画素の部分断面図を図21に示す。

【0267】

基板2111上に下地膜2112が形成されている。さらに下地膜2112上にゲート電極2113が形成されている。また、ゲート電極2113と同層に同じ材料からなる第1の電極2114が形成されている。ゲート電極2113の材料には図17におけるゲ-

50

ト電極 1716 に使用される材料の他、リンが添加された多結晶シリコンや金属とシリコンの化合物であるシリサイドでもよい。

【0268】

また、ゲート電極 2113 及び第 1 の電極 2114 を覆うようにゲート絶縁膜 2115 が形成されている。

【0269】

ゲート絶縁膜 2115 上に、半導体層 2116 が形成されている。また、半導体層 2116 と同層に同じ材料からなる半導体層 2117 が第 1 の電極 2114 上に形成されている。なお、この半導体層はアモルファスシリコン (a-Si:H) 等の非晶質半導体、セミアモルファス半導体、微結晶半導体等の非結晶性の半導体膜で形成されている。

10

【0270】

半導体層 2116 上には N 型の導電性を有する N 型半導体層 2118 及び N 型半導体層 2119 が形成され、半導体層 2117 上には N 型半導体層 2120 が形成されている。

【0271】

N 型半導体層 2118 及び N 型半導体層 2119 上にはそれぞれ配線 2121、配線 2122 が形成され、トランジスタ 2129 が形成された。また、N 型半導体層 2120 上には配線 2121 及び配線 2122 と同層の同一材料からなる導電層 2123 が形成され、この導電層 2123 と、N 型半導体層 2120 と、半導体層 2117 とで第 2 の電極を構成している。なお、この第 2 の電極と第 1 の電極 2114 とでゲート絶縁膜 2115 が挟まれた構成の容量素子 2130 が形成されている。

20

【0272】

また、配線 2121 の一方の端部は延在し、その延在した配線 2121 上部に接して画素電極 2124 が形成されている。

【0273】

また、画素電極 2124 の端部、トランジスタ 2129 及び容量素子 2130 を覆うように絶縁物 2125 が形成されている。

【0274】

画素電極 2124 及び絶縁物 2125 上には発光物質を含む層 2126 及び対向電極 2127 が形成され、画素電極 2124 と対向電極 2127 とで発光物質を含む層 2126 が挟まれた領域では発光素子 2128 が形成されている。

30

【0275】

容量素子 2130 の第 2 の電極の一部となる半導体層 2117 及び N 型半導体層 2120 は特に設けなくても良い。つまり、第 2 の電極を導電層 2123 とし、第 1 の電極 2114 と導電層 2123 とでゲート絶縁膜 2115 が挟まれた構造の容量素子としてもよい。

【0276】

また、トランジスタ 2129 に N チャネル型トランジスタを用いたが、P チャネル型トランジスタでも良い。

【0277】

なお、図 21 (a) において、配線 2121 を形成する前に画素電極 2124 を形成することで、図 21 (b) に示すような画素電極 2124 と同層の同一材料からなる第 2 の電極 2131 と第 1 の電極 2114 とでゲート絶縁膜 2115 が挟まれた構成の容量素子 2132 を形成することもできる。

40

【0278】

逆スタガ型のチャネルエッチ構造のトランジスタについて示したが、もちろんチャネル保護構造のトランジスタでも良い。次に、チャネル保護構造のトランジスタの場合について図 22 を用いて説明する。なお、図 22 において、図 21 と同様のものに関しては共通の符号を用いて示す。

【0279】

図 22 (a) に示すチャネル保護型構造のトランジスタ 2201 は、図 21 (a) に示

50

したチャンネルエッチ構造のトランジスタ 2 1 2 9 とは半導体層 2 1 1 6 においてチャンネルが形成される領域上にエッチングのマスクとなる絶縁物 2 2 0 2 が設けられている点で異なる。

【 0 2 8 0 】

同様に、図 2 2 (b) に示すチャンネル保護型構造のトランジスタ 2 2 0 1 は、図 2 1 (b) に示したチャンネルエッチ構造のトランジスタ 2 1 2 9 とは半導体層 2 1 1 6 においてチャンネルが形成される領域上にエッチングのマスクとなる絶縁物 2 2 0 2 が設けられている点で異なる。

【 0 2 8 1 】

本発明の画素を構成するトランジスタの半導体層に非結晶性の半導体膜を用いることで、製造コストを削減することができる。なお、各材料には図 1 7 において説明したものを

10

用いることができる。

【 0 2 8 2 】

また、トランジスタの構造や容量素子の構成は上述したものに限られず、さまざまな構造もしくは構成のトランジスタや容量素子を用いることができる。

【 0 2 8 3 】

また、トランジスタの半導体層にはアモルファスシリコン (a - S i : H) 等の非晶質半導体、セミアモルファス半導体、微結晶半導体等の非結晶性の半導体膜の他、ポリシリコン (p - S i : H) 等の結晶性半導体膜を用いても良い。

【 0 2 8 4 】

図 2 3 に、半導体層に結晶性半導体膜を用いたトランジスタを有する画素の部分断面図を示し、以下に説明する。なお、図 2 3 に示すトランジスタ 2 3 1 8 は、図 1 0 で示したマルチゲート型のトランジスタである。

20

【 0 2 8 5 】

図 2 3 に示すように、基板 2 3 0 1 上に下地膜 2 3 0 2 が形成され、その上に半導体層 2 3 0 3 が形成されている。なお、半導体層 2 3 0 3 は、結晶性半導体膜を所望の形状にパターンニングし形成する。

【 0 2 8 6 】

結晶性半導体膜の作製方法の一例を以下に記す。まず、基板 2 3 0 1 上にスパッタ法、CVD法等によりアモルファスシリコン膜を成膜する。成膜材料は、アモルファスシリコン膜に限定する必要はなく、非晶質半導体、セミアモルファス半導体、微結晶半導体等の非結晶性半導体膜であれば良い。また、非晶質シリコンゲルマニウム膜などの非晶質構造を含む化合物半導体膜を用いても良い。

30

【 0 2 8 7 】

そして、成膜したアモルファスシリコン膜を熱結晶化法、レーザー結晶化法、またはニッケルなどの触媒元素を用いた熱結晶化法等を用いて結晶化し、結晶性半導体膜を得る。なお、これらの結晶化方法を組み合わせて結晶化しても良い。

【 0 2 8 8 】

熱結晶化法により結晶性半導体膜を形成する場合には、加熱炉、レーザ照射、若しくは R T A (R a p i d T h e r m a l A n n e a l i n g)、又はこれらを組み合わせて用いることができる。

40

【 0 2 8 9 】

また、レーザー結晶化法により結晶性半導体膜を形成する場合には、連続発振型のレーザービーム (C W レーザビーム) やパルス発振型のレーザービーム (パルスレーザービーム) を用いることができる。ここで用いることができるレーザービームは、A r レーザ、K r レーザ、エキシマレーザなどの気体レーザ、単結晶の Y A G、Y V O 4、フォルステライト (M g 2 S i O 4)、Y A l O 3、G d V O 4、若しくは多結晶 (セラミック) の Y A G、Y 2 O 3、Y V O 4、Y A l O 3、G d V O 4 に、ドーパントとして N d、Y b、C r、T i、H o、E r、T m、T a のうち 1 種または複数種添加されているものを媒質とするレーザ、ガラスレーザ、ルビーレーザ、アレキサンドライトレーザ、T i : サファイア

50

ーザ、銅蒸気レーザまたは金蒸気レーザのうち一種または複数種から発振されるものを用いることができる。このようなレーザビームの基本波、及びこれらの基本波の第2高調波から第4高調波のレーザビームを照射することで、大粒径の結晶を得ることができる。例えば、Nd:YVO₄レーザ(基本波1064nm)の第2高調波(532nm)や第3高調波(355nm)を用いることができる。このときレーザのエネルギー密度は0.01~100MW/cm²程度(好ましくは0.1~10MW/cm²)必要である。そして、走査速度を10~2000cm/sec程度として照射する。

【0290】

なお、単結晶のYAG、YVO₄、フォルステライト(Mg₂SiO₄)、YAlO₃、GdVO₄、若しくは多結晶(セラミック)のYAG、Y₂O₃、YVO₄、YAlO₃、GdVO₄に、ドーパントとしてNd、Yb、Cr、Ti、Ho、Er、Tm、Taのうち1種または複数種添加されているものを媒質とするレーザ、Arイオンレーザ、またはTi:サファイアレーザは、連続発振をさせることが可能であり、Qスイッチ動作やモード同期などを行うことによって10MHz以上の発振周波数でパルス発振をさせることも可能である。10MHz以上の発振周波数でレーザビームを発振させると、半導体膜がレーザによって溶融してから固化するまでの間に、次のパルスが半導体膜に照射される。従って、発振周波数が低いパルスレーザを用いる場合と異なり、半導体膜中において固液界面を連続的に移動させることができるため、走査方向に向かって連続的に成長した結晶粒を得ることができる。

【0291】

また、ニッケルなどの触媒元素を用いた熱結晶化法により結晶性半導体膜を形成する場合には、結晶化後にニッケルなどの触媒元素を除去するゲッタリング処理を行うことが好ましい。

【0292】

上述した結晶化によって、非晶質半導体膜に部分的に結晶化された領域が形成される。この部分的に結晶化された結晶性半導体膜を所望の形状にパターンニングして島状の半導体膜を形成する。この半導体膜をトランジスタの半導体層2303に用いる。

【0293】

また、結晶性半導体層は、トランジスタ2318のチャネル形成領域2304及びソース領域又はドレイン領域となる不純物領域2305に用いられる他、容量素子2319の下部電極となる半導体層2306及び不純物領域2308にも用いられる。なお、不純物領域2308は特に設ける必要はない。また、チャネル形成領域2304及び半導体層2306にはチャネルドープが行われていても良い。

【0294】

次に、半導体層2303及び容量素子2319の下部電極上にはゲート絶縁膜2309が形成されている。さらに、半導体層2303上にはゲート絶縁膜2309を介してゲート電極2310が、容量素子2319の半導体層2306上にはゲート絶縁膜2309を介してゲート電極2310と同層に同じ材料からなる上部電極2311が形成されている。このようにして、トランジスタ2318及び容量素子2319が作製される。

【0295】

次に、トランジスタ2318及び容量素子2319を覆って層間絶縁膜2312が形成され、層間絶縁膜2312上にはコンタクトホールを介して不純物領域2305と接する配線2313が形成されている。そして、配線2313に接して層間絶縁膜2312上には画素電極2314が形成され、画素電極2314の端部及び配線2313を覆って絶縁物2315が形成されている。さらに、画素電極2314上に発光物質を含む層2316及び対向電極2317が形成され、画素電極2314と対向電極2317とで発光物質を含む層2316が挟まれた領域では発光素子2320が形成されている。

【0296】

また、半導体層にポリシリコン(p-Si:H)等の結晶性半導体膜を用いたボトムゲート型のトランジスタを有する画素の部分断面を図24に示す。

10

20

30

40

50

【0297】

基板2401上に下地膜2402が形成され、その上にゲート電極2403が形成されている。また、ゲート電極2403と同層に同じ材料からなる容量素子2423の第1の電極2404が形成されている。

【0298】

また、ゲート電極2403及び第1の電極2404を覆うようにゲート絶縁膜2405が形成されている。

【0299】

また、ゲート絶縁膜2405上に、半導体層が形成されている。なお、半導体膜は、非晶質半導体、セミアモルファス半導体、微結晶半導体等の非結晶性半導体膜を熱結晶化法、レーザー結晶化法、またはニッケルなどの触媒元素を用いた熱結晶化法等を用いて結晶化し、所望の形状にパターニングして半導体層を形成する。

10

【0300】

なお、半導体層を用いてトランジスタ2422のチャネル形成領域2406、LDD領域2407及びソース領域又はドレイン領域となる不純物領域2408、並びに容量素子2423の第2の電極となる領域2409、不純物領域2410及び不純物領域2411が形成される。なお、不純物領域2410及び不純物領域2411は特に設けなくても良い。また、チャネル形成領域2406及び領域2409は不純物が添加されていても良い。

【0301】

なお、容量素子2423はゲート絶縁膜2405が第1の電極2404及び半導体層から形成された領域2409等からなる第2の電極で挟まれた構成である。

20

【0302】

次に、半導体層を覆って第1の層間絶縁膜2412が形成され、第1の層間絶縁膜2412上にコンタクトホールを介して不純物領域2408と接する配線2413が形成されている。

【0303】

また、第1の層間絶縁膜2412には開口部2415が形成されている。トランジスタ2422、容量素子2423及び開口部2415を覆うように第2の層間絶縁膜2416が形成され、第2の層間絶縁膜2416上にコンタクトホールを介して、配線2413と接続された画素電極2417が形成されている。また、画素電極2417の端部を覆って絶縁物2418が形成されている。そして、画素電極2417上に発光物質を含む層2419及び対向電極2420が形成され、画素電極2417と対向電極2420とで発光物質を含む層2419が挟まれた領域では発光素子2421が形成されている。なお、発光素子2421の下部に開口部2415が位置している。つまり、発光素子2421からの発光を基板側から取り出すときには第1の層間絶縁膜2412に開口部2415を有するため透過率を高めることができる。

30

【0304】

本発明の画素を構成するトランジスタの半導体層に結晶性半導体膜を用いることで、例えば、図6における走査線駆動回路612及び信号線駆動回路611を画素部613と一体形成することが容易になる。

40

【0305】

なお、半導体層に結晶性半導体膜を用いたトランジスタにおいても構造は上述したものに限られず、さまざまな構造をとることができる。なお、容量素子においても同様である。また、本実施形態において、特に断りがない限り図17における材料を適宜使用することができる。

【0306】

本実施形態で示したトランジスタは、実施の形態1乃至7に記載した画素において発光素子に供給する電流値を制御するトランジスタとして利用することができる。よって、実施の形態1乃至7に記載したように画素を動作させることで、トランジスタのしきい値電

50

圧のばらつきに起因した電流値のばらつきを抑制することができる。よって、輝度データに対応した電流を発光素子に供給することができ、輝度のばらつきを抑制することが可能となる。また、対向電極の電位を一定として動作させるため消費電力を低くすることが可能である。

【0307】

また、このような画素を図6の表示装置に適用することにより、各画素は自身のアドレス期間を除き発光することが可能であるため、1フレーム期間における発光期間の割合（即ち、デューティ比）を非常に大きくでき、おおむね100%にすることもできる。よって、輝度のばらつきが少なくデューティ比が高い表示装置を得ることができる。

【0308】

また、しきい値書き込み期間を長く設定することも可能であるため、発光素子に流れる電流値を制御するトランジスタのしきい値電圧をより正確に容量素子に書き込むことができる。よって、表示装置としての信頼性が向上する。

【0309】

（実施の形態9）

本実施の形態では、本発明の表示装置の一形態について図25を用いて説明する。

【0310】

図25(a)は、表示装置を示す上面図、図25(b)は図25(a)中A-A'線断面図(A-A'で切断した断面図)である。表示装置は、基板2510上に図中において点線で示された信号線駆動回路2501、画素部2502、第1の走査線駆動回路2503、第2の走査線駆動回路2506を有する。さらに、封止基板2504、シール材2505を有し、これらで囲まれた表示装置の内側は、空間2507となっている。

【0311】

なお、配線2508は第1の走査線駆動回路2503、第2の走査線駆動回路2506及び信号線駆動回路2501に入力される信号を伝送するための配線であり、外部入力端子となるFPC(フレキシブルプリントサーキット)2509からビデオ信号、クロック信号、スタート信号等を受け取る。FPC2509と表示装置との接続部上にはICチップ(メモリ回路や、バッファ回路などが形成された半導体チップ)2518及び2519がCOG(Chip On Glass)等で実装されている。なお、ここではFPCしか図示していないが、このFPCにはプリント配線基盤(PWB)が取り付けられていてもよい。本発明の表示装置とは、表示装置本体だけでなく、FPCもしくはPWBが取り付けられた状態も含むものとする。また、ICチップなどが実装されたものを含むものとする。

【0312】

断面構造について図25(b)を用いて説明する。基板2510上には画素部2502とその周辺駆動回路(第1の走査線駆動回路2503、第2の走査線駆動回路2506及び信号線駆動回路2501)が形成されているが、ここでは、信号線駆動回路2501と、画素部2502が示されている。

【0313】

なお、信号線駆動回路2501はNチャンネル型トランジスタ2520、2521のように単極性のトランジスタで構成されている。もちろん、Pチャンネル型トランジスタや単極性のトランジスタだけでなくPチャンネル型トランジスタも用いてCMOS回路を形成しても良い。また、本実施形態では、基板上に周辺駆動回路を一体形成した表示パネルを示しているが、必ずしもその必要はなく、周辺駆動回路の全てもしくは一部をICチップなどに形成し、COGなどで実装しても良い。

【0314】

画素部2502は、実施の形態1乃至7に記載した画素が用いられている。なお、図25(b)にはスイッチとして機能するトランジスタ2511と、発光素子に供給する電流値を制御するトランジスタ2512と、発光素子2528が示されている。なお、トランジスタ2512の第1の電極は発光素子2528の画素電極2513と接続されている。

10

20

30

40

50

また、画素電極 2513 の端部を覆って絶縁物 2514 が形成されている。ここでは、絶縁物 2514 はポジ型の感光性アクリル樹脂膜を用いることにより形成する。

【0315】

また、カバレッジを良好なものとするため、絶縁物 2514 の上端部または下端部に曲率を有する曲面が形成されるようにする。例えば、絶縁物 2514 の材料としてポジ型の感光性アクリルを用いた場合、絶縁物 2514 の上端部のみに曲率半径 ($0.2 \mu\text{m} \sim 3 \mu\text{m}$) を有する曲面を持たせることが好ましい。また、絶縁物 2514 として、感光性の光によってエッチャントに不溶解性となるネガ型、或いは光によってエッチャントに溶解性となるポジ型のいずれも使用することができる。

【0316】

また、画素電極 2513 上には、発光物質を含む層 2516 および対向電極 2517 が形成される。発光物質を含む層 2516 には、少なくとも発光層が設けられていれば、その他の層については特には限定されず、適宜選択することができる。

【0317】

さらにシール材 2505 を用いて封止基板 2504 と基板 2510 とを貼り合わせることにより、基板 2510、封止基板 2504、およびシール材 2505 で囲まれた空間 2507 に発光素子 2528 が備えられた構造になっている。なお、空間 2507 には、不活性気体 (窒素やアルゴン等) が充填される場合の他、シール材 2505 で充填される構成も含むものとする。

【0318】

なお、シール材 2505 にはエポキシ系樹脂を用いることが好ましい。また、これらの材料はできるだけ水分や酸素を透過しない材料であることが望ましい。封止基板 2504 に用いる材料としては、ガラス基板や石英基板の他、FRP (Fiberglass-Reinforced Plastics)、PVF (ポリビニルフロライド)、マイラー、ポリエステルまたはアクリル等からなるプラスチック基板を用いることができる。

【0319】

画素部 2502 に実施の形態 1 乃至 7 に記載した画素を用い動作させることで、画素間もしくは画素における経時的な輝度のばらつきを抑制することができ、さらにデューティ比が高い高品質な表示装置を得ることができる。また、本発明では、対向電極の電位を一定とし動作させるため消費電力を低くすることが可能である。

【0320】

図 25 示すように、信号線駆動回路 2501、画素部 2502、第 1 の走査線駆動回路 2503 及び第 2 の走査線駆動回路 2506 を一体形成することで、表示装置の低コスト化が図れる。また、この場合において、信号線駆動回路 2501、画素部 2502、第 1 の走査線駆動回路 2503 及び第 2 の走査線駆動回路 2506 に用いられるトランジスタを単極性とすることで作製工程の簡略化が図れるためさらなる低コスト化を図ることができる。

【0321】

以上のようにして、本発明の表示装置を得ることができる。なお、上述した構成は一例であって本発明の表示装置の構成はこれに限定されない。

【0322】

なお、表示装置の構成としては、図 26 に示すように信号線駆動回路 2601 を IC チップ上に形成して、COG 等で表示装置に実装した構成としても良い。なお、図 26 (a) における基板 2600、画素部 2602、第 1 の走査線駆動回路 2603、第 2 の走査線駆動回路 2604、FPC 2605、IC チップ 2606、IC チップ 2607、封止基板 2608、シール材 2609 はそれぞれ図 25 (a) における基板 2510、画素部 2502、第 1 の走査線駆動回路 2503、第 2 の走査線駆動回路 2506、FPC 2509、IC チップ 2518、IC チップ 2519、封止基板 2504、シール材 2505 に相当する。

【0323】

10

20

30

40

50

つまり、駆動回路の高速動作が要求される信号線駆動回路のみを、CMOS等を用いてICチップに形成し、低消費電力化を図る。また、ICチップはシリコンウエハ等の半導体チップとすることで、より高速動作且つ低消費電力化を図ることが可能である。

【0324】

なお、第1の走査線駆動回路2603や第2の走査線駆動回路2604を画素部2602と一体形成することで、低コスト化が図れる。そして、この第1の走査線駆動回路2603、第2の走査線駆動回路2604及び画素部2602は単極性のトランジスタで構成することでさらなる低コスト化が図れる。そのとき、第1の走査線駆動回路2603及び第2の走査線駆動回路2604にブートラップ回路を用いることにより出力電位が低くなってしまふことを防止することができる。また、第1の走査線駆動回路2603及び第2の走査線駆動回路2604を構成するトランジスタの半導体層にアモルファスシリコンを用いた場合、劣化によりしきい値が変動するため、これを補正する機能を有することが好ましい。

10

【0325】

なお、画素部2602に実施の形態1乃至7に記載した画素を用い動作させることで、画素間もしくは画素における経時的な輝度のばらつきを抑制することができ、さらにデュエーティー比が高い高品質な表示装置を得ることができる。また、本発明では、対向電極の電位を一定とし動作させるため消費電力を低くすることが可能である。また、FPC2605と基板2600との接続部において機能回路(メモリやバッファ)が形成されたICチップを実装することで基板面積を有効利用することができる。

20

【0326】

また、図25(a)の信号線駆動回路2501、第1の走査線駆動回路2503及び第2の走査線駆動回路2506に相当する信号線駆動回路2611、第1の走査線駆動回路2613及び第2の走査線駆動回路2614を、図26(b)に示すようにICチップ上に形成して、COG等で表示パネルに実装した構成としても良い。なお、図26(b)における基板2610、画素部2612、FPC2615、ICチップ2616、ICチップ2617、封止基板2618、シール材2619はそれぞれ図25(a)における基板2510、画素部2502、FPC2509、ICチップ2518、ICチップ2519、封止基板2504、シール材2505に相当する。

【0327】

また、画素部2612のトランジスタの半導体層に非結晶性の半導体膜、例えばアモルファスシリコン(a-Si:H)を用いることにより低コスト化を図ることができる。さらに、大型の表示パネルを作製することも可能となる。

30

【0328】

また、画素の行方向及び列方向に第1の走査線駆動回路、第2の走査線駆動回路及び信号線駆動回路を設けなくても良い。例えば、図27(a)に示すようにICチップ上に形成された周辺駆動回路2701が図26(b)に示す第1の走査線駆動回路2613、第2の走査線駆動回路2614及び信号線駆動回路2611の機能を有するとしても良い。なお、図27(a)における基板2700、画素部2702、FPC2704、ICチップ2705、ICチップ2706、封止基板2707、シール材2708はそれぞれ図25(a)の基板2510、画素部2502、FPC2509、ICチップ2518、ICチップ2519、封止基板2504、シール材2505に相当する。

40

【0329】

なお、図27(a)の表示装置の配線の接続を説明する模式図を図27(b)に示す。なお、図27(b)には、基板2710、周辺駆動回路2711、画素部2712、FPC2713、FPC2714が図示されている。

【0330】

FPC2713及びFPC2714は周辺駆動回路2711に外部からの信号及び電源電位を入力する。そして、周辺駆動回路2711からの出力は、画素部2712の有する画素に接続された行方向及び列方向の配線に入力される。

50

【0331】

また、発光素子に白色の発光素子を用いる場合、封止基板にカラーフィルターを設けることでフルカラー表示を実現することができる。このような表示装置にも本発明を適用することが可能である。図28に、画素部の部分断面図の一例を示す。

【0332】

図28に示すように、基板2800上に下地膜2802が形成され、その上に発光素子に供給する電流値を制御するトランジスタ2801が形成され、トランジスタ2801の第1の電極に接して画素電極2803が形成され、その上に発光物質を含む層2804と対向電極2805が形成されている。

【0333】

なお、画素電極2803と対向電極2805とで発光物質を含む層2804が挟まれているところが発光素子となる。なお、図28においては白色光を発光するものとする。そして、発光素子の上部には赤色のカラーフィルター2806R、緑色のカラーフィルター2806G、青色のカラーフィルター2806Bが設けられており、フルカラー表示を行うことができる。また、これらのカラーフィルターを隔離するためにブラックマトリクス(BMともいう)2807が設けられている。

【0334】

本実施形態の表示装置は実施の形態1乃至7だけではなく、実施の形態8に記載した構成とも適宜組み合わせることが可能である。また、表示装置の構成は上記に限らず、本発明を他の構成の表示装置においても適用することができる。

【0335】

(実施の形態10)

本発明の表示装置は様々な電子機器に適用することができる。具体的には、電子機器の表示部に適用することができる。なお、電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ、ナビゲーションシステム、音響再生装置(カーオーディオ、オーディオコンポ等)、コンピュータ、ゲーム機器、携帯情報端末(モバイルコンピュータ、携帯電話、携帯型ゲーム機又は電子書籍等)、記録媒体を備えた画像再生装置(具体的にはDigital Versatile Disc(DVD)等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置)などが挙げられる。

【0336】

図33(A)はディスプレイであり、筐体3301、支持台3302、表示部3303、スピーカー部3304、ビデオ入力端子3305等を含む。

【0337】

なお、表示部3303には実施の形態1乃至7に記載した画素が用いられている。本発明により、画素間もしくは画素における経時的な輝度のばらつきを抑制することができ、さらにデューティー比が高い高品質な表示部を有するディスプレイを得ることができる。また、本発明では、対向電極の電位を一定とし動作させるため消費電力を低くすることが可能である。なお、ディスプレイは、パーソナルコンピュータ用、テレビジョン放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

【0338】

なお、近年、ディスプレイの大型化のニーズが強くなっているなか、ディスプレイの大型化に伴い価格の上昇が問題となっている。そのため、いかに製造コストの削減を図り、高品質な製品を少しでも低価格に抑えるかが課題となる。

【0339】

本発明の画素は、単極性のトランジスタで作製することができるため、工程数を減らし製造コストを削減することができる。また、画素を構成するトランジスタの半導体層に非結晶性の半導体膜、例えばアモルファスシリコン(a-Si:H)を用いることで、工程を簡略化し、さらなるコストダウンが図れる。この場合には、画素部周辺の駆動回路をICチップ上に形成し、COG(Chip On Glass)等で表示パネルに実装すると良い。なお、動作速度の高い信号線駆動回路はICチップ上に形成し、比較的動作速度

10

20

30

40

50

の低い走査線駆動回路は画素部と共に単極性のトランジスタで構成される回路で一体形成しても良い。

【0340】

図33(B)はカメラであり、本体3311、表示部3312、受像部3313、操作キー3314、外部接続ポート3315、シャッター3316等を含む。

【0341】

なお、表示部3312には実施の形態1乃至7に記載した画素が用いられている。本発明により、画素間もしくは画素における経時的な輝度のばらつきを抑制することができ、さらにデューティ比が高い高品質な表示部を有するカメラを得ることができる。また、本発明では、対向電極の電位を一定とし動作させるため消費電力を低くすることが可能である。 10

【0342】

また、近年、デジタルカメラなどの高性能化に伴い、生産競争は激化している。そして、高性能なものをいかに低価格に抑えるかが重要となる。

【0343】

本発明の画素は、単極性のトランジスタで作製することができるため、工程数を減らし製造コストを削減することができる。また、画素を構成するトランジスタの半導体層に非結晶性の半導体膜、例えばアモルファスシリコン(a-Si:H)を用いることで、工程を簡略化し、さらなるコストダウンが図れる。この場合には、画素部周辺の駆動回路をICチップ上に形成し、COG等で表示パネルに実装すると良い。なお、動作速度の高い信号線駆動回路はICチップ上に形成し、比較的動作速度の低い走査線駆動回路は画素部と共に単極性のトランジスタで構成される回路で一体形成しても良い。 20

【0344】

図33(C)はコンピュータであり、本体3321、筐体3322、表示部3323、キーボード3324、外部接続ポート3325、ポインティングマウス3326等を含む。なお、表示部3323には実施の形態1乃至7に記載した画素が用いられている。本発明により、画素間もしくは画素における経時的な輝度のばらつきを抑制することができ、さらにデューティ比が高い高品質な表示部を有するコンピュータを得ることができる。また、本発明では、対向電極の電位を一定とし動作させるため消費電力を低くすることが可能である。また、画素部を構成するトランジスタに単極性のトランジスタやトランジスタの半導体層に非結晶性の半導体膜を用いることで低コスト化を図ることができる。 30

【0345】

図33(D)はモバイルコンピュータであり、本体3331、表示部3332、スイッチ3333、操作キー3334、赤外線ポート3335等を含む。なお、表示部3332には実施の形態1乃至7に記載した画素が用いられている。本発明により、画素間もしくは画素における経時的な輝度のばらつきを抑制することができ、さらにデューティ比が高い高品質な表示部を有するモバイルコンピュータを得ることができる。また、本発明では、対向電極の電位を一定とし動作させるため消費電力を低くすることが可能である。また、画素部を構成するトランジスタに単極性のトランジスタやトランジスタの半導体層に非結晶性の半導体膜を用いることで低コスト化を図ることができる。 40

【0346】

図33(E)は記録媒体を備えた携帯型の画像再生装置(具体的にはDVD再生装置)であり、本体3341、筐体3342、表示部A3343、表示部B3344、記録媒体(DVD等)読み込み部3345、操作キー3346、スピーカー部3347等を含む。表示部A3343は主として画像情報を表示し、表示部B3344は主として文字情報を表示することができる。なお、表示部A3343や表示部B3344には実施の形態1乃至7に記載した画素が用いられている。本発明により、画素間もしくは画素における経時的な輝度のばらつきを抑制することができ、さらにデューティ比が高い高品質な表示部を有する画像再生装置を得ることができる。また、本発明では、対向電極の電位を一定とし動作させるため消費電力を低くすることが可能である。また、画素部を構成するトラン 50

ジスタに単極性のトランジスタやトランジスタの半導体層に非結晶性の半導体膜を用いることで低コスト化を図ることができる。

【0347】

図33(F)はゴーグル型ディスプレイであり、本体3351、表示部3352、アーム部3353を含む。なお、表示部3352には実施の形態1乃至7に記載した画素が用いられている。本発明により、画素間もしくは画素における経時的な輝度のばらつきを抑制することができる。さらにデューティ比が高い高品質な表示部を有するゴーグル型ディスプレイを得ることができる。また、本発明では、対向電極の電位を一定とし動作させるため消費電力を低くすることが可能である。また、画素部を構成するトランジスタに単極性のトランジスタやトランジスタの半導体層に非結晶性の半導体膜を用いることで低コスト化を図ることができる。

10

【0348】

図33(G)はビデオカメラであり、本体3361、表示部3362、筐体3363、外部接続ポート3364、リモコン受信部3365、受像部3366、バッテリー3367、音声入力部3368、操作キー3369、接眼部3360等を含む。なお、表示部3362には実施の形態1乃至7に記載した画素が用いられている。本発明により、画素間もしくは画素における経時的な輝度のばらつきを抑制することができる。さらにデューティ比が高い高品質な表示部を有するビデオカメラを得ることができる。また、本発明では、対向電極の電位を一定とし動作させるため消費電力を低くすることが可能である。また、画素部を構成するトランジスタに単極性のトランジスタやトランジスタの半導体層に非結晶性の半導体膜を用いることで低コスト化を図ることができる。

20

【0349】

図33(H)は携帯電話機であり、本体3371、筐体3372、表示部3373、音声入力部3374、音声出力部3375、操作キー3376、外部接続ポート3377、アンテナ3378等を含む。なお、表示部3373には実施の形態1乃至7に記載した画素が用いられている。本発明により、画素間もしくは画素における経時的な輝度のばらつきを抑制することができる。さらにデューティ比が高い高品質な表示部を有する携帯電話機を得ることができる。また、本発明では、対向電極の電位を一定とし動作させるため消費電力を低くすることが可能である。また、画素部を構成するトランジスタに単極性のトランジスタやトランジスタの半導体層に非結晶性の半導体膜を用いることで低コスト化を図ることができる。

30

【0350】

このように本発明は、あらゆる電子機器に適用することが可能である。

【0351】

(実施の形態11)

本実施の形態において、本発明の表示装置を表示部に有する携帯電話の構成例について図34を用いて説明する。

【0352】

表示パネル3410はハウジング3400に脱着自在に組み込まれる。ハウジング3400は表示パネル3410のサイズに合わせて、形状や寸法を適宜変更することができる。表示パネル3410を固定したハウジング3400はプリント基板3401に嵌入されモジュールとして組み立てられる。

40

【0353】

表示パネル3410はFPC3411を介してプリント基板3401に接続される。プリント基板3401には、スピーカー3402、マイクロフォン3403、送受信回路3404、CPU及びコントローラなどを含む信号処理回路3405が形成されている。このようなモジュールと、入力手段3406、バッテリー3407を組み合わせ、筐体3409及び筐体3412に収納する。なお、表示パネル3410の画素部は筐体3412に形成された開口窓から視認できよう配置する。

【0354】

50

表示パネル 3 4 1 0 は、画素部と一部の周辺駆動回路（複数の駆動回路のうち動作周波数の低い駆動回路）をトランジスタを用いて基板上に一体形成し、他の一部の周辺駆動回路（複数の駆動回路のうち動作周波数の高い駆動回路）を IC チップ上に形成し、その IC チップを COG (Chip On Glass) で表示パネル 3 4 1 0 に実装しても良い。あるいは、その IC チップを TAB (Tape Automated Bonding) やプリント基板を用いてガラス基板と接続してもよい。また、全ての周辺駆動回路を IC チップ上に形成し、その IC チップを COG などに表示パネルに実装しても良い。

【0355】

なお、画素部には、実施の形態 1 乃至 7 に記載した画素を用いる。本発明により、画素間もしくは画素における経時的な輝度のばらつきを抑制することができ、さらにデューティ比が高い高品質な表示部を有する表示パネル 3 4 1 0 を得ることができる。また、本発明では、対向電極の電位を一定とし動作させるため消費電力を低くすることが可能である。また、画素部を構成するトランジスタに単極性のトランジスタやトランジスタの半導体層に非結晶性の半導体膜を用いることで低コスト化を図ることができる。

10

【0356】

また、本実施形態に示した構成は携帯電話の一例であって、このような構成の携帯電話に限られず様々な構成の携帯電話に適用することができる。

【0357】

(実施の形態 1 2)

本実施形態では、表示パネルと、回路基板を組み合わせた EL モジュールについて図 3 5 及び図 3 6 を用いて説明する。

20

【0358】

図 3 5 に示すように、表示パネル 3 5 0 1 は画素部 3 5 0 3、走査線駆動回路 3 5 0 4 及び信号線駆動回路 3 5 0 5 を有している。回路基板 3 5 0 2 には、例えば、コントロール回路 3 5 0 6 や信号分割回路 3 5 0 7 などが形成されている。なお、表示パネル 3 5 0 1 と回路基板 3 5 0 2 は接続配線 3 5 0 8 によって接続されている。接続配線 3 5 0 8 には FPC 等を用いることができる。

【0359】

表示パネル 3 5 0 1 は、画素部と一部の周辺駆動回路（複数の駆動回路のうち動作周波数の低い駆動回路）をトランジスタを用いて基板上に一体形成し、他の一部の周辺駆動回路（複数の駆動回路のうち動作周波数の高い駆動回路）を IC チップ上に形成し、その IC チップを COG (Chip On Glass) で表示パネル 3 5 0 1 に実装しても良い。あるいは、その IC チップを TAB (Tape Automated Bonding) やプリント基板を用いてガラス基板と接続してもよい。また、全ての周辺駆動回路を IC チップ上に形成し、その IC チップを COG などに表示パネルに実装しても良い。

30

【0360】

なお、画素部には、実施の形態 1 乃至 7 に記載した画素を用いる。本発明により、画素間もしくは画素における経時的な輝度のばらつきを抑制することができ、さらにデューティ比が高い高品質な表示パネル 3 5 0 1 を得ることができる。また、本発明では、対向電極の電位を一定とし動作させるため消費電力を低くすることが可能である。また、画素部を構成するトランジスタに単極性のトランジスタやトランジスタの半導体層に非結晶性の半導体膜を用いることで低コスト化を図ることができる。

40

【0361】

このような EL モジュールにより EL テレビ受像機を完成させることができる。図 3 6 は、EL テレビ受像機の主要な構成を示すブロック図である。チューナ 3 6 0 1 は映像信号と音声信号を受信する。映像信号は、映像信号増幅回路 3 6 0 2 と、そこから出力される信号を赤、緑、青の各色に対応した色信号に変換する映像信号処理回路 3 6 0 3 と、その映像信号を駆動回路の入力仕様に変換するためのコントロール回路 3 5 0 6 により処理される。コントロール回路 3 5 0 6 は、走査線側と信号線側にそれぞれ信号を出力する。デジタル駆動する場合には、信号線側に信号分割回路 3 5 0 7 を設け、入力デジタル信号

50

を m 個に分割して供給する構成としても良い。

【 0 3 6 2 】

チューナ 3 6 0 1 で受信した信号のうち、音声信号は音声信号増幅回路 3 6 0 4 に送られ、その出力は音声信号処理回路 3 6 0 5 を経てスピーカ 3 6 0 6 に供給される。制御回路 3 6 0 7 は受信局（受信周波数）や音量の制御情報を入力部 3 6 0 8 から受け、チューナ 3 6 0 1 や音声信号処理回路 3 6 0 5 に信号を送出する。

【 0 3 6 3 】

実施の形態 1 0 に記載した図 3 3 (A) の筐体 3 3 0 1 に、図 3 5 の E L モジュールを組みこんで、テレビ受像機を完成させることができる。

【 0 3 6 4 】

もちろん、本発明はテレビ受像機に限定されず、パーソナルコンピュータのモニタをはじめ、鉄道の駅や空港などにおける情報表示盤や、街頭における広告表示盤など特に大面積の表示媒体として様々な用途に適用することができる。

【 符号の説明 】

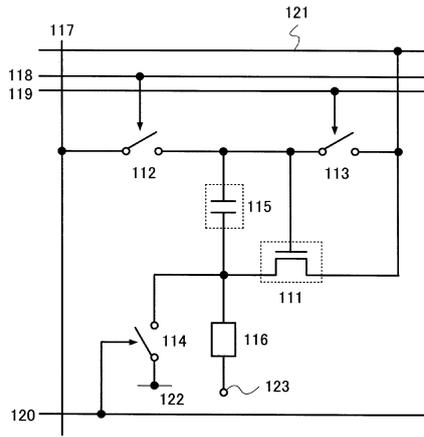
【 0 3 6 5 】

1 1 1	トランジスタ	
1 1 2	第 1 のスイッチ	
1 1 3	第 2 のスイッチ	
1 1 4	第 3 のスイッチ	
1 1 5	容量素子	20
1 1 6	発光素子	
1 1 7	信号線	
1 1 8	第 1 の走査線	
1 1 9	第 2 の走査線	
1 2 0	第 3 の走査線	
1 2 1	電源線	
1 2 2	電位供給線	
1 2 3	対向電極	
4 1 2	第 1 のスイッチングトランジスタ	
4 1 3	第 2 のスイッチングトランジスタ	30
4 1 4	第 3 のスイッチングトランジスタ	
6 1 1	信号線駆動回路	
6 1 2	走査線駆動回路	
6 1 3	画素部	
6 1 4	画素	
7 0 0	画素	
7 1 8	第 1 の走査線	
8 0 0	画素	
8 1 9	第 2 の走査線	
9 0 0	画素	40
9 2 0	第 3 の走査線	
1 0 1 1	トランジスタ	
1 1 1 1	トランジスタ	
1 2 0 1	第 1 のトランジスタ	
1 2 0 2	第 2 のトランジスタ	
1 2 0 3	第 4 のスイッチ	
1 2 0 4	第 5 のスイッチ	
1 2 1 2	第 1 のスイッチ	
1 2 1 3	第 2 のスイッチ	
1 2 1 4	第 3 のスイッチ	50

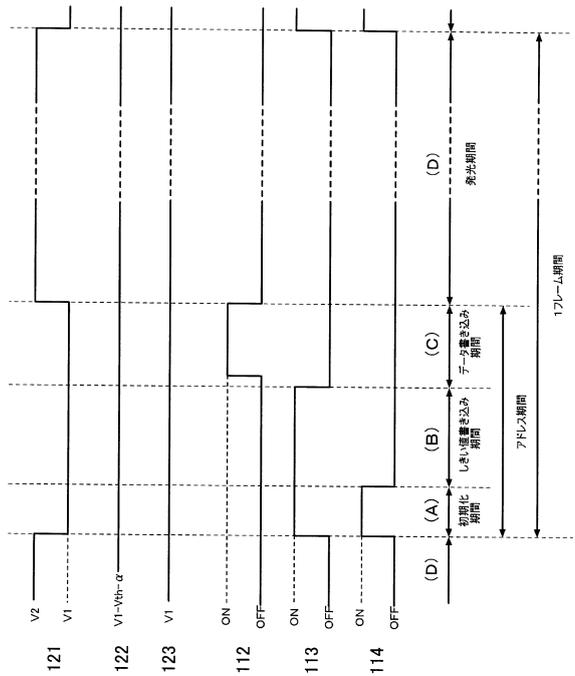
1 2 1 5	容量素子	
1 2 1 6	発光素子	
1 2 1 7	信号線	
1 2 1 8	第 1 の走査線	
1 2 1 9	第 2 の走査線	
1 2 2 0	第 3 の走査線	
1 2 2 1	電源線	
1 2 2 2	電位供給線	
1 2 2 3	対向電極	
1 4 1 1	トランジスタ	10
1 4 1 2	第 1 のスイッチ	
1 4 1 3	第 2 のスイッチ	
1 4 1 4	第 3 のスイッチ	
1 4 1 5	容量素子	
1 4 1 6	発光素子	
1 4 1 7	信号線	
1 4 1 8	第 1 の走査線	
1 4 1 9	第 2 の走査線	
1 4 2 0	第 3 の走査線	
1 4 2 1	電源線	20
1 4 2 2	電位供給線	
1 4 2 3	対向電極	
2 9 0 1	第 4 のスイッチ	
2 9 0 2	走査線	
3 0 0 1	第 4 のスイッチ	
3 0 0 2	走査線	
3 0 0 3	ノード	
3 1 0 1	整流素子	
3 1 0 2	走査線	
3 2 0 1	整流素子	30
3 2 0 2	走査線	
3 7 0 1	第 4 のスイッチ	
3 7 0 2	走査線	
3 9 1 4	整流素子	
3 9 2 0	第 3 の走査線	
3 9 5 1	ショットキー・バリア型	
3 9 5 2	P I N 型	
3 9 5 3	P N 型	
3 9 5 4	トランジスタ	
3 9 5 5	トランジスタ	40
4 3 0 1	第 4 のスイッチ	
4 4 0 1	第 4 のスイッチ	
4 5 1 5	ゲート容量	
4 5 4 0	画素電極	

【図面】

【図 1】



【図 2】

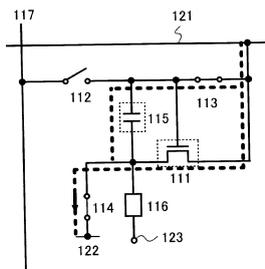


10

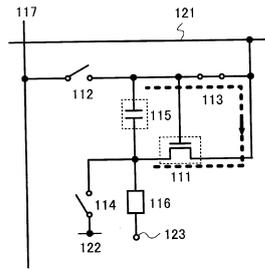
20

【図 3】

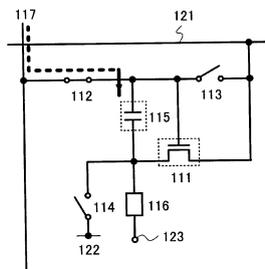
(A) 初期化



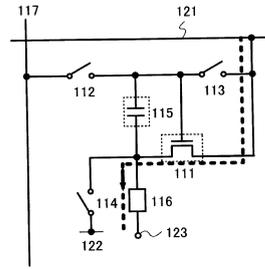
(B) しきい値書き込み



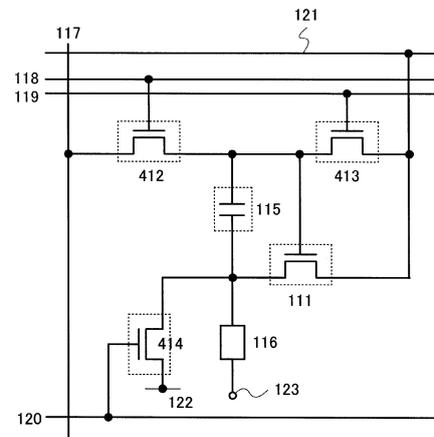
(C) データ書き込み



(D) 発光



【図 4】

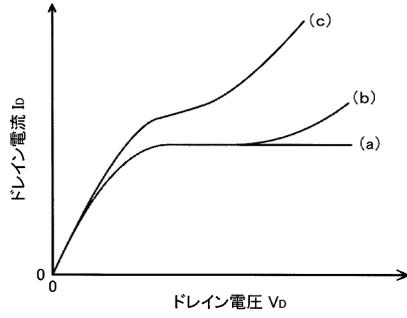


30

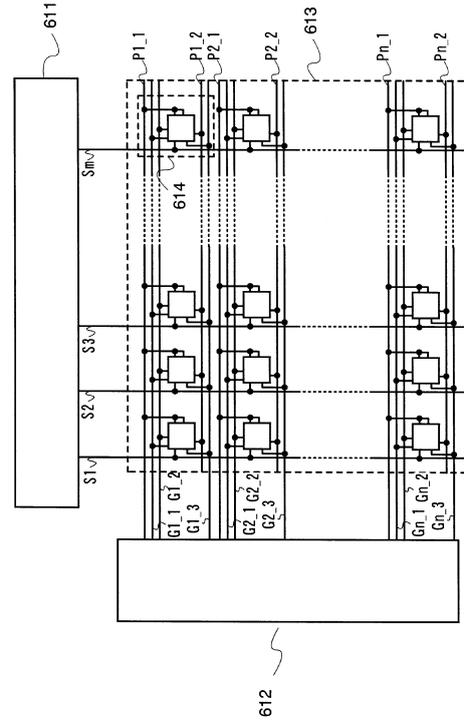
40

50

【 図 5 】



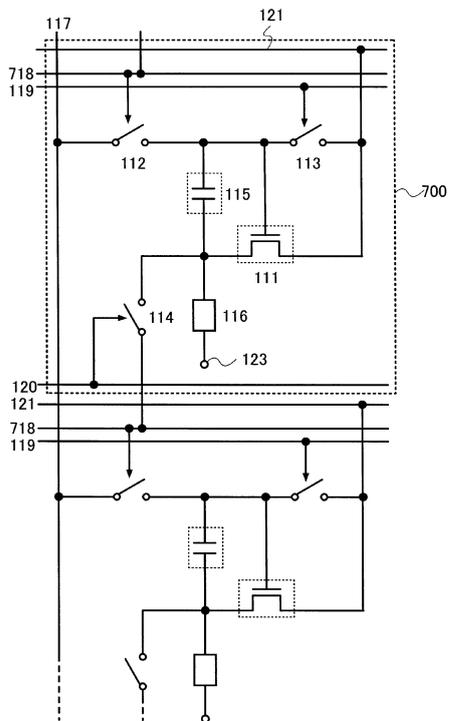
【 図 6 】



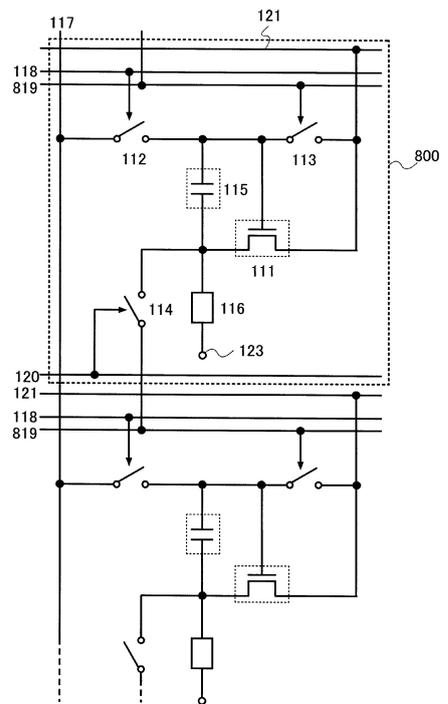
10

20

【 図 7 】



【 図 8 】

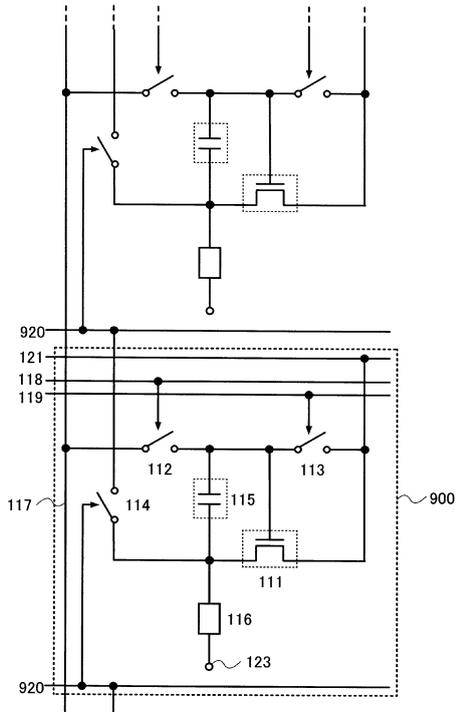


30

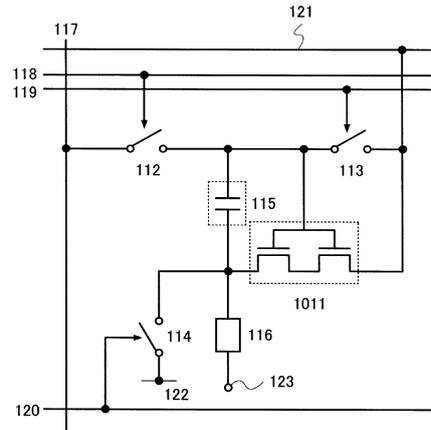
40

50

【 図 9 】



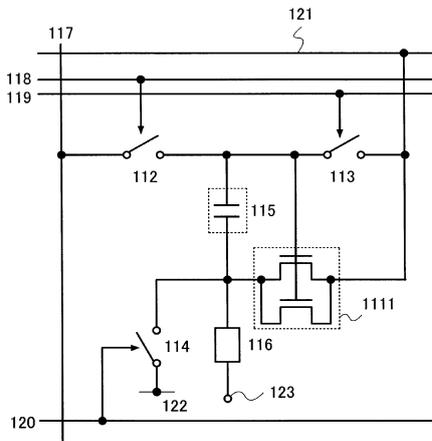
【 図 1 0 】



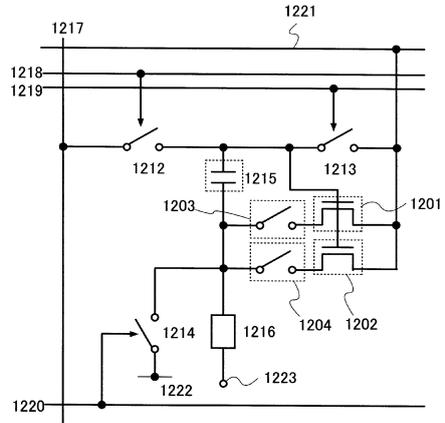
10

20

【 図 1 1 】



【 図 1 2 】

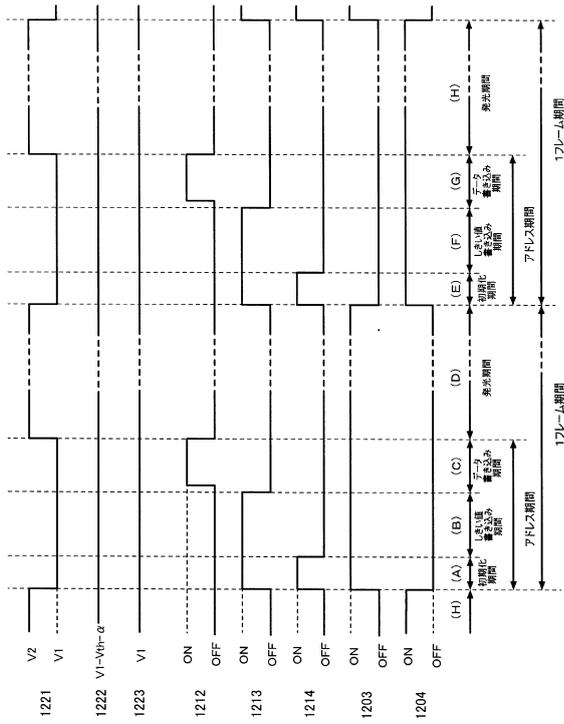


30

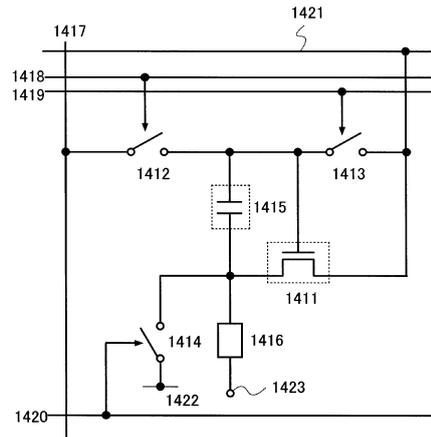
40

50

【 図 1 3 】



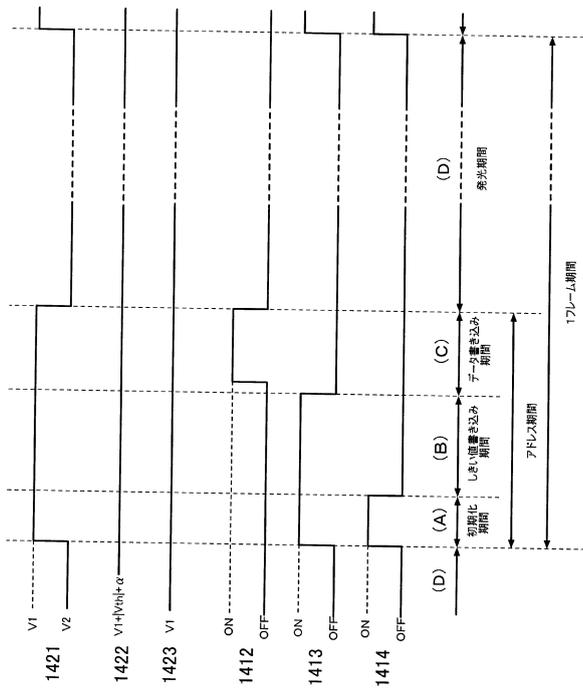
【 図 1 4 】



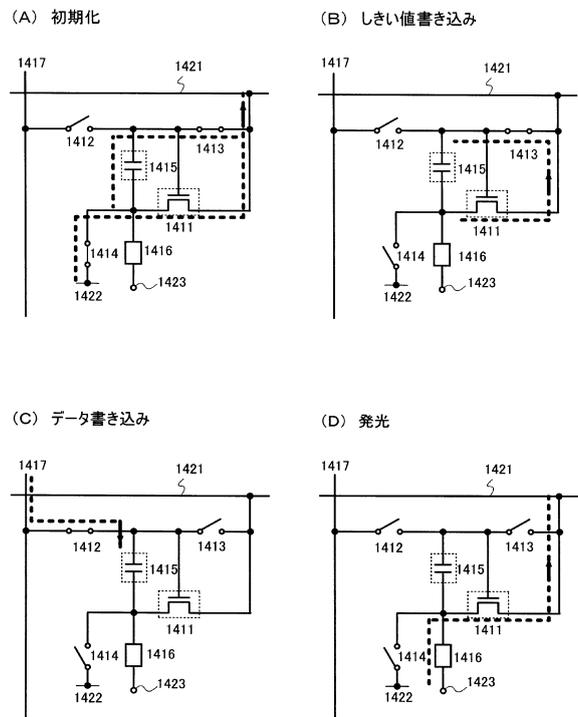
10

20

【 図 1 5 】



【 図 1 6 】

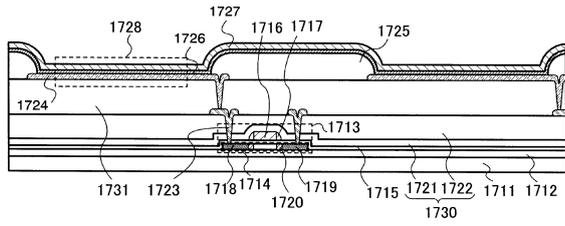


30

40

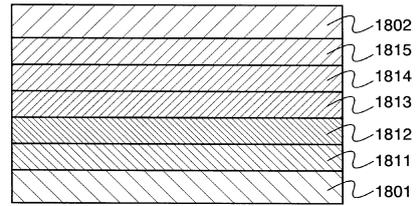
50

【 図 17 】

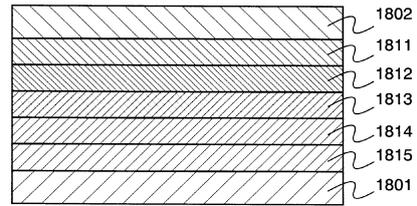


【 図 18 】

(a)



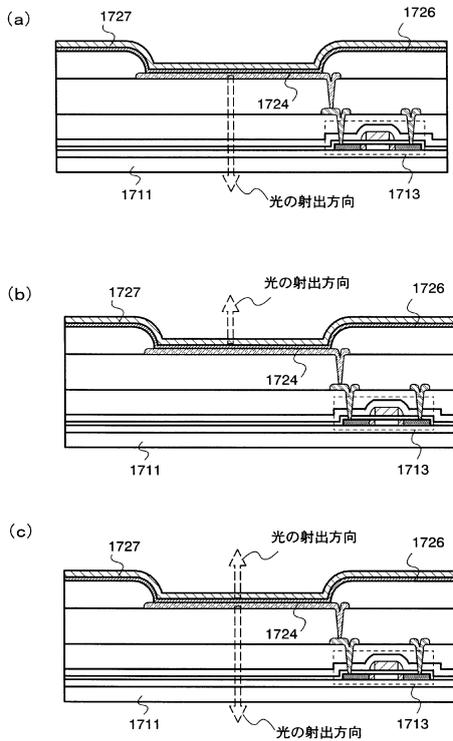
(b)



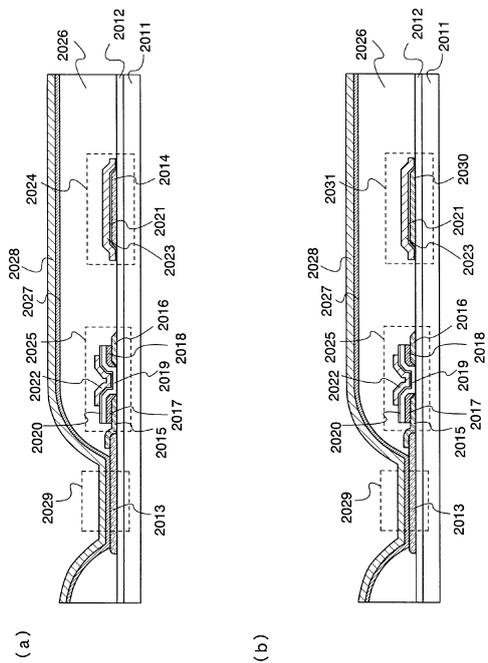
10

20

【 図 19 】



【 図 20 】

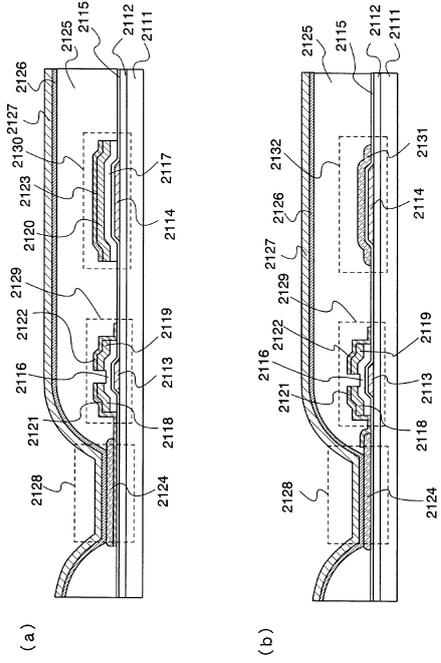


30

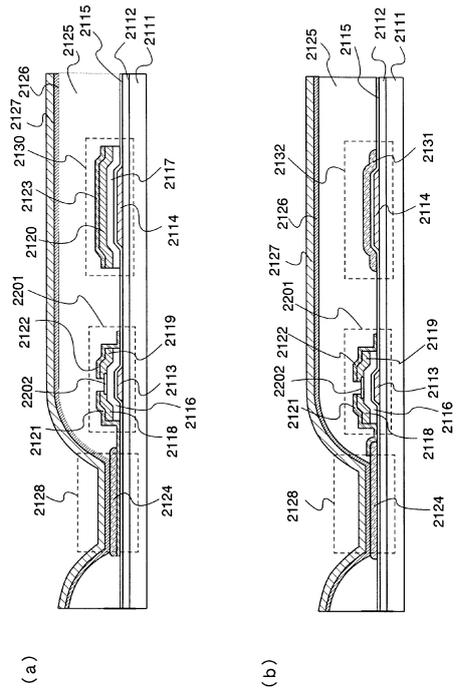
40

50

【 2 1 】



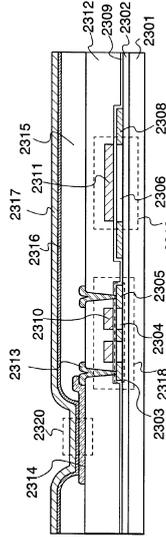
【 2 2 】



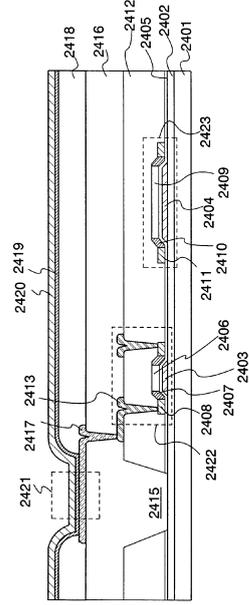
10

20

【 2 3 】



【 2 4 】

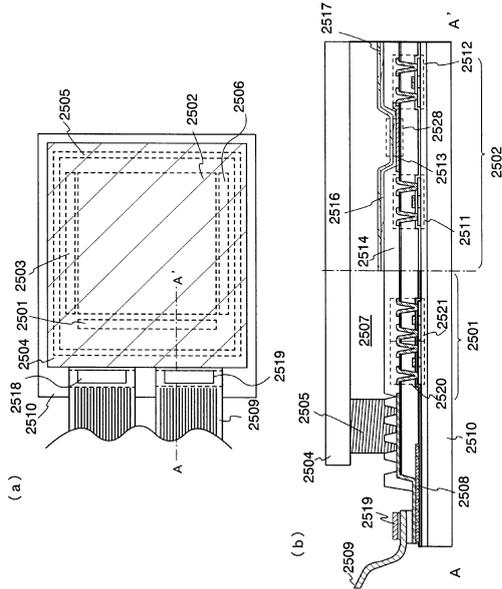


30

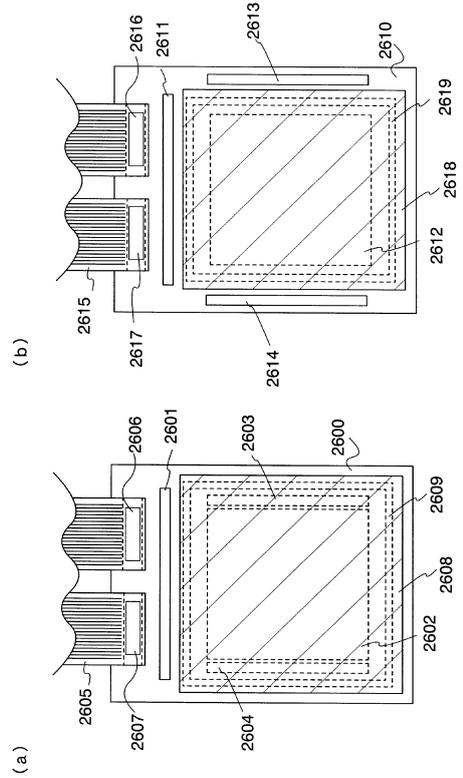
40

50

【 図 2 5 】



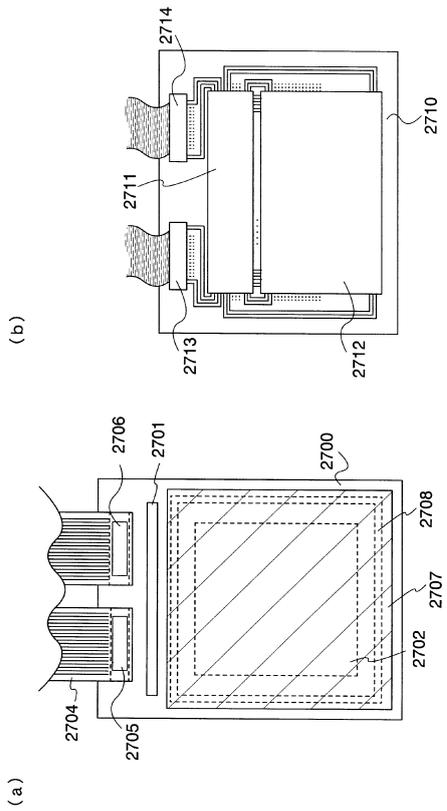
【 図 2 6 】



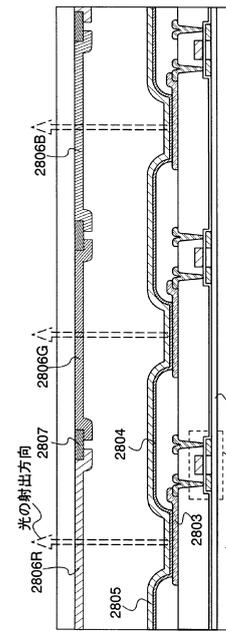
10

20

【 図 2 7 】



【 図 2 8 】

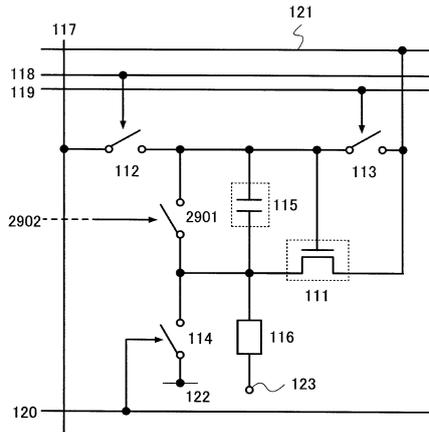


30

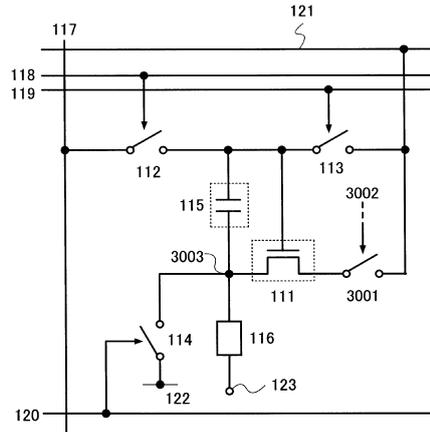
40

50

【 図 2 9 】

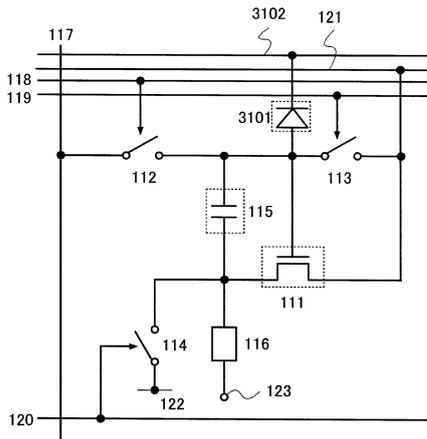


【 図 3 0 】

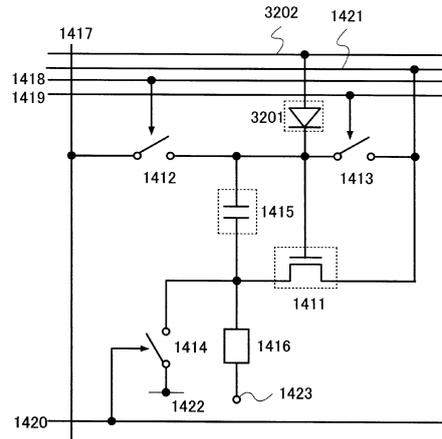


10

【 図 3 1 】



【 図 3 2 】



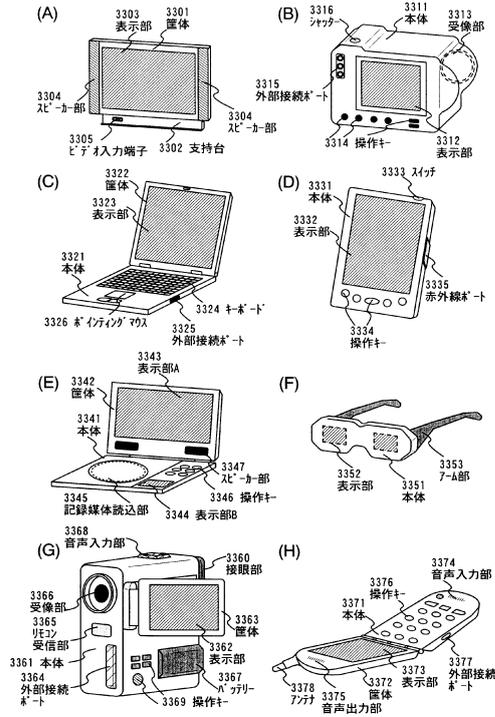
20

30

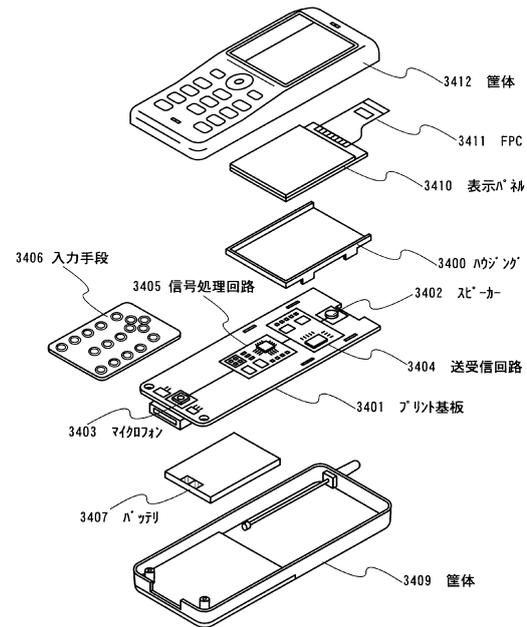
40

50

【図 33】



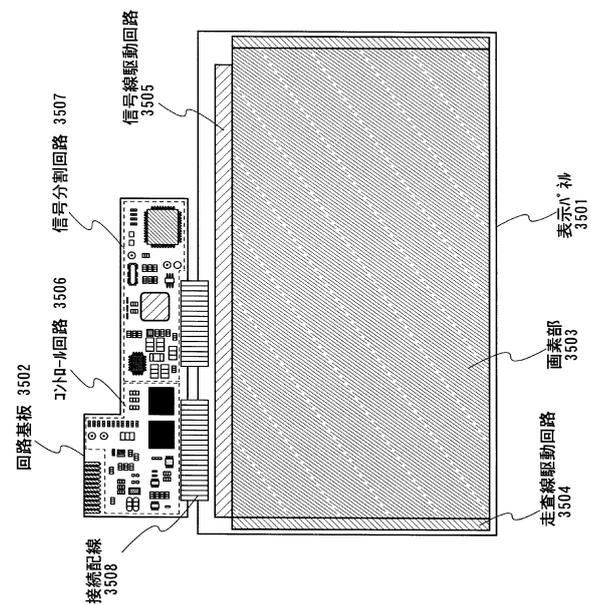
【図 34】



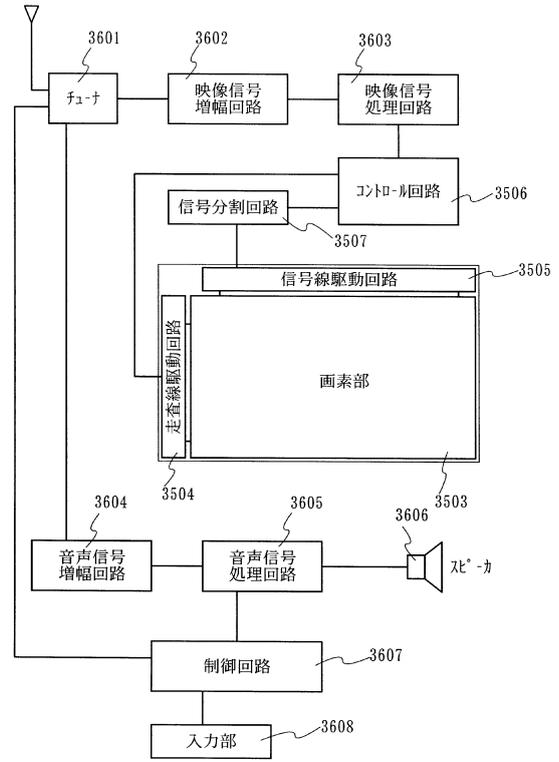
10

20

【図 35】



【図 36】

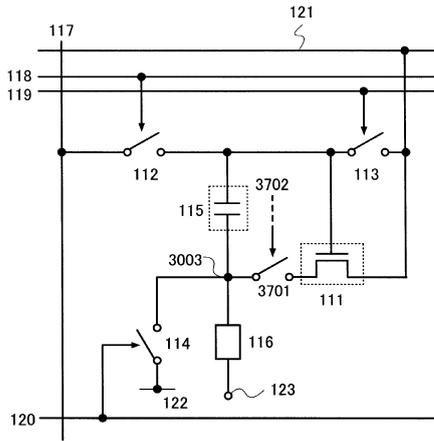


30

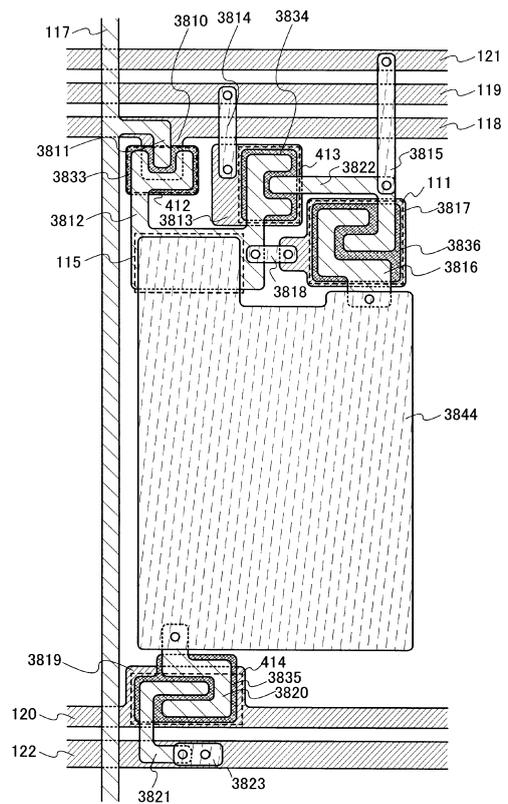
40

50

【図 37】



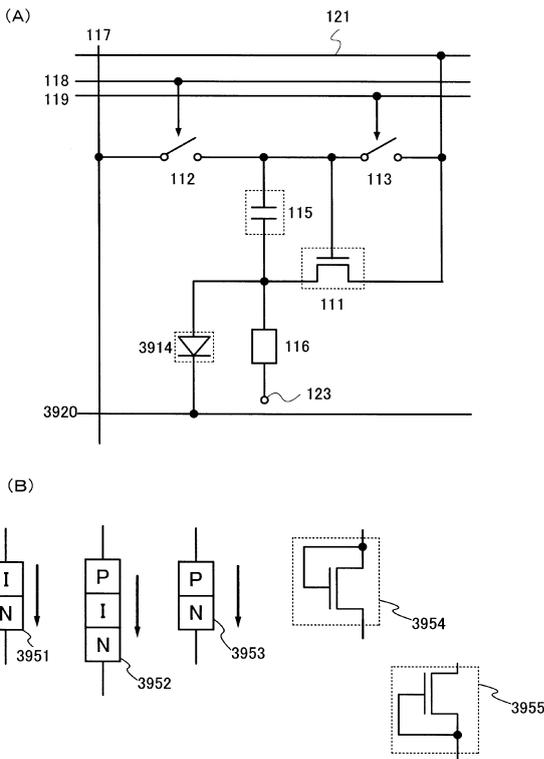
【図 38】



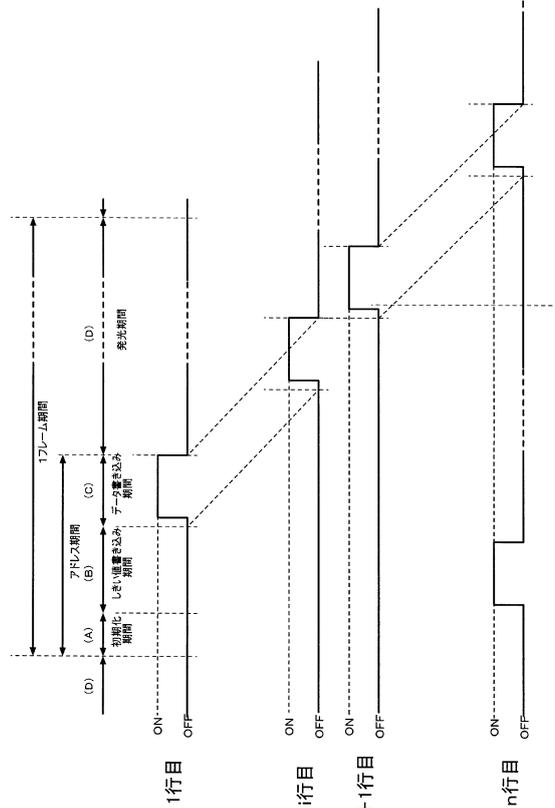
10

20

【図 39】



【図 40】

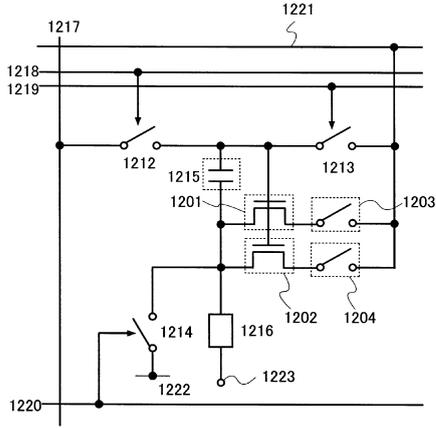


30

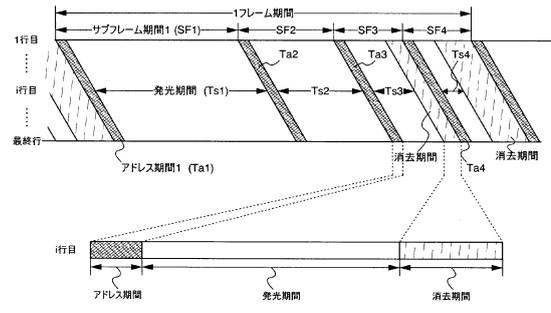
40

50

【図 4 1】

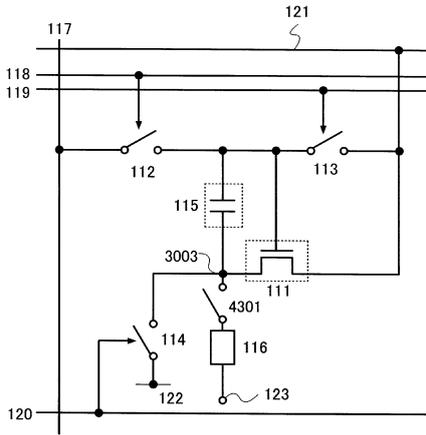


【図 4 2】

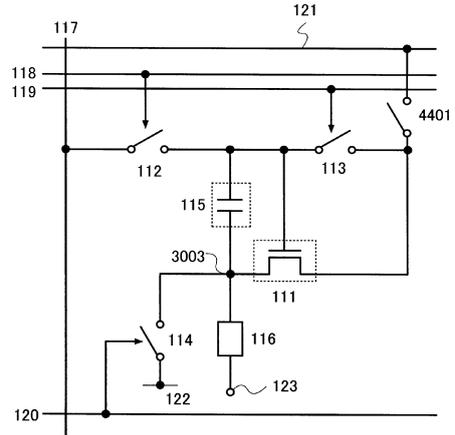


10

【図 4 3】



【図 4 4】



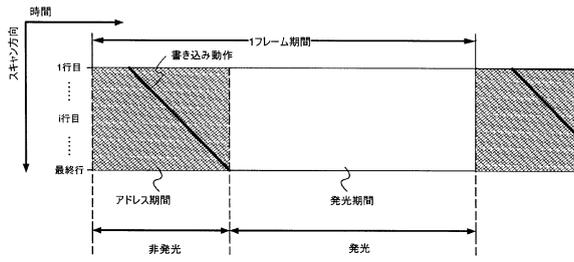
20

30

40

50

【 図 49 】



10

20

30

40

50

フロントページの続き

(51)国際特許分類

G 0 9 G 3/20 (2006.01)

F I

G 0 9 G 3/20 6 2 4 B

G 0 9 G 3/20 6 1 1 H