



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년04월21일
(11) 등록번호 10-1729378
(24) 등록일자 2017년04월17일

(51) 국제특허분류(Int. Cl.)
H01L 25/16 (2006.01) H01L 23/13 (2006.01)
(21) 출원번호 10-2014-0192093
(22) 출원일자 2014년12월29일
심사청구일자 2014년12월29일
(65) 공개번호 10-2015-0137970
(43) 공개일자 2015년12월09일
(30) 우선권주장
62/005,784 2014년05월30일 미국(US)
14/517,648 2014년10월17일 미국(US)
(56) 선행기술조사문헌
KR1020090004895 A
KR1020110048519 A
KR1020150100478 A

(73) 특허권자
타이완 세미콘덕터 매뉴팩처링 컴퍼니 리미티드
중화민국, 타이완, 신추, 신추 사이언스 파크,
리-신 로드 6, 넘버 8
(72) 발명자
첸 스츄 잉
중화민국 타이완 300-77 신추 사이언스-베이스드
인더스트리얼 파크 리신 로드 6 8호
후슈 츄 쉬엔
중화민국 타이완 300-77 신추 사이언스-베이스드
인더스트리얼 파크 리신 로드 6 8호
(뒷면에 계속)
(74) 대리인
김태홍

전체 청구항 수 : 총 10 항

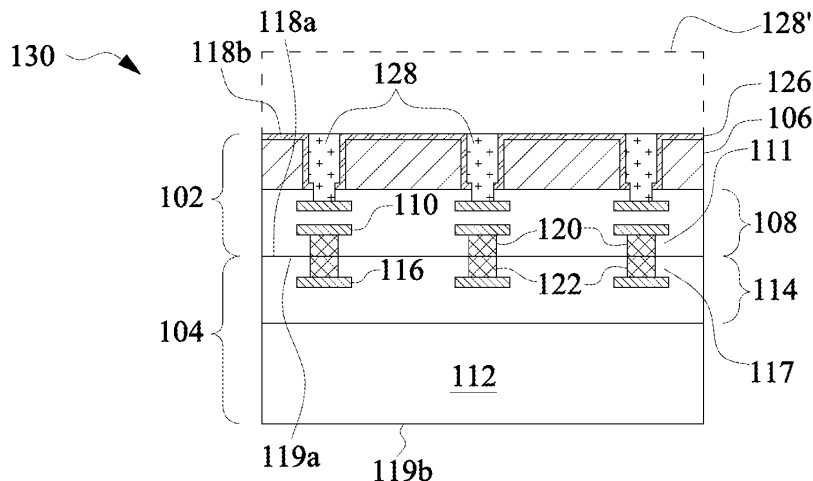
심사관 : 안경민

(54) 발명의 명칭 반도체 디바이스 및 반도체 디바이스 제조 방법

(57) 요약

본 발명은 반도체 디바이스 및 반도체 디바이스 제조 방법에 관한 것이다. 몇몇 실시예에 따르면, 본 발명의 반도체 디바이스는 제1 디바이스와, 제1 디바이스에 페이스 투 페이스 하이브리드 본딩되는 제2 디바이스를 포함하는 제1 하이브리드 본딩 디바이스를 포함한다. 제1 디바이스는 제1 기판의 표면에 배치되는 복수의 제1 본딩 커넥터와 제1 본딩 층을 갖는 제1 기판을 포함한다. 제2 하이브리드 본딩 디바이스가 제1 하이브리드 본딩 디바이스에 백 투 백 본딩된다. 제2 하이브리드 본딩 디바이스는 제3 디바이스와, 제3 디바이스에 페이스 투 페이스 하이브리드 본딩되는 제4 디바이스를 포함한다. 제3 디바이스는 제2 기판의 표면에 배치되는 복수의 제2 본딩 커넥터와 제2 본딩 층을 갖는 제2 기판을 포함한다. 제3 디바이스의 복수의 제2 본딩 커넥터는 제1 디바이스의 복수의 제1 본딩 커넥터에 결합되며, 제3 디바이스의 제2 본딩 층은 제1 디바이스의 제1 본딩 층에 결합된다.

대표도 - 도8



(72) 발명자

예 차오 양

중화민국 타이완 300-77 신쥬 사이언스-베이스드
인더스트리얼 파크 리신 로드 6 8호

양 둔 니안

중화민국 타이완 300-77 신쥬 사이언스-베이스드
인더스트리얼 파크 리신 로드 6 8호

명세서

청구범위

청구항 1

반도체 디바이스로서,

제1 기관의 표면에 배치되는 복수의 제1 본딩 커넥터와 제1 본딩 층을 갖는 제1 기관을 포함하는 제1 디바이스와, 상기 제1 디바이스에 페이스 투 페이스(face-to-face) 하이브리드 본딩되는 제2 디바이스를 포함하는 제1 하이브리드 본딩 디바이스, 및

상기 제1 하이브리드 본딩 디바이스에 백 투 백(back-to-back) 본딩되고, 제2 기관의 표면에 배치되는 복수의 제2 본딩 커넥터와 제2 본딩 층을 갖는 제2 기관을 포함하는 제3 디바이스 및 상기 제3 디바이스에 페이스 투 페이스 하이브리드 본딩되는 제4 디바이스를 포함하는 제2 하이브리드 본딩 디바이스를 포함하고,

상기 제3 디바이스의 복수의 제2 본딩 커넥터는 상기 제1 디바이스의 복수의 제1 본딩 커넥터에 결합되며,

상기 제3 디바이스의 제2 본딩 층은 상기 제1 디바이스의 제1 본딩 층에 결합되는 것인

반도체 디바이스.

청구항 2

제1항에 있어서, 상기 제1 디바이스와 제2 디바이스는 복수의 제3 본딩 커넥터에 의해 하이브리드 본딩되고, 상기 제3 디바이스와 제4 디바이스는 복수의 제4 본딩 커넥터에 의해 하이브리드 본딩되고, 상기 제3 본딩 커넥터는 상기 제1 디바이스와 제2 디바이스의 최상부 상호연결 층에 배치되며, 상기 제4 본딩 커넥터는 상기 제3 디바이스와 제4 디바이스의 최상부 상호연결 층에 배치되는 것인 반도체 디바이스.

청구항 3

제1항에 있어서, 상기 제4 디바이스는 제3 기관의 표면에 근접하게 배치되는 복수의 제5 본딩 커넥터를 포함하는 제3 기관을 포함하는 것인, 반도체 디바이스.

청구항 4

제1항에 있어서, 상기 복수의 제1 본딩 커넥터와 복수의 제2 본딩 커넥터는 하이브리드 본드 패드(Hybrid Bond Pad; HBP) 커넥터를 포함하는 것인 반도체 디바이스.

청구항 5

반도체 디바이스로서,

제1 정면 본딩 커넥터 및 제1 정면 본딩 층을 포함하는 제1 디바이스와,

상기 제1 디바이스 위에 수직으로 적층되고 상기 제1 디바이스에 페이스 투 페이스 구성으로 하이브리드 본딩되는 제2 디바이스로서, 상기 제1 정면 본딩 커넥터에 본딩되는 제2 정면 본딩 커넥터, 상기 제1 정면 본딩 층에 본딩되는 제2 정면 본딩 층, 상기 제2 디바이스의 기관에 형성되는 제1 후면 본딩 커넥터, 및 상기 기관의 후면에 형성되는 제1 후면 본딩 층을 포함하는 제2 디바이스와,

상기 제2 디바이스 위에 수직으로 적층되고 상기 제2 디바이스에 백 투 백 구성으로 하이브리드 본딩되는 제3 디바이스로서, 상기 제1 후면 본딩 커넥터에 본딩되는 상기 제3 디바이스의 기관에 형성되는 제2 후면 커넥터, 상기 제1 후면 본딩 층에 본딩되는 제2 후면 본딩 층, 제3 정면 본딩 커넥터, 및 제3 정면 본딩 층을 포함하는 제3 디바이스와,

상기 제3 디바이스 위에 수직으로 적층되고 상기 제3 디바이스에 페이스 투 페이스 구성으로 하이브리드 본딩되는 제4 디바이스로서, 상기 제3 정면 본딩 커넥터에 본딩되는 제4 정면 본딩 커넥터, 및 상기 제3 정면 본딩 층에 본딩되는 제4 정면 본딩 층을 포함하는 제4 디바이스를 포함하는

반도체 디바이스.

청구항 6

제5항에 있어서, 상기 제4 디바이스는 상기 제4 디바이스의 기관에 형성되는 제3 후면 커넥터와, 제3 후면 본딩층을 포함하는 것인 반도체 디바이스.

청구항 7

제5항에 있어서, 상기 제4 디바이스에 페이스 투 페이스 구성으로 하이브리드 본딩되고, 접촉 패드를 포함하는, 제5 디바이스; 및

상기 접촉 패드에 전기 접속되는 커넥터

를 더 포함하는, 반도체 디바이스.

청구항 8

제5항에 있어서, 상기 제2 디바이스는 상기 제1 디바이스에 하이브리드 본딩되고, 상기 제3 디바이스는 상기 제2 디바이스에 하이브리드 본딩되며, 상기 제4 디바이스는 산화물-산화물 본드와 구리-구리 본드 양자 모두를 이용하여 상기 제3 디바이스에 하이브리드 본딩되는 것인 반도체 디바이스.

청구항 9

반도체 디바이스를 제조하는 방법으로서,

제1 디바이스와 제2 디바이스의 정면에 정면 본딩 커넥터 및 정면 패시베이션 층을 형성하는 단계와, 상기 제1 디바이스와 제2 디바이스의 정면 패시베이션 층들을 함께 본딩하고 상기 제1 디바이스와 제2 디바이스의 정면 본딩 커넥터들을 함께 본딩함으로써 상기 제1 디바이스와 제2 디바이스를 하이브리드 본딩하는 단계와, 상기 제1 디바이스의 후면에 후면 본딩 커넥터 및 후면 패시베이션 층을 형성하는 단계를 이용하여 제1 적층 디바이스를 형성하는 단계와,

제3 디바이스와 제4 디바이스의 정면에 정면 본딩 커넥터 및 정면 패시베이션 층을 형성하는 단계와, 상기 제3 디바이스와 제4 디바이스의 정면 패시베이션 층들을 함께 본딩하고 상기 제3 디바이스와 제4 디바이스의 정면 본딩 커넥터들을 함께 본딩함으로써 상기 제3 디바이스와 제4 디바이스를 하이브리드 본딩하는 단계와, 상기 제3 디바이스의 후면에 후면 본딩 커넥터 및 후면 패시베이션 층을 형성하는 단계를 이용하여 제2 적층 디바이스를 형성하는 단계와,

상기 제1 디바이스와 제3 디바이스의 후면 패시베이션 층들을 함께 본딩하고 상기 제1 디바이스와 제3 디바이스의 후면 본딩 커넥터들을 함께 본딩함으로써 상기 제1 적층 디바이스와 제2 적층 디바이스를 하이브리드 본딩하는 단계를 포함하는

반도체 디바이스의 제조 방법.

청구항 10

제9항에 있어서, 상기 제1 디바이스의 후면 본딩 커넥터를 형성하는 단계 또는 상기 제3 디바이스의 후면 본딩 커넥터를 형성하는 단계는,

상기 제1 디바이스 또는 제3 디바이스의 금속 상호연결 층을 통해서 상기 제1 디바이스 또는 제3 디바이스의 기관의 후면에 트렌치를 에칭하는 단계와,

상기 제1 디바이스 또는 제3 디바이스를 위한 후면 본딩 커넥터를 형성하기 위해 상기 트렌치를 전도성 재료로 충전하는 단계를 포함하는 것인 반도체 디바이스의 제조 방법.

발명의 설명

기술 분야

[관련 문헌의 상호 참조]

[0001]

[0002] 본 출원은 본 명세서에서 참조되는 2014년 5월 30일자로 출원된 "다중 웨이퍼가 적층된 장치 및 다중 웨이퍼가 적층된 장치의 형성 방법"이라는 발명의 명칭을 갖는 미국 특허 가출원 제62/005,784호의 우선권을 주장한다. 또한, 본 출원은 본 명세서에서 참조되는 2014년 3월 28일자로 출원된 "적층된 반도체 디바이스를 위한 본딩 구조체"라는 발명의 명칭을 갖는 미국 특허 출원 제14/229,114호의 우선권을 주장한다.

[0003] [기술분야]

[0004] 본 발명은 반도체 디바이스 및 반도체 디바이스 제조 방법에 관한 것이다.

배경 기술

[0005] 반도체 산업은 다양한 전자 부품(예컨대, 트랜지스터, 다이오드, 레지스터, 커패시터 등)의 집적 밀도의 지속적인 향상으로 인해 급격히 성장하고 있다. 최근에는, 이런 집적 밀도에 있어서의 향상은 더 많은 부품이 소정의 영역에 집적될 수 있게 하는 최소 특징부 크기의 반복적인 감소(예컨대, 20-이하 nm 노드를 향한 반도체 공정 노드의 축소)에 기인한다. 소형화, 더 높은 속도 및 더 큰 대역폭뿐만 아니라, 더 낮은 파워 소비 및 회전 지연에 대한 요구가 최근 증가함에 따라, 반도체 다이를 위한 더 소형이고 더 창조적인 패키징 기술에 대한 필요성이 커지고 있다.

[0006] 반도체 기술이 더 진보함에 따라, 적층된 반도체 디바이스, 예컨대 3D 집적 회로(3DICs)가 반도체 디바이스의 물리적 크기를 추가로 감소시키기 위한 효과적인 대안으로서 부각되고 있다. 적층된 반도체 디바이스에서, 로직, 메모리, 프로세서 회로 등과 같은 능동 회로는 다양한 반도체 웨이퍼에 제조된다. 2개 이상의 반도체 웨이퍼가 반도체 디바이스의 폼 팩터를 추가로 감소시키도록 서로 중첩되어 설치되거나 적층될 수도 있다.

[0007] 2개의 반도체 웨이퍼가 적절한 본딩 기술을 통해 함께 본딩될 수도 있다. 통상적으로 이용되는 본딩 기술은 직접 본딩, 화학적 활성 본딩, 플라즈마 활성 본딩, 양극 본딩, 공용 본딩, 글래스 프릿 본딩, 접착제 본딩, 열압축 본딩, 반응 본딩 등을 포함한다. 전기 연결부가 적층된 반도체 웨이퍼들 사이에 제공될 수도 있다. 적층된 반도체 디바이스는 더 작은 폼 팩터로 더 높은 밀도를 제공함으로써, 성능이 향상되고 파워 소비가 감소될 수 있다.

발명의 내용

해결하려는 과제

[0008] 본 발명의 목적은 개선된 반도체 디바이스 및 반도체 디바이스 제조 방법을 제공하는 것이다.

과제의 해결 수단

[0009] 상술된 본 발명의 목적은 청구항에 개시된 본원 발명에 의해 달성된다.

발명의 효과

[0010] 본 발명에 따르면, 공정 시간이 절감되어 효과적이고 처리량이 더 많으며 저비용인 복수의 디바이스 적층 방법을 제공할 수 있으며, 디바이스들 사이에 더 많은 전기 조인트를 제공할 수 있다.

도면의 간단한 설명

[0011] 도 1 내지 도 8은 본 발명의 몇몇 실시예에 따른 다양한 단계에서의 반도체 디바이스의 제조 방법을 도시하는 단면도로서, 2개의 웨이퍼, 다이 및/또는 칩이 수직으로 함께 본딩되어 상태의 단면도.

도 9 및 도 10은 수직으로 적층 및 집적된 디바이스를 포함하는 본 발명의 몇몇 실시예에 따른 반도체 디바이스를 도시하는 단면도.

발명을 실시하기 위한 구체적인 내용

[0012] 본 발명의 양태들은 첨부된 도면을 참조하는 이하의 상세한 설명으로부터 가장 잘 이해될 것이다. 산업상의 표준 관행에 따라 다양한 도면들은 일정한 비율로 도시된 것은 아니다. 실제로, 다양한 구성요소들의 치수는 설명의 명료함을 위해 임의로 증감될 수도 있다.

- [0013] 이하의 상세한 설명은 본 발명의 다양한 구성요소를 실시하기 위한 다양한 실시예 또는 예를 제공한다. 구성요소 및 장치의 특정한 예들이 본 발명의 단순화를 위해 이하에 제공된다. 물론, 그런 예들은 예일 뿐 제한적인 것이 아니다. 예컨대, 이하의 상세한 설명에서 제2 구성요소 위의 또는 상의 제1 구성요소의 형성은 제1 구성요소와 제2 구성요소가 직접 접촉되게 형성되는 실시예, 또는 제1 구성요소와 제2 구성요소가 직접 접촉되지 않도록 추가의 구성요소가 제1 구성요소와 제2 구성요소 사이에 형성되는 실시예도 포함할 수 있다. 또한, 본 발명은 다양한 예들에서 도면부호 및/또는 용어를 반복할 수도 있다. 그런 반복은 단순화와 명료함을 위한 것일 뿐, 개시된 다양한 실시예 및/또는 구성 사이의 관계를 자체로 나타내는 것이 아니다.
- [0014] 또한, "아래" "하부" "위" "상부" 등과 같은 공간적으로 상대적인 용어들은 도면에 도시된 바와 같이 하나의 요소 또는 구성요소의 다른 요소(들) 또는 구성요소(들)에 대한 관계를 나타내기 위해 본 명세서에 사용될 수 있다. 공간적으로 상대적인 용어들은 도면에 도시된 배향 이외에도 사용 또는 작업시의 디바이스의 다른 배향도 포함하는 것이다. 장치는 달리(90도로 회전되거나 다른 배향으로) 배향될 수도 있기 때문에, 본 명세서에 사용된 공간적으로 상대적인 기술 용어들은 유사하게 해석될 수도 있다.
- [0015] 본 명세서에 개시된 본 발명의 몇몇 실시예는 신규한 반도체 디바이스 및 반도체 디바이스 제조 방법에 관한 것이다. 다중 웨이퍼(multi-wafer) 적층을 달성하기 위한 페이스 투 페이스(face-to-face) 및 백 투 백(back-to-back) 하이브리드 본딩 기술을 위한 구조체 및 방법이 개시되어 있다. 예컨대, 몇몇 실시예의 이점은 공정 시간 효율의 향상 및 인터 웨이퍼(inter-wafer)[또는 인터 다이(inter-die) 또는 인터 칩(inter-chip)] 전기 조인트의 성능의 향상을 포함한다.
- [0016] 도 1 내지 도 8은 본 발명의 몇몇 실시예에 따른 다양한 단계에서의 반도체 디바이스의 제조 방법을 도시하는 단면도로서, 2개의 웨이퍼, 다이 및/또는 칩이 수직으로 함께 본딩되어 상태의 단면도이다. 본딩은 웨이퍼 레벨에서 이루어지며, 제1 웨이퍼와 제2 웨이퍼가 함께 본딩된 후에, 개별 다이 또는 패키지로 단일화된다. 다르게는, 본딩은 다이 투 다이(die-to-die) 레벨 또는 다이 투 웨이퍼(die-to-wafer) 레벨에서 수행될 수도 있다.
- [0017] 도 1을 참조하면, 다양한 실시예에 따른 본딩 공정 이전의 제1 디바이스(102) 및 제2 디바이스(104)가 도시되어 있다. 제1 디바이스(102)는 웨이퍼, 다이, 칩 등을 포함하는데, 몇몇 실시예에서는 티어(Tier) 2 디바이스를 포함한다. 몇몇 실시예에서, 제2 디바이스(104)는 티어 1 디바이스를 포함한다. 또한, 제2 디바이스(104)는 웨이퍼, 다이, 칩 등을 포함한다. 제1 디바이스(102)와 제2 디바이스(104)는 제1 하이브리드 본딩 디바이스(130)(도 3 참조)를 형성하도록 몇몇 실시예에 따라 함께 하이브리드 본딩될 것이다. 후속하여, 제1 하이브리드 본딩 디바이스(130)는 이하에서 추가로 기술되는 바와 같이 몇몇 실시예에 따라 제2 하이브리드 본딩 디바이스(130')에 본딩될 것이다(도 9 또는 도 10 참조).
- [0018] 도 1을 다시 참조하면, 제1 디바이스(102)는 기판(106)을 포함하는데, 기판(106)은 실리콘 웨이퍼, 실리콘 온 웨이퍼(SOI) 기판, 다른 유형의 반도체 기판, 또는 다른 지지 기판(즉, 종래 기술에 공지된 바와 같은 석영, 유리 등), 또는 이들의 조합을 포함할 수 있다. 상호연결 구조체(108)가 기판(106) 상부에 또는 위에 형성된다. 상호연결 구조체(108)는 백 엔드 오브 라인(back-end-of-line; BEOL)으로 형성되며, 기판(106)은 예컨대 몇몇 실시예에서 프론트 엔드 오브 라인(front-end-of-line; FEOL)으로 형성되는 회로를 포함한다. 상호연결 구조체(108)는 복수의 절연 재료 내에 배치되는 복수의 전도성 특징부를 포함한다. 상호연결 구조체(108)는 인터-레이어 유전체(inter-layer dielectric; ILD) 및 인터-금속화 유전체(inter-metallization; IMD) 층을 포함할 수 있다. 예컨대, 절연 재료는 스피닝, 화학 증착(CVD) 및 플라즈마 강화 CVD(PECVD)와 같은 종래 기술에 공지된 임의의 적절한 방법을 이용하여 형성되는 포스포실리케이트 유리(PSG), 보로포스포실리케이트 유리(BPSG), FSG, SiO_xC_y, 스피닝 온 글래스, 스피닝 온 폴리머, 실리콘 탄소 재료, 이들의 화합물, 이들의 합성물, 이들의 조합물 등과 같은 로우-K 유전체 재료로 형성될 수 있다.
- [0019] 상호연결 구조체(108)의 전도성 특징부는 기판(106) 내에 및 상에 형성된 (도시 안 된)다양한 수동 및 능동 요소를 서로 상호연결시키거나 외부 요소에 상호연결시킨다. 예컨대, 상호연결 구조체(108)는 다마신(damascene) 공정 또는 차감 에칭(subtractive etch) 기술을 이용하여 형성되는 유전체 층 내에 매설된 (도시 안 된)바이어스에 의해 수직으로 상호연결된 2층 이상의 전도성 트레이스를 포함할 수 있다. 2개의 전도성 트레이스 층이 도 1에 상호연결 구조체(108)에 도시되어 있지만, 하나의, 2개의 또는 3개의 층이 제1 디바이스(102)의 상호연결 구조체(108)에 포함될 수 있다. 상호연결 구조체(108)의 층의 개수와 상관 없이, 제1 디바이스(102)는 상부 상호연결 층(110)을 포함한다. 상부 상호연결 층(110)은 구리, 구리 합금 또는 다른 금속과 같은 전도성 재료를 포함하는 전도성 라인 또는 플러그와 같은 전도성 특징부를 포함한다.

- [0020] 본 명세서에서 사용된 "상부"라는 용어는 다른 층 또는 구조체에 비해 기관의 최말단에 있는 층 또는 다른 구조체를 나타내며, 디바이스가 임의의 순간에 뒤집어지면 최말단 층 또는 구조체는 구조체의 바닥에 위치된다. 또한, 상호연결 구조체(108)는 상부 상호연결 층(110)이 매설되는 상부 패시베이션 층(passivation layer) 또는 상부 유전체 층(111)을 포함할 수도 있다. 몇몇 실시예에서, 상부 패시베이션 층 또는 상부 유전체 층(111)의 일부는 도 1에 도시된 바와 같이 상부 상호연결 층(110)의 상부에 형성된다. 예컨대, 상부 상호연결 층(110)은 상호연결 구조체(108)의 최상부 상호연결 층을 포함한다.
- [0021] 또한, 제2 디바이스(104)는 상호연결 구조체(114)가 상부에 형성되는 기관(112)을 갖는다. 상호연결 구조체(114)는 상부 또는 최상부 상호연결 층(116) 과, 상부 패시베이션 또는 상부 유전체 층(117)을 갖는다. 제2 디바이스(104)는 제1 디바이스(102)와 동일한 유형의 디바이스일 수도 있지만 반드시 그럴 필요는 없으며, 동일한 공정을 이용하여 제조될 수도 있고, 제1 디바이스(102)와 유사한 구조 및 재료를 포함할 수도 있다. 다르게는, 제2 디바이스(104)는 제1 디바이스(102)와 상이한 유형의 디바이스를 포함할 수도 있으며, 제2 디바이스(104)는 다른 공정, 구조 및 재료를 이용하여 제조될 수도 있다. 도시된 실시예에서, 제2 디바이스(104)는 상호연결 구조체(114) 내에 배치된 단지 하나의 상호연결 층을 갖는다. 따라서, 상부 상호연결 층(116)은 상호연결 구조체(114)의 도시된 유일한 층이다. 그러나, 상호연결 구조체(114)는 대안으로서 2층 또는 3층 이상의 전도성 특징부를 포함할 수도 있으며, 상부 상호연결 층(116)은 몇몇 실시예에서 상호연결 구조체(114)의 최상부 전도성 재료 층을 포함할 수도 있다.
- [0022] 제1 디바이스(102)는 제1 측면(118a)과, 제1 측면(118a)에 대항하는 제2 측면(118b)을 갖는다. 예컨대, 제1 측면(118a)은 제1 디바이스(102)의 전면 또는 대면 측부를 포함하며, 제2 측면(118b)은 제1 디바이스(102)의 후면을 포함한다. 유사하게는, 제2 디바이스(104)는 제1 측면(119a)과, 제1 측면(119a)에 대항하는 제2 측면(119b)을 갖는다. 예컨대, 제1 측면(119a)은 제2 디바이스(104)의 전면 또는 대면 측부를 포함하며, 제2 측면(119b)은 제2 디바이스(104)의 후면을 포함한다.
- [0023] 도 2에서, 복수의 본딩 커넥터(120, 122)가 제1 디바이스(102)와 제2 디바이스(104)에 각각 형성된다. 본딩 커넥터(120)는 제1 디바이스(102)와 제2 디바이스(104)의 상부 상호연결 층(110, 116)의 일부에 각각 결합된다. 본딩 커넥터(120, 122)는 상부 상호연결 층(110, 116)의 전도성 특징부에 각각 결합된다. 본딩 커넥터(120, 122)는 상호연결 구조체(108, 114)의 상부 절연 재료 층(111, 117)을 각각 패터닝하고 그리고 패턴을 전도성 재료로 충전함으로써 형성될 수 있다. 예컨대, 몇몇 실시예에서 상부 절연 재료 층(111, 117)의 패턴은 제1 하이브리드 본드 패드 패턴을 포함한다.
- [0024] 본딩 커넥터(120, 122)는, 리소그래피 또는 직접 패터닝 방법을 이용하여 상호연결 구조체(108, 114)의 상부 절연 재료 층(111, 117)을 패터닝하고 그리고 구리, 알루미늄, 텅스텐, 다른 금속, 또는 합금과 같은 전도성 재료, 조합물, 또는 이들의 복수의 층을 패터닝된 절연 재료 층 위에 형성함으로써, 다마신 기술을 이용하여 형성될 수도 있다. 후속하여, 초과 전도성 재료가 예컨대, 화학 기계적 연마(CMP) 공정, 그라인딩 공정 및/또는 에칭 공정을 이용하여 절연 재료 층(111, 117)의 상부면에서 제거된다. 몇몇 실시예에서, 본딩 커넥터(120, 122)는 예컨대, 하이브리드 본딩 공정에서 제1 디바이스(102)와 제2 디바이스(104)를 함께 본딩하는데 이용되는 하이브리드 본드 패드(HBP) 커넥터를 포함한다. 또한, 최상부 절연 재료 층(111, 117)의 나머지 부분도 하이브리드 본딩 공정에서 제1 디바이스(102)와 제2 디바이스(104)의 본딩 층으로서 기능한다.
- [0025] 예컨대 다마신 방법에서, 제1 디바이스(102)와 제2 디바이스(104)의 상부 패시베이션 층 또는 유전체 층(111, 117)을 패터닝하는 것은 제1 디바이스(102)와 제2 디바이스(104)의 상부 패시베이션 층 또는 상부 유전체 층(111, 117) 내에 개구를 형성한다. 패터닝된 상부 유전체 층(111, 117) 위에 전도성 재료를 형성하는 것은 개구를 전도성 재료로 충전시킨다. 초과 전도성 재료가 상부 패시베이션 층 또는 상부 유전체 층(111, 117)의 상부면에서 제거된 후에, 전도체 충전 개구는 이하에서 기술되는 바와 같이 함께 정렬되어 본딩되는 본딩 커넥터(120, 122)를 형성한다. 본딩 커넥터(120, 122)는 제1 단부에서 상부 상호연결 층(110, 112)의 트레이스에 전기 접속되며, 제2 단부에서 각각의 상부 패시베이션 또는 상부 유전체 층(111, 117)과 사실상 동일 평면에 존재한다. 몇몇 실시예에서, 본딩 커넥터(120, 122)는 예컨대, 약 0.2 μ m 내지 약 3 μ m의 폭과, 약 0.3 μ m 내지 약 0.9 μ m의 높이를 갖는다. 다르게는, 본딩 커넥터(120, 122)는 다른 치수를 포함할 수도 있다. 실제 치수는 채용된 공정 기술 노드, 필요한 본딩 커넥터의 개수, 파워 또는 신호가 특정한 본딩 커넥터를 통해 전송되는지 여부, 및 당업자에게 명백한 다른 팩터에 따라 결정된다.
- [0026] 또한, 본딩 커넥터(120, 122)는 차감 에칭 공정을 이용하여 형성될 수 있다. 예컨대, 상호연결 구조체(108, 114)의 절연 재료 층은 상부 상호연결 층(110, 116)이 전도성 특징부와 사실상 동일 평면에 존재할 수도 있다.

전도성 재료는 상호연결 구조체(108, 114) 위에 형성될 수 있으며, 본딩 커넥터(120, 122)를 형성하기 위해 리소그래피 공정을 이용하여 패터닝될 수도 있다. 후속하여, 상부 유전체 층(111, 117) 및 본딩 커넥터(120, 122)를 각각 포함하는 제1 디바이스(102)와 제2 디바이스(104) 상에 본딩 평면을 형성하기 위해 절연 재료 층(111, 117)이 패터닝된 전도성 재료 주위에 형성될 수 있다.

[0027] 제1 디바이스(102)와 제2 디바이스(104)의 본딩 커넥터(120, 122)는 몇몇 실시예에서 사실상 동일한 패턴을 포함하기 때문에, 제1 디바이스(102)와 제2 디바이스(104)는 제1 디바이스(102)와 제2 디바이스(104) 사이에 전기 커넥터를 형성하도록 본딩 커넥터(120, 122)를 이용하여 함께 본딩될 수 있다. 예컨대, 본딩 커넥터(120, 122)를 위한 패턴은 몇몇 실시예에서 정렬된다.

[0028] 도 3은 하이브리드 본딩 디바이스(130)를 형성하는 하이브리드 본딩 공정이 몇몇 실시예에 따라 수행된 후의 제1 디바이스(102) 및 제2 디바이스(104)를 도시한다. 도 1 및 도 2에서 제2 디바이스(104) 아래에 배치된 것으로 도시된 제1 디바이스(102)가 제2 디바이스(104)의 상부에 위치한 것으로 도시되어 있는데, 그 이유는 제1 디바이스(102)가 뒤집어져서 제2 디바이스(104)에 페이스 투 페이스 본딩되었기 때문이다. 도 3은 예컨대 하이브리드 본딩을 이용하여 페이스 투 페이스 구성으로 함께 본딩된 제1 디바이스(102)와 제2 디바이스(104)를 도시한다. 제1 디바이스(102)의 제1 측면(118a)이 페이스 투 페이스 구성에서 제2 디바이스(104)의 제1 측면(119a)에 본딩된다.

[0029] 제2 디바이스(104)에 대한 제1 디바이스(102)의 본딩은 조인트 본딩 메커니즘을 통해 달성되는데, 조인트 본딩 메커니즘은 각각의 상부 패시베이션 층 또는 상부 유전체 층(111, 117)을 함께 본딩하고 그리고 각각의 정렬된 제1 디바이스(102)의 본딩 커넥터(120)와 제2 디바이스(104)의 본딩 커넥터(122)를 함께 정렬 및 본딩하는 것을 포함한다. 예컨대, 각각의 상부 패시베이션 또는 상부 유전체 층(111, 117) 양자 모두가 산화물 재료인 실시예에서, 산화물-산화물 본드가 상부 패시베이션 또는 상부 유전체 층(111, 117) 사이에 형성된다. 본딩 커넥터(120, 122) 양자 모두가 구리로 형성되는 실시예에서, 본딩 커넥터(120, 122)의 구리는 구리-구리 본드를 형성한다.

[0030] 따라서, 제1 디바이스(102)와 제2 디바이스(104)는 제1 디바이스(102)와 제2 디바이스(104)의 상호연결 구조체(108, 114)의 최상부 상호연결 층에 배치된 복수의 본딩 커넥터에 의해 하이브리드 본딩된다. 본딩 커넥터(120, 122)는 제1 디바이스(102)와 제2 디바이스(104) 사이에, 예컨대 각각의 상호연결 구조체(108, 114)의 상부 상호연결 층(110, 116)의 전도성 특징부들 사이에 수직 전기 접속부를 제공한다.

[0031] 도 3에 도시된 하이브리드 본딩 공정 이후에, 제1 디바이스(102)의 기관(106)의 일부가 도 4에 도시된 바와 같이 제거되는데, 도 4는 제1 디바이스(102)의 기관(106)의 시닝(thinning down) 단계를 도시한다. 몇몇 실시예에서, 기관(106)은 예컨대, 약 5 μ m 내지 약 50 μ m의 두께로 시닝될 수 있다. 다른 실시예에서, 기관(106)은 다른 두께로 시닝될 수도 있다.

[0032] 다음으로, 개구(124)가 도 5에 도시된 바와 같이 제1 디바이스(102)의 기관(106)을 통해 에칭된다. 3개의 개구(124)가 도시되어 있지만, 수많은 그런 개구(124)가 몇몇 어플리케이션에선 기관(106)에 형성될 수 있음을 당업자들은 알 것이다. 이하에서 추가로 기술되는 바와 같이 제2 하이브리드 본딩 단계가 다른 디바이스에 대해 수행될 수 있도록 제1 디바이스(102)의 (후면을 포함하는)제2 측면(118b)에 본딩 커넥터(128)(도 8 참조)를 형성하기 위해 개구(124)가 형성된다. 개구(124)는 위에서 바라볼 때 원형, 타원형, 정사각형, 직사각형 또는 다른 형상을 가질 수 있다. 예컨대, 개구(124)는 본딩 커넥터(120, 122)에 대해 기술된 바와 유사한 치수를 가질 수도 있다.

[0033] 개구(124)는, (도시 안 된)포토리저스트 층을 기관(106) 위에 형성하고 그리고 포토리저스트 층을 패터닝함으로써, 리소그래피 공정을 이용하여 형성될 수도 있다. 목표 패턴을 상부에 갖는 리소그래피 마스크로부터 또는 리소그래피 마스크를 통해 반사된 광 또는 에너지에 포토리저스트 층을 노출시키고, 포토리저스트 층을 현상하고, 그리고 애싱(ashing) 및/또는 에칭 공정을 이용하여 (포토리저스트가 파지티브인지 네가티브인지 여부에 따라) 포토리저스트 층의 노출된 또는 비노출 부분을 제거함으로써 포토리저스트 층이 패터닝될 수도 있다. 후속하여, 패터닝된 포토리저스트 층은 기관(106)의 일부가 에칭 공정을 이용하여 제거되는 동안 에칭 마스크로서 사용되어, 개구(124)가 형성된다. 후속하여, 포토리저스트 층이 제거된다. 다르게는, 기관(106)은 직접 패터닝 공정을 이용하여 패터닝될 수도 있다.

[0034] 후속하여, 도 6에 도시된 바와 같이 격리 층(126)이 제1 디바이스(102)의 패터닝된 기관(106) 위에 형성된다. 실리콘 산화물, 실리콘 질화물 등과 같은 유전체 재료를 포함하는 격리 층(126)이 기관(106)의 후면 위에 형성

되거나 퇴적된다. 격리 층(126)은 제1 디바이스(102)의 기관(106)의 개구(124)로 연장 및 라이닝된다. 예컨대, 격리 층(126)은 개구(124)에 형성될 전도성 재료를 기관(106)의 주변 반도체 재료로부터 전기적으로 격리시킨다. 예컨대, 격리 층(126)은 화학 증착(CVD) 또는 다른 방법을 이용하여 형성될 수 있으며, 수 μm 의 두께를 가질 수도 있다. 다르게는, 격리 층(126)은 다른 재료, 형성 방법 및 치수를 포함할 수도 있다. 몇몇 실시예에서, 격리 층(126)은 다른 하이브리드 본딩 디바이스(130')(도 9 및 도 10 참조)에 대한 산화물 대 산화물 하이브리드 본드를 형성하기 위해 본딩 층으로서 사용된다.

- [0035] 도 7을 참조하면, 개구(127)는 리소그래피 또는 직접 패터닝 방법을 이용하여 격리 층(126) 및 제1 디바이스(102)의 상호연결 구조체(108)의 절연 재료에 후속적으로 형성된다. 상호연결 구조체(108)의 전도성 특징부의 일부가 개구(127)를 통해 노출되어 전기 접점이 전도성 특징부에 형성될 수 있다. 개구(127)는 기관(106)의 개구(124) 아래에 각각 배치된다.
- [0036] 몇몇 실시예에서, 개구(124, 127)를 형성하는 것은 제1 디바이스(102)의 상호연결 구조체(106)의 금속 상호연결 층을 통해 제1 디바이스(102)의 기관(106)의 후면(118b) 내의 트렌치를 에칭하는 것을 포함한다. 개구(124, 127)는 제1 디바이스(102)의 제2 측면(118b)에 하이브리드 본드 패드를 위한 제2 패턴을 형성한다.
- [0037] 후속하여, 도 8에 도시된 바와 같이 전도성 재료가 본딩 커넥터(128)을 형성하기 위해 격리 층(126)에 걸쳐 개구(124, 127)에 충전된다. 전도성 재료는 구리, 구리 합금, 다른 금속, 또는 이들의 복수의 층 또는 조합물을 포함할 수 있다. 개구가 트렌치를 포함하는 실시예에서, 전도성 재료가 트렌치를 충전하여 제1 디바이스(102)의 후면에 본딩 커넥터(128)를 형성한다. 퇴적됨에 따라, 전도성 재료는 도면부호 128'로 표시된 바와 같이 격리 층(126)의 상부면 위로 존재할 수 있다. 초과 전도성 재료가 CMP 공정, 에칭 공정, 그라인딩 공정 또는 이들의 조합을 이용하여 제거되어, 개구(124) 내의 전도성 재료가 남겨져 본딩 커넥터(128)를 형성한다. 본딩 커넥터(128)는 제1 디바이스(102)의 후면 본딩 커넥터(128)를 포함한다.
- [0038] 제1 디바이스(102)와 제2 디바이스(104) 각각의 정면[예컨대, 제1 측면(118a, 119a)]에 형성된 본딩 커넥터(120, 122)와 달리, 본딩 커넥터(128)는 티어 2 디바이스를 포함하는 제1 디바이스(102)의 후면에, 즉 제1 디바이스(102)의 기관(106)의 후면에 형성된다. 후면 본딩 커넥터(128)는 티어 2 디바이스(102)인 제1 디바이스(102) 및 티어 1 디바이스인 제2 디바이스(104)를 포함하는 하이브리드 본딩 디바이스(130) 최상부에 또는 위에 추가적인 웨이퍼, 다이 또는 칩을 적층할 수 있는 능력을 제공함으로써 또 다른 수직 집적을 가능케한다.
- [0039] 예컨대, 도 9 및 도 10은 추가적인 수직 집적을 위해 수직으로 함께 적층된 복수의 디바이스(104, 102, 134, 132, 132')를 포함하는 반도체 디바이스(100, 100')의 단면도이다. 2개의 하이브리드 본딩 디바이스(130, 130')가 수직으로 적층되어 함께 집적되어 있는 실시예가 도 9에 도시되어 있다. 제1 하이브리드 본딩 디바이스(130)는 도 8에 도시된 바와 같은 적층된 티어 1 제2 디바이스(104) 및 티어 2 제1 디바이스(102)를 포함하며, 제1 디바이스(102)는 페이스 투 페이스 구성으로 제2 디바이스(104)에 하이브리드 본딩되어 있다. 예컨대, 제1 디바이스(102)의 제1 측면(118a)이 제2 디바이스(104)의 제1 측면(119a)에 하이브리드 본딩된다. 본딩 커넥터(122, 120)가 함께 본딩되며, 격리 재료 층(111, 117)이 하이브리드 본드를 이용하여 함께 본딩된다.
- [0040] 제2 적층 디바이스(130')는 티어 3 제3 디바이스(134) 및 티어 4 제4 디바이스(132)를 포함하며, 티어 3 제3 디바이스(134) 및 티어 4 제4 디바이스(132)는 도 1 내지 도 8에서 제1 디바이스(102)와 제2 디바이스(104)에 대해 도시되고 기술된 방식과 유사한 방식으로 페이스 투 페이스 구성으로 적층되어 수직으로 집적된다. 제3 디바이스(134)의 제1 측면(119a')이 제4 디바이스(132)의 제1 측면(118a')에 하이브리드 본딩된다. 본딩 커넥터(120', 122')가 함께 본딩되며, 격리 재료 층(111', 117')이 하이브리드 본드를 이용하여 함께 본딩된다.
- [0041] 또한 도 9에 도시된 바와 같이, 하이브리드 본딩 디바이스(130, 130')는 백 투 백 구성으로 함께 하이브리드 본딩된 적층 디바이스를 포함한다. 제3 디바이스(134)의 제2 측면(119b')은 제1 디바이스(102)의 제2 측면(118b)에 하이브리드 본딩된다. 제1 디바이스(102)와 제3 디바이스(134)의 본딩 커넥터(128, 128') 각각은 함께 본딩되며, 제1 디바이스(102)와 제3 디바이스(134)의 기관(106, 106') 각각의 위에 배치된 절연 재료 층(126, 126')은 하이브리드 본드를 이용하여 함께 본딩된다.
- [0042] 도 9에 환영으로(예컨대, 파선으로) 도시된 바와 같이, 몇몇 실시예에선 알루미늄 또는 다른 재료를 포함하는 접촉 패드(144')가 상부 제4 디바이스(132)의 기관(106)의 표면에 근접하게 배치된 하이브리드 본드 패드 또는 본딩 커넥터(128)에 결합될 수 있다. 또한 환영으로 도시된 바와 같이, 커넥터(146')가 각각의 접촉 패드(144')에 결합될 수 있다. 커넥터(146')는 뿔납 볼, 뿔납 범프, 전도성 필라 또는 다른 재료와 같은 외부 커넥

터를 포함한다. 몇몇 실시예에서, 커넥터(146')는 소정의 온도로 가열되는 경우 리플로우되도록 구성되는 공용 재료를 포함할 수도 있다. 커넥터(146')는 인쇄 회로 보드(PCB) 또는 다른 엔드 어플리케이션과 같은 다른 대상에 반도체 디바이스(100)를 결합시키는데 사용될 수도 있다.

[0043] 몇몇 실시예에서, 4개의 디바이스(104, 102, 134, 132)는 교번식 페이스 투 페이스 하이브리드 본딩 및 백 투 백 하이브리드 본딩을 이용하여 함께 본딩된다. 다른 실시예에서, 4개보다 많은 디바이스(104, 102, 134, 132, 132')가 함께 본딩된다. 예컨대, 백 투 백 하이브리드 본딩을 이용하여 제4 디바이스(132)에 본딩될 수 있는 티어 N 디바이스를 포함하는 제5 디바이스(132')가 도 9에 도시되어 있다. 제4 디바이스(132)와 제5 디바이스(132')의 본딩 커넥터(128, 128')는 함께 본딩되며, 기관(106, 106') 위에 각각 배치된 절연 재료(126, 126')는 하이브리드 본딩을 이용하여 함께 본딩된다. 예컨대, 절연 재료(126, 126')는 하이브리드 본딩 공정을 위해 본딩 층을 포함한다.

[0044] 또한, 제1 하이브리드 본딩 디바이스(130)가 백 투 백 구성으로 제2 하이브리드 본딩 디바이스(130')에 하이브리드 본딩된다는 것은 제1 하이브리드 본딩 디바이스(130)의 디바이스(102)의 후면(118b)이 제2 하이브리드 본딩 디바이스(130')의 디바이스(134)의 후면(119b')에 본딩된다는 것을 의미한다. 이런 백 투 백 본딩은, 디바이스(102)의 후면(118b)의 기관(106)에 배치된 절연 재료(126)가 디바이스(134)의 후면(119b')의 기관(106')에 배치된 절연 재료(126')에 본딩되고(예컨대, 산화물-산화물 본딩되고) 그리고 디바이스(102)의 후면(118b)의 후면 본딩 커넥터(128)가 디바이스(134)의 후면(119b')의 후면 본딩 커넥터(128')에 유사하게 본딩되는(예컨대, 구리-구리 본딩되는), 하이브리드 본딩이다. 따라서, 완전히 적층된 반도체 디바이스(100)는 페이스 투 페이스 구성으로 하이브리드 본딩되는 2개의 디바이스(102, 104)를 갖는 제1 적층 디바이스(130)와, 페이스 투 페이스 구성으로 하이브리드 본딩되는 2개의 디바이스(132, 134)를 갖는 제2 적층 디바이스(130')를 포함하며, 2개의 적층 디바이스(130, 130')는 백 투 백 구성으로 하이브리드 본딩된다.

[0045] 각각의 디바이스(104, 102, 134, 132, 132')는 페이스 투 페이스, 백 투 백, 페이스 투 페이스, 백 투 백 등과 같이 교번식으로 하이브리드 본딩된다. 이런 패턴은 일 세트의 디바이스(130, 130'), 두 세트의 디바이스(130, 130'), 또는 그 이상을 가질 수 있도록 포함될 수 있다. 예컨대, 수직으로 적층될 수 있는 디바이스(104, 102, 134, 132, 132')의 개수는 설계상 선택의 문제이다.

[0046] 몇몇 실시예에서, 제1 내지 제4의 디바이스(104, 102, 134, 132)가 함께 하이브리드 본딩된 후에, 제5 디바이스(132')와 같은 복수의 추가적인 적층 디바이스가 형성되거나 제공될 수 있다. 또한, 반도체 디바이스(100)를 형성하는 방법은 복수의 추가적인 적층 디바이스(132') 각각을 반도체 디바이스(100)의 상부 디바이스에 연속적으로 하이브리드 본딩하는 단계를 포함하며, 복수의 추가적인 적층 디바이스(132') 중 제1 적층 디바이스는 예컨대 제4 디바이스(132)에 하이브리드 본딩된다.

[0047] 2개 이상의 디바이스(104, 102, 134, 132, 132')가 함께 하이브리드 본딩된 후에, 하나 이상의 디바이스에 하이브리드 본딩될 수 있다. 다르게는, 디바이스(104, 102, 134, 132, 132')가 한번에 하나씩 상부 디바이스에 연속적으로 하이브리드 본딩될 수 있다.

[0048] 적층된 디바이스(104, 102, 134, 132, 132')는 산화물-산화물 본딩 및 구리-구리 본딩을 이용하여 하이브리드 본딩된다. 예컨대, 도 9에 도시된 반도체 디바이스(100)에 대해서, 몇몇 실시예의 하이브리드 본딩 방법은 제1 디바이스(102)와 제2 디바이스(104)의 정면 패시베이션 층(111, 117)의 산화물-산화물 본딩, 제3 디바이스(134)와 제4 디바이스(132)의 정면 패시베이션 층(111', 117')의 산화물-산화물 본딩, 및 제1 디바이스(102)와 제3 디바이스(134)의 후면 패시베이션 층(126, 126')의 산화물-산화물 본딩을 포함한다. 또한, 몇몇 실시예에서 하이브리드 본딩 방법은 제1 디바이스(102)와 제2 디바이스(104)의 정면 본딩 커넥터(120, 122)의 구리-구리 본딩, 제3 디바이스(134)와 제4 디바이스(132)의 정면 본딩 커넥터(120', 122')의 구리-구리 본딩, 및 제1 디바이스(102)와 제3 디바이스(134)의 후면 본딩 커넥터(128, 128')의 구리-구리 본딩을 포함한다.

[0049] 도 9는 홀수의 적층 디바이스(104, 102, 134, 132, 132')를 갖는 구성을 도시하고 있다. 상부 디바이스(132')는 본딩 커넥터(128')의 본딩 패턴의 측면에서 티어 1 제1 디바이스(104)와 동일하다. 상부 또는 제5 디바이스(132')는 아래의 제4 디바이스(132)에 후면 대 후면(백 투 백) 본딩되며, 노출된 정면(119a')을 갖는다. 접촉 패드(144)와 외부 커넥터(146)와 같은 외부 전기 접속부가 상부 디바이스(132')에 전기 접속되어 나머지 적층 디바이스(132, 134, 102, 104)에 전기 접속도록 포함 및 채용될 수 있다. 홀수의 적층 디바이스(104, 102, 134, 132, 132')가 반도체 디바이스(100)에 포함되는 실시예에서, 접촉 패드(144)는 상부 디바이스(132')의 상호연결 구조체의 최상부 상호연결 층 내의 전도성 특징부에 결합된다.

- [0050] 도 10은 짝수의 적층 디바이스(104, 102, 134, 132, 132', 132'')를 갖는 구성을 도시하고 있다. 모든 구성요소에 대하여 도면부호를 다시 표시하지는 않았으나, 도 9를 참조하자. 상부 디바이스(132'')는 티어 N 디바이스를 포함하며, [예컨대, 제1 디바이스(102)의 본딩 커넥터(120, 128)와 유사한]본딩 커넥터(128', 128'')의 본딩 패턴의 측면에서 티어 2 제1 디바이스(102)와 동일하다. 상부 디바이스(132'')는 티어 (N-1) 디바이스를 포함하는 아래의 디바이스(132')에 페이스 두 페이스 본딩된다. 상부 티어 N 디바이스(132'')의 후면(118b'')에 위치한 후면 본딩 커넥터(128')가 노출된다. 수직 적층체의 인접한 디바이스에 하이브리드 본딩하는데 사용되는 것이 아니라, 상부 디바이스(132'')의 후면 본딩 커넥터(128')는 예컨대 상부 디바이스(132'')의 후면(118b'')의 본딩 커넥터(128')에 결합된 접촉 패드(144) 및 접촉 패드에 결합된 외부 커넥터(146)의 사용을 통한 외부 전기 접속을 위해 사용될 수 있다. 따라서, 반도체 디바이스(100')가 짝수의 적층 디바이스(104, 102, 134, 132, 132', 132'')를 포함하는 실시예에선, 도 10에 도시된 바와 같이 접촉 패드(144)가 상부의 제5 디바이스(132'')의 기판 내에 배치된 본딩 커넥터(128')에 결합될 수 있다.
- [0051] 몇몇 실시예에서, 최상부 디바이스(132, 132' 또는 132'')는 백사이드 조도 센서(BIS) 디바이스를 포함하며, 다른 디바이스(104, 102, 132 또는 134) 중 적어도 하나는 주문형 반도체(ASIC) 디바이스와 같은 로직 회로를 포함한다. BIS 디바이스는 불순물 이온을 에피택셜 층에 주입함으로써 형성된 포토다이오드와 같은 광활성 구역을 포함할 수도 있다. 광활성 구역은 PN 접합 포토다이오드, PNP 포토레지스터, NPN 포토트랜지스터 등을 포함할 수 있다. BIS 디바이스는 실리콘 기판 위의 에피택셜 층에 형성되는 센서를 포함할 수도 있다. 다른 실시예에서, 디바이스(104, 102, 132, 134, 132', 132'')는 로직 회로, 아날로그-디지털 변환기, 데이터 처리 회로, 메모리 회로, 바이어스 회로, 기준 회로 등을 포함할 수도 있다.
- [0052] 본 명세서에서 디바이스, 본딩 커넥터 등과 같은 다양한 요소는 예컨대, 특허청구범위에서 도입 순서에 따라 "제1", "제2", "제3" 등으로 기재된다.
- [0053] 본 발명의 실시예들은 수직으로 적층되는 웨이퍼, 다이 또는 칩의 적층체를 포함하는 반도체 디바이스를 포함한다. 또한, 본 발명의 실시예들은 반도체 디바이스의 제조 방법을 포함한다.
- [0054] 본 발명의 몇몇 실시예의 이점은 관통 비아가 수직 적층체에 필요하지 않는 신규한 반도체 디바이스의 적층 방법을 제공하는 것을 포함한다. 또한, 하이브리드 본드 패드 커넥터가 디바이스의 상호연결 구조체 및 기판에 관통 비아 타입으로 형성되어, 디바이스들을 전기 접속시키는데 사용된다. 따라서, 공정 시간이 절감되어 효과적이고 처리량이 더 많으며 저비용인 복수의 디바이스 적층 방법이 달성된다. 디바이스들 사이의 더 많은 전기 조인트가 달성될 수 있다. 페이스 두 페이스 및 백 투 백 하이브리드 본딩은 다중 웨이퍼 및 다중 디바이스 적층을 실현하는데 이용된다. 또한, 본 명세서에 개시된 구조와 방법은 제조 공정 흐름에서 용이하게 실시된다.
- [0055] 몇몇 실시예에 따르면, 본 발명의 반도체 디바이스는 제1 기판의 표면에 배치되는 복수의 제1 본딩 커넥터와 제1 본딩 층을 갖는 제1 기판을 포함하는 제1 디바이스와, 제1 디바이스에 페이스 두 페이스 하이브리드 본딩되는 제2 디바이스를 포함하는 제1 하이브리드 본딩 디바이스를 포함한다. 또한, 본 발명의 반도체 디바이스는 제1 하이브리드 본딩 디바이스에 백 투 백 본딩되는 제2 하이브리드 본딩 디바이스를 포함하며, 제2 하이브리드 본딩 디바이스는 제3 디바이스 및 제3 디바이스에 페이스 두 페이스 하이브리드 본딩되는 제4 디바이스를 포함한다. 제3 디바이스는 제2 기판의 표면에 배치되는 복수의 제2 본딩 커넥터와 제2 본딩 층을 갖는 제2 기판을 포함한다. 제3 디바이스의 복수의 제2 본딩 커넥터는 제1 디바이스의 복수의 제1 본딩 커넥터에 결합된다. 제3 디바이스의 제2 본딩 층은 제1 디바이스의 제1 본딩 층에 결합된다.
- [0056] 다른 실시예에 따르면, 본 발명의 반도체 디바이스는 제1 정면 본딩 커넥터 및 제1 정면 본딩 층을 포함하는 제1 디바이스와, 제1 디바이스 위에 수직으로 적층되고 제1 디바이스에 페이스 두 페이스 구성으로 하이브리드 본딩되는 제2 디바이스를 포함한다. 제2 디바이스는 제1 정면 본딩 커넥터에 본딩되는 제2 정면 본딩 커넥터와, 제1 정면 본딩 층에 본딩되는 제2 정면 본딩 층을 포함한다. 또한, 제2 디바이스는 제2 디바이스의 기판에 형성되는 제1 후면 본딩 커넥터와, 제2 디바이스의 기판의 후면에 형성되는 제1 후면 본딩 층을 포함한다. 또한, 본 발명의 반도체 디바이스는 제2 디바이스 위에 수직으로 적층되고 제2 디바이스에 백 투 백 구성으로 하이브리드 본딩되는 제3 디바이스를 포함한다. 제3 디바이스는 제1 후면 본딩 커넥터에 본딩되는 제3 디바이스의 기판에 형성되는 제2 후면 커넥터와, 제1 후면 본딩 층에 본딩되는 제2 후면 본딩 층을 포함한다. 또한, 제3 디바이스는 제3 정면 본딩 커넥터와, 제3 정면 본딩 층을 포함한다. 또한, 본 발명의 반도체 디바이스는 제3 디바이스 위에 수직으로 적층되고 제3 디바이스에 페이스 두 페이스 구성으로 하이브리드 본딩되는 제4 디바이스를 포함한다. 제4 디바이스는 제3 정면 본딩 커넥터에 본딩되는 제4 정면 본딩 커넥터와, 제3 정면 본딩 층에

본딩되는 제4 정면 본딩 층을 포함한다.

[0057] 몇몇 실시예에 따르면, 본 발명의 반도체 디바이스를 제조하는 방법은 제1 적층 디바이스 및 제2 적층 디바이스를 형성하는 단계를 포함한다. 제1 적층 디바이스는 제1 디바이스와 제2 디바이스의 정면에 정면 본딩 커넥터 및 정면 패시베이션 층을 형성하는 단계와, 제1 디바이스와 제2 디바이스의 정면 패시베이션 층들을 함께 본딩하고 제1 디바이스와 제2 디바이스의 정면 본딩 커넥터들을 함께 본딩함으로써 제1 디바이스와 제2 디바이스를 하이브리드 본딩하는 단계에 의해 형성된다. 후면 본딩 커넥터 및 후면 패시베이션 층이 제1 디바이스의 후면에 형성된다. 제2 적층 디바이스는 제3 디바이스와 제4 디바이스의 정면에 정면 본딩 커넥터 및 정면 패시베이션 층을 형성하는 단계와, 제3 디바이스와 제4 디바이스의 정면 패시베이션 층들을 함께 본딩하고 제3 디바이스와 제4 디바이스의 정면 본딩 커넥터들을 함께 본딩함으로써 제3 디바이스와 제4 디바이스를 하이브리드 본딩하는 단계에 의해 형성된다. 후면 본딩 커넥터 및 후면 패시베이션 층이 제3 디바이스의 후면에 형성된다. 또한, 본 발명의 반도체 디바이스를 제조하는 방법은 제1 디바이스와 제3 디바이스의 후면 패시베이션 층들을 함께 본딩하고 제1 디바이스와 제3 디바이스의 후면 본딩 커넥터들을 함께 본딩함으로써 제1 적층 디바이스와 제2 적층 디바이스를 하이브리드 본딩하는 단계를 포함한다.

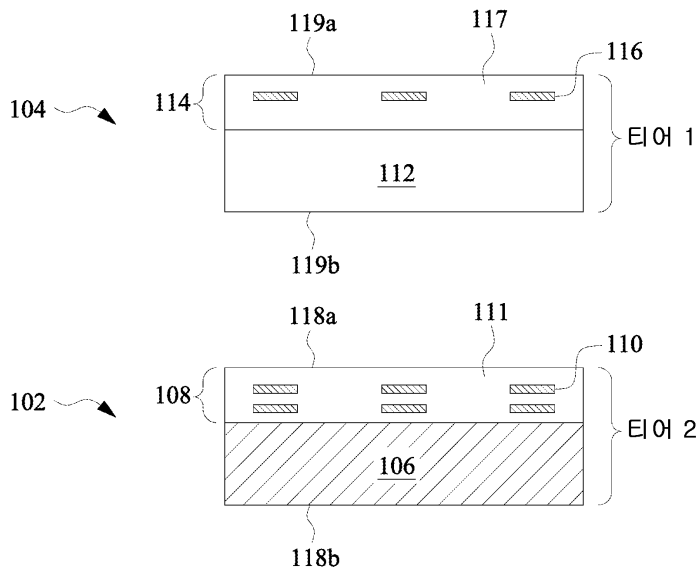
[0058] 당업자들이 본 발명의 양태를 더 잘 이해할 수 있도록 몇몇 실시예에 대한 상술된 구성요소가 개시되어 있다. 당업자들은 본 명세서에 개시된 다양한 실시예의 동일한 목적 및/또는 이점을 달성하기 위해 다른 공정 및 구조를 설계하거나 변경하기 위한 기초로서 본 명세서의 내용을 용이하게 이용할 수 있을 것이다. 또한, 당업자들은 그런 등가 구성들은 본 발명의 기술 사상 및 범주를 벗어나지 않음을 알 것이며, 본 발명의 기술 사상 및 범주 내에서 다양한 변형예, 대체예 및 변경예를 실시할 수 있을 것이다.

부호의 설명

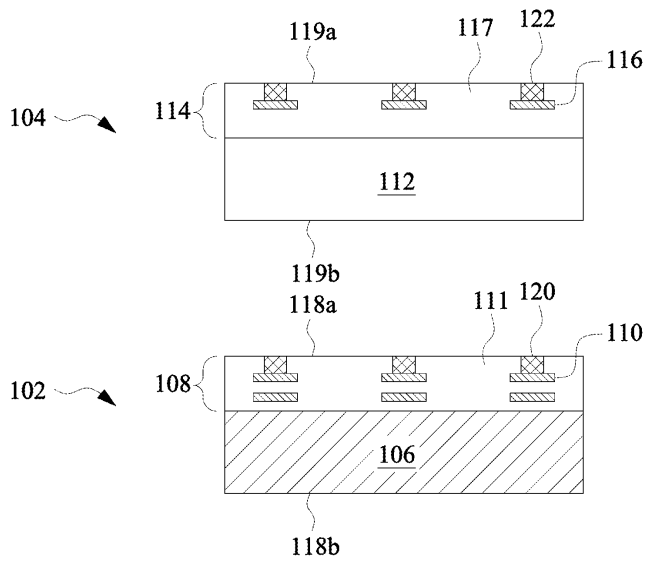
- [0059] 102 : 제1 디바이스
- 104 : 제2 디바이스
- 106, 112 : 기판
- 108, 114 : 상호연결 구조체
- 110 : 상부 상호연결 층
- 116 : 최상부 상호연결 층
- 117 : 상부 패시베이션 층 또는 상부 유전체 층
- 124, 127 : 개구
- 126 : 격리 층
- 128 : 본딩 커넥터

도면

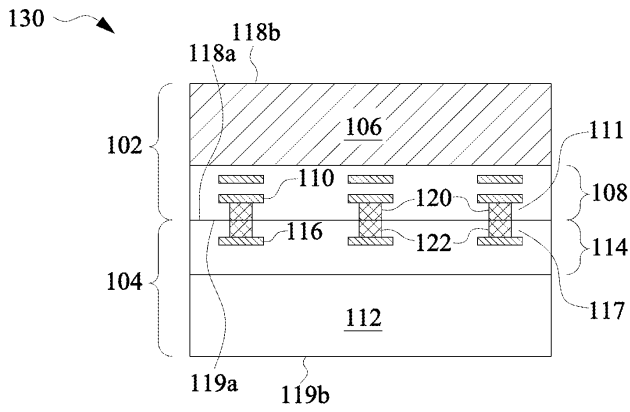
도면1



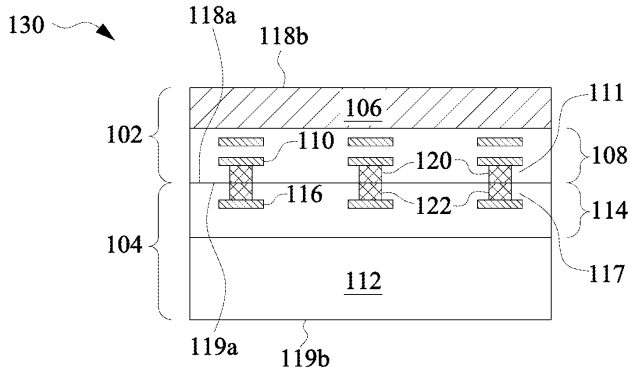
도면2



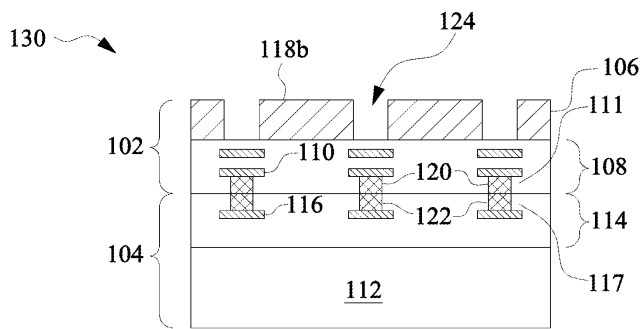
도면3



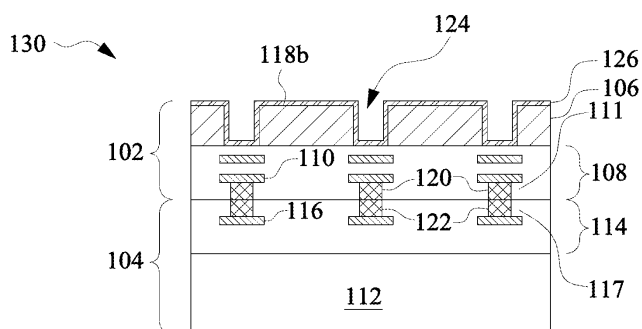
도면4



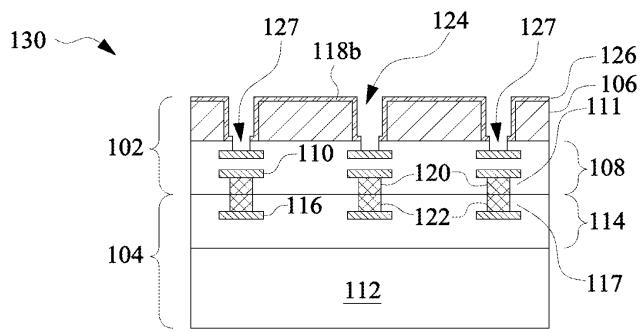
도면5



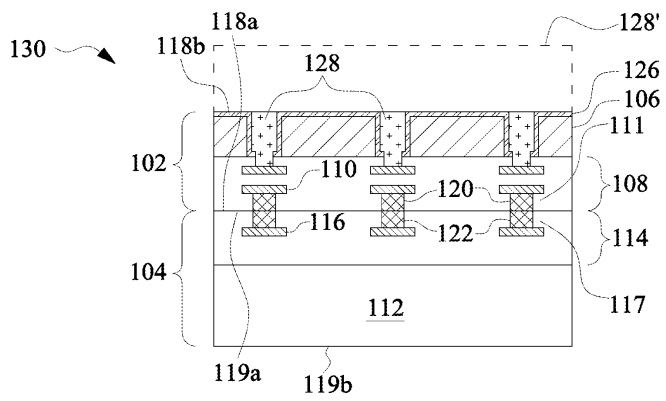
도면6



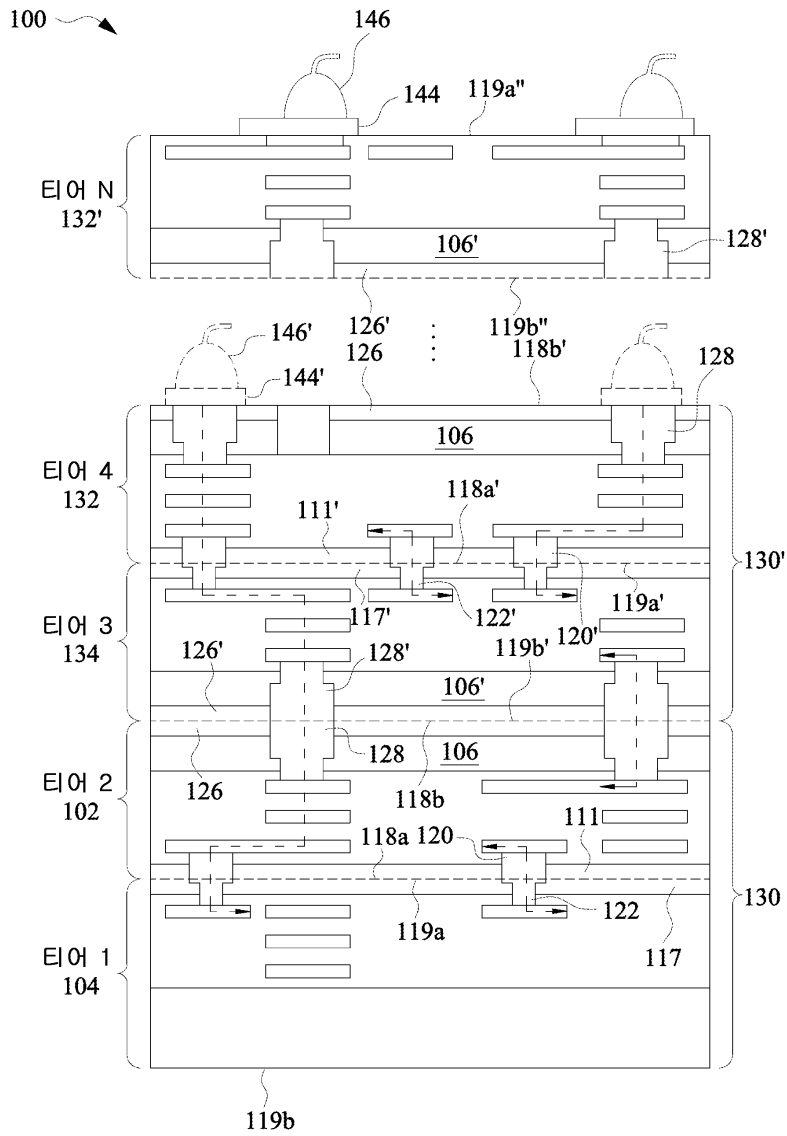
도면7



도면8



도면9



도면10

