

【公報種別】特許法第17条の2の規定による補正の掲載
【部門区分】第7部門第2区分
【発行日】平成20年7月31日(2008.7.31)

【公開番号】特開2007-123466(P2007-123466A)
【公開日】平成19年5月17日(2007.5.17)
【年通号数】公開・登録公報2007-018
【出願番号】特願2005-312332(P2005-312332)
【国際特許分類】

H 0 1 L 25/10 (2006.01)

H 0 1 L 25/11 (2006.01)

H 0 1 L 25/18 (2006.01)

【F I】

H 0 1 L 25/14 Z

【手続補正書】

【提出日】平成20年6月13日(2008.6.13)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】請求項7

【補正方法】変更

【補正の内容】

【請求項7】

前記上層モジュール接続端子のうちの少なくとも1つは、

前記第1のチップ接続端子と、前記第1の基板に埋め込まれた埋め込み配線及び前記埋め込み配線と前記上層モジュール接続端子とを電氣的に接続する非貫通導体を介在させて電氣的に接続されていると共に、

前記外部基板接続端子と、前記第1の基板を貫通する貫通導体を介在させて電氣的に接続され、

前記非貫通導体及び貫通導体は、前記上層モジュール接続端子の下側に設けられていることを特徴とする請求項1から4のいずれか1項に記載の積層半導体装置の下層モジュール。

【手続補正2】

【補正対象書類名】特許請求の範囲

【補正対象項目名】請求項11

【補正方法】変更

【補正の内容】

【請求項11】

前記複数の第1の半導体チップは、2個の前記第1の半導体チップが前記第1のチップ端子が設けられた面と反対側の面を互いに対向させて積層された積層チップとして前記第1のチップ保持面に保持されており、

前記2個の第1の半導体チップの一方の前記各第1のチップ端子は、対応する前記第1のチップ接続端子とフリップチップ方式によりそれぞれ電氣的に接続されており、

前記2個の第1の半導体チップの他方の前記各第1のチップ端子は、対応する前記第1のチップ接続端子とワイヤボンディング方式又はテープオートメテッドボンディング方式によりそれぞれ電氣的に接続されていることを特徴とする請求項10に記載の積層半導体装置の下層モジュール。

【手続補正3】

【補正対象書類名】特許請求の範囲

【補正対象項目名】請求項14

【補正方法】変更

【補正の内容】

【請求項 1 4】

複数の第 1 のチップ端子を有する第 1 の半導体チップと、前記第 1 の半導体チップの平面寸法よりも大きい第 1 のチップ保持面を有し、前記第 1 のチップ保持面の上に前記第 1 の半導体チップを保持した第 1 の基板とを含む下層モジュールと、

複数の第 2 のチップ端子を有する第 2 の半導体チップと、前記第 2 の半導体チップの平面寸法よりも大きい第 2 のチップ保持面を有し、前記第 2 のチップ保持面の上に前記第 2 の半導体チップを保持した第 2 の基板とを含む上層モジュールとを備え、

前記第 1 の基板は、

前記第 1 のチップ保持面に設けられ、前記各第 1 のチップ端子と電氣的に接続された複数の第 1 のチップ接続端子と、

前記第 1 のチップ保持面における前記第 1 の半導体チップの保持領域の外側部分に設けられた複数の上層モジュール接続端子と、

それぞれが前記第 1 のチップ保持面と反対側の面に設けられた複数の外部基板接続端子とを有し、

前記各第 1 のチップ接続端子は、前記外部基板接続端子とそれぞれ電氣的に接続され、

前記各上層モジュール接続端子は、前記第 1 のチップ接続端子と対応する前記外部基板接続端子との間にそれぞれ電氣的に接続されており、

前記第 2 の基板は、

前記第 2 のチップ保持面に設けられ、前記複数の第 2 のチップ端子のいずれかと電氣的に接続された複数の第 2 のチップ接続端子と、

前記第 2 のチップ保持面と反対側の面に設けられ、前記複数の第 2 のチップ接続端子のいずれかと電氣的に接続された複数の下層モジュール接続端子を有し、

前記下層モジュールと前記上層モジュールとは、前記第 1 のチップ保持面と、前記第 2 のチップ保持面と反対側の面とを対向させて積層され、

前記各下層モジュール接続端子は、前記複数の上層モジュール接続端子のいずれかと電氣的に接続されていることを特徴とする積層半導体装置。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0 0 2 2

【補正方法】変更

【補正の内容】

【0 0 2 2】

本発明の積層半導体装置の下層モジュールにおいて、上層モジュール接続端子のうちの少なくとも 1 つは、第 1 のチップ接続端子と、第 1 の基板に埋め込まれた埋め込み配線及び埋め込み配線と上層モジュール接続端子とを電氣的に接続する非貫通導体を介在させて電氣的に接続されていると共に、外部基板接続端子と、第 1 の基板を貫通する貫通導体を介在させて電氣的に接続され、非貫通導体及び貫通導体は上層モジュール接続端子の下側に設けられていることが好ましい。このような構成とすることにより、第 1 のチップ実装面に設ける配線は、第 1 のチップ接続端子近傍に設ける必要最小限の配線のみとなる。また、上層モジュール接続端子の下側の領域を有効利用することができるので、第 1 の基板の第 1 のチップ保持面側の配線パターンの設計の自由度を大きくすることができ、半導体装置の信頼性が向上する。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0 0 2 9

【補正方法】変更

【補正の内容】

【0 0 2 9】

本発明に係る積層半導体装置は、複数の第1のチップ端子を有する第1の半導体チップと、第1の半導体チップの平面寸法よりも大きい第1のチップ保持面を有し、第1のチップ保持面の上に第1の半導体チップを保持した第1の基板とを含む下層モジュールと、複数の第2のチップ端子を有する第2の半導体チップと、第2の半導体チップの平面寸法よりも大きい第2のチップ保持面を有し、第2のチップ保持面の上に第2の半導体チップを保持した第2の基板とを含む上層モジュールとを備え、第1の基板は、第1のチップ保持面の上に設けられ、各第1のチップ端子と電氣的に接続された複数の第1のチップ接続端子と、第1のチップ保持面の上における第1の半導体チップの保持領域の外側部分に設けられた複数の上層モジュール接続端子と、第1のチップ保持面と反対側の面の上に設けられた複数の外部基板接続端子とを有し、各第1のチップ接続端子は、外部基板接続端子とそれぞれ電氣的に接続され、各上層モジュール接続端子は、第1のチップ接続端子と対応する外部基板接続端子との間にそれぞれ電氣的に接続されており、第2の基板は、第2のチップ保持面の上に設けられ、複数の第2のチップ端子のいずれかと電氣的に接続された複数の第2のチップ接続端子と、第2のチップ保持面と反対側の面の上に設けられ、複数の第2のチップ接続端子のいずれかと電氣的に接続された複数の下層モジュール接続端子を有し、下層モジュールと上層モジュールとは、第1のチップ保持面と、第2のチップ保持面と反対側の面とを対向させて積層され、各下層モジュール接続端子は、複数の上層モジュール接続端子のいずれかと電氣的に接続されていることを特徴とする。