

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2007-535714

(P2007-535714A)

(43) 公表日 平成19年12月6日(2007.12.6)

(51) Int. Cl.	F I	テーマコード(参考)
G09G 3/30 (2006.01)	G09G 3/30 K	3K107
G09G 3/20 (2006.01)	G09G 3/20 611A	5C080
H01L 51/50 (2006.01)	G09G 3/20 641D	
	G09G 3/20 642P	
	G09G 3/20 623B	

審査請求 未請求 予備審査請求 未請求 (全 20 頁) 最終頁に続く

(21) 出願番号 特願2007-511087 (P2007-511087)
 (86) (22) 出願日 平成17年4月28日 (2005. 4. 28)
 (85) 翻訳文提出日 平成18年12月27日 (2006. 12. 27)
 (86) 国際出願番号 PCT/US2005/015169
 (87) 国際公開番号 W02005/104809
 (87) 国際公開日 平成17年11月10日 (2005. 11. 10)
 (31) 優先権主張番号 60/566, 191
 (32) 優先日 平成16年4月28日 (2004. 4. 28)
 (33) 優先権主張国 米国 (US)
 (31) 優先権主張番号 11/116, 799
 (32) 優先日 平成17年4月27日 (2005. 4. 27)
 (33) 優先権主張国 米国 (US)

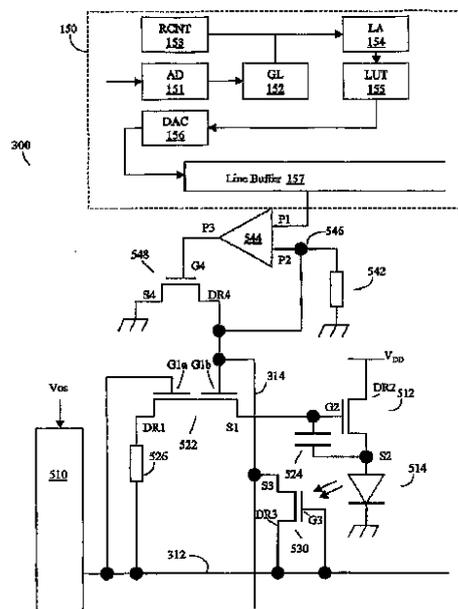
(71) 出願人 505467719
 ニューライト・コーポレイション
 N U E L I G H T C O R P O R A T I O N
 アメリカ合衆国95054カリフォルニア
 州 サンタ・クララ、スイート104、
 フリーダム・サークル3900番
 (74) 代理人 100101454
 弁理士 山田 卓二
 (74) 代理人 100081422
 弁理士 田中 光雄
 (74) 代理人 100125874
 弁理士 川端 純市

最終頁に続く

(54) 【発明の名称】 改良された安定型アクティブマトリクス発光ディスプレイ

(57) 【要約】

本発明の実施形態は、複数のピクセルを有するフラットパネルディスプレイを提供する。各ピクセルは、発光デバイスを介して流れる電流に従って発光するように構成される発光デバイスと、発光デバイスへ接続され、電流を発光デバイスを介して供給するように構成され、上記電流はトランジスタの制御端子へ印加されるランプ電圧に伴って増大するトランジスタと、指定されたレベルに達した発光デバイスの輝度に応答してオフ切換し、これによりトランジスタからランプ電圧を遮断して明るさを指定されたレベルに固定するように構成されるスイッチングデバイスとを備える。ランプ電圧は、周辺回路ではなく各ピクセル内で生成され、それにより、ディスプレイ内の導線の数が低減される。



【特許請求の範囲】

【請求項 1】

複数のピクセルを有するディスプレイであって、各ピクセルは、
発光デバイスを介して流れる電流に応答して発光するように構成され、前記発光デバイスの輝度は前記電流に依存する発光デバイスと、
前記発光デバイスに接続され、前記電流を前記発光デバイスを介して供給するように構成され、前記電流は前記トランジスタの制御端子へ印加されるランプ電圧に伴って増大し、前記ランプ電圧は前記ピクセルで生成されるトランジスタと、
指定されたレベルに達した前記発光デバイスの輝度に応答してオフに切り替え、それにより前記ピクセルの輝度を前記指定されたレベルに固定するように構成される第 1 のスイッチングデバイスとを備えるディスプレイ。

10

【請求項 2】

各ピクセルは、前記トランジスタへ接続され、かつ、前記ランプ電圧が前記トランジスタとの接続を切断した後に前記発光デバイスの輝度を前記指定されたレベルに保つように構成される電荷蓄電デバイス又はキャパシタをさらに備える請求項 2 記載のディスプレイ。

【請求項 3】

前記ピクセルは横列及び縦列に配置され、かつ、各々がピクセルの横列に関連付けられる横列ラインのセット、及び、各々がピクセルの縦列ラインに関連付けられる縦列のセットによって相互に接続され、

20

各ピクセルは、前記ピクセル内の第 1 のスイッチングデバイスと個々の横列ラインとの間に接続された抵抗体をさらに備え、

前記抵抗体及び前記キャパシタは、前記横列ラインに印加されたライン選択電圧に応答して前記ランプ電圧を生成するための RC ネットワークの少なくとも一部を形成する請求項 2 記載のディスプレイ。

【請求項 4】

各ピクセルに関連付けられる光センサをさらに備え、

前記光センサは、前記発光デバイスからの光の一部を入力するように配置されかつ前記発光デバイスの輝度に依存する電気パラメータを有する請求項 3 記載のディスプレイ。

【請求項 5】

前記光センサは、個々の横列ラインへ接続される制御端子を有する光トランジスタである請求項 4 記載のディスプレイ。

30

【請求項 6】

前記光センサは、
光電抵抗体と、

前記個々の横列ラインと個々の縦列ラインとの間で前記光電抵抗体と直列に接続された第 2 のスイッチングデバイスとを備え、

前記第 2 のスイッチングデバイスは前記個々の横列ラインに接続された制御ゲートを有する請求項 4 記載のディスプレイ。

【請求項 7】

各ピクセルにおける前記第 1 のスイッチングデバイスは、

個々の横列ラインへ接続された第 1 の制御端子と、

個々の縦列ラインへ接続された第 2 の制御端子とを有する請求項 4 記載のディスプレイ。

40

【請求項 8】

ピクセルの各縦列に関連付けられ、前記縦列内のピクセルの指定された輝度に対応する基準電圧を入力する第 1 の入力と、個々の縦列ラインを介して前記縦列内の各ピクセルに関連付けられる光センサへ接続される第 2 の入力とを有する電圧比較器をさらに備える請求項 7 記載のディスプレイ。

【請求項 9】

50

前記縦列内の各ピクセルにおける前記第 1 のスイッチングデバイスの前記第 2 の制御端子と接地との間に接続されかつ前記電圧比較器の出力へ接続される制御端子を有する第 3 のスイッチングデバイスをさらに備える請求項 8 記載のディスプレイ。

【請求項 10】

ディスプレイ内のピクセルの明るさを制御するための方法であって、

前記ピクセルにライン選択電圧を印加することと、

前記ピクセルにおいて、前記ライン選択電圧からランプ電圧を生成し、前記ランプ電圧は発光デバイスと直列に接続されるトランジスタのゲートへ印加され、それにより、前記トランジスタはオンにされかつ電流は前記発光デバイスを介して流され、前記発光デバイスの輝度レベルは前記ランプ電圧に伴って上昇することと、

10

前記発光デバイスからの光で光センサを照らし、それにより、前記光センサに関連付けられる電気パラメータを前記発光デバイスの輝度レベルに従って変化させることと、

前記ピクセルに対して指定されたレベルに達した前記発光デバイスの輝度レベルにตอบสนองして、前記トランジスタのゲートから前記ライン選択電圧を遮断し、これにより前記発光デバイスの輝度レベルがさらに上がらないように保つこととを含む方法。

【請求項 11】

前記トランジスタへ接続されるキャパシタを前記ランプ電圧で蓄電させ、前記キャパシタは、前記ライン選択電圧が前記トランジスタのゲートから遮断された後に前記光の明るさを前記指定されたレベルに保つことを含む請求項 10 記載の方法。

【請求項 12】

20

前記ランプ電圧を生成することは、前記ピクセルにおいて形成される RC ネットワークを使用して前記ランプ電圧を生成することを含む請求項 10 記載の方法。

【請求項 13】

前記ライン選択電圧を遮断することは、

電圧比較器の第 1 の入力へ基準電圧を供給し、前記基準電圧は前記ピクセルの指定された輝度に対応することと、

前記電圧比較器の第 2 の入力へセンサ電圧を接続し、前記センサ電圧は、前記光センサに関連付けられる前記電気パラメータに依存することと、

前記基準電圧以上のセンサ電圧にตอบสนองして前記電圧比較器からの出力を変更し、それにより、前記ライン選択電圧と前記トランジスタのゲートとの間に接続される第 1 のスイッチングデバイスをオフにすることとを含む請求項 12 記載の方法。

30

【請求項 14】

前記電圧比較器からの出力を変更することは、前記第 1 のスイッチングデバイスの制御端子と接地との間に接続される第 2 のスイッチングデバイスの各々「オフ」状態及び「オン」状態に対応する論理ローから論理ハイへ前記出力を変更し、前記第 2 のスイッチングデバイスは、前記電圧比較器の出力へ接続される制御端子を有することを含む請求項 13 記載の方法。

【請求項 15】

ディスプレイ内のピクセルであって、

発光デバイスを介して流れる電流にตอบสนองして発光するように構成され、前記発光デバイスの輝度は前記電流に依存する発光デバイスと、

40

前記電流を前記発光デバイスを介して供給するように構成され、前記電流は前記トランジスタの制御端子へ印加されるランプ電圧に伴って増大し、前記ランプ電圧は前記ピクセルにおいて前記ピクセルに印加されるライン選択電圧から生成されるトランジスタと、

指定されたレベルに達した前記発光デバイスの輝度にตอบสนองして、前記ライン選択電圧を前記トランジスタから遮断するように構成される第 1 のスイッチングデバイスとを備えるピクセル。

【請求項 16】

各ピクセルにおける前記第 1 のスイッチングデバイスは、第 1 の導電ラインへ接続される第 1 の制御端子と、第 2 の導電ラインへ接続される第 2 の制御端子と、前記第 1 の導電

50

ラインへ抵抗体を介して接続される入力と、前記トランジスタの制御端子へ接続される出力とを有する請求項 15 記載のディスプレイ。

【請求項 17】

前記トランジスタの制御端子へ接続されるキャパシタ又は電荷蓄電デバイスをさらに備え、

前記キャパシタ及び前記抵抗体は共に前記ピクセルにおいて前記ランプ電圧を生成するための RC ネットワークの少なくとも一部を形成し、

前記 RC ネットワークの RC 定数は前記ディスプレイのラインアドレス時間に従って選択される請求項 16 記載のディスプレイ。

【請求項 18】

前記ピクセルはガラス基板上に形成され、前記第 1 及び第 2 の導電ラインは前記ピクセルを前記ディスプレイに関連付けられたガラスから離れた制御回路へ接続する請求項 16 記載のディスプレイ。

【請求項 19】

各ピクセルに関連付けられかつ前記第 1 及び第 2 の導電ライン間に接続される光センサをさらに備える請求項 16 記載のピクセル。

【請求項 20】

前記第 1 のスイッチングデバイスの第 2 の制御端子はさらに、制御回路の出力へ接続される制御ゲートを有する第 2 のスイッチングデバイスを介して前記接地へ接続され、前記出力は、前記指定されたレベルに達したピクセルにおける前記発光デバイスの輝度に応答して、前記第 2 のスイッチングデバイスの論理ローから前記第 2 のスイッチングデバイスの論理ハイへ切り替わる請求項 16 記載のディスプレイ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、「安定型フラットパネルディスプレイ」と題する、2004年4月28日に提出された米国仮特許出願第60/566,191号に対し、米国特許法第119条及び/又は米国特許法第120条に規定されかつこれらに基づく利益及び優先権を主張するものであり、上記仮出願の開示内容は全て、参照により本明細書に含まれる。

【0002】

本発明は、アクティブマトリクス発光ディスプレイに関し、具体的には、改良された安定型アクティブマトリクス発光ディスプレイとその動作方法に関する。

【背景技術】

【0003】

フラットパネルディスプレイ (FPD) は、典型的には画素 (又はピクセル) のアレイを含む。ピクセルのための画像データは電気信号に変換され、その電気信号は、ピクセルへ供給されて、液晶ディスプレイ (LCD) におけるようにピクセルを通過するバックライトの量を制御し、あるいは、例えばエレクトロルミネセント LCD ディスプレイ又は有機発光ダイオード (OLED) ディスプレイにおけるように指定された光量をピクセルに発光させる。アクティブマトリクスディスプレイは、概して、横列及び縦列で配置されるピクセルのアレイを含み、各ピクセルは、サンプルホールド回路と、ディスプレイが発光ディスプレイであれば、パワー薄膜トランジスタ (TFT) とを含む。アクティブマトリクスの1つの優位点は、ピクセルの瞬間的明るさがピクセルの平均明るさに近くなるように、ディスプレイのピクセルの各ラインがフレーム全長に渡ってその個々の輝度値に維持されることにある。これに対して、パッシブディスプレイにおけるピクセルは、一度に1つのラインしか駆動されず、よって各ラインは平均明るさにライン数を乗じたものに等しい瞬間的明るさを有していなければならない。アクティブマトリクスディスプレイは、概して、パッシブディスプレイに比べて寿命が長く、電力消費量は低く、ラインの性能の容量は何倍にもなる。概して、フルカラーモニタ、ラップトップ及びビデオフラットパネルの各ディスプレイは全てアクティブマトリクスを採用する一方、低解像度の単色、エリア

10

20

30

40

50

カラー又はアイコンはパッシブ型である。

【発明の開示】

【発明が解決しようとする課題】

【0004】

アクティブマトリクスOLEDディスプレイでは、各ピクセルは、典型的にはOLEDと、上記OLEDへ接続されたパワー薄膜トランジスタ(TFT)とを備える。電圧はピクセル内のパワートランジスタのゲートに印加され、OLEDへ電流が供給される。ゲート電圧が高いほど電流は高く、ピクセルの輝度は大きくなる。製造公差に起因して、パワートランジスタの電流パラメータは、典型的にはピクセル毎に変わる。また、OLEDにより放射される光の量も、OLEDの電流-光変換効率、OLEDの使用年数、個々のピクセルの露光環境及び他の要因に依存して変わる。例えば、ディスプレイの端にあるOLEDは中央部に近い内側のものとは異なって老朽化し、直射日光を受けるOLEDは日陰にあるもの、又は部分的に陰になるものとは異なって老朽化する可能性がある。従って、発光型ディスプレイにおいては、均一性がしばしば課題となる。

10

【0005】

幾つかのモノクロ階調を生成する必要があるディスプレイはいずれも、モノクロの1階調よりも多い均一性の測度を有するべきである。例えば、モノクロの100の階調を有するディスプレイは、100の明るさレベルを生成するために1%の均一性を必要とする。1000のモノクロレベルでは、0.1%の輝度均一性が望ましい。しかしながら、このような高レベルの均一性を生成することはしばしば困難であり、かつ/あるいは、薄膜エ

20

【0006】

均一性の問題に加えて、アクティブマトリクス発光ディスプレイは、過剰な量の電力を消費するように設計されることが多い。電圧データを、パワーTFTを介して指定された電流へ、延てはOLEDの指定された輝度へ正確に変換するためには、OLEDの輝度の変化に起因するTFTの負荷の変化がパワーTFTから出力される電流の変化を引き起こすべきではない。従って、パワーTFTは電流源として作用すべきであって、負荷の変化に伴って出力される電流を変化させるべきではない。パワーTFTが電流源として作用するためには、パワーTFTを通る電圧は飽和モードにおいてパワーTFTをバイアスしなければならない。パワーTFTがディスプレイの寿命に渡って飽和モードで動作することを保証するために、電源からの過剰な電圧量は、典型的には、パワーTFT及びOLEDに渡って印加されて、ディスプレイの寿命の間に発生が予測されるTFTしきい値電圧のシフト、OLEDの経年変化及びこれらに類似するもの等の効果によって引き起こされる変化を補償する。

30

【0007】

従って、パワーTFTによる過剰な電力損がもたらされることのない、ピクセル輝度を良好に制御しかつディスプレイの均一性要件を満たすディスプレイに対する要求が存在する。

【課題を解決するための手段】

【0008】

本発明の実施形態は、複数のピクセルを有するディスプレイを提供する。各ピクセルは、発光デバイスを介して流れる電流に応答して光又は光子を放射するように構成される発光デバイスを備える。上記発光デバイスの輝度は、上記発光デバイスを通して流れる電流に依存する。各ピクセルはさらに、上記発光デバイスへ接続され、電流を上記発光デバイスを介して供給するように構成されるトランジスタを備え、上記電流は上記トランジスタの制御端子へ印加されるランプ電圧に伴って増大する。各ピクセルはさらに、指定されたレベルに達した上記発光デバイスの輝度に応答してオフに切り替えられ、これによりランプ電圧がさらに増大することを停止しかつピクセル輝度を指定されたレベルに固定するように構成されるスイッチングデバイスを備える。上記スイッチングデバイスはさらに、オフの状態を維持し、それにより、上記発光デバイスの輝度が、ピクセルが次のフレームで

40

50

書き換えられるまで指定されたレベルに維持されることが可能になるように構成される。

【0009】

実施形態によっては、ランプ電圧は各ピクセル内で生成され、それにより、別々の導電ラインがピクセルの各ラインをランプ電圧源へ接続する必要がなくなる。さらなる実施形態では、各ピクセルに、上記ピクセル輝度のフィードバック測度を供給するための光センサが供給される。上記フィードバック測度は、ピクセルの縦列に関連付けられる導電ラインを介して制御回路へ供給される。上記導電ラインはまた、上記ピクセルの縦列における各スイッチングデバイスの制御ゲートを上記制御回路へ接続する。上記制御回路は、指定された上記ピクセル輝度に対応する基準レベルに到達した上記フィードバック測度に応答して上記スイッチングデバイスをオフにするように構成される。

10

【0010】

本発明の実施形態はまた、ディスプレイにおけるピクセルの明るさ又は輝度を制御するための方法をも提供する。本方法は、ライン選択電圧を1つのピクセルのラインに関連付けられる横列ラインへ出力し、それにより、上記ピクセルの各ラインにおけるスイッチングデバイスがオンにされることを含む。本方法はさらに、上記ピクセルの各ラインにおいてランプ電圧を生成し、上記ランプ電圧はパワーTF Tのゲートへ印加されて上記TF Tに電流を伝導させることを含む。上記電流は、上記パワーTF Tへ直列に接続される発光デバイスを介して流れ、上記発光デバイスを発光させる。本方法はさらに、ピクセルに関連付けられる光センサを使用して上記ピクセル内で放射される光の一部を検出することを含んでもよく、上記センサは、上記ピクセルの輝度のフィードバック測度を、同じくピクセルの各縦列における上記スイッチングデバイスを制御回路へ接続している縦列ラインを介してピクセルの縦列に関連付けられる上記制御回路へ供給する。本方法はさらに、上記ピクセルの指定された輝度に対応する基準レベルに到達した上記フィードバック測度に応答して上記ピクセル内の上記スイッチングデバイスをオフにすることを含んでもよい。上記スイッチングデバイスは、上記制御回路を介して上記縦列ラインの上記電圧を接地するもしくは降下させることによってオフにされる。

20

【発明を実施するための最良の形態】

【0011】

本発明の実施形態は、改良された安定型発光ディスプレイ及びその動作方法を提供する。本明細書において説明される実施形態は、ディスプレイ内のピクセルを制御回路に相互接続する導電ラインの数が低減されたディスプレイ回路を提供することにより、信頼性を向上させ、かつディスプレイ製造に付随するコストを低減する。

30

【0012】

図1Aは、本発明の一実施形態に係るフラットパネルディスプレイ等の例示的な発光フィードバックディスプレイの一部であるディスプレイ回路10を示すブロック図である。図1Aに示すように、ディスプレイ回路10は、発光源110と、発光源110の輝度を変えるように構成される発光ドライバ120と、発光源110から放射される光の一部を入力するように配置されかつ入力される光に依存する関連の電気パラメータを有する光センサ130と、センサ130の電気パラメータの変化に基づいてドライバ120を制御するように構成される制御ユニット140と、発光源110の所望される輝度レベルに対応する信号を制御ユニット140へ供給するように構成されるデータ入力ユニット150とを備える。

40

【0013】

ディスプレイ回路10の動作中、データ入力150は発光源110から光の所望される明るさ(又は輝度)に対応する画像電圧データを入力し、上記画像電圧データを制御ユニット140が使用するための基準電圧に変換する。ピクセルドライバ120は、センサ130における電気パラメータが基準電圧に対応する一定の値に到達するまで発光源110からの発光を変化させ、到達した時点で、制御ユニット140がドライバ120へ制御信号を接続して発光の変化を停止させるように構成される。ドライバ120はまた、発光の変化が停止した後に発光源110からの発光を所望される明るさに保つためのメカニズム

50

を含む。

【0014】

図1Aは、1つの発光源110及び1つのセンサ130のみを示しているが、実際には、ディスプレイ回路10を使用するディスプレイ内に発光源のアレイ及びセンサのアレイが存在してもよい。本発明の一実施形態に係るディスプレイ100を示すブロック図である図1Bを参照すると、ディスプレイ100は、各々がドライバ120と発光源110とを有する複数のピクセル115と、各々が1つのピクセルに対応する複数のセンサ130とを備える。ディスプレイ100はさらに、縦列制御回路44と、横列制御回路46とを備える。各ピクセル115は、縦列ライン55を介して縦列制御回路44へ接続されかつ横列ライン56を介して横列制御回路46へ接続される。各センサ130は、センサ横列ライン70を介して横列制御回路46へ接続されかつセンサ縦列ライン71を介して縦列制御回路44へ接続される。一実施形態では、制御ユニット140及びデータ入力ユニット150は少なくとも部分的に縦列制御回路44内に備えられる。

10

【0015】

ある実施形態では、各センサ130は個々のピクセル115に関連付けられ、上記ピクセルから放射される光の一部を入力するように位置づけられる。横列制御回路46は、例えば、センサの選択された横列を横列制御回路46へ接続する選択されたセンサ横列ライン70の電圧を上げることによって、選択されたセンサ横列60を起動するように構成される。縦列制御回路44は、センサの選択された横列に関連付けられる電気パラメータの変化を検出し、上記電気パラメータの変化に基づいてピクセル115の対応する横列の輝度を制御するように構成される。こうして、各ピクセルの輝度は、センサ130からのフィードバックに基づいて指定されたレベルに制御され得る。他の実施形態では、センサ130はピクセル輝度のフィードバック制御以外の目的で、又はこれに追加して使用されてもよく、ディスプレイ内のピクセル又はサブピクセル115より多い、又は少ないセンサ130が存在してもよい。

20

【0016】

図2は、ディスプレイ回路100の一実装を示すものである。明確化のために、1つのピクセルとその関連のセンサのみが示されている。実際には、ディスプレイ100は、図1Bに示すように多くのピクセル及びセンサを備えてもよい。図2を参照すると、ディスプレイ100は、発光源110としての発光デバイス214と、ドライバ120の一部としてのパワートランジスタ212、スイッチングデバイス222及び電荷蓄電デバイス又はキャパシタ224と、センサ130としての光センサ(OS)230及び任意選択の分離デバイス232と、制御ユニット140の一部としての分圧抵抗242及び比較器244とを備える。

30

【0017】

ディスプレイ100はさらに、ランプ電圧VRを入力し、横列ラインVR1等の横列ラインを選択して上記ランプ電圧VRを出力するように構成されるランプセクタ(RS)210を備える。回路100はさらに、ライン選択電圧V_{os}を入力し、センサの横列ラインV_{os}1等のセンサの横列ラインを選択して上記ライン選択電圧V_{os}を出力するように構成されるラインセクタ(V_{os}S)を備える。RS210及びV_{os}S220は、シフトレジスタを使用して実装され得る。

40

【0018】

光センサ(OS)230はセンサ横列ライン(例えば、V_{os}1)へ接続され、分圧抵抗242は分離TF232を介してOS230と接続される。比較器244は、データ入力ユニット150へ接続される第1の入力P1と、OS230と分圧抵抗242との間の回路ノード246へ接続される第2の入力P2と、出力P3とを有する。スイッチングデバイス222は、センサ横列ライン(例えば、V_{os}1)へ接続される第1の制御端子G1aと、縦列ライン55を介して比較器244の出力P3へ接続される第2の制御端子G1bと、横列ライン(例えば、VR1)へ接続される入力DR1と、トランジスタ212の制御端子G2へ接続される出力S1とを有する。キャパシタ224は、制御端子G2

50

と回路ノードS2との間へ接続され、回路ノードS2はトランジスタ212と発光デバイス214との間へ接続される。あるいは、キャパシタ224は、トランジスタ212の制御端子G2と接地との間、制御端子G2とトランジスタ212のドレインDR2との間又はトランジスタ212の制御端子G2と電源V_{DD}との間へ接続されてもよい。

【0019】

各OS230は、入力される光電子放射に依存して、抵抗、キャパシタンス、インダクタンス又はこれらに類似するパラメータ、性質又は特性等の測定可能な性質を有する適切なセンサであれば、どんなセンサであってもよい。OS230の一例は、抵抗値が入射する光子束に伴って変わる光電抵抗体である。従って、各OS230は、その材料の表面へ落下する又は衝突する輻射の強度によって変化する1つ以上の電気特性を有する少なくとも一種の材料を含んでもよい。このような材料には、アモルファスシリコン(a-Si)、セレン化カドミウム(CdSe)、シリコン(Si)及びセレン(Se)が含まれるが、この限りではない。光ダイオード及び/又は光トランジスタを含む、但しこれらに限定されない他の輻射検知センサもまた使用されてもよく、あるいは上記センサが代替的に使用されてもよい。

10

【0020】

分離トランジスタ等の分離デバイス232が光センサ230を絶縁するために提供されてもよい。分離トランジスタ232は、第1及び第2の端子及び制御端子を有し、上記第1及び第2の端子間の導電性が制御端子へ印加される制御電圧によって制御可能である任意タイプのトランジスタであってもよい。一実施形態では、分離トランジスタ232は、ドレインDR3である第1の端子と、ソースS3である第2の端子と、ゲートG3である制御端子とを有するTFTである。分離トランジスタ232は、G3の制御端子がV_{OS1}へ接続され、第1及び第2の端子がセンサ縦列ライン71を介して各々OS230及び抵抗体242へ、又は各々V_{OS1}及びOS230へ接続されて、OS230とセンサ縦列ライン71との間でOS230へ直列に接続される。以下の論考では、OS230及び分離トランジスタ232を共にセンサ130と称す場合がある。

20

【0021】

発光デバイス214は、概して、デバイスを介する電流又はデバイス全体の電圧等の電氣的測度に応答して発光又は光子等の輻射を生成する、技術上周知のどんな発光デバイスであってもよい。発光デバイス214の例には、任意の波長又は複数の波長で発光する発光ダイオード(LED)及び有機発光ダイオード(OLED)が含まれるが、この限りではない。エレクトロルミネセンスセル、無機発光ダイオード、並びに真空蛍光ディスプレイ、電界放射ディスプレイ及びプラズマディスプレイにおいて使用されるものを含む、但しこれらに限定されない他の発光デバイスが使用されてもよい。一実施形態では、OLEDが発光デバイス214として使用される。

30

【0022】

以後、発光デバイス214をOLED214という場合がある。但し、本発明が発光デバイス214としてのOLEDの使用に限定されないことは認識されるであろう。さらに、本発明をフラットパネルディスプレイに関連して説明する場合があるが、本明細書に記述している実施形態の多くの態様がフラット型ではない、もしくはパネルとして構築されないディスプレイにも適用可能であることは認識されるであろう。

40

【0023】

トランジスタ212は、第1の端子と、第2の端子と、少なくとも1つの制御端子とを有し、上記第1及び第2の端子間の電流は制御端子へ印加される制御電圧に依存するどんなタイプのトランジスタ又は制御デバイスであってもよい。一実施形態では、トランジスタ212は、ドレインDR2である第1の端子と、ソースS2である第2の端子と、ゲートG2である制御端子とを有するTFTである。トランジスタ212と発光デバイス214とは、トランジスタ212の第1の端子DR2がV_{DD}へ接続され、トランジスタ212の第2の端子S2が発光デバイス214へ接続され、制御端子G2がスイッチングデバイス222を介してランプ電圧出力VRへ接続されて、電源V_{DD}と接地との間で直列に

50

接続される。

【0024】

一実施形態では、スイッチングデバイス222はダブルゲート型TFT、即ちチャンネルは単一であるが2つのゲートG1a及びG1bを有するTFTである。TFT222が導電するためには、論理ハイが両ゲートへ同時に印加される必要があることから、ダブルゲートは論理におけるAND関数のように作用する。ダブルゲート型TFTが好適ではあるが、論理におけるAND関数を実装するスイッチングデバイスであればいずれもスイッチングデバイス222としての使用に適する。例えば、直列に接続された2つのTFT又は他のタイプのトランジスタがスイッチングデバイス222として使用されてもよい。ダブルゲート型TFT又はスイッチングデバイス222として論理におけるAND関数を実装する他のデバイスの使用は、ピクセル間のクロストークの低減を促進する。これについては、後に詳述する。クロストークが懸念事項でない場合、もしくは他の手段を使用してクロストークが低減又は排除される場合、ゲートG1a及びV_{os1}へのその接続は必要がなく、比較器244の出力P3へ接続される単一の制御ゲートを有するTFTがスイッチングデバイス222として使用されてもよい。

10

【0025】

図2はまたデータ入力ユニット150のブロック図を示し、上記ユニットは、入力されるアナログ画像電圧データに対応するデジタル値に変換するように構成されるアナログ/デジタル変換器(A/D)151と、A/D151へ接続されかつ上記デジタル値に対応するグレースケールレベルを生成するように構成される任意選択のグレースケール計算機(GL)152と、上記画像電圧データのライン番号及び縦列番号を生成するように構成される横列/縦列トラックユニット(RCNT)153と、RCNT153へ接続されかつ上記ライン番号及び縦列番号に対応するディスプレイ回路100内のアドレスを出力するように構成される較正ルックアップテーブルアドレス(LA)154と、上記GL152及び上記LA154へ接続される第1のルックアップテーブル(LUT)155とを備える。データ入力ユニット150はさらに、LUT155へ接続されるデジタル/アナログ変換器(DAC)156と、上記DAC156へ接続されるラインバッファ(LB)157とを備える。

20

【0026】

一実施形態では、LUT155は、既知の輝度を有する光源に対して光センサ230を較正する較正プロセスの間を取得される較正データを格納する。例示的な較正プロセスは、各々が参照により本明細書に含まれる、2004年6月17日に出願された「アクティブマトリクスディスプレイの制御方法と装置」と題する同一出願人に譲渡された米国特許出願第10/872,344号及び2004年5月6日に出願された「ピクセル発光の制御方法と装置」と題する同一出願人に譲渡された米国特許出願第10/841,198号において論じられている。較正プロセスは、各グレースケールレベルについて、各ピクセルの回路ノード246における分圧器の電圧レベルを生成する。非限定的な一例として、8ビットのグレースケールは0乃至255の輝度レベルを有し、テレビ画面の場合、255番目のレベルは300ニト等の選ばれたレベルである。残りの254レベルの各々の輝度レベルは、肉眼の対数応答に従って割り当てられ、ゼロレベルは発光なしに対応する。

30

40

【0027】

ピクセル輝度の各レベルは、光センサOS230と分圧抵抗242との間の回路ノード246上で特定の電圧を生成すべきである。これらの電圧値は、ルックアップテーブルLUT155に較正データとして格納される。従って、LUT155は、LA154により供給されるアドレス及びGL152により供給されるグレースケールレベルに基づいて、格納された較正データから較正された電圧を生成しかつ上記較正された電圧をDAC156へ供給し、DAC156は、この較正された電圧をアナログ電圧値に変換し、そのアナログ電圧値をLB157へダウンロードする。ディスプレイ100におけるピクセルの横列に関する画像データ電圧は連続してA/D変換器151へ送られ、その各々は基準電圧に変換され、LB1がその横列におけるあらゆるピクセルに関して基準電圧を格納するま

50

でLB1 156内に格納される。ラインバッファ157は、アドレスに対応する縦列に関連付けられる比較器244の入力P1へ、ピクセルの横列の各々のアナログ電圧値を基準電圧として供給する。

【0028】

ある実施形態では、比較器244は、その2つの入力P1及びP2における電圧レベルを比較して、P1がP2より大きければその出力P3において正の電源レール（例えば、+10ボルト）を生成しかつP1がP2以下であれば負の電源レール（例えば、0ボルト）を生成する電圧比較器である。正の電源レールは、スイッチングデバイス222の論理ハイに対応する一方、負の電源レールは、スイッチングデバイス222の論理ローに対応する。図2に示すピクセルを含む横列等のピクセルの横列の選択に際して、ランプセクタ210は、ピクセルのその横列に対応する横列ライン（例えば、VR1）を選択してランプ電圧VRを出力し、VosSは、センサ横列ライン（例えば、Vos1）を選択して横列の選択電圧Vosを出力する。まず、OLED214が発光する前は、OS230は電流の流れに対して最大抵抗を有し、分圧抵抗242の抵抗RがOS230の抵抗に比較して小さいことからVC244の入力ピンP2の電圧は最小である。よって、ピクセルの1つの横列の基準電圧がラインバッファ157へ書き込まれると、各比較器244の入力P1に基準電圧が供給され、各比較器244内の入力P2は接地されることから、ピクセルの各横列におけるゲートG1bは開放され、比較器244は出力P3において正の電源レールを生成することになる。

10

【0029】

これとほぼ同時に、シフトレジスタVos220はライン選択電圧Vos（例えば、+10ボルト）をラインVos1へ送り、横列1内の各スイッチングデバイス224のゲートG1aをオンにし、よって（ゲートG1bは既にオンであることから）スイッチングデバイス222自体をもオンにする。ラインVos1の電圧Vosは、ピクセルの第1の横列の各々におけるOS230及びトランジスタ232のゲートG3へも印加され、トランジスタ232が導電され、電流がOS230を介して流される。同じくこれとほぼ同時に、シフトレジスタRS210はランプ電圧VR（例えば、0ボルトから10ボルトまで）をラインVR1へ送り、上記ランプ電圧は、スイッチングデバイス222が導電していることから横列1における各ピクセル内の蓄電キャパシタ224及びトランジスタ212のゲートG2へ印加される。ラインVR1の電圧がランプアップされるにつれて、キャパシタ224は漸増的に荷電され、ピクセルの第1の横列の各々におけるトランジスタ212及びOLED214を流れる電流は増大し、OLEDからの発光も増大する。横列1内の各ピクセルにおけるOLED214からの増大する発光は上記ピクセルに関連付けられるOS230で降下し、OS230に関連付けられる抵抗を下げ、従って、抵抗体242に渡る電圧又は比較器244の入力P2における電圧を上げる。

20

30

【0030】

これは、OLED214が上記ピクセルの指定された輝度に到達し、入力P2における電圧が比較器244の入力P1における基準電圧に等しくなるまで、上記ピクセルにおけるOLED214がランプ電圧VRの増大により輝度をランプアップするに伴って、選択された横列内の各ピクセルにおいて継続される。これに応じて、比較器244の出力P3は正の電源レールから負の電源レールに変わって上記ピクセルにおけるスイッチングデバイス222のゲートG1bをオフにし、従って、スイッチングデバイス自体をオフにする。スイッチングデバイス222がオフにされることにより、上記ピクセルにおけるトランジスタ212のゲートGへVRのさらなる増大が印加されることはなくなり、ゲートG2とトランジスタ212の第2の端子S2との間の電圧は上記ピクセルにおけるキャパシタ224によって一定に保たれる。従って、上記ピクセルにおけるOLED214からの発光レベルは、上記ピクセルに関連付けられる電圧比較器244のピン、即ちP1に印加される較正された基準電圧により決定される通りの所望されるレベルに保持又は固定される。

40

【0031】

50

ランプ電圧 V_R がその最大値まで増大するために要する持続時間は、ラインアドレス時間と呼ばれる。500のラインを有しかつ毎秒60フレームで駆動されるディスプレイでは、ラインアドレス時間は約33マイクロ秒又はそれ以下である。従って、選択された横列内の全ピクセルは、このラインアドレス時間の終わりまでにその個々の所望される発光レベルになる。また、これにより、ディスプレイ100における選択された横列の書込みが完了する。選択された横列が書き込まれた後、水平方向のシフトレジスタ $V_{os}S220$ 及び $RS210$ は各々ライン $VR1$ 及び $V_{os}1$ をオフにしてスイッチングデバイス 222 及び分離トランジスタ 232 をオフにし、これにより、蓄電キャパシタ 224 の電圧が固定され、上記横列における光センサ 230 が各縦列に関連付けられる電圧比較器 244 から絶縁される。これが発生すると、抵抗 R に電流が流れないことから各比較器 244 のピン $P2$ の電圧は接地へ向かい、電圧比較器 244 の出力 $P3$ が正の電源レールへ戻され、関連の各ピクセルにおけるスイッチングデバイス 222 のゲート $G1b$ がオンに戻されてディスプレイ100におけるピクセルの次の横列の書込みの準備が整う。

10

【0032】

次の横列の書込みの間、次の横列に関連付けられる画像データが $A/D151$ へ供給され、ランプセクタ $RS210$ は次の横列に関連付けられる横列ラインを選択してランプ電圧 V_R を出力し、ラインセクタ $V_{os}S220$ は次の横列に関連付けられるセンサ横列ラインを選択してライン選択電圧 V_{os} を出力し、これらがオンにされるまで、ピクセルの次の横列に対して先のオペレーションが繰り返される。これは、ディスプレイ100内の全ての横列がオンにされるまで継続され、次いでフレームが反復される。図2に描かれた実施形態では、各スイッチングデバイス 222 はダブルゲート、即ちゲート $G1a$ 及びゲート $G1b$ を有し、各横列内の各スイッチングデバイス 222 のゲート $G1a$ は $V_{os}1$ 等の個々のセンサ横列ラインによって保持される。よって、後続の横列の書込みの間、ゲート $G1b$ は導電されてもよいが、選択されていない横列内のスイッチングデバイス 222 は、それらに関連付けられるセンサ横列ラインが選択されていないことからオフに維持される。こうして、選択されていない横列内の各ピクセルにおけるキャパシタ 224 は、他のピクセルにおけるキャパシタ 224 から遮断されることが保持される。これにより、書込みが行われたばかりの横列内の異なるピクセルにおけるキャパシタ 224 間のクロストークが排除され、よって、選択されていない横列内の各ピクセルは、後続の横列の書込みの間に所望される発光レベルを出力し続ける。

20

30

【0033】

上述の実施形態は、ディスプレイ内の各ピクセルの輝度を制御する発光フィードバック制御システムを提供する。ディスプレイ100内の各ピクセル 115 の輝度はトランジスタ 212 に関連付けられる電圧 - 電流関係に依存するのではなく、指定された画像グレースケールレベル及びピクセル輝度自体のフィードバックによって制御されることから、上述の実施形態は、従来の技術を使用して構築されるものより安定したディスプレイを提供する。これらの実施形態はまた、トランジスタ 212 が不飽和領域において動作することを可能にし、よって、ディスプレイ100の操作電力が節約される。

【0034】

しかしながら、ディスプレイ100は、センサアレイを包含することに起因して、従来のフラットパネルディスプレイより多い導電ラインを必要とする。図1B及び図2に示すように、ピクセル及びセンサを横列及び縦列制御回路 46 及び 44 内の個々の制御回路へ接続するために、各横列には横列ライン 56 (例えば、 $VR1$) に加えてセンサ横列ライン 70 (例えば、 $V_{os}1$) が供給され、かつ各縦列には縦列ライン 55 に加えてセンサ縦列ライン 71 が供給される。従来の典型的なフルカラー VGA ディスプレイでは、電力及び接地用の導電ラインに加えて、1,920本の縦列ライン及び480本の横列ラインが存在してもよい。ディスプレイ100では、センサ横列ライン及びセンサ縦列ラインを追加することによってこの数が2倍になる場合もあり、例えばディスプレイガラス上には4,800本を超える導電ラインが必要になる。幾つかの又は全ての制御回路は、その上にピクセル及び/又はセンサが形成されるガラスから離して製造されてもよいことから、

40

50

導電ラインと制御回路とを接続するためにケーブルが供給されることが多く、各ケーブルは、導電ラインへ接続される一端と、ガラスから離れた制御回路における端子へ接続される他端とを有する。従って、ディスプレイ 100 は、ケーブルの両端にほぼ 10,000 個の電気接続部を必要とする場合がある。

【0035】

ディスプレイ 100 内に追加される導電ラインはディスプレイ上の空間を占有し、ピクセルの間隙を減らす。さらに、導電ラインは横列と縦列に及ぶことから、これらは互いに交差する必要がある、かつ 1 つ以上の誘電層によって互いから絶縁される必要がある。各交差点は、誘電層内に存在する可能性のある任意のピンホールを介する潜在的な短絡である。従って、追加される導電ラインは、交差点の数の増大に起因する収率損失を増大させる。さらに、あらゆる電氣的接続部は信頼性に関する潜在的課題となる可能性があり、ケーブルの使用に付随する電氣的接続部の数の増加により、ディスプレイに付随する信頼性に関する潜在的課題の数が増える。

10

【0036】

図 3 を参照すると、本発明の代替実施形態に係るディスプレイ 300 は複数のピクセル 310 を備え、各ピクセル 310 は横列ライン 312 を介して横列選択回路 322 へ接続され、かつ縦列ライン 314 を介して縦列制御回路 324 へ接続される。ディスプレイ 300 はさらに、各々がピクセル 310 に関連付けられる複数のセンサ 330 を備える。図 1B に示す、センサを各々横列制御回路 46 及び縦列制御回路 44 へ接続するためにセンサ横列ライン 70 の別個のセット及びセンサ縦列ライン 71 の別個のセットを必要とするディスプレイ 100 とは異なり、ディスプレイ 300 内の各センサ 330 は、横列ライン 312 の 1 つを介して横列選択回路 322 へ、かつ縦列ライン 314 の 1 つを介して縦列制御回路 324 へ接続され、故に、センサ横列ラインの別個のセット及びセンサ縦列ラインの別個のセットの必要がない。

20

【0037】

ピクセル 310 は、図 3 に示すように概して正方形であるが、矩形、円形、楕円形、六角形、多角形又は他の任意の形状等のどんな形状であってもよい。ディスプレイ 300 がカラーディスプレイであれば、ピクセル 310 も、各グループが 1 つのピクセルに対応するグループ別に編成されたサブピクセルであってもよい。グループ内のサブピクセルは、効果的には、対応するピクセルに関して指定されるエリアの一部をそれぞれが占有する幾つか（例えば 3 つ）のサブピクセルを包含すべきである。例えば、各ピクセルが正方形の形状であれば、そのサブピクセルは概してピクセルと同じ高さであるが、幅は正方形の一部（例えば 3 分の 1）でしかない。サブピクセルは、同一のサイズ又は形状であっても、異なるサイズ又は形状であってもよい。各サブピクセルは、ピクセル 310 と同じ回路エレメントを含んでもよく、ディスプレイ内のサブピクセルは、図 3 に示すピクセル 310 のように互いに、かつ横列選択回路 322 及び縦列制御回路 324 と相互に接続されてもよい。カラーディスプレイでは、センサ 330 は各サブピクセルに関連付けられる。論考を容易にするために、本明細書における「ピクセル」という用語は、ピクセル又はサブピクセルのいずれを意味してもよい。

30

【0038】

センサ 330 及びピクセル 310 は、同じ基板上へ形成される場合もあれば、異なる基板に形成される場合もある。一実施形態では、ディスプレイ 300 は、図 4 に示すように、ディスプレイコンポーネント 301 と、センサコンポーネント 303 とを備える。ディスプレイコンポーネント 301 はピクセル 310 を備えるが、センサコンポーネント 303 は、第 2 の基板 303 上に形成された、センサ 330 と、横列ライン 312 の別個のセットと、縦列ライン 314 の別個のセットとを備える。センサ 330 がディスプレイのカラーフィルタと一体式である場合、センサコンポーネント 303 はさらにカラーフィルタエレメント 20、30 及び 40 を含んでもよい。これについては、参照によりその全体が本明細書に含まれる、2005 年 4 月 6 日に提出された「フラットパネルディスプレイのセンサアレイ統合型カラーフィルタ」と題する同一出願人に譲渡された特許出願の代理人

40

50

整理番号第 186351 / US / 2 / RMA / JJZ (474125 - 35) 号に記述されている。

【 0039 】

ディスプレイ 300 を形成すべく 2 つのコンポーネントが合わされると、センサコンポーネント 303 上の横列ライン 312 を横列選択回路 322 (図 3 には示されていない) へ接続するために、ディスプレイコンポーネント 301 上の電気接触パッド又はピン 306 - 1 は、点線「 a a 」が示すようにセンサコンポーネント 303 上の電気接触パッド 306 - 2 とぴったり合わせられて接続される。同様にして、縦列ライン 314 を縦列制御回路 324 (図示されていない) へ接続するために、ディスプレイコンポーネント 301 上の電気接触パッド又はピン 308 - 1 は、点線「 b b 」が示すようにセンサコンポーネント 303 上の電気接触パッド 308 - 2 とぴったり合わせられて接続される。図を簡略にするために、図 3 には接地線及び電力線等の他の導電ラインを示していない。

10

【 0040 】

図 5 は、本発明の実施形態に係るディスプレイ 300 の一実装を示す。明確化のため、ピクセルは 1 つのみを、その関連のセンサ及び個々の横列ライン 312 及び縦列ライン 314 と共に示す。実際には、ディスプレイ 300 は、図 3 及び後に参照する図 6 に示すように、互いに、かつ横列ラインのセット及び縦列ラインのセットにより周辺回路と相互に接続される複数のピクセル及びセンサを備えてもよい。図 5 を参照すると、ディスプレイ 300 は、発光源 110 としての発光デバイス 514 と、ドライバ 120 の一部としてのトランジスタ 512 とスイッチングデバイス 522 と電荷蓄電デバイス又はキャパシタ 524 と抵抗体 526 とを備える。ディスプレイ 300 はさらに、センサ 130 としての光センサ (OS) 530 と、制御ユニット 140 の一部としての分圧抵抗 542 と比較器 544 とトランジスタ 548 とを備える。

20

【 0041 】

ディスプレイ 300 はさらに、ライン選択電圧 V_{os} を入力し、かつ横列ライン 312 を選択して上記ライン選択電圧 V_{os} を出力するように構成されるラインセクタ (V_{osS}) 510 を備える。 V_{osS} 510 は、シフトレジスタを使用して実装されてもよい。

【 0042 】

比較器 544 は、データ入力ユニット 150 へ接続される第 1 の入力 P1 と、個々の縦列ライン 314 へ接続される第 2 の入力 P2 と、トランジスタ 548 のゲート G4 へ接続される出力 P3 とを有し、トランジスタ 548 は、各々接地線及び縦列ライン 314 へ接続されるそのソース及びドレインを有する。スイッチングデバイス 522 は、横列ライン 312 へ接続される第 1 の制御端子 G1a と、縦列ライン 314 へ接続される第 2 の制御端子 G1b と、抵抗体 526 を介して横列ライン 312 へ接続される入力 DR1 と、トランジスタ 512 の制御端子 G2 へ接続される出力 S1 とを有する。キャパシタ 524 は、制御端子 G2 と回路ノード S2 との間に接続され、回路ノード S2 は、トランジスタ 512 と発光デバイス 514 との間に接続される。あるいは、キャパシタ 524 は、トランジスタ 512 の制御端子 G2 と接地との間、制御端子 G2 とトランジスタ 512 のドレイン DR2 との間又は制御端子 G2 と電源 V_{DD} との間に接続されてもよい。

30

40

【 0043 】

各 OS 530 は、入力される発光に依存して、抵抗、キャパシタンス、インダクタンス又はこれらに類似するもののパラメータ、性質又は特性等の測定可能な性質を有する適切なセンサであれば、どんなセンサであってもよい。OS 530 の一例は、抵抗値が入射する光子束に伴って変わる光電抵抗体、又はそのソース - ドレイン抵抗が入射する光子束に依存する光トランジスタである。図 5 に示すように、OS が光トランジスタである場合、OS 530 は、個々の横列ライン 312 へ接続されるそのゲート及びドレインと、個々の縦列ライン 314 へ接続されるそのソースとを有する。OS が、図 2 に示すもの等の光電抵抗体である場合、図 2 に示すように、クロストークを防止するために分離トランジスタが備えられてもよい。分離トランジスタは、光電抵抗体と個々の縦列ライン 314 との間

50

に連続して接続され、個々の横列ライン 3 1 2 へ接続されるそのゲートを有することになる。従って、各 O S 5 3 0 は、その材料の表面へ落下する又は衝突する輻射の強度によって変化する 1 つ以上の電気特性を有する少なくとも一種の材料を含んでもよい。このような材料には、アモルファスシリコン (a - S i)、セレン化カドミウム (C d S e)、シリコン (S i) 及びセレン (S e) が含まれるが、この限りではない。光ダイオード等の他の輻射検知センサが使用されてもよい。

【 0 0 4 4 】

発光デバイス 5 1 4 は、概して、デバイスを介する電流又はデバイス全体の電圧等の電氣的測度に応答して発光等の輻射を生成する、技術上周知のどんな発光デバイスであってもよい。発光デバイス 5 1 4 の例には、任意の波長又は複数の波長で発光する発光ダイオード (L E D) 及び有機発光ダイオード (O L E D) が含まれるが、この限りではない。その他、エレクトロルミネセンスセル、無機発光ダイオード、並びに真空蛍光ディスプレイ、電界放射ディスプレイ及びプラズマディスプレイにおいて使用されるものを含む発光デバイスが使用されてもよい。一実施形態では、O L E D が発光デバイス 5 1 4 として使用される。

10

【 0 0 4 5 】

発光デバイス 2 1 4 と同様に、以後、発光デバイス 5 1 4 を O L E D 5 1 4 という場合がある。但し、本発明が発光デバイス 5 1 4 としての O L E D の使用に限定されないことは認識されるであろう。さらに、本発明をフラットパネルディスプレイに関連して説明する場合があるが、本明細書に記述している実施形態の多くの態様がフラット型ではない、もしくはパネルとして構築されないディスプレイにも適用可能であることは認識されるであろう。

20

【 0 0 4 6 】

トランジスタ 2 1 2 と同様に、トランジスタ 5 1 2 は、第 1 の端子と、第 2 の端子と、少なくとも 1 つの制御端子とを有し、上記第 1 及び第 2 の端子間の電流は制御端子へ印加される制御電圧に依存するどんなタイプのトランジスタであってもよい。一実施形態では、トランジスタ 5 1 2 は、ドレイン D R 2 である第 1 の端子と、ソース S 2 である第 2 の端子と、ゲート G 2 である制御端子とを有する T F T である。トランジスタ 5 1 2 と発光デバイス 5 1 4 とは、トランジスタ 5 1 2 の第 1 の端子が V_{DD} へ接続され、トランジスタ 5 1 2 の第 2 の端子が発光デバイス 5 1 4 へ接続され、制御端子がスイッチングデバイス 5 2 2 を介してランプ電圧出力 V R へ接続されて、電源 V_{DD} と接地との間で直列に接続される。T F T (薄膜トランジスタ) に使用される半導体材料は、幾つか例を挙げるとアモルファスシリコン、ポリシリコン及びセレン化カドミウムを含む、但しこれらに限定されない適切な任意の半導体材料であってもよい。

30

【 0 0 4 7 】

トランジスタ 5 4 8 は、第 1 の端子と、第 2 の端子と、少なくとも 1 つの制御端子とを有するどんなタイプの電界効果トランジスタ (F E T) であってもよく、上記第 1 及び第 2 の端子間の電流は制御端子へ印加される制御電圧に依存する。ある実施形態では、トランジスタ 5 4 8 は、縦列ライン 3 1 4 へ接続されるドレイン D R 4 である第 1 の端子と、接地されるソース S 4 である第 2 の端子と、V C 5 4 4 の出力 P 3 へ接続されるゲート G 4 である制御端子とを有する F E T である。

40

【 0 0 4 8 】

一実施形態では、スイッチングデバイス 5 2 2 はダブルゲート型 T F T であり、即ち、入力 (又はドレイン) D R 1 と出力 (又はソース) S 1 との間の単一のチャンネルと、上記チャンネル上の 2 つのゲート G 1 a 及び G 1 b とを有する T F T である。T F T 5 2 2 が導電するためには、論理ハイが両ゲートへ同時に印加される必要があることから、ダブルゲートは論理における A N D 関数のように作用する。ダブルゲート型 T F T が好適ではあるが、論理における A N D 関数を実装するスイッチングデバイスであればいずれもスイッチングデバイス 5 2 2 としての使用に適する。例えば、直列に接続された 2 つの T F T 又は他のタイプのトランジスタがスイッチングデバイス 5 2 2 として使用されてもよい。ダブ

50

ルゲート型 T F T 又はスイッチングデバイス 5 2 2 として論理における A N D 関数を実装する他のデバイスの使用は、ピクセル間のクロストークの低減を促進する。これについては、後に詳述する。クロストークが懸念事項でない場合、もしくは他の手段を使用してクロストークが低減又は排除される場合、ゲート G 1 a 及び横列ライン 3 1 2 へのその接続は必要がなく、縦列ライン 3 1 4 へ接続される単一の制御ゲートを有する T F T がスイッチングデバイス 5 2 2 として使用されてもよい。

【 0 0 4 9 】

図 5 はまたデータ入力ユニット 1 5 0 のブロック図を示し、上記ユニットは図 2 に示すデータ入力ユニットと同様に構成されかつ機能する。従って、図 5 におけるデータユニット 1 5 0 は、ピクセルの選択された横列における各ピクセルについて、上記ピクセルの指定された輝度に対応するアナログ電圧値を基準電圧として、上記ピクセルが存在している縦列に関連付けられる比較器 5 4 4 の入力 P 1 へ供給する。

10

【 0 0 5 0 】

一実施形態では、比較器 5 4 4 は、その 2 つの入力 P 1 及び P 2 における電圧レベルを比較して、P 1 が P 2 より大きければその出力 P 3 において負の電源レール（例えば、0 ボルト）を生成しかつ P 1 が P 2 以下であれば正の電源レール（例えば、+ 1 0 ボルト）を生成する電圧比較器である。正の電源レールは、トランジスタ 5 4 8 の論理ハイに対応する一方、負の電源レールは、トランジスタ 5 4 8 の論理ローに対応する。一実施形態では、ライン選択電圧 V_{os} は経時的に変化せず、制御ゲート G 1 a 及び G 3 に関連付けられるターンオン電圧以上の一定のレベルにある。図 5 に示すピクセルを含む横列等のピクセルの 1 つの横列の選択に際して、 V_{os} S 5 1 0 は、本図に示す横列ライン 3 1 2 等の横列ライン 3 1 2 を選択してライン選択電圧 V_{os} を出力し、これにより、スイッチングデバイス 5 2 2 のゲート G 1 a 及び（OS が図 5 に示す光トランジスタであれば）OS 5 3 0 又は（OS が光抵抗体であれば）OS 5 3 0 へ接続される分離トランジスタがオンにされる。まず、O L E D 5 1 4 が発光する前は、OS 5 3 0 は電流の流れに対して最大抵抗を有し、V C 5 4 4 の入力ピン P 2 の電圧は、 V_{os} が分圧抵抗 5 4 2 と OS 5 3 0 との間で分割されることからその最小値にある。一実施形態では、分圧抵抗 5 4 2 の抵抗 R は、ある特定の V_{os} （例えば、1 0 V）について、V C 5 4 4 の入力ピン P 2 における最小電圧が、スイッチングデバイス 5 2 2 のゲート G 1 b をオンにするために必要とされる指定された初期値（例えば、5 V）になるように選択される。よって、ピクセルの横列が選択されると、上記横列内の各ピクセルにおけるゲート G 1 a 及びゲート G 1 b の双方が開放され、上記ピクセルにおけるスイッチングデバイス 5 2 2 がその入力 D R 1 と出力 S 1 との間で導電される。

20

30

【 0 0 5 1 】

一実施形態では、抵抗体 5 4 2 の抵抗 R は約 1 ギガオームであり、OS 5 3 0 のその最小値における抵抗は約 1 ギガオームである。よって、 V_{os} が約 1 0 ボルトである場合、約 5 ボルトの電圧がスイッチングデバイス 5 2 2 のゲート G 1 b 上に存在する。

【 0 0 5 2 】

スイッチングデバイス 5 2 2 がオンにされると、抵抗体 5 2 6 はキャパシタ 5 2 4 及びトランジスタ 5 1 2 のゲートキャパシタンスと直列に接続される。従って、ライン選択電圧 V_{os} にはトランジスタ 5 1 2 のゲート及びキャパシタ 5 2 4 を充電する R C ネットワークが存在する。一実施形態では、抵抗体 5 2 6 の抵抗値 R 1 は、R C ネットワークに関連付けられる R C 時定数がおよそディスプレイに関連付けられるラインアドレス時間になるように選択される。一例として、毎秒 6 0 フレームで駆動する 1 0 0 ラインのフラットパネルディスプレイの場合、ラインアドレス時間は約 1 6 7 μ s である。一実施形態では、抵抗体 5 2 6 の抵抗 R 1 は約 2 5 メガオームであり、キャパシタ 5 2 4 とトランジスタ 5 1 2 のゲートキャパシタンスとの組み合わせキャパシタンスは約 3 p F である。これにより、R C 時定数は 7 5 マイクロ秒となり、キャパシタ 5 2 4 及びトランジスタ 5 1 2 のゲート G 2 はラインアドレス時間の間に V_{os} 電圧の近くまで充電される。従って、ランプ関数は、追加の導電ラインを必要とする周辺回路ではなく、ピクセルの内部に生成されて

40

50

必要な接続部を供給する。その結果、ディスプレイ300内のピクセルをガラスから離れた制御回路へ接続するために要する電気接続部の数は、大幅に低減される。ディスプレイ100に必要なほぼ10,000個の電気接続部に代えて、ディスプレイ300に必要なこの種の接続部は約5,000個でしかない。さらに、ディスプレイガラス内の導電ライン数の低減は、導電ラインの異なる層間の交差点の低減をもたらし、従って、導電ラインの層間の誘電体に存在しうるピンホールに起因する歩留まり損失を下げる。

【0053】

上述のプロセスは、上記ピクセルの指定された輝度が到達され、入力P2における電圧が上記ピクセルの存在する縦列に対応する比較器544の入力P1における基準電圧に等しくなるまで、上記ピクセルにおける発光デバイス514が輝度をランプアップするに伴って、選択された横列内の各ピクセルにおいて実行される。入力P2が入力P1における電圧に等しくなると、比較器544の出力P3は論理ローから論理ハイに変わってトランジスタ548をオンにし、これにより、トランジスタ522のゲートG1bはトランジスタ548を介して接地される。オンである場合のトランジスタ548を介する対接地抵抗はOS530を介する対Vos抵抗より何千倍も小さくなり得ることから、ゲートG1bの電圧は事実上ゼロであり、従って、スイッチングデバイス522がオフにされる。スイッチングデバイス522がオフの状態では、Vos及び抵抗体526がキャパシタ524及びTFT512のゲートG2との接続を切断されることから、RCネットワークは遮断される。ゲートG2の電圧はそれ以上上がらず、よってピクセルの輝度は指定されたレベルで固定又は保持される。

【0054】

選択された横列の書込みの後、水平シフトレジスタVosS510は上記横列に対応する横列ライン312へのVos出力をオフにしてスイッチングデバイス522及びOS530をオフにし、これにより、蓄電キャパシタ524の電圧が固定され、上記横列内の光センサ530が他の横列内のそれらから絶縁される。これが発生すると、抵抗体542に電流が流れないことから各比較器544のピンP2の電圧は接地へ向かい、電圧比較器544の出力P3が負の電源レールへ戻され、トランジスタ548のゲートG4がオフにされてディスプレイ300におけるピクセルの次の横列の書込みの準備が整う。

【0055】

図6に示すように、次の横列の書込みの間、データユニット150はピクセルの次の横列の基準電圧を出力し、VosS510は次の横列に関連付けられる横列ライン312を選択してライン選択電圧Vosを出力し、それらがオンにされるまで、ピクセルの次の横列に対して先のオペレーションが繰り返される。これは、ディスプレイ300内の全ての横列がオンにされるまで継続され、次いでフレームが反復される。図5及び6に描かれた実施形態では、各スイッチングデバイス522はダブルゲート、即ちゲートG1a及びゲートG1bを有し、横列内の各スイッチングデバイス522のゲートG1aは個々の横列ライン312によって保持される。よって、後続の横列の書込みの間、ゲートG1bは導電されてもよいが、選択されていない横列内のスイッチングデバイス522は、関連の横列ラインが選択されていないことからオフに維持される。こうして、選択されていない横列内の各ピクセルにおけるキャパシタ524は、他のピクセルにおけるキャパシタ524から遮断されて保たれる。これにより、書込みが行われたばかりの横列内の異なるピクセルにおけるキャパシタ524間のクロストークが排除され、よって、選択されていない横列内の各ピクセルは、後続の横列の書込みの間に所望される発光レベルを出力し続ける。

【0056】

こうして、上述の実施形態は、導電ライン数が低減されたディスプレイ内の各ピクセルの輝度を制御するための改良された発光フィードバック制御システムを提供する。

【0057】

以上の記述から、本明細書には例示を目的として本発明の特定の実施形態が説明されているが、本発明の精神及び範囲を逸脱することなく様々な修正を行い得ることは認識されるであろう。例えば、図面にはTFT及びFETデバイスがnチャネルデバイスとして示

されているが、pチャンネルのデバイスが使用されてもよい。別の例として、抵抗体542は、ガラスから離れた制御回路に包含される代わりに、各ピクセル内に統合されてもよい。従って、これまでに提示した実施形態は本発明の精神及び範囲内にある様々な回路解決法の例であり、本発明は、添付の請求の範囲によってのみ限定される。

【図面の簡単な説明】

【0058】

【図1A】本発明の一実施形態に係るディスプレイ内の発光フィードバック回路を示すブロック図である。

【図1B】本発明の一実施形態に係る複数のピクセルを有するディスプレイ内の発光フィードバック回路を示すブロック図である。

【図2】本発明の一実施形態に係るディスプレイ回路の一部を示す概略図である。

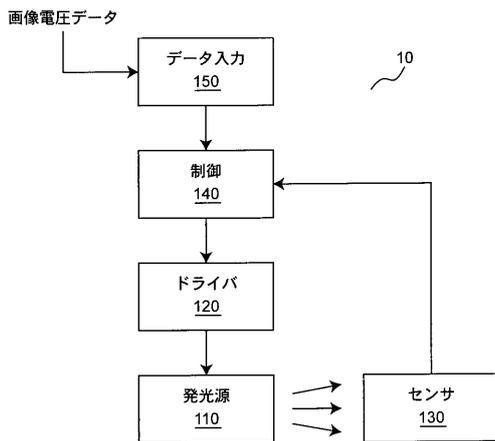
【図3】本発明の代替実施形態に係る複数のピクセルを有するディスプレイ内の発光フィードバック回路を示すブロック図である。

【図4】2つの分離した基板上に形成されている、図3に示す発光フィードバック回路のブロック図である。

【図5】図3に示すディスプレイ回路の一部を示す概略図である。

【図6】本発明の実施形態に係るディスプレイ回路のより大きい部分を示す概略図である。

【図1A】



【図1B】

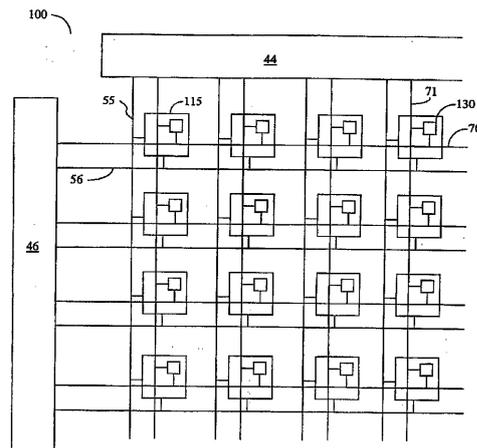
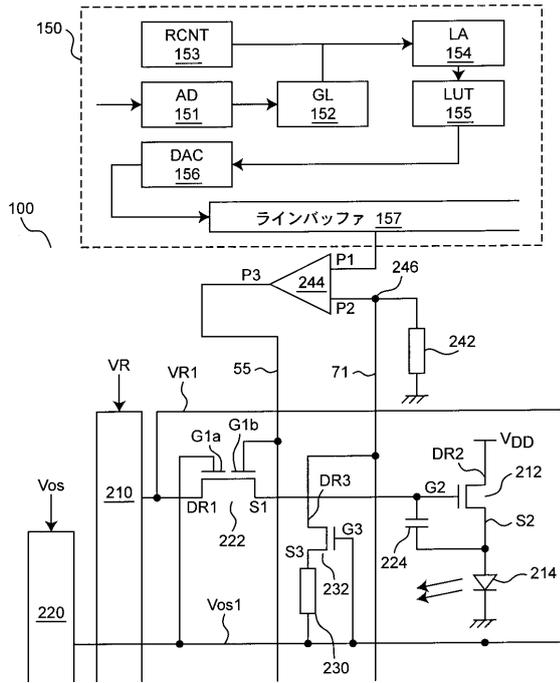


FIG. 1B

【 図 2 】



【 図 3 】

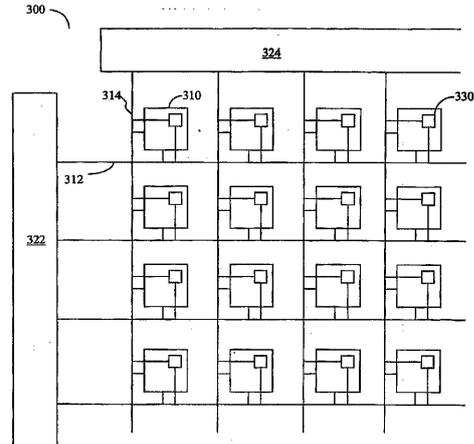


FIG. 3

【 図 4 】

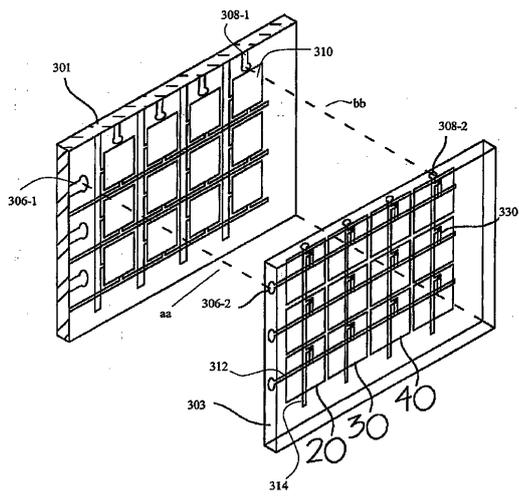
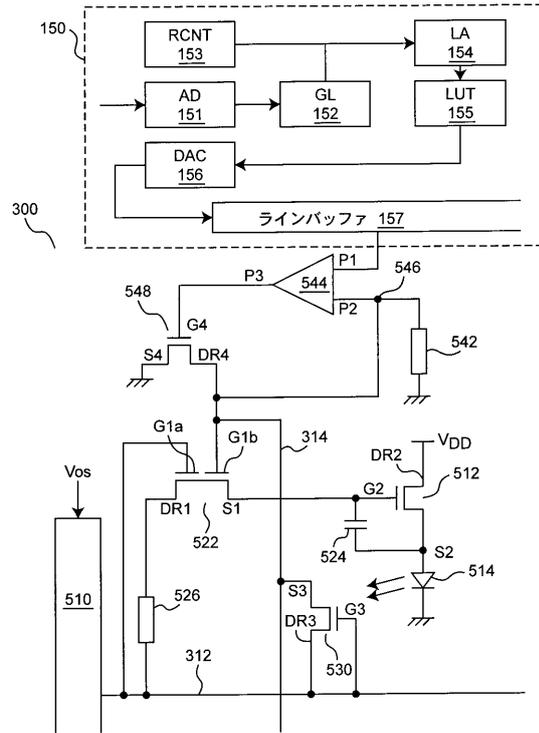
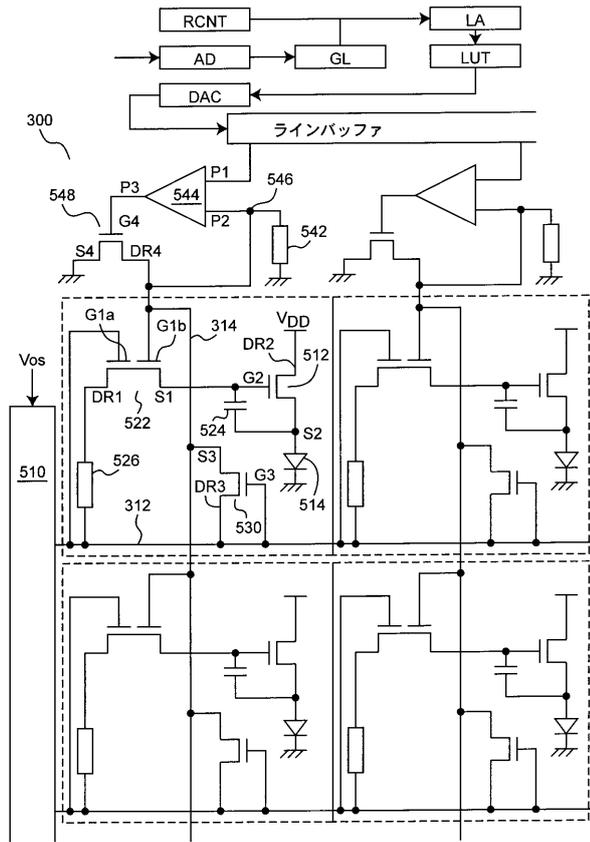


FIG. 4

【 図 5 】



【 図 6 】



フロントページの続き

(51) Int.Cl.	F I	テーマコード(参考)
	G 0 9 G 3/30	J
	G 0 9 G 3/20	6 4 2 B
	G 0 9 G 3/20	6 7 0 J
	G 0 9 G 3/20	6 4 2 A
	G 0 9 G 3/20	6 1 1 H
	G 0 9 G 3/20	6 2 4 B
	G 0 9 G 3/20	6 2 1 J
	G 0 9 G 3/20	6 1 1 D
	H 0 5 B 33/14	A

(81) 指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(72) 発明者 ダブリュー・エドワード・ノーグラー・ジュニア

アメリカ合衆国 7 8 6 1 3 テキサス州シーダー・パーク、ウィートン・トレイル 2 2 2 0 番

(72) 発明者 ダモダー・レディ

アメリカ合衆国 9 5 0 3 2 カリフォルニア州ロス・ガトス、ウエスト・モーツァルト・アベニュー
1 6 4 5 7 番

Fターム(参考) 3K107 AA01 BB01 CC14 CC33 EE03 EE68 HH04

5C080 AA06 BB05 DD05 DD26 DD27 DD29 FF11 FF12 HH09 JJ02

JJ03 JJ06