

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年11月2日(02.11.2023)



(10) 国際公開番号

WO 2023/210430 A1

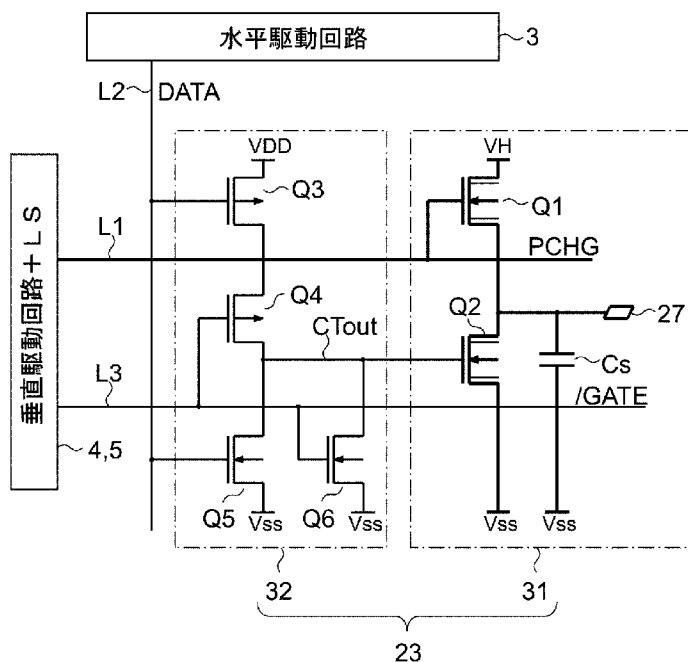
- (51) 国際特許分類:
G09G 3/36 (2006.01) G09F 9/30 (2006.01)
G02F 1/133 (2006.01) G09G 3/20 (2006.01)
G02F 1/1368 (2006.01)
- (21) 国際出願番号: PCT/JP2023/015362
- (22) 国際出願日: 2023年4月17日(17.04.2023)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2022-071915 2022年4月25日(25.04.2022) JP
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

- (72) 発明者: 白井 聖敏 (SHIRAI Kiyotoshi); 〒2430014 神奈川県厚木市旭町4丁目14-1 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 折井 俊彦 (ORII Toshihiko); 〒2430014 神奈川県厚木市旭町4丁目14-1 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 中尾 浩士 (NAKAO Hiroshi); 〒2430014 神奈川県厚木市旭町4丁目14-1 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 渡邊 泰弘 (WATANABE Yasuhiro); 〒2430014 神奈川県厚木市旭町4丁目14-1 ソニーセミコンダクタソリューションズ株式会

(54) Title: DISPLAY DEVICE

(54) 発明の名称: 表示装置



3 Horizontal drive circuit
4, 5 Vertical drive circuit

(57) Abstract: [Problem] To provide a display device that can be made more compact, lower in power consumption, and higher in image quality. [Solution] A display device that comprises a plurality of pixels, each including a display element and a pixel circuit that controls the voltage supplied to the display element. The pixel circuit includes: a capacitor that retains a charge corresponding to the voltage supplied to the display element; a charge/discharge circuit that charges and discharges the capacitor; and a control circuit that controls the charge/discharge circuit. The charge/discharge circuit



WO 2023/210430 A1

社内 Kanagawa (JP), 宮武 孝明(MIYATAKE Takaaki); 〒2430014 神奈川県厚木市旭町4丁目14-1 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 宮 嶋 学 (MIYAJIMA Manabu); 〒1000005 東京都千代田区丸の内1丁目6番6号 日本生命丸の内ビル 協和特許法律事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

includes a first switching element that controls the charging of the capacitor and a second switching element that controls the discharging of the capacitor. The control circuit includes a third switching element that, on the basis of pixel data and/or a display timing signal, performs control to turn the first switching element and/or the second switching element on or off.

(57) 要約: [課題] 小型化、低消費電力化、及び高画質化が可能な表示装置を提供する。 [解決手段] 表示装置は、複数の画素を備え、前記画素は、表示素子と、前記表示素子に供給される電圧を制御する画素回路と、を有し、前記画素回路は、前記表示素子に供給される電圧に応じた電荷を保持するキャパシタと、前記キャパシタの充放電を行う充放電回路と、前記充放電回路を制御する制御回路と、を有し、前記充放電回路は、前記キャパシタの充電を制御する第1スイッチング素子と、前記キャパシタの放電を制御する第2スイッチング素子と、を有し、前記制御回路は、画素データ又は表示タイミング信号の少なくとも一方に基づいて、前記第1スイッチング素子及び前記第2スイッチング素子の少なくとも一方のオン又はオフを制御する第3スイッチング素子を有する。

明 細 書

発明の名称：表示装置

技術分野

[0001] 本開示は、表示装置に関する。

背景技術

[0002] 各画素の階調に応じて発光期間を制御するパルス幅変調（PWM）方式の表示装置が知られている（特許文献1参照）。特許文献1では、画素回路内に設けられるメモリ内のデータを選択する選択回路と液晶素子との間のバッファを省略することで、画素回路の小型化を図っている。

先行技術文献

特許文献

[0003] 特許文献1：特開2013-68836号公報

発明の概要

発明が解決しようとする課題

[0004] デジタル信号の論理演算を行うロジック回路は、1V程度の低消費電力で動作するのに対して、液晶素子には3V以上の電圧を印加する必要がある。このため、画素回路は、液晶素子の駆動電圧に応じた電圧レベルの回路で構成されることが多い。より具体的には、画素回路内のトランジスタは、中又は高耐圧のトランジスタで構成される。中又は高耐圧のトランジスタは、ロジック回路で用いられる低耐圧のトランジスタと比べてサイズが大きくて、消費電力も多い。

[0005] また、特許文献1のように、パルス幅変調方式の表示装置では、画素回路内にSRAM（Static Random Access Memory）構成のメモリが必要であり、画素回路の回路面積が大きくなり、消費電力も増大する。

[0006] パルス幅変調方式の表示装置は、様々なデジタル機器に適用される可能性があることから、よりいっそうの小型化、低消費電力化、及び高画質化が望まれている。

[0007] そこで、本開示では、小型化、低消費電力化、及び高画質化が可能な表示装置を提供するものである。

課題を解決するための手段

[0008] 上記の課題を解決するために、本開示によれば、複数の画素を備え、前記画素は、表示素子と、前記表示素子に供給される電圧を制御する画素回路と、を有し、

前記画素回路は、

前記表示素子に供給される電圧に応じた電荷を保持するキャパシタと、

前記キャパシタの充放電を行う充放電回路と、

前記充放電回路を制御する制御回路と、を有し、

前記充放電回路は、

前記キャパシタの充電を制御する第1スイッチング素子と、

前記キャパシタの放電を制御する第2スイッチング素子と、を有し、

前記制御回路は、画素データ又は表示タイミング信号の少なくとも一方に基づいて、前記第1スイッチング素子及び前記第2スイッチング素子の少なくとも一方のオン又はオフを制御する第3スイッチング素子を有する、表示装置が提供される。

[0009] 前記第1スイッチング素子及び前記第2スイッチング素子は、同一の耐圧及び同一の導電型を有してもよい。

[0010] 前記充放電回路内の前記第1スイッチング素子及び前記第2スイッチング素子は、第1耐圧を有し、

前記制御回路内の前記第3スイッチング素子は、前記第1耐圧よりも低い第2耐圧を有してもよい。

[0011] 前記第1スイッチング素子、前記第2スイッチング素子、及び前記第3スイッチング素子は、第1基準電圧ノードと第2基準電圧ノードとの間にカスコード接続されており、

前記キャパシタは、前記第1スイッチング素子及び前記第2スイッチング素子の接続ノードと、前記第2基準電圧ノードとの間に接続されてもよい。

- [0012] 前記第3スイッチング素子は、前記第1スイッチング素子及び前記第2スイッチング素子と同一の耐圧及び同一の導電型を有してもよい。
- [0013] 前記第3スイッチング素子は、前記第1スイッチング素子及び前記第2スイッチング素子とは異なる耐圧で、かつ同一の導電型を有してもよい。
- [0014] 前記第1スイッチング素子及び前記第2スイッチング素子は、第1基準電圧ノードと第2基準電圧ノードとの間にカスコード接続されており、
前記キャパシタは、前記第1スイッチング素子及び前記第2スイッチング素子の接続ノードと、前記第2基準電圧ノードとの間に接続されてもよい。
- [0015] 前記制御回路は、前記画素データ及び前記表示タイミング信号に基づいて、前記第1スイッチング素子及び前記第2スイッチング素子の少なくとも一方のゲートに入力される制御信号を生成してもよい。
- [0016] 前記第1スイッチング素子及び前記第2スイッチング素子のいずれか一方のゲートには、プリチャージ信号が入力され、他方のゲートには、前記制御信号が入力されてもよい。
- [0017] 前記プリチャージ信号の電圧振幅は、前記制御信号の電圧振幅よりも大きくてもよい。
- [0018] 前記プリチャージ信号の電圧振幅は、前記画素データ及び前記表示タイミング信号の電圧振幅よりも大きくてもよい。
- [0019] 前記第1スイッチング素子又は前記第2スイッチング素子の閾値電圧を考慮に入れて前記プリチャージ信号の電圧レベルを設定する第1駆動回路を備えてもよい。
- [0020] 前記第1スイッチング素子及び前記第2スイッチング素子はN型のMOS (Metal Oxide Semiconductor) トランジスタであり、
前記第1スイッチング素子のドレインは、第1基準電圧ノードに接続されており、
前記キャパシタの一端は、前記第1スイッチング素子のソースに接続されており、
前記第1駆動回路は、前記キャパシタの充電時に前記第1スイッチング素

子のソースが前記第1基準電圧ノードと同じ電圧レベルになるように、前記プリチャージ信号の電圧レベルを前記第1基準電圧ノードの電圧よりも前記閾値電圧だけ高い電圧に設定してもよい。

- [0021] 前記第1スイッチング素子及び前記第2スイッチング素子はP型のMOS (Metal Oxide Semiconductor) トランジスタであり、
- 前記第1スイッチング素子のソースは、第1基準電圧ノードに接続されており、
- 前記第2スイッチング素子のドレインは、第2基準電圧ノードに接続されており、
- 前記キャパシタの一端は、前記第1スイッチング素子のドレインに接続されており、
- 前記第1駆動回路は、前記キャパシタの放電時に前記第1スイッチング素子のドレインが前記第2基準電圧ノードと同じ電圧レベルになるように、前記プリチャージ信号の電圧レベルを前記第2基準電圧ノードの電圧よりも前記閾値電圧だけ低い電圧に設定してもよい。

- [0022] 前記第1駆動回路は、前記制御回路の電圧振幅よりも大きな電圧振幅を有する前記プリチャージ信号と、前記制御回路の電圧振幅と同程度の電圧振幅を有する前記表示タイミング信号とを前記制御回路に入力してもよい。

- [0023] 前記充放電回路は、
- 前記第1スイッチング素子のゲートに接続されるダイオード又はダイオード接続されたトランジスタと、
- 前記ダイオード又はダイオード接続されたトランジスタを介して前記第1スイッチング素子のゲートに前記プリチャージ信号が入力されることにより生じる前記キャパシタの充電電圧の低下を補償する補償回路と、を有してもよい。

- [0024] 第1基準電圧ノードの第1基準電圧と第2基準電圧ノードの第2基準電圧とは、互いに電圧極性が逆の電圧であり、
- 前記第1スイッチング素子のゲートに供給されるプリチャージ信号と、前

記表示タイミング信号とは、互いに電圧極性が逆の信号であってもよい。

[0025] 前記第1スイッチング素子のゲートに供給されるプリチャージ信号と、前記画素データとは、電圧極性が逆であり、

前記制御回路には、前記第1基準電圧又は前記第2基準電圧と、前記第1基準電圧及び前記第2基準電圧の中間電圧とが供給されてもよい。

[0026] 前記第1スイッチング素子及び前記第2スイッチング素子は、同一の耐圧及び互いに異なる導電型を有してもよい。

図面の簡単な説明

[0027] [図1]—実施の形態に係る表示装置を備えた表示システムの全体構成の一例を示す図。

[図2]図1の液晶ライトバルブの概略構成を示すブロック図。

[図3]—比較例による画素回路の回路図。

[図4]第1具体例に係る画素回路の回路図。

[図5]第2の具体例に係る画素回路の回路図。

[図6]第3の具体例に係る画素回路の回路図。

[図7]第4の具体例に係る画素回路の回路図。

[図8]第5の具体例に係る画素回路の回路図。

[図9]第6の具体例に係る画素回路の回路図。

[図10A]乗物の後方から前方にかけての乗物の内部の様子を示す図。

[図10B]乗物の斜め後方から斜め前方にかけての乗物の内部の様子を示す図。

[図11A]電子機器の第2適用例であるデジタルカメラの正面図。

[図11B]デジタルカメラの背面図。

[図12A]電子機器の第3適用例であるHMDの外観図。

[図12B]スマートグラスの外観図。

[図13]電子機器の第4適用例であるTVの外観図。

[図14]電子機器の第5適用例であるスマートフォンの外観図。

発明を実施するための形態

[0028] 以下、図面を参照して、表示装置の実施形態について説明する。以下では

、表示装置の主要な構成部分を中心に説明するが、表示装置には、図示又は説明されていない構成部分や機能が存在しうる。以下の説明は、図示又は説明されていない構成部分や機能を除外するものではない。

[0029] 図1は本技術の一実施の形態に係る表示装置1を備えた表示システム10の全体構成の一例を示す図である。図1は投射型の表示システム10の全体構成を示している。なお、本実施の形態に係る表示装置1は、必ずしも投射型の表示システム10に適用されるわけではなく、図1は一例にすぎない。

[0030] 図1の表示システム10は、例えば、図示しない情報処理装置の画面に表示されている画像をスクリーン20上に投影するものである。情報処理装置は、表示システム10を内蔵した任意の電子機器であり、例えば、プロジェクタ、デジタルカメラ、スマートフォン、タブレット、PC (Personal Computer) などである。

[0031] 表示システム10は、反射型の液晶パネルをライトバルブとして使用した反射型液晶プロジェクタである。表示システム10は、例えば、赤、緑および青の各色用の表示装置1 (液晶ライトバルブとも呼ばれる) 21R, 21G, 21Bを3枚用いてカラー画像表示を行う、いわゆる3板方式のものである。表示システム10は、例えば、光源11と、ダイクロイックミラー12, 13と、全反射ミラー14とを備えている。表示システム10は、さらに、例えば、偏光ビームスプリッタ15, 16, 17と、合成プリズム18と、投射レンズ19とを備えている。

[0032] 光源11は、カラー画像表示に必要とされる、赤色光、青色光および緑色光を含んだ白色光を発するものであり、例えばハロゲンランプ、メタルハライドランプまたはキセノンランプなどにより構成されている。ダイクロイックミラー12は、光源11の光路AX上に配置されており、光源11からの光を、青色光Bとその他の色光 (赤色光R, 緑色光G) とに分離する機能を有する。ダイクロイックミラー13は、光源11の光路AX上に配置されており、ダイクロイックミラー12を通過した光を、赤色光Rと緑色光Gとに分離する機能を有する。全反射ミラー14は、ダイクロイックミラー12で

反射された光の光路上に配置されており、ダイクロミックミラー12によって分離された青色光Bを、偏光ビームスプリッタ17に向けて反射するようになっている。

[0033] 偏光ビームスプリッタ15は、赤色光Rの光路上に配置されており、偏光分離面15Aにおいて、入射した赤色光Rを互いに直交する2つの偏光成分に分離する機能を有する。偏光ビームスプリッタ16は、緑色光Gの光路上に配置されており、偏光分離面16Aにおいて、入射した緑色光Gを互いに直交する2つの偏光成分に分離する機能を有する。偏光ビームスプリッタ17は、青色光Bの光路上に配置されており、偏光分離面17Aにおいて、入射した青色光Bを互いに直交する2つの偏光成分に分離する機能を有する。偏光分離面15A、16A、17Aは、一方の偏光成分（例えばS偏光成分）を反射し、他方の偏光成分（例えばP偏光成分）を透過するようになっている。

[0034] 表示装置1を構成する液晶ライトバルブ21R、21G、21Bは、反射型の液晶パネルを含んで構成されたものであり、入力された映像信号に基づいて入射光を変調することにより、各色の映像光を生成する。なお、液晶ライトバルブ21R、21G、21Bの構成については、後に詳述する。液晶ライトバルブ21Rは、偏光分離面15Aにおいて反射された赤色光Rの光路上に配置されている。液晶ライトバルブ21Rは、例えば、赤色の映像信号に応じてパルス幅変調（PWM）されたデジタル信号によって駆動され、それによって入射光を変調させると共に、その変調光を偏光ビームスプリッタ15に向けて反射する機能を有する。液晶ライトバルブ21Gは、偏光分離面16Aにおいて反射された緑色光Gの光路上に配置されている。液晶ライトバルブ21Gは、例えば、緑色の映像信号に応じてパルス幅変調（PWM）されたデジタル信号によって駆動され、それによって入射光を変調させると共に、その変調光を偏光ビームスプリッタ16に向けて反射する機能を有する。液晶ライトバルブ21Bは、偏光分離面17Aにおいて反射された青色光Bの光路上に配置されている。液晶ライトバルブ21Bは、例えば、

青色の映像信号に応じてパルス幅変調（PWM）されたデジタル信号によって駆動され、それによって入射光を変調させると共に、その変調光を偏光ビームスプリッタ17に向けて反射する機能を有する。

[0035] 合成プリズム18は、液晶ライトバルブ21R、21G、21Bから出射され、偏光ビームスプリッタ15、16、17を透過した各変調光の光路が互いに交差する位置に配置されている。合成プリズム18は、各変調光を合成し、カラーの映像光を生成する機能を有する。投射レンズ19は、合成プリズム18から出射された映像光の光路上に配置されており、合成プリズム18から出射された映像光を、スクリーン20に向けて投射する機能を有する。

[0036] 図2は図1の表示装置1を構成する液晶ライトバルブ21R、21G、21Bの概略構成を示すブロック図である。図2の表示装置1は、画素アレイ部2と、水平駆動回路3と、垂直駆動回路（第1駆動回路）4と、レベルシフタ5と、シリアルパラレル変換器及びタイミング生成器6と、LVDS（Low Voltage Differential Signaling）伝送部8と、サーマルダイオード9とを有する。

[0037] 本明細書では、図2の左右方向を水平方向、上下方向を垂直方向と呼ぶ。画素アレイ部2は、水平方向及び垂直方向に配列された複数の画素22を有する。各画素22は、表示素子と、表示素子を駆動する画素回路23を有する。表示素子は、例えば液晶素子である。画素回路23の具体的な回路構成は後述する。画素アレイ部2内には、垂直方向に延びる信号線（データ線）が水平方向に一定間隔で配置され、かつ水平方向に延びるゲート線（走査線とも呼ぶ）が垂直方向に一定間隔で配置されている。これら複数の信号線と複数のゲート線が交差する各箇所画素22が配置されている。

[0038] 画素アレイ部2を間に挟んで上下には2つの水平駆動回路3が配置されている。2つの水平駆動回路3は、水平方向に一定間隔で配置されて垂直方向に延びる複数のデータ線に画素データを供給する。複数のデータ線に供給される画素データの電圧振幅は、例えばロジック回路の電圧振幅と同等である。

。このように、水平駆動回路3から出力された画素データは、レベルシフタ5により電圧レベルを変換せずにデータ線に供給される。これにより、表示装置1の回路規模を削減できる。

[0039] 画素アレイ部2を間に挟んで左右には、2つの垂直駆動回路4と、2つのレベルシフタ5とが配置されている。2つの垂直駆動回路4は、垂直方向に一定間隔で配置されて垂直方向に延びる複数のゲート線にゲート信号を供給する。複数のゲート線に供給されるゲート信号の電圧振幅は、例えばロジック回路の電圧振幅よりも大きいため、レベルシフタ5で電圧レベルの変換が行われる。

[0040] シリアルパラレル変換器及びタイミング生成器6は、LVDS伝送部8から供給されたシリアル信号からなる画素データDATAをパラレル信号からなる画素データDATAに変換して、2つの水平駆動回路3に供給する。また、シリアルパラレル変換器及びタイミング生成器6は、画素データDATAを2つの水平駆動回路3に供給するタイミングを垂直駆動回路4が各ゲート線を駆動するタイミングに同期させる。

[0041] LVDS伝送部8は、表示装置1と不図示のホスト装置との間で高速に画素データのシリアル伝送を行う。サーマルダイオード9は、表示装置1の温度を計測するために設けられている。サーマルダイオード9は、一定の電流を流して電圧を測定することで、温度を計測する。

[0042] 本実施形態による表示装置1は、例えばPWM (Pulse Width Modulation) 変調方式で各画素22を駆動する。PWM変調方式とは、表示装置1の表示領域の全画素22を駆動するのに要する1フレーム期間を複数のサブフレーム期間に分割し、各サブフレームでの表示素子の表示期間をそれぞれ相違させる。各画素22を複数のサブフレームの少なくとも一つで駆動することで、画素22ごとに1フレーム内の発光期間を制御でき、各画素22の発光期間の違いにより階調を表現する。

[0043] PWM変調方式で各画素22を駆動するには、画素回路23内にメモリを設ける必要がある。図3は一比較例による画素回路23の回路図である。図

3の画素回路23は、メモリ24と、2つのNMOSトランジスタ25、26とを有する。メモリ24は、SRAM (Static Random Access Memory) 構成であり、例えば2つのインバータ24a、24bをリング状に接続することで構成される。各インバータ24a、24bは、電源電圧ノードと接地ノードの間に、PMOSトランジスタとNMOSトランジスタをカスコード接続して構成される。

[0044] メモリ24は、極性の異なる画素データDATAを相補出力する2つの出力ノード（以下、第1出力ノードOUTと第2出力ノード/OUT）を有する。水平駆動回路3から延びる各データ線は差動構成になっている。以下では、差動構成の1つのデータ線を便宜上、第1データ線DATA及び第2データ線/DATAと呼ぶ。第1出力ノードOUTと第1データ線DATAの間には、NMOSトランジスタ25が接続されている。第2出力ノード/OUTと第2データ線/DATAの間には、NMOSトランジスタ26が接続されている。NMOSトランジスタ25のゲートとNMOSトランジスタ26のゲートは、垂直駆動回路4から延びる共通のゲート線/GATEに接続されている。

[0045] メモリ24が有する2つの出力ノードのうち一つ（例えば、第1出力ノードOUT）には、信号線Sigが接続されており、この信号線Sigは画素電極27に接続されている。

[0046] 図3の画素回路23内の各トランジスタのゲート等には、ロジック回路の電圧振幅より高い電圧振幅の信号が入力されるため、中/高耐圧のトランジスタで構成する必要がある。中/高耐圧のトランジスタは、ロジック回路で用いられる低耐圧のトランジスタよりも回路面積が大きくなり、かつ消費電力も増大する。

[0047] （第1具体例）

図4は第1具体例に係る画素回路23の回路図である。図4の画素回路23は、キャパシタCsと、充放電回路31と、制御回路32とを有する。

[0048] キャパシタCsは、表示素子に供給される電圧に応じた電荷を保持する。表

示素子は例えば液晶素子であり、キャパシタCsの一端は液晶素子に電圧を印加する画素電極27に接続される。

[0049] 充放電回路31は、キャパシタCsの充放電を行う。キャパシタCsの充電電荷に応じた電圧が画素電極27に印加されるため、以下では充放電回路31を画素電極駆動回路31と呼ぶことがある。図4の画素電極駆動回路31は、中／高耐圧の2つのNMOSトランジスタ（第1スイッチング素子Q1と第2スイッチング素子Q2）を有する。本明細書では、第1スイッチング素子Q1をNMOSトランジスタQ1と呼び、第2スイッチング素子Q2をNMOSトランジスタQ2と呼ぶことがある。

[0050] 制御回路32は、画素電極駆動回路31を制御する。より詳細には、制御回路32は、画素電極駆動回路31を制御するための制御信号を生成する。図4の制御回路32は、複数の低耐圧のトランジスタQ3～Q6を有する。制御回路32に対して入力又は出力される各信号の電圧振幅は、液晶素子及び液晶素子の駆動回路に印加される電圧振幅よりも小さいため、図4の画素回路23では、制御回路32を複数の低耐圧のトランジスタで構成する。制御回路32は、ロジック回路と呼ばれることもある。

[0051] このように、図4の画素回路23は、中／高耐圧のMOSトランジスタQ1、Q2と低耐圧のMOSトランジスタQ3～Q6を用いて構成されている。これにより、図3の画素回路23のように、すべてのトランジスタを中／高耐圧にする場合よりも、回路面積を縮小でき、かつ消費電力も削減できる。

[0052] 図4及び後述する図5～図9では、ロジック回路と同程度の電圧振幅の信号経路を細線で図示し、ロジック回路よりも大きい電圧振幅の信号経路を太線で図示している。

[0053] 図4は、制御回路32がNOR演算を行う例を示すが、制御回路32が行う論理演算の種類は問わない。図4の制御回路32は、4つの低耐圧のトランジスタQ3～Q6を有するが、制御回路32内のトランジスタの個数も任意である。また、図4の制御回路32は、2つのPMOSトランジスタQ3

、Q4と2つのNMOSトランジスタQ5、Q6を有するが、トランジスタの導電型は任意である。さらに、図4では、制御回路32が4つのMOSトランジスタQ3～Q6を有する例を示すが、バイポーラトランジスタ又はBi-CMOSトランジスタで構成してもよい。

[0054] 制御回路32は、第1電源電圧ノードVDDと制御回路32の出力ノードCToutの間にカスコード接続される2つのPMOSトランジスタQ3、Q4と、制御回路32の出力ノードCToutと接地ノードVssの間に接続されるNMOSトランジスタQ5と、制御回路32の出力ノードCToutと接地ノードVssの間に接続されるNMOSトランジスタQ6とを有する。PMOSトランジスタQ3のゲートとNMOSトランジスタQ5のゲートには、水平駆動回路3からデータ線L2を介して出力される画素データDATAが入力される。PMOSトランジスタのゲートとNMOSトランジスタのゲートには、垂直駆動回路4からゲート線L3を介して出力されるゲート信号/GATEが入力される。ゲート信号/GATEは、表示タイミング信号である。

[0055] 図4の制御回路32は、水平駆動回路3からデータ線L2を介して出力された画素データDATAと、垂直駆動回路4からゲート線L3を介して出力されたゲート信号/GATE（より正確にはゲート信号GATEの反転信号）とのNOR演算を行って制御信号を生成する。制御回路32は、画素データDATAがローレベルで、かつゲート信号/GATEの反転信号がローレベルのときにハイレベルの制御信号CToutを出力する。画素データDATAがハイレベル、又はゲート信号/GATEの反転信号がハイレベルのときは、ローレベルの制御信号CToutを出力する。

[0056] 画素電極駆動回路31は、中/高耐圧の2つのNMOSトランジスタQ1、Q2を有する。NMOSトランジスタQ1とNMOSトランジスタQ2は、第2電源電圧ノードVHと接地ノードVssの間にカスコード接続されている。第2電源電圧ノードVHは、第1電源電圧ノードVDDよりも電圧レベルが高いノードである。

[0057] また、画素電極駆動回路31は、NMOSトランジスタQ1及びNMOS

トランジスタQ2の接続ノード（画素電極27に繋がるノード）と接地ノードV_{ss}の間に接続されるキャパシタC_sとを有する。このキャパシタC_sは、画素データDATAを記憶するメモリ24として機能する。メモリ24を1つのキャパシタC_sで構成することで、図3の画素回路23よりも回路面積を削減できるとともに、消費電力も削減できる。

[0058] NMOSトランジスタQ1のゲートには、垂直駆動回路4からプリチャージ信号線L1を介して出力されるプリチャージ信号PCHGが入力される。プリチャージ信号PCHGは、制御回路32の電圧振幅よりも大きい電圧振幅を有する。より具体的には、プリチャージ信号PCHGは、接地電圧（0V）と（5V+V_{th}）の電圧振幅を有する。V_{th}はNMOSトランジスタQ1の閾値電圧である。プリチャージ信号PCHGがハイレベル（5V+V_{th}）になると、NMOSトランジスタQ1がオンして、NMOSトランジスタQ1のソースは5Vになり、5VでキャパシタC_sが充電される。

[0059] このように、キャパシタC_sの充電電圧は、プリチャージ信号PCHGのハイレベル電圧よりも、NMOSトランジスタQ1の閾値電圧だけ低い電圧になる。よって、プリチャージ信号PCHGの電圧レベルは、キャパシタC_sの一端電圧がNMOSトランジスタQ1の閾値電圧だけ低い電圧になることを考慮に入れて設定する必要がある。

[0060] NMOSトランジスタQ2のゲートには、制御回路32から出力される制御信号CT_{out}が入力される。制御信号CT_{out}の電圧振幅はプリチャージ信号PCHGの電圧振幅よりも小さいが、NMOSトランジスタQ2のドレインの電圧振幅が制御回路32の電圧振幅よりも大きいことから、NMOSトランジスタQ2は中／高耐圧のトランジスタで構成されている。

[0061] このように、画素電極駆動回路31は、中／高耐圧の2つのNMOSトランジスタQ1、Q2を有するため、低耐圧の2つのNMOSトランジスタで構成するよりも回路面積が大きくなるが、図3のように画素回路23内のすべてのMOSトランジスタを中／高耐圧にするよりは、はるかに回路面積が小さくなり、消費電力も削減できる。

- [0062] また、図4の画素回路23は、図3のメモリ24の代わりに、キャパシタCsに画素データDATAを記憶する。図3のメモリ24はSRAM構成であり、6つのMOSトランジスタを必要とする。一方、図4の画素回路23は、1つのキャパシタCsだけで画素データDATAを記憶できる。ただし、メモリ24の代わりにキャパシタCsを設ける場合には、画素電極駆動回路31を制御する制御信号CToutを生成するための制御回路32が必要となる。
- [0063] 図3の画素回路23と図4の画素回路23を比較すると、トランジスタの総数は6個で同じだが、図3の画素回路23は6個のトランジスタとも中／高耐圧であるのに対し、図4の画素回路23は2個のトランジスタのみが中／高耐圧で、4個のトランジスタは低耐圧である。よって、図4の画素回路23の方が、キャパシタCsが必要になるものの、図3の画素回路23の回路面積よりも小さい回路面積で実現できる。
- [0064] 図4の画素回路23では、画素電極駆動回路31内のNMOSトランジスタQ1をオンすることにより、キャパシタCsへの充電を行って画素電極27を駆動する。画素電極27の電圧はできるだけ高くするのが望ましいが、NMOSトランジスタQ1のゲートに入力されるプリチャージ信号PCHGの電圧レベルよりも、NMOSトランジスタQ1の閾値電圧だけ低い電圧がキャパシタCsの一端及び画素電極27に供給される。よって、閾値電圧分の電圧降下が生じないようにするには、プリチャージ信号PCHGの電圧レベルを、閾値電圧分高くする必要がある。
- [0065] このように、図4の画素回路23は、図3の画素回路23よりも回路面積を縮小できる。より詳細には、図4の画素回路23では、デザインルールの微細化が困難な画素電極駆動回路31を中／高耐圧の2つのMOSトランジスタで構成し、画素電極駆動回路31を制御する制御回路32は低耐圧のMOSトランジスタで構成するため、中／高耐圧のトランジスタの数を最小限に抑えることができ、回路面積の小型化を実現できる。
- [0066] また、図4の画素回路23は、画素電極駆動回路31内の2つのMOSトランジスタQ1、Q2の導電型を同一にしている。これにより、バルク構造

で画素回路23を形成した場合に、バルク領域内に単一導電型のウェル領域（例えば、NMOSトランジスタの場合はPウェル領域）を設ければよくなり、回路面積をより削減できる。

[0067] さらに、図4の画素回路23は、画素電極27に画素データDATAを書き込むか否かを切替制御する図3の2つのNMOSトランジスタ25、26が不要となる。図4の画素回路23は、画素電極駆動回路31の制御を低耐圧のトランジスタで構成された制御回路32で行うため、低消費電力化が図れる。図4の画素回路23内の制御回路32は、水平駆動回路3からの画素データDATAを取り込むか否かの制御と、画素データDATAをキャパシタCsに記憶するか否かの制御と、簡易的なレベルシフトとを行う。

[0068] また、図4の画素回路23は、水平駆動回路3からデータ線L2を介して出力される画素データDATAの電圧振幅を制御回路32の電圧振幅に下げることができ、消費電力の削減が図れる。これに対して、図3の画素回路23では、水平駆動回路3からデータ線L2を介して出力される画素データDATAが中又は中／高耐圧のトランジスタQ1、Q2のゲートに入力されるため、データ線L2上の画素データDATAの電圧振幅を大きくする必要があり、消費電力が増大してしまう。

[0069] 以上に説明したように、図4の画素回路23は、図3の画素回路23に比べて、小さい回路面積で、かつ低消費電力で構成することができる。

[0070] （第2の具体例）

図5は第2の具体例に係る画素回路23の回路図である。図5の画素回路23は、図4の画素回路23に比べて、制御回路32の構成が簡略化されている。図5の画素回路23は、3つの中／高耐圧のNMOSトランジスタQ1～Q3とキャパシタCsを有する。これら3つのNMOSトランジスタQ1～Q3は、第2電源電圧ノードVHと接地ノードVssの間にカスコード接続されている。NMOSトランジスタQ1のゲートには、垂直駆動回路4から出力されたプリチャージ信号PCHGが入力される。NMOSトランジスタQ1～Q3のうち、NMOSトランジスタQ1とNMOSトランジスタQ2

は充放電回路 3 1（画素電極駆動回路 3 1）を構成し、NMOS トランジスタ Q 3 は制御回路 3 2 を構成する。NMOS トランジスタ Q 3 は充放電回路 3 1 としても機能する。

[0071] プリチャージ信号 PCHG は、キャパシタ Cs の充電電圧よりも NMOS トランジスタ Q 1 の閾値電圧だけ高い電圧レベルに設定される。

[0072] 図 4 の画素回路 2 3 内の制御回路 3 2 は、低耐圧の MOS トランジスタ Q 3 ~ Q 6 で構成されていたが、図 5 の画素回路 2 3 内の制御回路 3 2 は、中 / 高耐圧の MOS トランジスタ Q 3 で構成されている。

[0073] キャパシタ Cs は、NMOS トランジスタ Q 1 と NMOS トランジスタ Q 2 の接続ノード（画素電極 2 7 に繋がるノード）と接地ノード Vss の間に接続されている。すなわち、キャパシタ Cs は、NMOS トランジスタ Q 2 のドレインと接地ノード Vss の間に接続されている。このキャパシタ Cs は、画素データ DATA に応じた電荷を保持する。すなわち、このキャパシタ Cs は、画素データ DATA を記憶するために用いられる。

NMOS トランジスタ Q 2 のゲートには、垂直駆動回路 4 からゲート線 L 3 を介して出力されたゲート信号 / GATE が入力される。NMOS トランジスタ Q 3 のゲートには、水平駆動回路 3 からデータ線 L 2 を介して出力された画素データ DATA が入力される。

[0074] 図 4 の画素回路 2 3 では、垂直駆動回路 4 から出力されるゲート信号 / GATE の電圧振幅が低振幅であったが、図 5 の画素回路 2 3 では、垂直駆動回路 4 から出力されるゲート信号 / GATE の電圧振幅をロジック回路レベルよりも大きくしている。その理由は、NMOS トランジスタ Q 2 のドレインは画素電極 2 7 に繋がっており、電圧レベルが高いためである。

[0075] 一方、図 5 の画素回路 2 3 では、図 4 の画素回路 2 3 と同様に、水平駆動回路 3 からデータ線 L 2 を介して出力される画素データ DATA の電圧振幅を低振幅にしている。画素データ DATA は NMOS トランジスタ Q 1 のゲートに入力される。ただし、NMOS トランジスタ Q 1 のドレインの電圧振幅は大きいため、NMOS トランジスタ Q 1 を中 / 高耐圧のトランジスタに

している。

[0076] このように、図5の画素回路23は、3つの中／高耐圧のMOSトランジスタQ1～Q3とキャパシタCsだけで構成されるため、図4の画素回路23よりも回路面積を削減できる。ただし、垂直駆動回路4から出力されるプリチャージ信号PCHGとゲート信号／GATEの電圧振幅は、制御回路32の電圧振幅よりも大きいため、図5の垂直駆動回路4の消費電力は図4の垂直駆動回路4よりも多くなる。

[0077] 図5の画素回路23内の3つのトランジスタQ1～Q3はいずれも同じ導電型であるため、バルク構造にしたときにPウェル領域だけ設ければよくなり、回路面積のさらなる削減が図れる。

[0078] (第3の具体例)

図6は第3の具体例に係る画素回路23の回路図である。図6の画素回路23は、充放電回路31(画素電極駆動回路31)と制御回路32を有する。制御回路32は、低耐圧のNMOSトランジスタQ3を有する。画素電極駆動回路31は、2つの中／高耐圧のNMOSトランジスタ(NMOSトランジスタQ1とNMOSトランジスタQ2)とキャパシタCsを有する。

[0079] 第1、第2、及び第3NMOSトランジスタQ1～Q3は、第2電源電圧ノードVHと接地ノードVssの間にカスコード接続されている。

[0080] 図6の画素回路23は、図5の画素回路23内のNMOSトランジスタQ1を低耐圧にした点で相違するものの、回路構成は同じである。

[0081] また、図6の画素回路23内のNMOSトランジスタQ2のゲートに入力される垂直駆動回路4からのゲート信号／GATEの電圧振幅は、制御回路32の電圧振幅と同程度である。より詳細には、ゲート信号／GATEのハイレベルは、制御回路32のハイレベル電圧よりもNMOSトランジスタQ2の閾値電圧だけ高い電圧レベルである。

[0082] このように、図6の画素回路23では、NMOSトランジスタQ2のゲートに入力されるゲート信号／GATEの電圧振幅を制御回路32の電圧レベルにすることで、NMOSトランジスタQ1を低耐圧のMOSトランジスタ

にすることができる。

[0083] 図6の画素回路23は、2つの中／高耐圧トランジスタQ1、Q2と、1つの低耐圧のトランジスタQ3と、キャパシタCsとで構成されるため、図5の画素回路23よりもさらに回路面積を削減できる。

[0084] また、図6の画素回路23は、図5の画素回路23と同様に、同じ導電型の3つのトランジスタQ1～Q3を有するため、バルク構造にしたときにPウェル領域のみを設ければよくなり、回路面積をさらに削減できる。

[0085] (第4の具体例)

第1～第3の具体例による画素回路23では、キャパシタCsを充電するために用いられる画素電極駆動回路31内のMOSトランジスタQ1、Q2のゲートに入力されるプリチャージ信号PCHGの電圧レベルよりも閾値電圧だけ低い電圧がキャパシタCsの一端及び画素電極27に供給されるため、電圧効率がよいとはいえない。以下に説明する第4の具体例に係る画素回路23は、プリチャージ信号PCHGと同じ電圧レベルの電圧がキャパシタCsの一端及び画素電極27に供給されるようにしたものである。

[0086] 図7は第4の具体例に係る画素回路23の回路図である。図7の画素回路23は、制御回路32と画素電極駆動回路31を備えている。

[0087] 図7の制御回路32は、図4の制御回路32と同様の回路構成を有する。具体的には、図7の制御回路32は、4つの低耐圧のMOSトランジスタQ3～Q6を有する。より具体的には、図7の制御回路32は、2つのPMOSトランジスタ(PMOSトランジスタQ3とPMOSトランジスタQ4)と、2つのNMOSトランジスタQ5、Q6とを有する。これら4つの低耐圧のMOSトランジスタQ3～Q6は、例えばNOR回路を構成している。

[0088] PMOSトランジスタQ3、PMOSトランジスタQ4、及びNMOSトランジスタQ5は、第1電源電圧ノードVDDと接地ノードVssの間にカスコード接続されている。NMOSトランジスタQ5のドレインとNMOSトランジスタQ6のドレインは、制御回路32の出力ノードCToutに接続されている。NMOSトランジスタQ5のソースとNMOSトランジスタQ6のソ

ースは接地ノード V_{ss} に接続されている。

- [0089] PMOSトランジスタ Q_3 のゲートとNMOSトランジスタ Q_5 のゲートには画素データ $DATA$ が入力される。PMOSトランジスタ Q_4 のゲートとNMOSトランジスタ Q_6 のゲートにはゲート信号/ $GATE$ が入力される。
- [0090] 図7の画素電極駆動回路31は、4つの中／高耐圧のNMOSトランジスタ Q_1 、 Q_2 、 Q_7 、 Q_8 と、3つのキャパシタ（第1～第3キャパシタ） C_1 ～ C_3 とを有する。第2キャパシタ C_2 は、画素電極27に印加する電圧に応じた電荷を保持するキャパシタ C_s として機能する。このうち、第1キャパシタ C_1 、第3キャパシタ C_3 、及びNMOSトランジスタ Q_8 は補償回路33を構成している。補償回路33は、ダイオード又はダイオード接続されたNMOSトランジスタ Q_7 を介してNMOSトランジスタ Q_1 のゲートにプリチャージ信号 $PCHG$ が入力されることにより生じる第2キャパシタ C_2 の充電電圧の低下を補償する。
- [0091] 第2電源電圧ノード V_H と接地ノード V_{ss} の間にNMOSトランジスタ Q_1 とNMOSトランジスタ Q_2 がカスコード接続されている。NMOSトランジスタ Q_2 のゲートには、制御回路32から出力された制御信号 CT_{out} が入力される。
- [0092] NMOSトランジスタ Q_1 のゲートには、ダイオード接続されたNMOSトランジスタ Q_7 が接続されている。NMOSトランジスタ Q_7 のゲート及びソースには、垂直駆動回路4からのプリチャージ信号 $PCHG$ が入力される。NMOSトランジスタ Q_1 のゲートと接地ノード V_{ss} の間には、NMOSトランジスタ Q_8 が接続されている。
- [0093] NMOSトランジスタ Q_1 のゲートと接地ノード V_{ss} の間には、第1キャパシタ C_1 と第2キャパシタ C_2 が直列に接続されている。第2キャパシタ C_2 の一端は画素電極27に接続されている。第2キャパシタ C_2 の一端とNMOSトランジスタ Q_8 のゲートとの間には第3キャパシタ C_3 が接続されている。

- [0094] 以下では、NMOSトランジスタQ1のゲートを第1ノードn1、第2キャパシタC2の一端を第2ノードn2、NMOSトランジスタQ7のゲート及びソースを第3ノードn3、NMOSトランジスタQ8のゲートを第4ノードn4と呼ぶ。
- [0095] 第1ノードn1には、ダイオード接続されたNMOSトランジスタQ7が接続されている。よって、第1ノードn1の電圧がプリチャージ信号PCHGの電圧よりも高いときに、第1ノードn1と第3ノードn3を電氣的に分離することができ、第1ノードn1の電圧レベルを、プリチャージ信号PCHGの電圧レベルよりも高く設定可能である。
- [0096] プリチャージ信号PCHGがハイレベルになると、NMOSトランジスタQ1がオンして、第1キャパシタC1にはNMOSトランジスタQ1の閾値電圧に応じた電荷が保持される。よって、第2キャパシタC2には、プリチャージ信号PCHGの電圧レベルよりも閾値電圧だけ低い電圧に応じた電荷が保持される。
- [0097] NMOSトランジスタQ8のゲートには、プリチャージ信号PCHGの反転信号が入力される。よって、プリチャージ信号PCHGがハイレベルのときは、NMOSトランジスタQ8のゲートは接地レベルであり、第2キャパシタC2と同等の電荷が保持される。
- [0098] プリチャージ信号PCHGがローレベルになると、NMOSトランジスタQ1はオフする。NMOSトランジスタQ8のゲートにはプリチャージ信号PCHGの反転信号が入力されるため、ハイレベルになる。よって、第2ノードn2の電圧レベルが高くなり、画素電極27に印加される電圧がプリチャージ信号PCHGのハイレベルと同程度の電圧レベルになる。
- [0099] このように、第4の具体例では、プリチャージ信号PCHGのハイレベルよりもNMOSトランジスタQ1の閾値電圧分だけ低い電圧が画素電極27に印加されることを補償するために、第1キャパシタC1、第3キャパシタC3と、ダイオード接続されたNMOSトランジスタQ7と、NMOSトランジスタQ8を有するブートストラップ構成の回路により、画素電極27にプ

リチャージ信号PCHGのハイレベルと同程度の電圧を印加できる。

[0100] 第1～第3の具体例では、電源電圧と同レベルの電圧を画素電極27に印加するには、プリチャージ信号PCHGのハイレベルを電源電圧よりもMOSトランジスタの閾値電圧分だけ高くする必要があり、電源電圧よりも高い電圧レベルのプリチャージ信号PCHGを生成する必要があった。これに対して、第4の具体例による画素回路23では、プリチャージ信号PCHGのハイレベルを電源電圧と同レベルにしたとしても、画素電極27に電源電圧と同レベルの電圧を印加でき、電源電圧よりも高い電圧レベルのプリチャージ信号PCHGを生成しなくて済む。これにより、垂直駆動回路4の回路構成を簡略化できる。

[0101] (第5の具体例)

図8は第5の具体例に係る画素回路23の回路図である。図8の画素回路23は、制御回路32と充放電回路(画素電極駆動回路)31とを有する。

[0102] 図8の画素回路23は、図4の画素回路23の接地ノードVssを負の電源電圧ノード(-VDD)に変えたものである。すなわち、図8の画素回路23内の制御回路32と画素電極駆動回路31には、正の電源電圧ノードVDDと負の電源電圧ノード(-VDD)が接続されている。

[0103] 画素電極駆動回路31は、正の電源電圧ノードVDDと負の電源電圧ノード(-VDD)の間にカスコード接続されたPMOSトランジスタQ11及びNMOSトランジスタQ12と、キャパシタCsとを有する。

[0104] PMOSトランジスタQ11のゲートには、正の電源電圧VDDと接地電圧Vssとの電圧振幅を有するプリチャージ信号PCHGが入力される。NMOSトランジスタQ12のゲートには、制御回路32から出力された制御信号CToutが入力される。プリチャージ信号PCHGは、垂直駆動回路4から入力される。

[0105] プリチャージ信号PCHGが接地電圧Vssまで低下すると、PMOSトランジスタQ11がオンして、キャパシタCsへの充電が行われる。キャパシタCsには、電源電圧VDDの2倍の電圧に応じた電荷が保持される。制御信号C

T_{out} がハイレベルである接地電圧になると、NMOSトランジスタ Q_{12} がオンし、キャパシタ C_s の蓄積電荷が放電される。

[0106] 制御回路32は、NOR回路を構成する2つのPMOSトランジスタ Q_{13} 、 Q_{14} と、2つのNMOSトランジスタ Q_{15} 、 Q_{16} を有する。PMOSトランジスタ Q_{13} のソースには接地ノード V_{ss} が接続されている。NMOSトランジスタ Q_{15} のソースとNMOSトランジスタ Q_{16} のソースは負の電源電圧ノード($-V_{DD}$)に接続されている。

[0107] 制御回路32には、水平駆動回路3からの画素データDATAと、垂直駆動回路4からのゲート信号/GATEとが入力される。画素データDATAは、接地電圧 V_{ss} と負の電源電圧($-V_{DD}$)との電圧振幅を有する。ゲート信号/GATEは、接地電圧 V_{ss} と負の電源電圧($-V_{DD}$)との電圧振幅を有する。

[0108] このように、図8の画素回路23は、正の電源電圧 V_{DD} と負の電源電圧($-V_{DD}$)を用いることにより、キャパシタ C_s に電源電圧の2倍の電圧に応じた電荷を保持することができ、プリチャージ信号PCHGの電圧レベルより低い電圧が画素電極27に印加されるといふ不具合が起きなくなる。

[0109] (第6の具体例)

図9は第6の具体例に係る画素回路23の回路図である。図9の画素回路23は、図4の画素回路23内の充放電回路(画素電極駆動回路)31を構成する2つのMOSトランジスタの導電型を逆にしたものである。

[0110] 図9の画素回路23は画素電極駆動回路31と制御回路32を有する。

[0111] 図9の画素電極駆動回路31は、2つのPMOSトランジスタ Q_{21} 、 Q_{22} を有する。PMOSトランジスタ Q_{21} のソースは電源電圧 V_H ノードに接続され、PMOSトランジスタ Q_{21} のゲートには制御回路32からの制御信号 $C_{T_{out}}$ が入力される。PMOSトランジスタ Q_{22} のソースはPMOSトランジスタ Q_{21} のドレインに接続され、PMOSトランジスタ Q_{22} のゲートにはプリチャージ信号PCHGが入力される。PMOSトランジスタ Q_{22} のドレインは接地ノード V_{ss} に接続されている。キャパシタ C_s は

、PMOSトランジスタQ22のソースと接地ノードV_{SS}の間に接続されている。

[0112] 制御回路32は、NOR回路を構成する2つのPMOSトランジスタQ23、Q24と、2つのNMOSトランジスタQ25、Q26を有する。

[0113] PMOSトランジスタQ23のソースは電源電源ノードV_Hに接続され、PMOSトランジスタQ23のゲートには画素データDATAが入力される。画素データDATAは、V_HとV_H-V_{DD}の電圧振幅を有する。

[0114] PMOSトランジスタQ24のソースはPMOSトランジスタQ23のドレインに接続され、PMOSトランジスタQ24のゲートにはゲート信号/GATEが入力される。

[0115] NMOSトランジスタQ25のドレインはPMOSトランジスタQ24のドレイン（制御回路32の出力ノードC_{Tout}）に接続され、NMOSトランジスタQ25のゲートには画素データDATAが入力される。NMOSトランジスタQ26のドレインは制御回路32の出力ノードC_{Tout}に接続され、NMOSトランジスタQ26のゲートにはゲート信号/GATEが入力される。NMOSトランジスタQ25のソースとNMOSトランジスタQ26のソースには電源電圧（V_H-V_{DD}）ノードに接続されている。これにより、制御回路32から出力される制御信号C_{Tout}の電圧振幅は、V_HとV_H-V_{DD}になる。

[0116] このように、図9の画素回路23は、制御回路32から出力される制御信号C_{Tout}がV_H-V_{DD}のときにPMOSトランジスタQ21がオンし、キャパシタC_sは電源電圧V_Hに応じた電荷を保持する。また、プリチャージ信号PCHGがV_H-V_{th}のときにPMOSトランジスタQ22がオンし、キャパシタC_sの蓄積電荷は放電される。

[0117] 上述した第1～第5の具体例による画素回路23は、共通した回路構成として、充放電回路31と、制御回路32と、キャパシタC_sとを有する。充放電回路31は、キャパシタC_sの充放電を行う。制御回路32は、充放電回路31を制御する。充放電回路31は、キャパシタC_sの充電を制御する第1ス

スイッチング素子Q1と、キャパシタCsの放電を制御する第2スイッチング素子Q2を有する。制御回路32は、画素データDATA又は表示タイミング信号の少なくとも一方に基づいて、第1スイッチング素子Q1及び第2スイッチング素子Q2の少なくとも一方のオン又はオフを制御する第3スイッチング素子Q3を有する。

[0118] 第1スイッチング素子Q1は、例えば図4のNMOSトランジスタQ1である。第2スイッチング素子Q2は、例えば図4のNMOSトランジスタQ2である。第3スイッチング素子は、例えば図4のNMOSトランジスタQ3～Q6である。

[0119] 第1～第5の具体例による画素回路23は、高耐圧のトランジスタと低耐圧のトランジスタを有するため、高耐圧のトランジスタだけで画素回路23を構成するよりも、回路面積を縮小でき、かつ消費電力を削減できる。また、充放電回路（画素電極駆動回路）31内の第1スイッチング素子Q1と第2スイッチング素子Q2の導電型を同一にすることで、バルク構造にした場合に単一極性のウェル領域だけを設ければよくなり、さらなる回路面積の削減が図れる。

[0120] 第1～第5の具体例による画素回路23内の各トランジスタは、MOSトランジスタでもよいし、バイポーラトランジスタでもよい。

[0121] （本開示による表示装置1及び電子機器の適用例）

（第1適用例）

本開示による表示装置1及び電子機器50は、種々の用途に用いることができる。図10A及び図10Bは本開示による表示装置1を備えた電子機器50の第1適用例である乗物100の内部の構成を示す図である。図10Aは乗物100の後方から前方にかけての乗物100の内部の様子を示す図、図10Bは乗物100の斜め後方から斜め前方にかけての乗物100の内部の様子を示す図である。

[0122] 図10A及び図10Bの乗物100は、センターディスプレイ101と、コンソールディスプレイ102と、ヘッドアップディスプレイ103と、デ

デジタルリアミラー104と、ステアリングホイールディスプレイ105と、リアエンタテインメントディスプレイ106とを有する。

[0123] センターディスプレイ101は、ダッシュボード107上の運転席108及び助手席109に対向する場所に配置されている。図10では、運転席108側から助手席109側まで延びる横長形状のセンターディスプレイ101の例を示すが、センターディスプレイ101の画面サイズや配置場所は任意である。センターディスプレイ101には、種々のセンサで検知された情報を表示可能である。具体的な一例として、センターディスプレイ101には、イメージセンサで撮影した撮影画像、ToFセンサで計測された乗物前方や側方の障害物までの距離画像、赤外線センサで検出された乗客の体温などを表示可能である。センターディスプレイ101は、例えば、安全関連情報、操作関連情報、ライフログ、健康関連情報、認証／識別関連情報、及びエンタテインメント関連情報の少なくとも一つを表示するために用いることができる。

[0124] 安全関連情報は、居眠り検知、よそ見検知、同乗している子供のいたずら検知、シートベルト装着有無、乗員の置き去り検知などの情報であり、例えばセンターディスプレイ101の裏面側に重ねて配置されたセンサにて検知される情報である。操作関連情報は、センサを用いて乗員の操作に関するジェスチャを検知する。検知されるジェスチャは、乗物100内の種々の設備の操作を含んでいてもよい。例えば、空調設備、ナビゲーション装置、AV装置、照明装置等の操作を検知する。ライフログは、乗員全員のライフログを含む。例えば、ライフログは、乗車中の各乗員の行動記録を含む。ライフログを取得及び保存することで、事故時に乗員がどのような状態であったかを確認できる。健康関連情報は、温度センサを用いて乗員の体温を検知し、検知した体温に基づいて乗員の健康状態を推測する。あるいは、イメージセンサを用いて乗員の顔を撮像し、撮像した顔の表情から乗員の健康状態を推測してもよい。さらに、乗員に対して自動音声で会話を行って、乗員の回答内容に基づいて乗員の健康状態を推測してもよい。認証／識別関連情報は、

センサを用いて顔認証を行うキーレスエントリー機能や、顔識別でシート高さや位置の自動調整機能などを含む。エンタテインメント関連情報は、センサを用いて乗員によるAV装置の操作情報を検出する機能や、センサで乗員の顔を認識して、乗員に適したコンテンツをAV装置にて提供する機能などを含む。

[0125] コンソールディスプレイ102は、例えばライフログ情報の表示に用いることができる。コンソールディスプレイ102は、運転席108と助手席109の間のセンターコンソール110のシフトレバー111の近くに配置されている。コンソールディスプレイ102にも、種々のセンサで検知された情報を表示可能である。また、コンソールディスプレイ102には、イメージセンサで撮像された車両周辺の画像を表示してもよいし、車両周辺の障害物までの距離画像を表示してもよい。

[0126] ヘッドアップディスプレイ103は、運転席108の前方のフロントガラス112の奥に仮想的に表示される。ヘッドアップディスプレイ103は、例えば、安全関連情報、操作関連情報、ライフログ、健康関連情報、認証／識別関連情報、及びエンタテインメント関連情報の少なくとも一つを表示するために用いることができる。ヘッドアップディスプレイ103は、運転席108の正面に仮想的に配置されることが多いため、乗物100の速度や燃料（バッテリー）残量などの乗物100の操作に直接関連する情報を表示するのに適している。

[0127] デジタルリアミラー104は、乗物100の後方を表示できるだけでなく、後部座席の乗員の様子も表示できるため、デジタルリアミラー104の裏面側に重ねてセンサを配置することで、例えばライフログ情報の表示に用いることができる。

[0128] ステアリングホイールディスプレイ105は、乗物100のハンドル113の中心付近に配置されている。ステアリングホイールディスプレイ105は、例えば、安全関連情報、操作関連情報、ライフログ、健康関連情報、認証／識別関連情報、及びエンタテインメント関連情報の少なくとも一つを表示

するために用いることができる。特に、ステアリングホイールディスプレイ 105 は、運転者の手の近くにあるため、運転者の体温等のライフログ情報を表示したり、AV 装置や空調設備等の操作に関する情報などを表示するのに適している。

[0129] リアエンタテインメントディスプレイ 106 は、運転席 108 や助手席 109 の背面側に取り付けられており、後部座席の乗員が視聴するためのものである。リアエンタテインメントディスプレイ 106 は、例えば、安全関連情報、操作関連情報、ライフログ、健康関連情報、認証／識別関連情報、及びエンタテインメント関連情報の少なくとも一つを表示するために用いることができる。特に、リアエンタテインメントディスプレイ 106 は、後部座席の乗員の目の前にあるため、後部座席の乗員に関連する情報が表示される。例えば、AV 装置や空調設備の操作に関する情報を表示したり、後部座席の乗員の体温等を温度センサで計測した結果を表示してもよい。

[0130] 上述したように、表示装置 1 の裏面側に重ねてセンサを配置することで、周囲に存在する物体までの距離を計測することができる。光学的な距離計測の手法には、大きく分けて、受動型と能動型がある。受動型は、センサから物体に光を投光せずに、物体からの光を受光して距離計測を行うものである。受動型には、レンズ焦点法、ステレオ法、及び単眼視法などがある。能動型は、物体に光を投光して、物体からの反射光をセンサで受光して距離計測を行うものである。能動型には、光レーダ方式、アクティブステレオ方式、照度差ステレオ法、モアレトポグラフィ法、干渉法などがある。本開示による表示装置 1 は、これらのどの方式の距離計測にも適用可能である。本開示による表示装置 1 の裏面側に重ねて配置されるセンサを用いることで、上述した受動型又は能動型の距離計測を行うことができる。

[0131] (第 2 適用例)

本開示による表示装置 1 は、乗物で用いられる種々のディスプレイに適用されるだけでなく、種々の電子機器 50 に搭載されるディスプレイにも適用可能である。

[0132] 図11Aは電子機器50の第2適用例であるデジタルカメラ120の正面図、図11Bはデジタルカメラ120の背面図である。図11A及び図11Bのデジタルカメラ120は、レンズ121を交換可能な一眼レフカメラの例を示しているが、レンズ121を交換できないカメラにも適用可能である。

[0133] 図11A及び図11Bのカメラは、撮影者がカメラボディ122のグリップ123を把持した状態で電子ビューファインダ124を覗いて構図を決めて、焦点調節を行った状態でシャッタ125を押すと、カメラ内のメモリに撮影データが保存される。カメラの背面側には、図11Bに示すように、撮影データ等やライブ画像等を表示するモニタ画面126と、電子ビューファインダ124とが設けられている。また、カメラの上面には、シャッタ速度や露出値などの設定情報を表示するサブ画面が設けられる場合もある。

[0134] カメラに用いられるモニタ画面126、電子ビューファインダ124、サブ画面等の裏面側に重ねてセンサを配置することで、本開示による表示装置1として用いることができる。

[0135] (第3適用例)

本開示による表示装置1は、ヘッドマウントディスプレイ(以下、HMDと呼ぶ)にも適用可能である。HMDは、VR(Virtual Reality)、AR(Augmented Reality)、MR(Mixed Reality)、又はSR(Substitutional Reality)等に利用されることができる。

[0136] 図12Aは電子機器50の第3適用例であるHMD130の外観図である。図12AのHMD130は、人間の目を覆うように装着するための装着部材131を有する。この装着部材131は例えば人間の耳に引っ掛けて固定される。HMD130の内側には表示装置132が設けられており、HMD130の装着者はこの表示装置132にて立体映像等を視認できる。HMD130は例えば無線通信機能と加速度センサなどを備えており、装着者の姿勢やジェスチャなどに応じて、表示装置132に表示される立体映像等を切り換えることができる。

[0137] また、HMD 130にカメラを設けて、装着者の周囲の画像を撮影し、カメラの撮影画像とコンピュータで生成した画像とを合成した画像を表示装置132で表示してもよい。例えば、HMD 130の装着者が視認する表示装置132の裏面側に重ねてカメラを配置して、このカメラで装着者の目の周辺を撮影し、その撮影画像をHMD 130の外表面に設けた別のディスプレイに表示することで、装着者の周囲にいる人間は、装着者の顔の表情や目の動きをリアルタイムに把握可能となる。

[0138] なお、HMD 130には種々のタイプが考えられる。例えば、図12Bのように、本開示による表示装置1は、メガネ134に種々の情報を映し出すスマートグラス130aにも適用可能である。図12Bのスマートグラス130aは、本体部135と、アーム部136と、鏡筒部137とを有する。本体部135はアーム部136に接続されている。本体部135は、メガネ134に着脱可能とされている。本体部135は、スマートグラス130aの動作を制御するための制御基板や表示部を内蔵している。本体部135と鏡筒部137は、アーム部136を介して互いに連結されている。鏡筒部137は、本体部135からアーム部136を介して出射される画像光を、メガネ134のレンズ138側に出射する。この画像光は、レンズ138を通して人間の目に入る。図12Bのスマートグラス130aの装着者は、通常のメガネと同様に、周囲の状況だけでなく、鏡筒部137から出射された種々の情報を合わせて視認できる。

[0139] (第4適用例)

本開示による表示装置1は、テレビジョン装置(以下、TV)にも適用可能である。最近のTVは、小型化の観点及び意匠デザイン性の観点から、額縁をできるだけ小さくする傾向にある。このため、視聴者を撮影するカメラをTVに設ける場合には、TVの表示パネルの裏面側に重ねて配置するのが望ましい。

[0140] 図13は電子機器50の第4適用例であるTV140の外観図である。図13のTV140は、額縁が極小化されており、正面側のほぼ全域が表示エ

リアとなっている。TV140には視聴者を撮影するためのカメラ等のセンサが内蔵されていてもよい。

[0141] (第5適用例)

本開示による表示装置1は、スマートフォンや携帯電話にも適用可能である。図14は電子機器50の第5適用例であるスマートフォン150の外観図である。図14の例では、電子機器50の外形サイズの近くまで表示面1zが広がっており、表示面1zの周囲にあるベゼル1yの幅を数mm以下にしている。通常、ベゼル1yには、フロントカメラが搭載されることが多いが、表示面1zの例えば略中央部の裏面側にフロントカメラとして機能するイメージセンサモジュールを配置してもよい。このように、フロントカメラを表示面1zの裏面側に設けることで、ベゼル1yにフロントカメラを配置する必要がなくなり、ベゼル1yの幅を狭めることができる。

[0142] なお、本技術は以下のような構成を取ることができる。

(1) 複数の画素を備え、

前記画素は、表示素子と、前記表示素子に供給される電圧を制御する画素回路と、を有し、

前記画素回路は、

前記表示素子に供給される電圧に応じた電荷を保持するキャパシタと、

前記キャパシタの充放電を行う充放電回路と、

前記充放電回路を制御する制御回路と、を有し、

前記充放電回路は、

前記キャパシタの充電を制御する第1スイッチング素子と、

前記キャパシタの放電を制御する第2スイッチング素子と、を有し、

前記制御回路は、画素データ又は表示タイミング信号の少なくとも一方に基づいて、前記第1スイッチング素子及び前記第2スイッチング素子の少なくとも一方のオン又はオフを制御する第3スイッチング素子を有する、表示装置。

(2) 前記第1スイッチング素子及び前記第2スイッチング素子は、同一

の耐圧及び同一の導電型を有する、(1)に記載の表示装置。

(3) 前記充放電回路内の前記第1スイッチング素子及び前記第2スイッチング素子は、第1耐圧を有し、

前記制御回路内の前記第3スイッチング素子は、前記第1耐圧よりも低い第2耐圧を有する、(1)又は(2)に記載の表示装置。

(4) 前記第1スイッチング素子、前記第2スイッチング素子、及び前記第3スイッチング素子は、第1基準電圧ノードと第2基準電圧ノードとの間にカスコード接続されており、

前記キャパシタは、前記第1スイッチング素子及び前記第2スイッチング素子の接続ノードと、前記第2基準電圧ノードとの間に接続される、(1)又は(2)に記載の表示装置。

(5) 前記第3スイッチング素子は、前記第1スイッチング素子及び前記第2スイッチング素子と同一の耐圧及び同一の導電型を有する、(4)に記載の表示装置。

(6) 前記第3スイッチング素子は、前記第1スイッチング素子及び前記第2スイッチング素子とは異なる耐圧で、かつ同一の導電型を有する、(4)に記載の表示装置。

(7) 前記第1スイッチング素子及び前記第2スイッチング素子は、第1基準電圧ノードと第2基準電圧ノードとの間にカスコード接続されており、

前記キャパシタは、前記第1スイッチング素子及び前記第2スイッチング素子の接続ノードと、前記第2基準電圧ノードとの間に接続される、(1)乃至(3)のいずれか一項に記載の表示装置。

(8) 前記制御回路は、前記画素データ及び前記表示タイミング信号に基づいて、前記第1スイッチング素子及び前記第2スイッチング素子の少なくとも一方のゲートに入力される制御信号を生成する、(1)乃至(7)のいずれか一項に記載の表示装置。

(9) 前記第1スイッチング素子及び前記第2スイッチング素子のいずれか一方のゲートには、プリチャージ信号が入力され、他方のゲートには、前

記制御信号が入力される、(8)に記載の表示装置。

(10) 前記プリチャージ信号の電圧振幅は、前記制御信号の電圧振幅よりも大きい、(9)に記載の表示装置。

(11) 前記プリチャージ信号の電圧振幅は、前記画素データ及び前記表示タイミング信号の電圧振幅よりも大きい、(9)又は(10)に記載の表示装置。

(12) 前記第1スイッチング素子又は前記第2スイッチング素子の閾値電圧を考慮に入れて前記プリチャージ信号の電圧レベルを設定する第1駆動回路を備える、(9)乃至(11)のいずれか一項に記載の表示装置。

(13) 前記第1スイッチング素子及び前記第2スイッチング素子はN型のMOS (Metal Oxide Semiconductor) トランジスタであり、

前記第1スイッチング素子のドレインは、第1基準電圧ノードに接続されており、

前記キャパシタの一端は、前記第1スイッチング素子のソースに接続されており、

前記第1駆動回路は、前記キャパシタの充電時に前記第1スイッチング素子のソースが前記第1基準電圧ノードと同じ電圧レベルになるように、前記プリチャージ信号の電圧レベルを前記第1基準電圧ノードの電圧よりも前記閾値電圧だけ高い電圧に設定する、(12)に記載の表示装置。

(14) 前記第1スイッチング素子及び前記第2スイッチング素子はP型のMOS (Metal Oxide Semiconductor) トランジスタであり、

前記第1スイッチング素子のソースは、第1基準電圧ノードに接続されており、

前記第2スイッチング素子のドレインは、第2基準電圧ノードに接続されており、

前記キャパシタの一端は、前記第1スイッチング素子のドレインに接続されており、

前記第1駆動回路は、前記キャパシタの放電時に前記第1スイッチング素

子のドレインが前記第2基準電圧ノードと同じ電圧レベルになるように、前記プリチャージ信号の電圧レベルを前記第2基準電圧ノードの電圧よりも前記閾値電圧だけ低い電圧に設定する、(12)に記載の表示装置。

(15)前記第1駆動回路は、前記制御回路の電圧振幅よりも大きな電圧振幅を有する前記プリチャージ信号と、前記制御回路の電圧振幅と同程度の電圧振幅を有する前記表示タイミング信号とを前記制御回路に入力する、(12)乃至(14)のいずれか一項に記載の表示装置。

(16)前記充放電回路は、

前記第1スイッチング素子のゲートに接続されるダイオード又はダイオード接続されたトランジスタと、

前記ダイオード又はダイオード接続されたトランジスタを介して前記第1スイッチング素子のゲートに前記プリチャージ信号が入力されることにより生じる前記キャパシタの充電電圧の低下を補償する補償回路と、を有する、

(9)乃至(11)のいずれか一項に記載の表示装置。

(17)第1基準電圧ノードの第1基準電圧と第2基準電圧ノードの第2基準電圧とは、互いに電圧極性が逆の電圧であり、

前記第1スイッチング素子のゲートに供給されるプリチャージ信号と、前記表示タイミング信号とは、互いに電圧極性が逆の信号である、(1)又は(3)に記載の表示装置。

(18)前記第1スイッチング素子のゲートに供給されるプリチャージ信号と、前記画素データとは、電圧極性が逆であり、

前記制御回路には、前記第1基準電圧又は前記第2基準電圧と、前記第1基準電圧及び前記第2基準電圧の中間電圧とが供給される、(17)に記載の表示装置。

(19)前記第1スイッチング素子及び前記第2スイッチング素子は、同一の耐圧及び互いに異なる導電性を有する、(16)又は(17)に記載の表示装置。

[0143] 本開示の態様は、上述した個々の実施形態に限定されるものではなく、当

業者が想到しうる種々の変形も含むものであり、本開示の効果も上述した内容に限定されない。すなわち、特許請求の範囲に規定された内容およびその均等物から導き出される本開示の概念的な思想と趣旨を逸脱しない範囲で種々の追加、変更および部分的削除が可能である。

符号の説明

[0144] 1 表示装置、1 y ベゼル、1 z 表示面、2 画素アレイ部、3 水平駆動回路、4 垂直駆動回路、5 レベルシフト、6 タイミング生成器、8 LVDS伝送部、9 サーマルダイオード、10 表示システム、11 光源、12 ダイクロイックミラー、13 ダイクロイックミラー、14 全反射ミラー、15 偏光ビームスプリッタ、16 偏光ビームスプリッタ、17 偏光ビームスプリッタ、18 合成プリズム、19 投射レンズ、20 スクリーン、21 B 液晶ライトバルブ、21 G 液晶ライトバルブ、21 R 液晶ライトバルブ、22 画素、23 画素回路、24 メモリ、24 a インバータ、24 b インバータ、25 NMOSトランジスタ、26 NMOSトランジスタ、27 画素電極、31 充放電回路（画素電極駆動回路）、32 制御回路、33 補償回路、50 電子機器、100 乗物、101 センターディスプレイ、102 コンソールディスプレイ、103 ヘッドアップディスプレイ、104 デジタルリアミラー、105 ステアリングホイールディスプレイ、106 リアエンタテインメントディスプレイ、107 ダッシュボード、108 運転席、109 助手席、110 センターコンソール、111 シフトレバー、112 フロントガラス、113 ハンドル、120 デジタルカメラ、121 レンズ、122 カメラボディ、123 グリップ、124 電子ビューファインダ、125 シャッター、126 モニタ画面、130 a スマートグラス、131 装着部材、132 表示装置、134 メガネ、135 本体部、136 アーム部、137 鏡筒部、138 レンズ、150 スマートフォン

請求の範囲

- [請求項1] 複数の画素を備え、
前記画素は、表示素子と、前記表示素子に供給される電圧を制御する画素回路と、を有し、
前記画素回路は、
前記表示素子に供給される電圧に応じた電荷を保持するキャパシタと、
前記キャパシタの充放電を行う充放電回路と、
前記充放電回路を制御する制御回路と、を有し、
前記充放電回路は、
前記キャパシタの充電を制御する第1スイッチング素子と、
前記キャパシタの放電を制御する第2スイッチング素子と、を有し、
、
前記制御回路は、画素データ又は表示タイミング信号の少なくとも一方に基づいて、前記第1スイッチング素子及び前記第2スイッチング素子の少なくとも一方のオン又はオフを制御する第3スイッチング素子を有する、表示装置。
- [請求項2] 前記第1スイッチング素子及び前記第2スイッチング素子は、同一の耐圧及び同一の導電型を有する、請求項1に記載の表示装置。
- [請求項3] 前記充放電回路内の前記第1スイッチング素子及び前記第2スイッチング素子は、第1耐圧を有し、
前記制御回路内の前記第3スイッチング素子は、前記第1耐圧よりも低い第2耐圧を有する、請求項1に記載の表示装置。
- [請求項4] 前記第1スイッチング素子、前記第2スイッチング素子、及び前記第3スイッチング素子は、第1基準電圧ノードと第2基準電圧ノードとの間にカスコード接続されており、
前記キャパシタは、前記第1スイッチング素子及び前記第2スイッチング素子の接続ノードと、前記第2基準電圧ノードとの間に接続さ

れる、請求項 1 に記載の表示装置。

[請求項5] 前記第 3 スイッチング素子は、前記第 1 スイッチング素子及び前記第 2 スイッチング素子と同一の耐圧及び同一の導電型を有する、請求項 4 に記載の表示装置。

[請求項6] 前記第 3 スイッチング素子は、前記第 1 スイッチング素子及び前記第 2 スイッチング素子とは異なる耐圧で、かつ同一の導電型を有する、請求項 4 に記載の表示装置。

[請求項7] 前記第 1 スイッチング素子及び前記第 2 スイッチング素子は、第 1 基準電圧ノードと第 2 基準電圧ノードとの間にカスコード接続されており、

前記キャパシタは、前記第 1 スイッチング素子及び前記第 2 スイッチング素子の接続ノードと、前記第 2 基準電圧ノードとの間に接続される、請求項 1 に記載の表示装置。

[請求項8] 前記制御回路は、前記画素データ及び前記表示タイミング信号に基づいて、前記第 1 スイッチング素子及び前記第 2 スイッチング素子の少なくとも一方のゲートに入力される制御信号を生成する、請求項 1 に記載の表示装置。

[請求項9] 前記第 1 スイッチング素子及び前記第 2 スイッチング素子のいずれか一方のゲートには、プリチャージ信号が入力され、他方のゲートには、前記制御信号が入力される、請求項 8 に記載の表示装置。

[請求項10] 前記プリチャージ信号の電圧振幅は、前記制御信号の電圧振幅よりも大きい、請求項 9 に記載の表示装置。

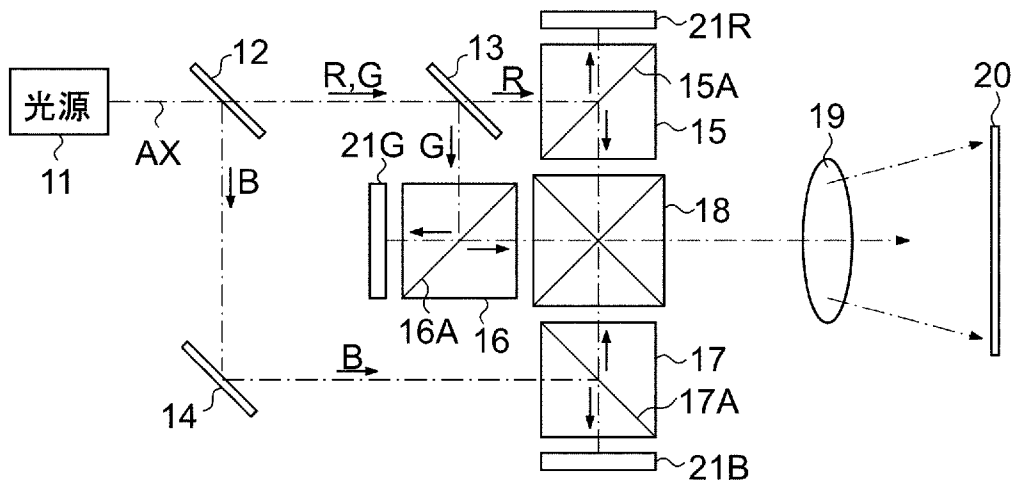
[請求項11] 前記プリチャージ信号の電圧振幅は、前記画素データ及び前記表示タイミング信号の電圧振幅よりも大きい、請求項 9 に記載の表示装置。

[請求項12] 前記第 1 スイッチング素子又は前記第 2 スイッチング素子の閾値電圧を考慮に入れて前記プリチャージ信号の電圧レベルを設定する第 1 駆動回路を備える、請求項 9 に記載の表示装置。

- [請求項13] 前記第1スイッチング素子及び前記第2スイッチング素子はN型のMOS (Metal Oxide Semiconductor) トランジスタであり、
前記第1スイッチング素子のドレインは、第1基準電圧ノードに接続されており、
前記キャパシタの一端は、前記第1スイッチング素子のソースに接続されており、
前記第1駆動回路は、前記キャパシタの充電時に前記第1スイッチング素子のソースが前記第1基準電圧ノードと同じ電圧レベルになるように、前記プリチャージ信号の電圧レベルを前記第1基準電圧ノードの電圧よりも前記閾値電圧だけ高い電圧に設定する、請求項12に記載の表示装置。
- [請求項14] 前記第1スイッチング素子及び前記第2スイッチング素子はP型のMOS (Metal Oxide Semiconductor) トランジスタであり、
前記第1スイッチング素子のソースは、第1基準電圧ノードに接続されており、
前記第2スイッチング素子のドレインは、第2基準電圧ノードに接続されており、
前記キャパシタの一端は、前記第1スイッチング素子のドレインに接続されており、
前記第1駆動回路は、前記キャパシタの放電時に前記第1スイッチング素子のドレインが前記第2基準電圧ノードと同じ電圧レベルになるように、前記プリチャージ信号の電圧レベルを前記第2基準電圧ノードの電圧よりも前記閾値電圧だけ低い電圧に設定する、請求項12に記載の表示装置。
- [請求項15] 前記第1駆動回路は、前記制御回路の電圧振幅よりも大きな電圧振幅を有する前記プリチャージ信号と、前記制御回路の電圧振幅と同程度の電圧振幅を有する前記表示タイミング信号とを前記制御回路に入力する、請求項12に記載の表示装置。

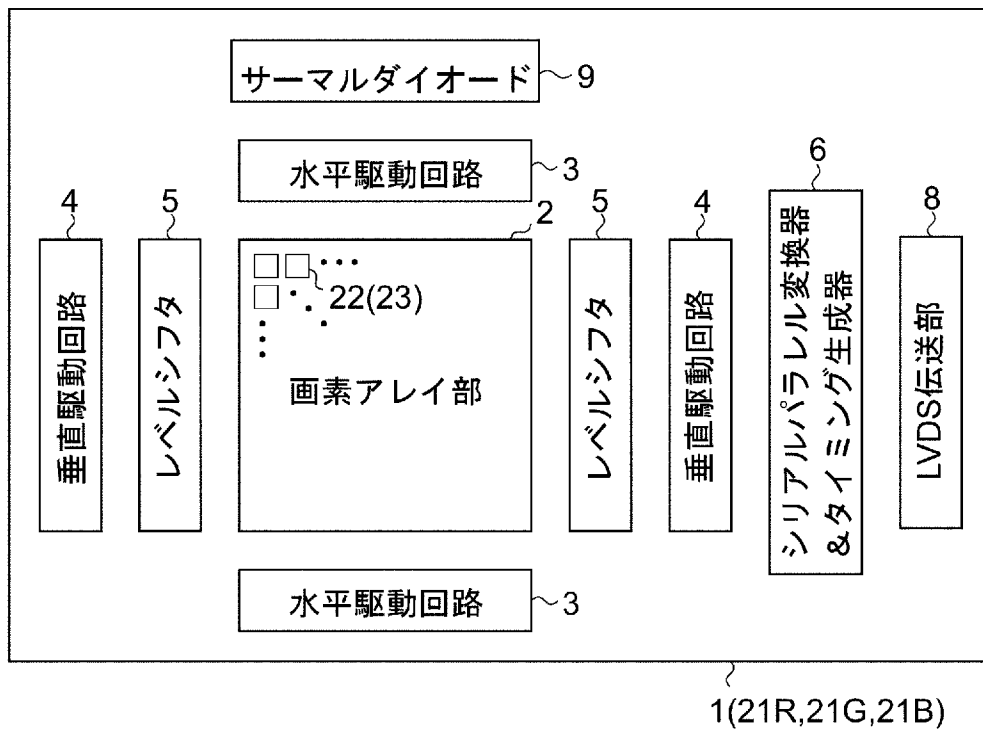
- [請求項16] 前記充放電回路は、
前記第1スイッチング素子のゲートに接続されるダイオード又はダイオード接続されたトランジスタと、
前記ダイオード又はダイオード接続されたトランジスタを介して前記第1スイッチング素子のゲートに前記プリチャージ信号が入力されることにより生じる前記キャパシタの充電電圧の低下を補償する補償回路と、を有する、請求項9に記載の表示装置。
- [請求項17] 第1基準電圧ノードの第1基準電圧と第2基準電圧ノードの第2基準電圧とは、互いに電圧極性が逆の電圧であり、
前記第1スイッチング素子のゲートに供給されるプリチャージ信号と、前記表示タイミング信号とは、互いに電圧極性が逆の信号である、請求項1に記載の表示装置。
- [請求項18] 前記第1スイッチング素子のゲートに供給されるプリチャージ信号と、前記画素データとは、電圧極性が逆であり、
前記制御回路には、前記第1基準電圧又は前記第2基準電圧と、前記第1基準電圧及び前記第2基準電圧の中間電圧とが供給される、請求項17に記載の表示装置。
- [請求項19] 前記第1スイッチング素子及び前記第2スイッチング素子は、同一の耐圧及び互いに異なる導電型を有する、請求項16に記載の表示装置。

[図1]



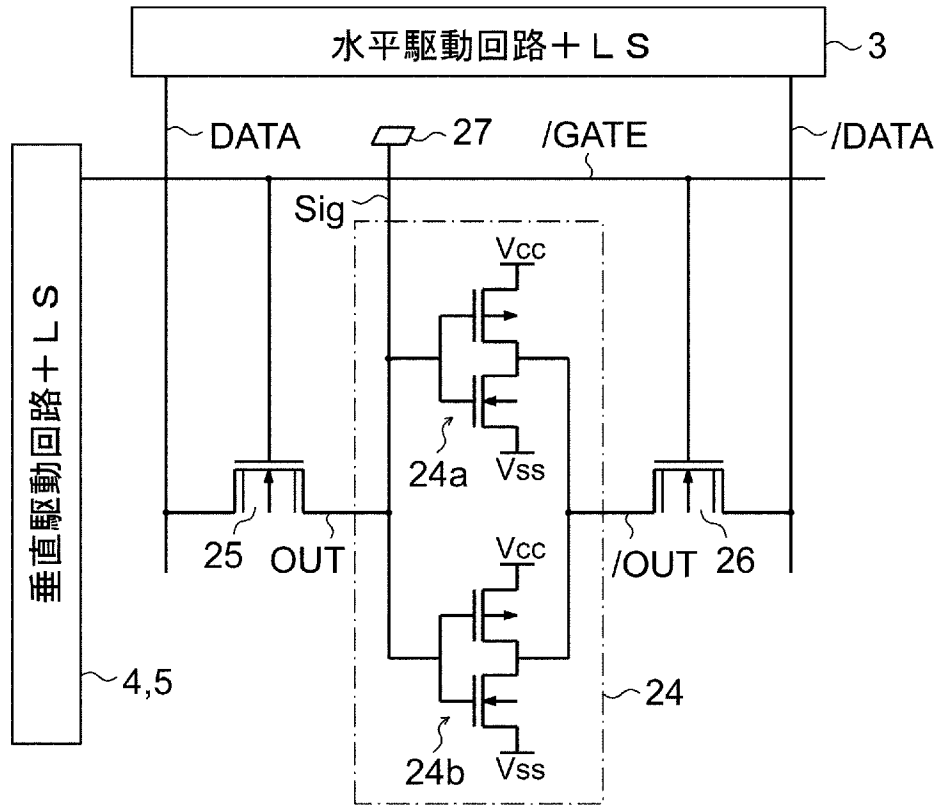
10 : 表示システム

[図2]

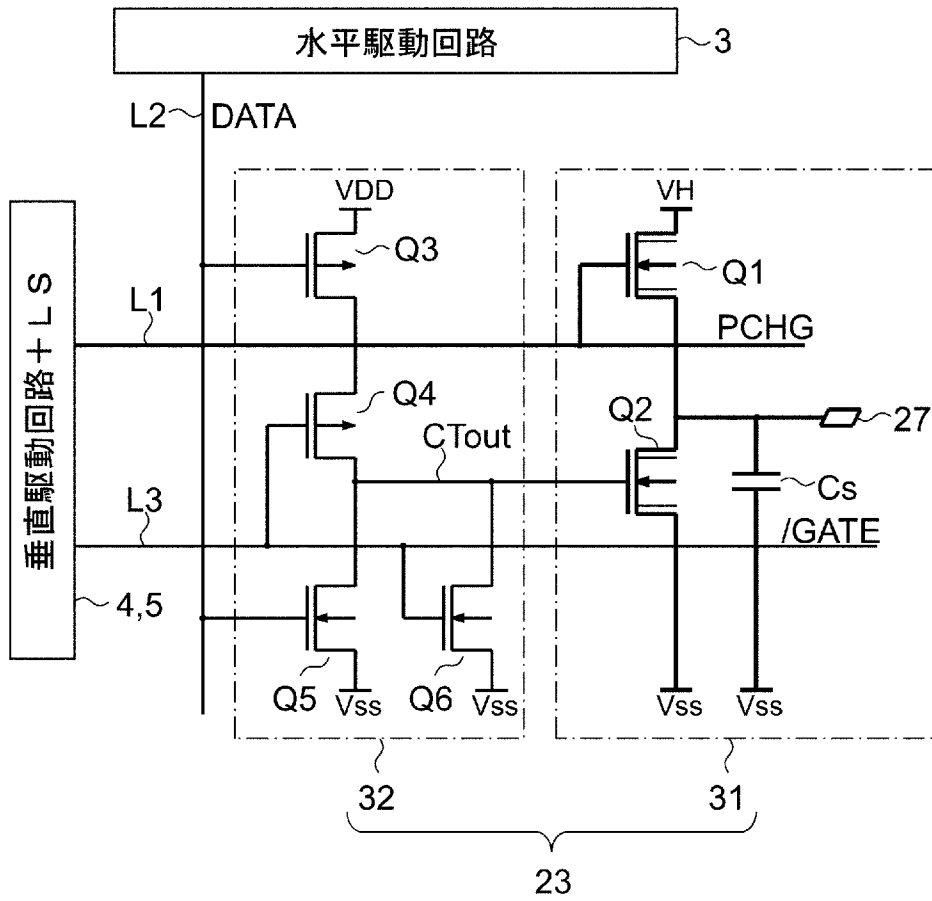


1(21R,21G,21B)

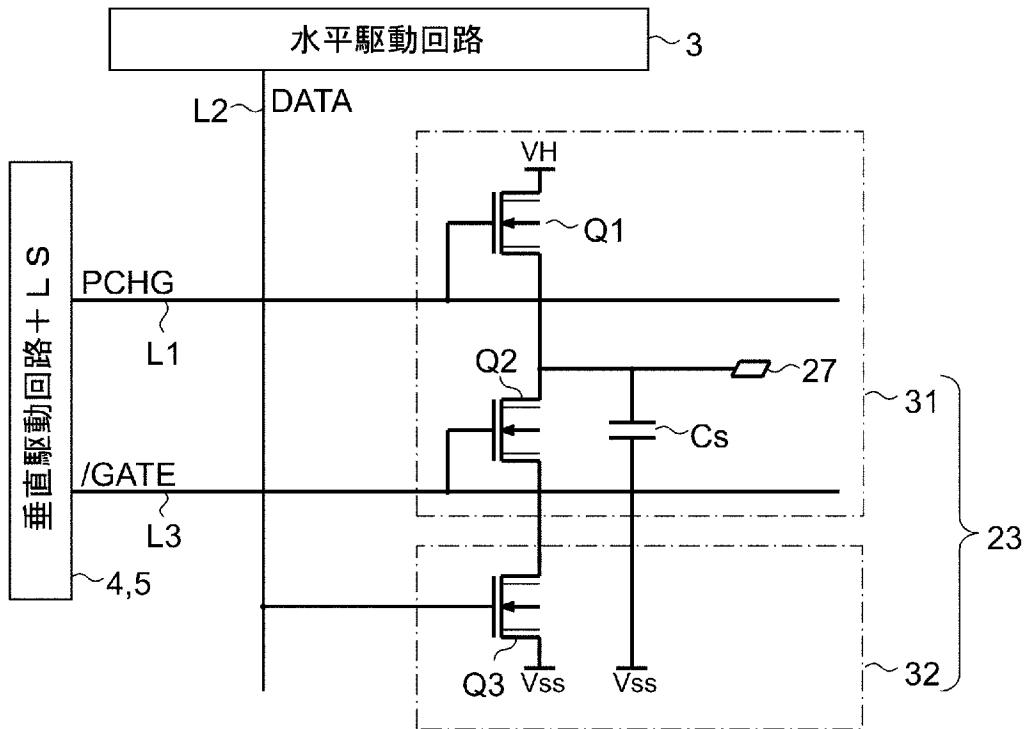
[図3]



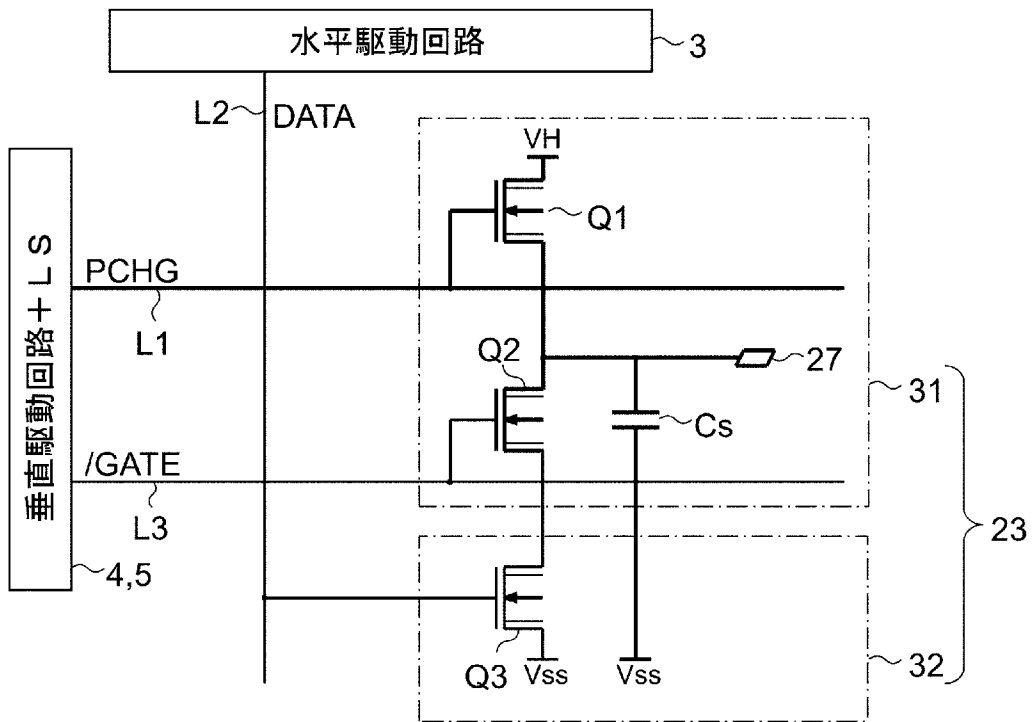
[図4]



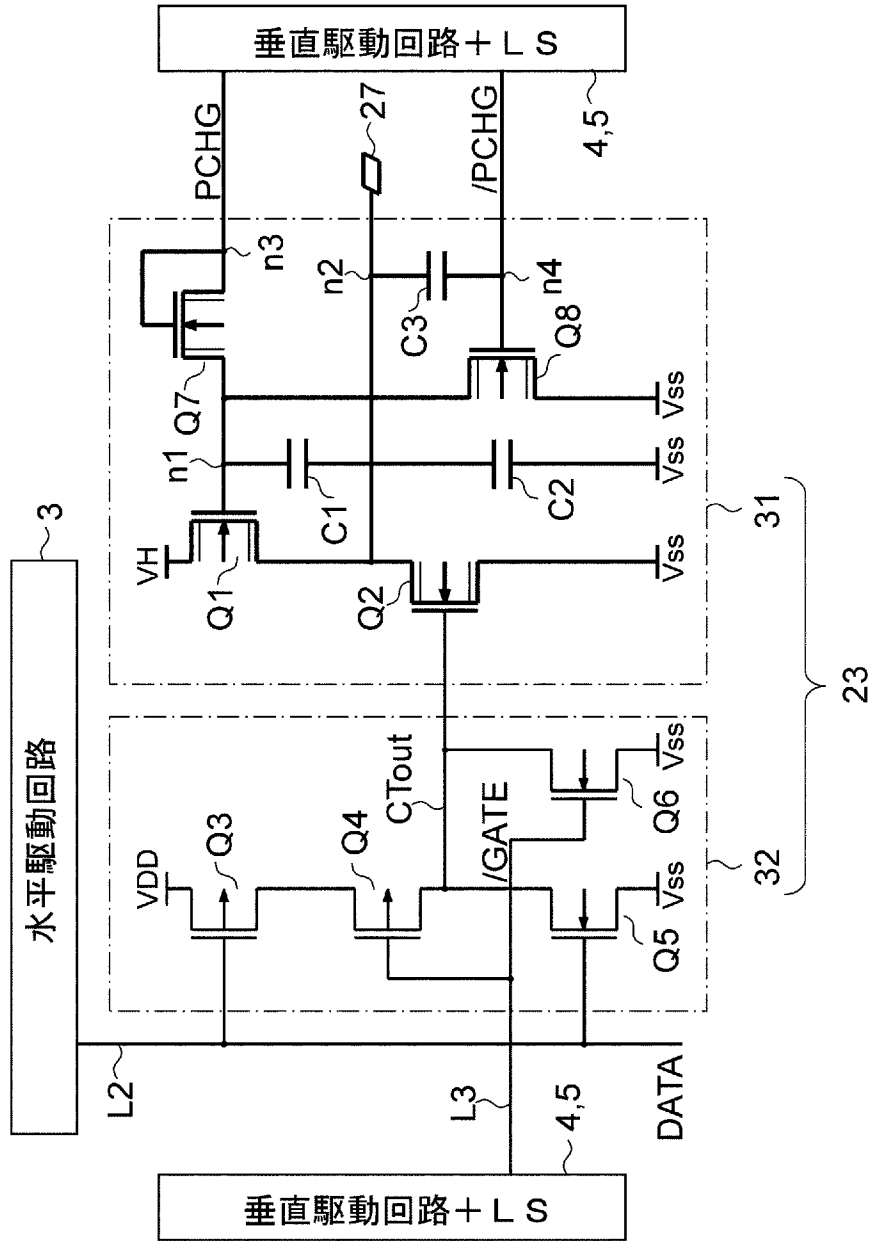
[図5]



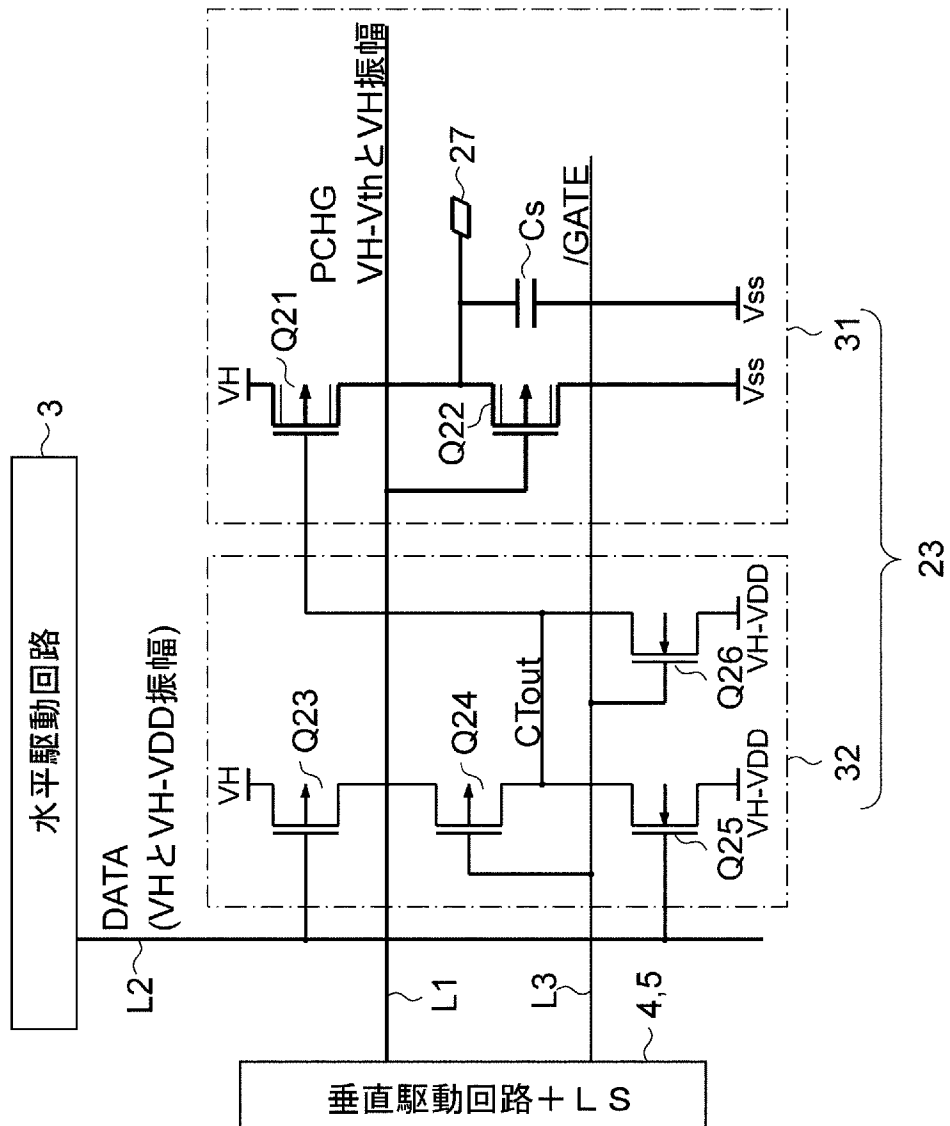
[図6]



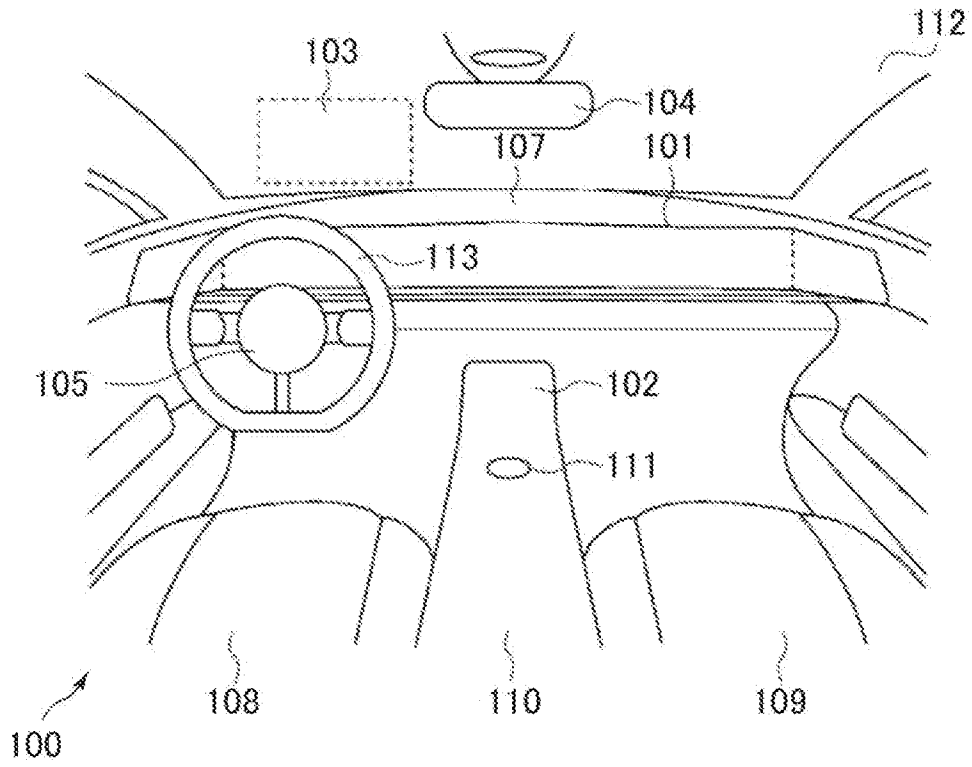
[図7]



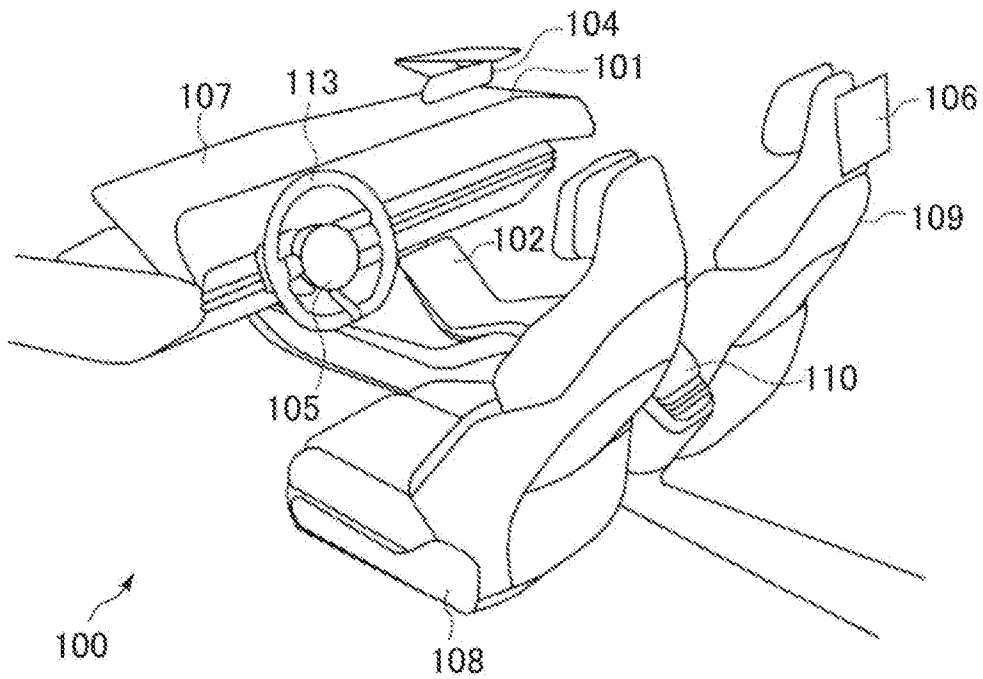
[図9]



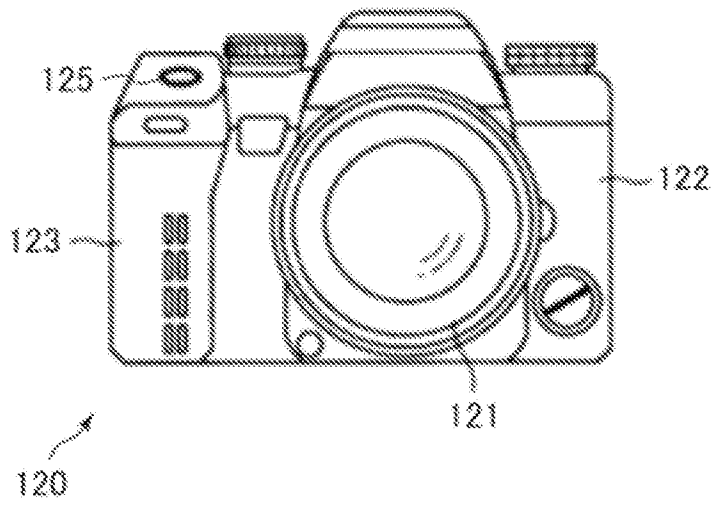
[図10A]



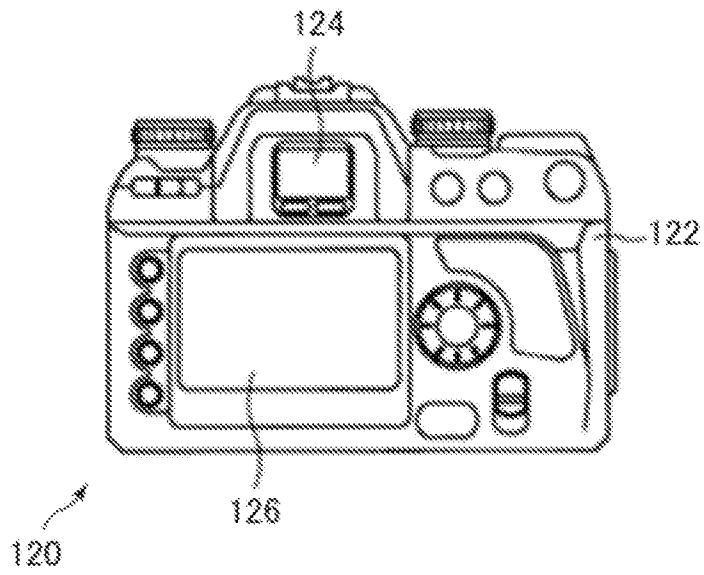
[図10B]



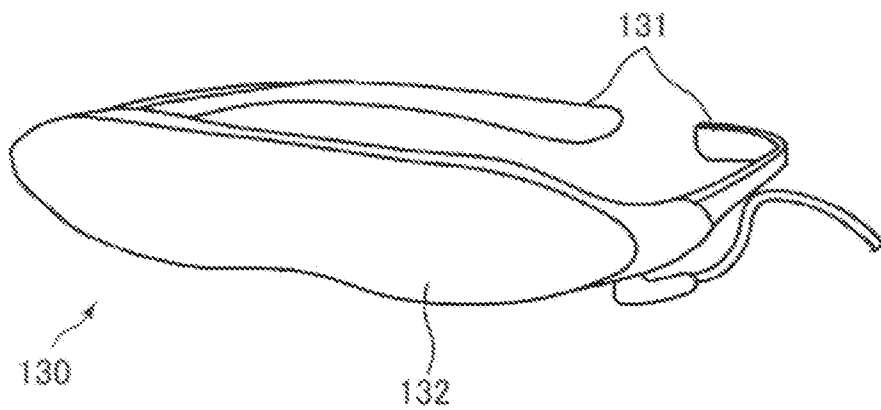
[図11A]



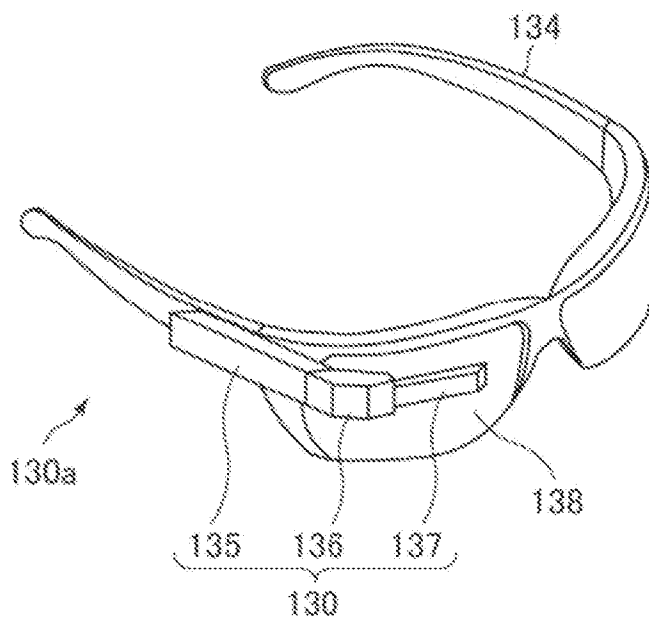
[図11B]



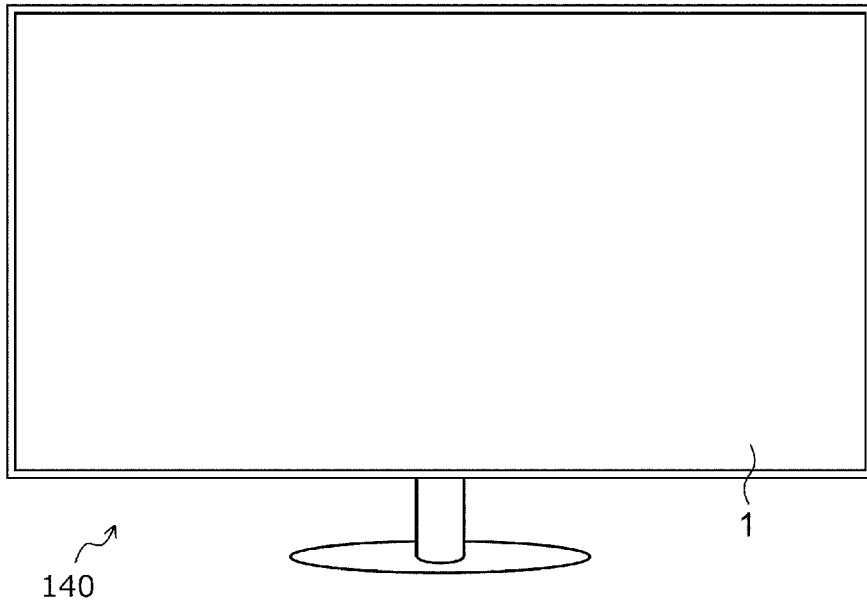
[図12A]



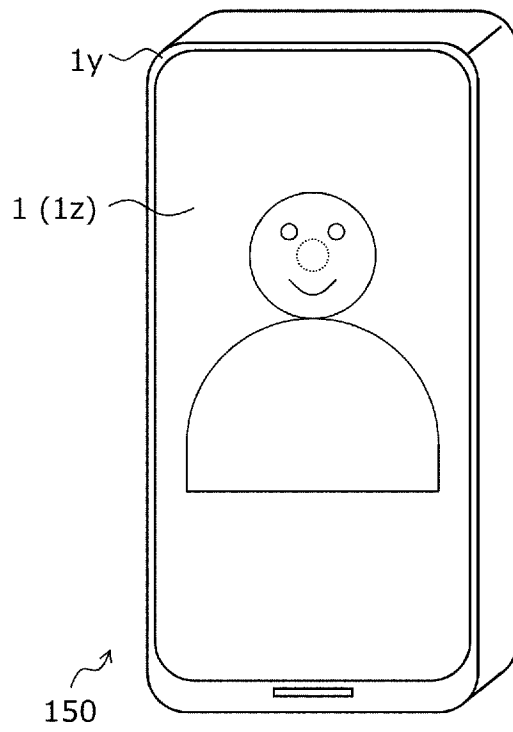
[図12B]



[図13]



[図14]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/015362

A. CLASSIFICATION OF SUBJECT MATTER		
<i>G09G 3/36</i> (2006.01)i; <i>G02F 1/133</i> (2006.01)i; <i>G02F 1/1368</i> (2006.01)i; <i>G09F 9/30</i> (2006.01)i; <i>G09G 3/20</i> (2006.01)i FI: G09G3/36; G09G3/20 624B; G09G3/20 611A; G09G3/20 641A; G09G3/20 641E; G09G3/20 680A; G09G3/20 680B; G09G3/20 680C; G09F9/30 338; G02F1/1368; G02F1/133 550		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) G09G3/20; G09G3/36; G02F1/133; G02F1/1368; G09F9/30		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2023 Registered utility model specifications of Japan 1996-2023 Published registered utility model applications of Japan 1994-2023		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 11-242207 A (SONY CORP.) 07 September 1999 (1999-09-07) paragraphs [0055]-[0295], fig. 1	1-3, 7-12, 15
A		4-6, 13-14, 16-19
A	JP 10-105113 A (HITACHI, LTD.) 24 April 1998 (1998-04-24) entire text, all drawings	1-19
A	JP 2003-208144 A (SAMSUNG ELECTRONICS CO., LTD.) 25 July 2003 (2003-07-25) entire text, all drawings	1-19
A	JP 2018-529126 A (E INK CORP.) 04 October 2018 (2018-10-04) entire text, all drawings	1-19
A	JP 2017-536577 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 07 December 2017 (2017-12-07) entire text, all drawings	1-19
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 07 June 2023		Date of mailing of the international search report 20 June 2023
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/015362

C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2017/0365228 A1 (THE HONG KONG UNIVERSITY OF SCIENCE AND TECHNOLOGY) 21 December 2017 (2017-12-21) entire text, all drawings	1-19
.....		

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2023/015362

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 11-242207 A	07 September 1999	US 2002/0067328 A1 paragraphs [0087]-[0355], fig. 1 EP 0926654 A1 KR 1999-0063560 A	
JP 10-105113 A	24 April 1998	(Family: none)	
JP 2003-208144 A	25 July 2003	US 2003/0122756 A1 entire text, all drawings KR 2003-0058408 A CN 1430202 A	
JP 2018-529126 A	04 October 2018	US 2017/0076672 A1 entire text, all drawings WO 2017/049020 A1 KR 10-2018-0030949 A CN 108028034 A	
JP 2017-536577 A	07 December 2017	US 2016/0275840 A1 entire text, all drawings WO 2016/074251 A1 CN 104347047 A KR 10-2017-0081254 A	
US 2017/0365228 A1	21 December 2017	WO 2016/070843 A1	

A. 発明の属する分野の分類（国際特許分類（IPC）） G09G 3/36(2006.01)i; G02F 1/133(2006.01)i; G02F 1/1368(2006.01)i; G09F 9/30(2006.01)i; G09G 3/20(2006.01)i FI: G09G3/36; G09G3/20 624B; G09G3/20 611A; G09G3/20 641A; G09G3/20 641E; G09G3/20 680A; G09G3/20 680B; G09G3/20 680C; G09F9/30 338; G02F1/1368; G02F1/133 550		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） G09G3/20; G09G3/36; G02F1/133; G02F1/1368; G09F9/30 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2023年 日本国実用新案登録公報 1996-2023年 日本国登録実用新案公報 1994-2023年 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	JP 11-242207 A (ソニー株式会社) 07.09.1999 (1999-09-07) [0055]-[0295], 図1	1-3, 7-12, 15 4-6, 13-14, 16-19
A	JP 10-105113 A (株式会社日立製作所) 24.04.1998 (1998-04-24) 全文全図	1-19
A	JP 2003-208144 A (三星電子株式会社) 25.07.2003 (2003-07-25) 全文全図	1-19
A	JP 2018-529126 A (イー インク コーポレーション) 04.10.2018 (2018-10-04) 全文全図	1-19
A	JP 2017-536577 A (深▲せん▼市華星光電技術有限公司) 07.12.2017 (2017-12-07) 全文全図	1-19
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日	07.06.2023	国際調査報告の発送日 20.06.2023
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 塚本 丈二 2I 3304 電話番号 03-3581-1101 内線 3273	

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	US 2017/0365228 A1 (THE HONG KONG UNIVERSITY OF SCIENCE AND TECHNOLOGY) 21.12.2017 (2017 - 12 - 21) 全文全図	1-19
.....		

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2023/015362

引用文献	公表日	パテントファミリー文献	公表日
JP 11-242207 A	07.09.1999	US 2002/0067328 A1 [0087]-[0355], FIG. 1 EP 0926654 A1 KR 1999-0063560 A	
JP 10-105113 A	24.04.1998	(ファミリーなし)	
JP 2003-208144 A	25.07.2003	US 2003/0122756 A1 全文全図 KR 2003-0058408 A CN 1430202 A	
JP 2018-529126 A	04.10.2018	US 2017/0076672 A1 全文全図 WO 2017/049020 A1 KR 10-2018-0030949 A CN 108028034 A	
JP 2017-536577 A	07.12.2017	US 2016/0275840 A1 全部全図 WO 2016/074251 A1 CN 104347047 A KR 10-2017-0081254 A	
US 2017/0365228 A1	21.12.2017	WO 2016/070843 A1	