

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)公開番号

特開2022-11971
(P2022-11971A)

(43)公開日 令和4年1月17日(2022.1.17)

(51)国際特許分類		F I		テーマコード(参考)	
H 0 4 B	1/18 (2006.01)	H 0 4 B	1/18	C	5 J 5 0 0
H 0 3 F	1/26 (2006.01)	H 0 3 F	1/26		5 K 0 6 2
H 0 3 F	3/68 (2006.01)	H 0 3 F	3/68		

審査請求 未請求 請求項の数 7 O L (全17頁)

(21)出願番号	特願2020-113420(P2020-113420)	(71)出願人	000006231 株式会社村田製作所 京都府長岡京市東神足1丁目10番1号
(22)出願日	令和2年6月30日(2020.6.30)	(74)代理人	100189430 弁理士 吉川 修一
		(74)代理人	100190805 弁理士 傍島 正朗
		(72)発明者	吉田 大介 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内
		Fターム(参考)	5J500 AA01 AA51 AC36 AC52 AC92 AF14 AF16 AH09 AH10 AH24 AH33 AH38 AK41 AK66 AK68 AQ04 AS01 AS04 AS13 AT01 最終頁に続く

(54)【発明の名称】 高周波モジュール及び通信装置

(57)【要約】

【課題】特性が向上された複数の低雑音増幅器を有する小型の高周波モジュールなどを提供する。

【解決手段】高周波モジュール1は、IC(Integrated Circuit)素子100と、IC素子100の外部に設けられたインダクタLと、を備える。IC素子100は、トランジスタを各々が有する複数の低雑音増幅器21、22及び23と、トランジスタTR1及びTR2の各々のエミッタ又はソースに接続された少なくとも1つのインダクタL1及びL2と、トランジスタTR1、TR2及びTR3の各々のエミッタ又はソースとインダクタLとの間に接続されたスイッチ回路110と、を含む。インダクタLは、スイッチ回路110とグラウンドとの間に接続され、かつ、スイッチ回路110を介してインダクタL1及びL2の各々と直列に接続される。

【選択図】図2

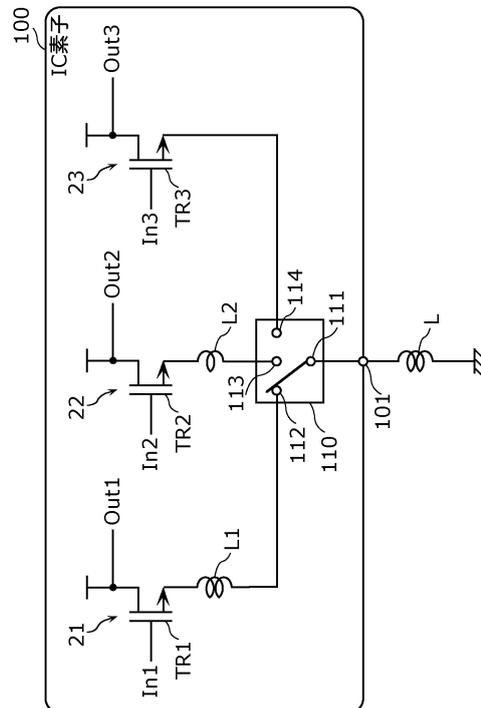


図2

【特許請求の範囲】

【請求項 1】

IC (Integrated Circuit) 素子と、
 前記 IC 素子の外部に設けられた外部インダクタと、を備え、
 前記 IC 素子は、
 増幅トランジスタを各々が有する複数の低雑音増幅器と、
 少なくとも 1 つの前記増幅トランジスタの各々のエミッタ又はソースに接続された少なく
 とも 1 つのインダクタと、
 複数の前記増幅トランジスタの各々のエミッタ又はソースと前記外部インダクタとの間に
 接続されたスイッチ回路と、を含み、
 前記外部インダクタは、前記スイッチ回路とグランドとの間に接続され、かつ、前記スイ
 ッチ回路を介して前記少なくとも 1 つのインダクタの各々と直列に接続される、
 高周波モジュール。

10

【請求項 2】

前記外部インダクタのインダクタンスは、前記少なくとも 1 つのインダクタのいずれのイ
 ンダクタンスよりも大きい、
 請求項 1 に記載の高周波モジュール。

【請求項 3】

さらに、
 第 1 主面と、前記第 1 主面の反対側の第 2 主面とを有するモジュール基板と、
 前記第 1 主面に配置された第 1 チップ部品と、を備え、
 前記 IC 素子は、前記第 2 主面に配置され、
 前記外部インダクタは、前記第 1 チップ部品に含まれており、
 前記第 1 チップ部品は、前記モジュール基板の平面視において、前記 IC 素子と重なって
 いる、
 請求項 1 又は 2 に記載の高周波モジュール。

20

【請求項 4】

前記第 1 チップ部品は、前記平面視において、前記 IC 素子内の前記少なくとも 1 つのイ
 ンダクタと重なっている、
 請求項 3 に記載の高周波モジュール。

30

【請求項 5】

さらに、前記複数の低雑音増幅器の 1 つの入力整合回路を含む第 2 チップ部品を備え、
 前記第 2 チップ部品は、前記平面視において、前記 IC 素子内の前記少なくとも 1 つのイ
 ンダクタと重ならない、
 請求項 3 又は 4 に記載の高周波モジュール。

【請求項 6】

さらに、
 前記複数の低雑音増幅器の 1 つの入力整合回路を含む第 2 チップ部品と、
 前記モジュール基板に設けられたグランド電極パターンと、を備え、
 前記第 2 チップ部品は、前記平面視において、前記グランド電極パターンと重なっている
 、
 請求項 3 又は 4 に記載の高周波モジュール。

40

【請求項 7】

高周波信号を処理する信号処理回路と、
 前記信号処理回路とアンテナとの間で前記高周波信号を伝送する請求項 1 ~ 6 のいずれか
 1 項に記載の高周波モジュールと、を備える、
 通信装置。

【発明の詳細な説明】

【技術分野】

【0001】

50

本発明は、高周波モジュール及び通信装置に関する。

【背景技術】

【0002】

特許文献1には、増幅トランジスタと増幅トランジスタのソース又はエミッタに接続されたインダクタとが集積化された、低雑音増幅器として動作可能な集積回路が開示されている。特許文献1に開示された集積回路では、インダクタは金属配線を利用して形成されている。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開平10-126174号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

上記従来技術のように、集積回路内にインダクタを金属配線で形成する場合、一定以上のスペースが必要になり、集積回路のサイズが大きくなる。複数の低雑音増幅器を集積化した場合には、増幅トランジスタだけでなく、インダクタのスペースも更に必要になるため、集積回路のサイズが更に大きくなる。また、増幅トランジスタのソース又はエミッタに接続されたインダクタは、低雑音増幅器の特性に与える影響が大きいため、低損失のインダクタが求められている。

【0005】

そこで、本発明は、特性が向上された複数の低雑音増幅器を有する小型の高周波モジュール及び通信装置を提供する。

【課題を解決するための手段】

【0006】

本発明の一態様に係る高周波モジュールは、IC(Integrated Circuit)素子と、前記IC素子の外部に設けられた外部インダクタと、を備え、前記IC素子は、増幅トランジスタを各々が有する複数の低雑音増幅器と、少なくとも1つの前記増幅トランジスタの各々のエミッタ又はソースに接続された少なくとも1つのインダクタと、複数の前記増幅トランジスタの各々のエミッタ又はソースと前記外部インダクタとの間に接続されたスイッチ回路と、を含み、前記外部インダクタは、前記スイッチ回路とグランドとの間に接続され、かつ、前記スイッチ回路を介して前記少なくとも1つのインダクタの各々と直列に接続される。

【0007】

本発明の一態様に係る通信装置は、高周波信号を処理する信号処理回路と、前記信号処理回路とアンテナとの間で前記高周波信号を伝送する上記高周波モジュールと、を備える。

【発明の効果】

【0008】

本発明によれば、特性が向上された複数の低雑音増幅器を有する小型の高周波モジュール及び通信装置を提供することができる。

【図面の簡単な説明】

【0009】

【図1】図1は、実施の形態に係る高周波モジュール及び通信装置の回路構成図である。

【図2】図2は、実施の形態に係る高周波モジュールのIC素子の回路構成図である。

【図3】図3は、実施の形態に係る高周波モジュールの断面図である。

【図4】図4は、実施の形態の変形例1に係る高周波モジュールの断面図である。

【図5】図5は、実施の形態の変形例2に係る高周波モジュールの断面図である。

【図6】図6は、実施の形態の変形例3に係る高周波モジュールの断面図である。

【発明を実施するための形態】

【0010】

10

20

30

40

50

以下では、本発明の実施の形態に係る高周波モジュール及び通信装置について、図面を用いて詳細に説明する。なお、以下に説明する実施の形態は、いずれも本発明の一具体例を示すものである。したがって、以下の実施の形態で示される数値、形状、材料、構成要素、構成要素の配置及び接続形態、ステップ、ステップの順序などは、一例であり、本発明を限定する趣旨ではない。よって、以下の実施の形態における構成要素のうち、独立請求項に記載されていない構成要素については、任意の構成要素として説明される。

【0011】

また、各図は、模式図であり、必ずしも厳密に図示されたものではない。したがって、例えば、各図において縮尺などは必ずしも一致しない。また、各図において、実質的に同一の構成については同一の符号を付しており、重複する説明は省略又は簡略化する。

10

【0012】

また、本発明の回路構成において、「直接接続される」とは、他の回路素子を介さずに接続端子及び/又は配線導体で直接接続されることを意味する。一方、「接続される」とは、接続端子及び/又は配線導体で直接接続される場合だけでなく、他の回路素子を介して電氣的に接続される場合も含む。また、「AとBとの間に接続される」とは、AとBとの間でA及びBの両方に接続されることを意味する。

【0013】

また、本発明の部品配置において、「基板の平面視」とは、基板の主面に直交する方向から基板の主面に物体を正投影して見ることを意味する。また、「基板の平面視において、AはBに重なる」とは、主面に正投影されたAの領域の少なくとも一部が、主面に正投影されたBの領域の少なくとも一部に重なることを意味する。

20

【0014】

また、「部品が基板に配置される」とは、部品が基板と接触した状態で基板上に配置されることに加えて、基板と接触せずに基板の上方に配置されること(例えば、部品が、基板上に配置された他の部品上に積層されること)、及び、部品の一部又は全部が基板内に埋め込まれて配置されることを含む。また、「部品が基板の主面に配置される」とは、部品が基板の主面と接触した状態で主面上に配置されることに加えて、部品が主面と接触せずに主面の上方に配置されること、及び、部品の一部が主面側から基板内に埋め込まれて配置されることを含む。

【0015】

また、本明細書において、平行又は垂直などの要素間の関係性を示す用語、及び、数値範囲は、厳格な意味のみを表す表現ではなく、実質的に同等な範囲、例えば数%程度の差異をも含むことを意味する表現である。

30

【0016】

(実施の形態)

[1. 高周波モジュール及び通信装置の回路構成]

以下では、本実施の形態に係る高周波モジュール1及び通信装置5の回路構成について、図1を用いて説明する。図1は、本実施の形態に係る高周波モジュール1及び通信装置5の回路構成図である。

【0017】

40

[1-1. 通信装置の回路構成]

まず、通信装置5の回路構成について説明する。図1に示されるように、本実施の形態に係る通信装置5は、高周波モジュール1と、アンテナ2と、RFIC3と、BBIC4と、を備える。以下、通信装置5の各構成要素について順に説明する。

【0018】

高周波モジュール1は、アンテナ2とRFIC3との間で高周波信号を伝送する。高周波モジュール1の回路構成については後で説明する。

【0019】

アンテナ2は、高周波モジュール1のアンテナ接続端子90に接続され、外部から高周波信号を受信して高周波モジュール1へ出力する。

50

【 0 0 2 0 】

R F I C 3 は、高周波信号を処理する信号処理回路の一例である。具体的には、R F I C 3 は、高周波モジュール 1 の受信経路を介して入力された高周波受信信号を、ダウンコンバートなどにより信号処理し、当該信号処理によって生成された受信信号を B B I C 4 へ出力する。また、R F I C 3 は、高周波モジュール 1 が有するスイッチ及び低雑音増幅器などを制御する制御部を有する。なお、R F I C 3 の制御部としての機能の一部又は全部は、R F I C 3 の外部に実装されてもよく、例えば、B B I C 4 又は高周波モジュール 1 に実装されてもよい。

【 0 0 2 1 】

B B I C 4 は、高周波モジュール 1 が伝送する高周波信号よりも低周波の中間周波数帯域を用いて信号処理するベースバンド信号処理回路である。B B I C 4 が処理する信号は、例えば、画像表示のための画像信号、及び / 又は、スピーカを介した通話のための音声信号などである。

【 0 0 2 2 】

なお、本実施の形態に係る通信装置 5 において、アンテナ 2 及び B B I C 4 は、必須の構成要素ではない。

【 0 0 2 3 】

[1 - 2 . 高周波モジュールの回路構成]

次に、高周波モジュール 1 の回路構成について説明する。図 1 に示されるように、高周波モジュール 1 は、低雑音増幅器 2 1、2 2 及び 2 3 と、スイッチ回路 5 1 及び 5 2 と、フィルタ 6 1、6 2 及び 6 3 と、整合回路 (M N) 7 1、7 2 及び 7 3 と、アンテナ接続端子 9 0 と、高周波出力端子 9 1 と、を備える。また、高周波モジュール 1 は、I C 素子 1 0 0 を備える。複数の低雑音増幅器 2 1、2 2 及び 2 3 は、I C 素子 1 0 0 に含まれている。また、図 1 には示されていないが、高周波モジュール 1 は、I C 素子 1 0 0 に電氣的に接続されたインダクタ L (図 2 を参照) を備える。

【 0 0 2 4 】

アンテナ接続端子 9 0 は、外部接続端子の一例であり、アンテナ 2 に接続されている。

【 0 0 2 5 】

高周波出力端子 9 1 は、外部接続端子の一例であり、高周波モジュール 1 の外部に高周波信号を提供するための端子である。高周波出力端子 9 1 は、R F I C 3 に接続されている。

【 0 0 2 6 】

低雑音増幅器 2 1、2 2 及び 2 3 はそれぞれ、I C 素子 1 0 0 に含まれる複数の低雑音増幅器の 1 つである。低雑音増幅器 2 1、2 2 及び 2 3 はそれぞれ、通信バンド A、B 及び C の高周波信号を増幅する。低雑音増幅器 2 1、2 2 及び 2 3 のいずれかで増幅された各通信バンドの高周波信号は、スイッチ回路 5 2 を介して高周波出力端子 9 1 から出力される。

【 0 0 2 7 】

通信バンド A、B 及び C は、無線アクセス技術 (R A T : R a d i o A c c e s s T e c h n o l o g y) を用いて構築される通信システムのために、標準化団体によって予め定義された周波数バンドである。標準化団体は、例えば、3 G P P (3 r d G e n e r a t i o n P a r t n e r s h i p P r o j e c t)、I E E E (I n s t i t u t e o f E l e c t r i c a l a n d E l e c t r o n i c s E n g i n e e r s) などである。

【 0 0 2 8 】

通信バンド A、B 及び C は、同一の通信システム又は互いに異なる通信システムのための互いに異なる通信バンドである。例えば、通信バンド A、B 及び C としては、5 G N R (5 t h G e n e r a t i o n N e w R a d i o) バンド、L T E (L o n g T e r m E v o l u t i o n) バンド及び W L A N (W i r e l e s s L o c a l A r e a N e t w o r k) バンドなどを用いることができるが、これらに限定されない。

10

20

30

40

50

【 0 0 2 9 】

低雑音増幅器 2 1、2 2 及び 2 3 の具体的な構成については、図 2 を用いて後で説明する。

【 0 0 3 0 】

フィルタ 6 1 は、アンテナ接続端子 9 0 と低雑音増幅器 2 1 との間に接続されている。フィルタ 6 1 は、アンテナ接続端子 9 0 から入力された高周波受信信号のうち、通信バンド A の受信帯域の信号を通過させる。

【 0 0 3 1 】

フィルタ 6 2 は、アンテナ接続端子 9 0 と低雑音増幅器 2 2 との間に接続されている。フィルタ 6 2 は、アンテナ接続端子 9 0 から入力された高周波受信信号のうち、通信バンド B の受信帯域の信号を通過させる。

10

【 0 0 3 2 】

フィルタ 6 3 は、アンテナ接続端子 9 0 と低雑音増幅器 2 3 との間に接続されている。フィルタ 6 3 は、アンテナ接続端子 9 0 から入力された高周波受信信号のうち、通信バンド C の受信帯域の信号を通過させる。

【 0 0 3 3 】

整合回路 7 1 は、低雑音増幅器 2 1 の入力整合回路であり、低雑音増幅器 2 1 の入力端子に接続されている。整合回路 7 1 は、フィルタ 6 1 と低雑音増幅器 2 1 との間で、フィルタ 6 1 及び低雑音増幅器 2 1 に直接接続されている。整合回路 7 1 は、フィルタ 6 1 と低雑音増幅器 2 1 との間のインピーダンス整合をとる。

20

【 0 0 3 4 】

整合回路 7 2 は、低雑音増幅器 2 2 の入力整合回路であり、低雑音増幅器 2 2 の入力端子に接続されている。整合回路 7 2 は、フィルタ 6 2 と低雑音増幅器 2 2 との間で、フィルタ 6 2 及び低雑音増幅器 2 2 に直接接続されている。整合回路 7 2 は、フィルタ 6 2 と低雑音増幅器 2 2 との間のインピーダンス整合をとる。

【 0 0 3 5 】

整合回路 7 3 は、低雑音増幅器 2 3 の入力整合回路であり、低雑音増幅器 2 3 の入力端子に接続されている。整合回路 7 3 は、フィルタ 6 3 と低雑音増幅器 2 3 との間で、フィルタ 6 3 及び低雑音増幅器 2 3 に直接接続されている。整合回路 7 3 は、フィルタ 6 3 と低雑音増幅器 2 3 との間のインピーダンス整合をとる。

30

【 0 0 3 6 】

スイッチ回路 5 1 は、アンテナ接続端子 9 0 とフィルタ 6 1、6 2 及び 6 3 との間に接続されている。具体的には、スイッチ回路 5 1 は、端子 5 1 1、5 1 2、5 1 3 及び 5 1 4 を有する。端子 5 1 1 は、共通端子であり、アンテナ接続端子 9 0 に接続されている。端子 5 1 2、5 1 3 及び 5 1 4 はそれぞれ、選択端子であり、フィルタ 6 1、6 2 及び 6 3 に接続されている。スイッチ回路 5 1 は、例えば R F I C 3 からの制御信号に基づいて、端子 5 1 2、5 1 3 及び 5 1 4 のいずれかを端子 5 1 1 に接続することができる。つまり、スイッチ回路 5 1 は、アンテナ 2 及びフィルタ 6 1 の接続と、アンテナ 2 及びフィルタ 6 2 の接続と、アンテナ 2 及びフィルタ 6 3 の接続と、を切り替えることができる。スイッチ回路 5 1 は、例えば S P 3 T (S i n g l e - P o l e T r i p l e - T h r o w) 型のスイッチ回路で構成され、アンテナスイッチと呼ばれる。

40

【 0 0 3 7 】

スイッチ回路 5 2 は、高周波出力端子 9 1 と低雑音増幅器 2 1、2 2 及び 2 3 との間に接続されている。具体的には、スイッチ回路 5 2 は、端子 5 2 1、5 2 2、5 2 3 及び 5 2 4 を有する。端子 5 2 1 は、共通端子であり、高周波出力端子 9 1 に接続されている。端子 5 2 2、5 2 3 及び 5 2 4 はそれぞれ、選択端子であり、低雑音増幅器 2 1、2 2 及び 2 3 の出力端子に接続されている。スイッチ回路 5 2 は、例えば R F I C 3 からの制御信号に基づいて、端子 5 2 2、5 2 3 及び 5 2 4 のいずれかを端子 5 2 1 に接続することができる。つまり、スイッチ回路 5 2 は、R F I C 3 及び低雑音増幅器 2 1 の接続と、R F I C 3 及び低雑音増幅器 2 2 の接続と、R F I C 3 及び低雑音増幅器 2 3 の接続と、を切

50

り替えることができる。スイッチ回路 5 2 は、例えば S P 3 T 型のスイッチ回路で構成され、バンドセレクトスイッチと呼ばれる。

【 0 0 3 8 】

なお、図 1 に示される回路素子のいくつかは、高周波モジュール 1 に含まれていなくてもよい。例えば、高周波モジュール 1 は、少なくとも IC 素子 1 0 0 を備えればよく、他の回路素子を備えなくてもよい。

【 0 0 3 9 】

[1 - 3 . IC 素子の回路構成]

次に、IC 素子 1 0 0 の回路構成について図 2 を用いて説明する。図 2 は、本実施の形態に係る IC 素子 1 0 0 の回路構成図である。

10

【 0 0 4 0 】

図 2 に示されるように、IC 素子 1 0 0 は、低雑音増幅器 2 1、2 2 及び 2 3 と、インダクタ L 1 及び L 2 と、スイッチ回路 1 1 0 と、を備える。また、IC 素子 1 0 0 は、接続端子 1 0 1 を備える。接続端子 1 0 1 は、IC 素子 1 0 0 の外部接続端子である。接続端子 1 0 1 は、インダクタ L を介してグランドに接続されている。

【 0 0 4 1 】

低雑音増幅器 2 1 は、トランジスタ T R 1 を有する。トランジスタ T R 1 は、入力端子 I n 1 に入力された高周波信号（具体的には、通信バンド A の高周波信号）を増幅し、出力端子 O u t 1 から出力する増幅トランジスタである。

【 0 0 4 2 】

トランジスタ T R 1 は、例えば電界効果トランジスタ（F E T）である。トランジスタ T R 1 のゲートは、低雑音増幅器 2 1 の入力端子 I n 1 に接続されている。トランジスタ T R 1 のドレインは、低雑音増幅器 2 1 の出力端子 O u t 1 に接続されている。トランジスタ T R 1 のソースは、インダクタ L 1 に接続されている。

20

【 0 0 4 3 】

低雑音増幅器 2 2 は、トランジスタ T R 2 を有する。トランジスタ T R 2 は、入力端子 I n 2 に入力された高周波信号（具体的には、通信バンド B の高周波信号）を増幅し、出力端子 O u t 2 から出力する増幅トランジスタである。

【 0 0 4 4 】

トランジスタ T R 2 は、例えば F E T である。トランジスタ T R 2 のゲートは、低雑音増幅器 2 2 の入力端子 I n 2 に接続されている。トランジスタ T R 2 のドレインは、低雑音増幅器 2 2 の出力端子 O u t 2 に接続されている。トランジスタ T R 2 のソースは、インダクタ L 2 に接続されている。

30

【 0 0 4 5 】

低雑音増幅器 2 3 は、トランジスタ T R 3 を有する。トランジスタ T R 3 は、入力端子 I n 3 に入力された高周波信号（具体的には、通信バンド C の高周波信号）を増幅し、出力端子 O u t 3 から出力する増幅トランジスタである。

【 0 0 4 6 】

トランジスタ T R 3 は、例えば F E T である。トランジスタ T R 3 のゲートは、低雑音増幅器 2 3 の入力端子 I n 3 に接続されている。トランジスタ T R 3 のドレインは、低雑音増幅器 2 3 の出力端子 O u t 3 に接続されている。トランジスタ T R 3 のソースは、スイッチ回路 1 1 0 に接続されている。

40

【 0 0 4 7 】

スイッチ回路 1 1 0 は、トランジスタ T R 1、T R 2 及び T R 3 の各々のソースと接続端子 1 0 1 との間に接続されている。スイッチ回路 1 1 0 は、端子 1 1 1、1 1 2、1 1 3 及び 1 1 4 を有する。端子 1 1 1 は、共通端子であり、接続端子 1 0 1 に接続されている。端子 1 1 2、1 1 3 及び 1 1 4 はそれぞれ、選択端子であり、トランジスタ T R 1、T R 2 及び T R 3 の各々のソースに接続されている。具体的には、端子 1 1 2 は、インダクタ L 1 を介してトランジスタ T R 1 のソースに接続されている。端子 1 1 3 は、インダクタ L 2 を介してトランジスタ T R 2 のソースに接続されている。端子 1 1 4 は、トランジ

50

スタTR3のソースに直接接続されている。

【0048】

スイッチ回路110は、トランジスタTR1、TR2及びTR3のソースとインダクタLとの接続を切り替える。具体的には、スイッチ回路110は、例えばRFIC3からの制御信号に基づいて、端子112、113及び114のいずれかを端子111に接続することができる。つまり、スイッチ回路110は、トランジスタTR1のソース及びインダクタLの接続と、トランジスタTR2のソース及びインダクタLの接続と、トランジスタTR3のソース及びインダクタLの接続と、を切り替えることができる。スイッチ回路110は、例えばSP3T型のスイッチ回路で構成される。

【0049】

スイッチ回路110は、スイッチ回路51及び52と連動して制御される。例えば、通信バンドAの高周波信号がアンテナ2で受信された場合、スイッチ回路51では端子511と端子512とが接続され、スイッチ回路52では端子521と端子522とが接続され、スイッチ回路110では端子111と端子112とが接続される。これにより、通信バンドAの高周波信号を低雑音増幅器21によって増幅することができる。

【0050】

本実施の形態では、トランジスタTR1、TR2及びTR3はいずれも、スイッチ回路110を介してソース接地される。例えば、スイッチ回路110が端子111と端子112とを接続することにより、トランジスタTR1のソースは、インダクタL1及びLを介してグラウンドに接続される。スイッチ回路110が端子111と端子113とを接続することにより、トランジスタTR2のソースは、インダクタL2及びLを介してグラウンドに接続される。スイッチ回路110が端子111と端子114とを接続することにより、トランジスタTR3のソースは、インダクタLを介してグラウンドに接続される。

【0051】

インダクタL、L1及びL2はそれぞれ、IC素子100が含む複数のトランジスタTR1、TR2及びTR3の各々のソースインダクタの一部又は全部として機能する。インダクタL1及びL2はそれぞれ、IC素子100の内部に設けられたインダクタである。インダクタLは、IC素子100の外部に設けられた外部インダクタの一例である。インダクタLは、接続端子101とグラウンドとの間に接続されている。インダクタLは、スイッチ回路110を介してインダクタL1及びL2の各々と直列に接続される。

【0052】

ソースインダクタは、ソース接地される増幅トランジスタのソースとグラウンドとの間に接続されるインダクタである。ソースインダクタは、増幅トランジスタのソースとグラウンドとの間のインピーダンスを調整する。このインピーダンスが適切な値に調整されることにより、増幅トランジスタは、入力される高周波信号を適切に増幅することができる。

【0053】

ソースインダクタのインダクタンスは、増幅トランジスタに入力される高周波信号の周波数に応じて定めることができる。具体的には、増幅トランジスタに入力される高周波信号の周波数が低い場合には、ソースインダクタのインダクタンスを大きくする。

【0054】

本実施の形態では、トランジスタTR1、TR2及びTR3の各々に入力される高周波信号の周波数が異なっている。このため、トランジスタTR1、TR2及びTR3の各々のソースインダクタのインダクタンスが異なる。例えば、トランジスタTR1に入力される通信バンドAの高周波信号の周波数が最も低く、トランジスタTR3に入力される通信バンドCの高周波信号の周波数が最も高い場合を想定する。この場合、トランジスタTR1のソースインダクタのインダクタンスが最も大きくなり、トランジスタTR3のソースインダクタのインダクタンスが最も小さくなる。

【0055】

本実施の形態では、トランジスタTR1のソースインダクタは、IC素子100内のインダクタL1とIC素子100の外部のインダクタLとの直列接続によって構成されている

10

20

30

40

50

。トランジスタTR2のソースインダクタは、IC素子100内のインダクタL2とIC素子100の外部のインダクタLとの直列接続によって構成されている。トランジスタTR3のソースインダクタは、IC素子100の外部のインダクタLのみで構成されている。

【0056】

このように、外部のインダクタLは、トランジスタTR1、TR2及びTR3の各々に共通して設けられている。インダクタLのインダクタンスは、トランジスタTR3のソースインダクタとして適切な値に調整されている。トランジスタTR1及びTR2の各々に不足するインダクタンスを補うために、IC素子100の内部に個別にインダクタL1及びL2が設けられている。

10

【0057】

IC素子100の外部のインダクタLは、一般的にIC素子100の内部に形成されるインダクタL1及びL2よりもQ値が高い。Q値が高くて低損失のインダクタLを利用することにより、低雑音増幅器21、22及び23の各々の電気特性を向上させることができる。

【0058】

例えば、インダクタLのインダクタンスは、インダクタL1及びL2のいずれのインダクタンスよりも大きい。ソースインダクタとして必要なインダクタンスのできるだけ多くを、Q値が高くて低損失のインダクタLのインダクタンスが占めることにより、電気特性を向上させることができる。

20

【0059】

なお、トランジスタTR3と端子114との間にもインダクタが接続されていてもよい。

【0060】

[2. 高周波モジュールの部品配置]

次に、以上のように構成された高周波モジュール1の部品配置について、図3を用いて説明する。

【0061】

図3は、本実施の形態に係る高周波モジュール1の断面図である。図3に示されるように、高周波モジュール1は、図1に示される回路素子を内蔵する回路部品に加えて、さらに、チップインダクタ120と、モジュール基板130と、樹脂部材140及び141と、複数のポスト電極150と、シールド電極層160と、を備える。

30

【0062】

モジュール基板130は、主面131及び132を有する。モジュール基板130は、例えば、複数の誘電体層の積層構造を有する低温同時焼成セラミックス(LTCC: Low Temperature Co-fired Ceramics)基板、高温同時焼成セラミックス(HTCC: High Temperature Co-fired Ceramics)基板、部品内蔵基板、再配線層(RDL: Redistribution Layer)を有する基板、又は、プリント基板などであるが、これらに限定されない。

【0063】

主面131は、第1主面の一例であり、上面又は表面と呼ばれる場合がある。主面131には、スイッチ回路51と、フィルタ61と、整合回路71と、チップインダクタ120とが配置されている。なお、図3には示されていないが、スイッチ回路52、フィルタ62及び63と、整合回路72及び73とも主面131に配置されている。

40

【0064】

主面132は、第1主面の反対側の第2主面の一例であり、下面又は裏面と呼ばれる場合がある。主面132には、IC素子100が配置されている。なお、各素子の主面131及び132への振り分けは、一例にすぎず、特に限定されない。

【0065】

IC素子100は、半導体チップ(ダイとも呼ばれる)の表面及び内部に形成された電子回路を有する部品(半導体集積回路)である。IC素子100は、例えばCMOS(Co

50

plementary Metal Oxide Semiconductor)で構成され、具体的にはSOI(Silicon on Insulator)プロセスにより製造される。これにより、IC素子100を安価に製造することができる。なお、IC素子100は、GaAs、SiGe及びGaNの少なくとも1つで構成されていてもよい。これにより、高品質なIC素子100を製造することができる。

【0066】

チップインダクタ120は、図2に示されるインダクタLを含む第1チップ部品の一例である。本実施の形態では、チップインダクタ120は、平面視において、IC素子100と重なっている。例えば、図3に示されるように、チップインダクタ120は、平面視において、IC素子100内のインダクタL1と重なっている。なお、チップインダクタ120は、インダクタL1の代わりに、又は、インダクタL1だけでなく、インダクタL2と重なっていてもよい。

10

【0067】

スイッチ回路51及び52は、IC素子100と同様に、半導体集積回路によって実現される。なお、スイッチ回路51及び52は、IC素子100に含まれていてもよい。

【0068】

フィルタ61、62及び63の各々は、例えば、SAW(Surface Acoustic Wave)フィルタ、BAW(Bulk Acoustic Wave)フィルタ、LC共振フィルタ若しくは誘電体フィルタ、又は、これらの任意の組み合わせにより実現されるが、これらに限定されない。

20

【0069】

整合回路71、72及び73の各々は、例えばインダクタ及び/又はキャパシタを含み、表面実装デバイス(SMD: Surface Mount Device)で構成されている。表面実装デバイスは、整合回路71、72及び73の少なくとも1つを含む第2チップ部品の一例である。

【0070】

なお、フィルタ61、62及び63並びに整合回路71、72及び73は、その一部又は全部がモジュール基板130内に形成されてもよく、集積型受動デバイス(IPD: Integrated Passive Device)で構成されてもよい。

【0071】

モジュール基板130は、ビア導体133が設けられている。ビア導体133は、モジュール基板130を厚み方向に沿って貫通するスルービアに充填された導体である。ビア導体133は、IC素子100の接続端子101(図2を参照)と、チップインダクタ120とを電氣的に接続する。

30

【0072】

なお、ビア導体133は、主面131側に形成されたブラインドビアに充填された導体と、主面132側に形成されたブラインドビアに充填された導体と、2つのブラインドビアに充填された導体をモジュール基板130内で接続する平面電極パターンと、で構成されてもよい。

【0073】

樹脂部材140は、モジュール基板130の主面131上に配置され、主面131に配置された回路部品を覆っている。樹脂部材141は、モジュール基板130の主面132上に配置され、主面132に配置された回路部品を覆っている。樹脂部材140及び141は、各回路部品の機械強度及び耐湿性などの信頼性を確保する機能を有する。

40

【0074】

複数のポスト電極150は、アンテナ接続端子90及び高周波出力端子91を含む複数の外部接続端子を構成する。複数のポスト電極150の各々は、モジュール基板130の主面132に配置され、主面132から垂直に延びている。複数のポスト電極150の各々は、樹脂部材141を貫通し、その一端が樹脂部材141から露出している。樹脂部材141から露出した複数のポスト電極150の一端は、高周波モジュール1の下面側に設け

50

られたマザー基板上的の入出力端子及び/又はグランド電極などに接続される。

【0075】

シールド電極層160は、例えばスパッタ法により形成された金属薄膜であり、樹脂部材140の上面及び側面と、モジュール基板130の側面と、樹脂部材141の側面とを覆うように形成されている。シールド電極層160は、グランド電位に設定され、外来ノイズが高周波モジュール1を構成する回路部品に侵入することを抑制することができる。

【0076】

[3.効果など]

以上のように、本実施の形態に係る高周波モジュール1は、IC素子100と、IC素子100の外部に設けられたインダクタLと、を備える。IC素子100は、増幅トランジスタを各々が有する複数の低雑音増幅器21、22及び23と、トランジスタTR1及びTR2の各々のエミッタ又はソースに接続されたインダクタL1及びL2と、複数のトランジスタTR1、TR2及びTR3の各々のエミッタ又はソースとインダクタLとの間に接続されたスイッチ回路110と、を含む。インダクタLは、スイッチ回路110とグランドとの間に接続され、かつ、スイッチ回路110を介してインダクタL1及びL2の各々と直列に接続される。

10

【0077】

これにより、複数の低雑音増幅器21、22及び23を集積化することで、高周波モジュール1を小型化することができる。また、トランジスタTR1、TR2及びTR3の各々のソースインダクタの一部又は全部がインダクタLとしてIC素子100の外部に設けられているので、IC素子100の内部に含めるインダクタL1及びL2に必要なスペースが小さくなる。したがって、高周波モジュール1の小型化を実現することができる。

20

【0078】

また、IC素子100の外部に設けられるインダクタLは、IC素子100の内部に形成する場合よりもQ値を容易に高めることができる。ソースインダクタの一部又は全部のQ値が高くなり、損失を減少させることができるので、低雑音増幅器21、22及び23の電気特性を向上させることができる。

【0079】

複数の低雑音増幅器21、22及び23はそれぞれ、複数の通信バンドに対応しており、対応する通信バンドの高周波信号を適切に増幅することができる。したがって、マルチバンドに対応し、特性が向上された低雑音増幅器21、22及び23を有する小型の高周波モジュール1を実現することができる。

30

【0080】

なお、トランジスタTR1、TR2及びTR3の各々のソースインダクタの全てをIC素子100の外部に設けることで、低雑音増幅器21、22及び23の特性を向上させることができる。しかしながら、IC素子100には、低雑音増幅器毎に外部接続端子が必要となるので、IC素子100の小型化が難しくなる。本実施の形態によれば、IC素子100がスイッチ回路110を備えることにより、外部接続端子の個数を削減することができる。小型化を実現することができる。

【0081】

また、例えば、インダクタLのインダクタンスは、インダクタL1及びL2のいずれのインダクタンスよりも大きい。

40

【0082】

これにより、ソースインダクタとして必要なインダクタンスのうちできるだけ多くを、Q値が高いインダクタLのインダクタンスが占めることができるので、特性を向上させることができる。

【0083】

また、例えば、本実施の形態に係る高周波モジュール1は、さらに、主面131と、主面131の反対側の主面132と、を有するモジュール基板130と、主面131に配置されたチップ部品と、を備える。IC素子100は、主面132に配置されている。インダ

50

クタLを含むチップ部品であるチップインダクタ120は、平面視において、IC素子100と重なっている。

【0084】

これにより、インダクタLをチップインダクタ120として構成することにより、インダクタLのQ値を高めることができる。また、高周波モジュール1に含まれる部品をモジュール基板130の両面に配置することで、片面のみに配置する場合よりもモジュール基板130の面積を縮小することができ、高周波モジュール1の小型化を実現することができる。また、チップインダクタ120とIC素子100とが平面視で重なることにより、チップインダクタ120とIC素子100とを結ぶ配線長を短くすることができる。このため、配線ロス及び配線ばらつきによる不整合損を低減することができ、高周波モジュール1の電気特性を向上させることができる。

10

【0085】

また、例えば、チップインダクタ120は、モジュール基板130の平面視において、IC素子100内のインダクタL1又はL2と重なっている。

【0086】

これにより、チップインダクタ120（インダクタL）とインダクタL1又はL2との配線長をさらに短くすることができる。このため、配線ロス及び配線ばらつきによる不整合損をより低減することができ、高周波モジュール1の電気特性を更に向上させることができる。

【0087】

また、例えば、本実施の形態に係る通信装置5は、高周波信号を処理するRFIC3と、RFIC3とアンテナ2との間で高周波信号を伝送する高周波モジュール1と、を備える。

20

【0088】

これにより、通信装置5において、高周波モジュール1と同様の効果を実現することができる。

【0089】

[4. 変形例]

以下では、上記実施の形態の複数の変形例について説明する。

【0090】

[4-1. 変形例1]

まず、変形例1について説明する。本変形例では、IC素子と入力整合回路との位置関係が実施の形態とは主として異なる。以下では、実施の形態との相違点を中心に説明し、共通点の説明を省略又は簡略化する。

【0091】

図4は、本変形例に係る高周波モジュール1Aの断面図である。図4に示されるように、整合回路71を含むチップ部品は、平面視において、IC素子100内の少なくとも1つのインダクタと重ならない。具体的には、整合回路71は、平面視において、IC素子100内のインダクタL1及びL2のいずれとも重ならない。図4に示される例では、整合回路71は、平面視において、IC素子100と重なっていない。

40

【0092】

なお、図示されていないが、整合回路72及び73の各々を含むチップ部品も、平面視において、IC素子100内の少なくとも1つのインダクタと重なっていてもよい。

【0093】

以上のように、本変形例に係る高周波モジュール1Aは、複数の低雑音増幅器21、22及び23の1つの入力整合回路を含むチップ部品を備える。当該チップ部品は、平面視において、IC素子100内のインダクタL1又はL2と重ならない。

【0094】

これにより、整合回路71、72及び73とIC素子100内のインダクタL1及びL2との電磁界結合を抑制することができるので、高周波モジュール1Aの電気特性を向上さ

50

せることができる。

【 0 0 9 5 】

[4 - 2 . 変形例 2]

次に、変形例 2 について説明する。本変形例では、IC 素子と入力整合回路との間にグラウンド電極パターンが設けられている点の実施の形態とは主として異なる。以下では、実施の形態との相違点を中心に説明し、共通点の説明を省略又は簡略化する。

【 0 0 9 6 】

図 5 は、本変形例に係る高周波モジュール 1 B の断面図である。図 5 に示されるように、高周波モジュール 1 B は、モジュール基板 1 3 0 に設けられたグラウンド電極パターン 1 3 4 を備える。グラウンド電極パターン 1 3 4 は、モジュール基板 1 3 0 の内部に設けられた平面電極パターンである。例えば、グラウンド電極パターン 1 3 4 は、側面でシールド電極層 1 6 0 と接続されることにより、グラウンド電位に設定される。

10

【 0 0 9 7 】

以上のように、本変形例に係る高周波モジュール 1 B は、複数の低雑音増幅器 2 1、2 2 及び 2 3 の 1 つの入力整合回路を含むチップ部品と、モジュール基板 1 3 0 に設けられたグラウンド電極パターン 1 3 4 と、を備える。入力整合回路を含むチップ部品は、平面視において、グラウンド電極パターン 1 3 4 と重なっている。

【 0 0 9 8 】

これにより、グラウンド電極パターン 1 3 4 が設けられることによって、整合回路 7 1、7 2 及び 7 3 と IC 素子 1 0 0 内のインダクタ L 1 及び L 2 との電磁界結合を抑制することができる。このため、高周波モジュール 1 B の電気特性を向上させることができる。

20

【 0 0 9 9 】

[4 - 3 . 変形例 3]

次に、変形例 3 について説明する。本変形例では、IC 素子の外部のインダクタがモジュール基板内に設けられている点の実施の形態とは主として異なる。以下では、実施の形態との相違点を中心に説明し、共通点の説明を省略又は簡略化する。

【 0 1 0 0 】

図 6 は、本変形例に係る高周波モジュール 1 C の断面図である。図 6 に示されるように、高周波モジュール 1 C は、チップインダクタ 1 2 0 の代わりに、平面電極パターンによって形成されたインダクタ L を備える。インダクタ L は、ストリップライン及びマイクロストリップラインなどの金属配線、並びに、ピア導体の少なくとも 1 つによって形成されている。

30

【 0 1 0 1 】

このように、本変形例に係る高周波モジュール 1 C では、IC 素子 1 0 0 の外部のインダクタ L がチップインダクタ 1 2 0 以外の構成によって形成されている。この場合であっても、実施の形態に係る高周波モジュール 1 と同等の効果が得られる。

【 0 1 0 2 】

(その他)

以上、本発明に係る高周波モジュール及び通信装置について、上記の実施の形態及びその変形例などに基づいて説明したが、本発明は、上記の実施の形態に限定されるものではない。

40

【 0 1 0 3 】

例えば、IC 素子 1 0 0 が備える低雑音増幅器の個数は、2 個でもよく、4 個以上であってもよい。つまり、高周波モジュール 1 には、2 つの通信バンドの高周波信号を受信して処理可能であってもよく、4 つ以上の通信バンドの高周波信号を受信して処理可能であってもよい。高周波モジュール 1 が備えるフィルタ及び入力整合回路、並びに、スイッチの選択端子の各々の個数は、例えば、低雑音増幅器の個数と同じであってもよい。

【 0 1 0 4 】

また、例えば、上記の実施の形態では、IC 素子 1 0 0 の外部のインダクタ L のインダクタンスが、IC 素子 1 0 0 の内部のインダクタ L 1 及び L 2 の各々のインダクタンスより

50

大きい、これに限らない。外部のインダクタLのインダクタンスは、内部のインダクタL1又はL2と等しくてもよく、異なってもよい。

【0105】

また、例えば、トランジスタTR1、TR2及びTR3は、バイポーラトランジスタであってもよい。この場合、上述したFETのゲート、ドレイン及びソースがそれぞれ、バイポーラトランジスタのベース、コレクタ及びエミッタに置き換えられる。IC素子100に含まれる少なくとも1つのインダクタは、増幅トランジスタとして機能するバイポーラトランジスタのエミッタに接続される。

【0106】

また、例えば、上記の実施の形態では、IC素子100などの電子部品がモジュール基板130の両面に配置されていたが、これに限らない。高周波モジュール1が備える全ての電子部品は、モジュール基板130の片面にのみ配置されていてもよい。

【0107】

また、例えば、上記の実施の形態では、高周波モジュール1の外部接続端子がポスト電極150で構成されていたが、これに限らない。外部接続端子は、バンプ電極で構成されていてもよい。

【0108】

また、例えば、上記の実施の形態では、通信装置5が受信機であったが、これに限定されない。例えば、通信装置5は、送受信機であってもよい。この場合、高周波モジュール1は、電力増幅器及び送信フィルタなどを有する送信回路を備えてもよい。

【0109】

その他、各実施の形態に対して当業者が思いつく各種変形を施して得られる形態や、本発明の趣旨を逸脱しない範囲で各実施の形態における構成要素及び機能を任意に組み合わせることで実現される形態も本発明に含まれる。

【産業上の利用可能性】

【0110】

本発明は、フロントエンド部に配置される高周波モジュールとして、携帯電話などの各種通信機器などに利用することができる。

【符号の説明】

【0111】

1、1A、1B、1C 高周波モジュール

2 アンテナ

3 R F I C

4 B B I C

5 通信装置

21、22、23 低雑音増幅器

51、52、110 スイッチ回路

61、62、63 フィルタ

71、72、73 整合回路

90 アンテナ接続端子

91 高周波出力端子

100 IC素子

101 接続端子

111、112、113、114、511、512、513、514、521、522、523、524 端子

120 チップインダクタ

130 モジュール基板

131、132 主面

133 ピア導体

134 グランド電極パターン

10

20

30

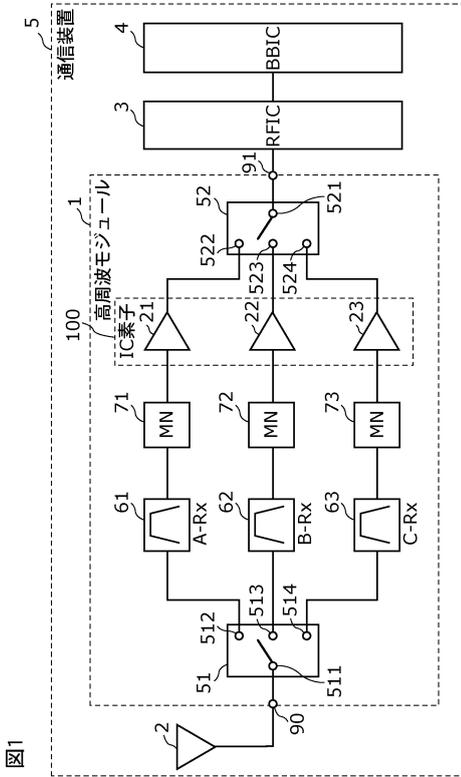
40

50

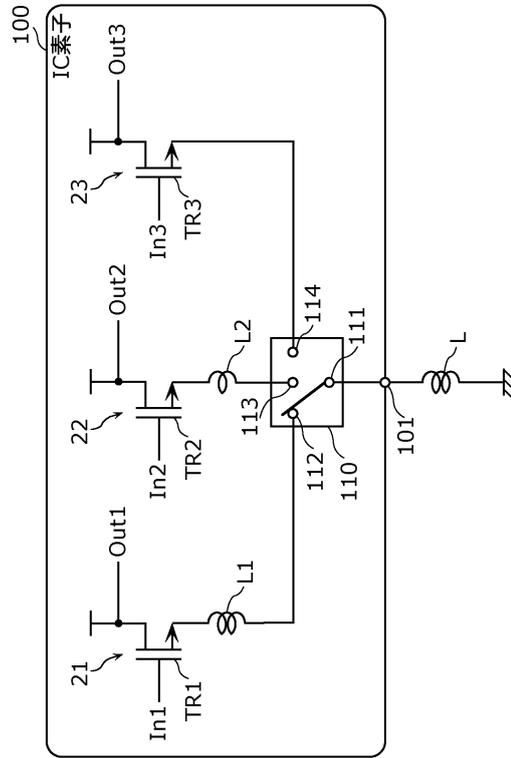
- 140、141 樹脂部材
- 150 ポスト電極
- 160 シールド電極層
- In1、In2、In3 入力端子
- L、L1、L2 インダクタ
- Out1、Out2、Out3 出力端子
- TR1、TR2、TR3 トランジスタ

【図面】

【図1】



【図2】



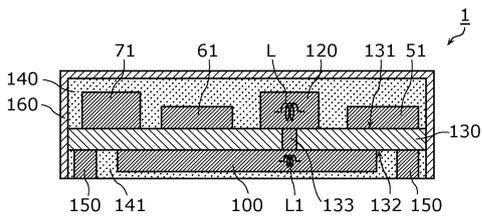
10

20

30

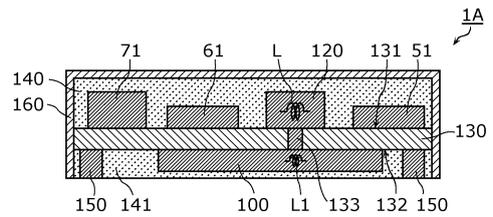
【図3】

図3



【図4】

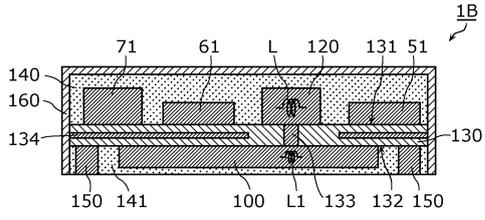
図4



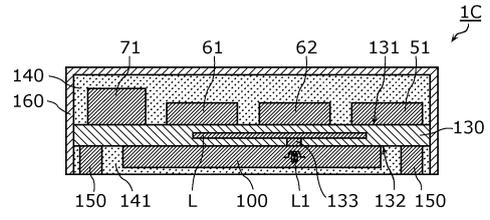
40

50

【 図 5 】
図5



【 図 6 】
図6



10

20

30

40

50

フロントページの続き

Fターム(参考)

CK03 LV07 RU08

5K062 AA01 AA11 AB01 AD04 AE05 AF05 BA01 BB03 BF07