



(12) 发明专利申请

(10) 申请公布号 CN 115548078 A

(43) 申请公布日 2022. 12. 30

(21) 申请号 202211216686.9

(22) 申请日 2022.09.30

(71) 申请人 京东方科技集团股份有限公司
地址 100015 北京市朝阳区酒仙桥路10号
申请人 成都京东方光电科技有限公司

(72) 发明人 杨晶利 羊振中 景阳钟 冯双

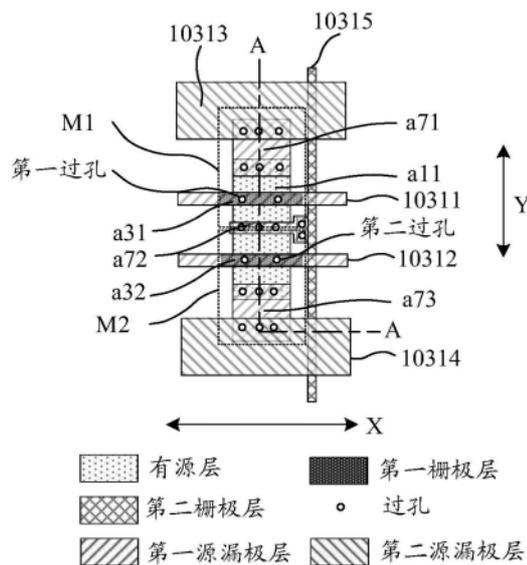
(74) 专利代理机构 北京三高永信知识产权代理
有限责任公司 11138
专利代理师 雷思鸣

(51) Int. Cl.
H01L 27/32 (2006.01)
G09G 3/00 (2006.01)

权利要求书4页 说明书12页 附图12页

(54) 发明名称
显示面板及显示装置

(57) 摘要
本申请公开了一种显示面板及显示装置,涉及显示技术领域。该显示面板中第一控制线与第一晶体管的第一栅极在至少部分重叠的第一重叠区域电连接,第二控制线与第二晶体管的第二栅极在至少部分重叠的第二重叠区域电连接。由此,不仅可以实现对第一晶体管和第二晶体的控制,而且可以避免第一控制线和第二控制线过多的占用第二方向的版图空间,便于实现显示面板的窄边框化。



1. 一种显示面板,所述显示面板具有显示区域(10a),以及围绕所述显示区域(10a)的周边区域(10b),其特征在于,包括:衬底基板(101),位于所述衬底基板(101)一侧的多个子像素(102)以及多个测试电路组(103);所述多个子像素(102)位于所述显示区域(10a);所述多个测试电路组(103)位于所述周边区域(10b),且沿所述显示区域(10a)的边界的延伸方向排布;所述测试电路组(103)至少包括一个第一测试电路(1031),每个所述第一测试电路(1031)包括:

第一晶体管(M1),所述第一晶体管(M1)包括第一栅极;

第一控制线(10311),所述第一控制线(10311)沿第一方向(X)延伸,所述第一控制线(10311)在所述衬底基板(101)上的正投影与所述第一栅极在所述衬底基板(101)上的正投影具有至少部分重叠而成的第一重叠区域,且所述第一控制线(10311)与所述第一栅极在所述第一重叠区域电连接,所述第一控制线(10311)用于为所述第一栅极提供第一控制信号,所述第一晶体管(M1)在所述第一控制线(10311)提供的第一控制信号的控制下开启或关断;

第二晶体管(M2),所述第二晶体管(M2)包括第二栅极;

以及第二控制线(10312),所述第二控制线(10312)沿所述第一方向(X)延伸,所述第二控制线(10312)在所述衬底基板(101)上的正投影与所述第二栅极在所述衬底基板(101)上的正投影具有至少部分重叠而成的第二重叠区域,且所述第二控制线(10312)与所述第二栅极在所述第二重叠区域电连接,所述第二控制线(10312)用于为所述第二栅极提供第二控制信号,所述第二晶体管(M2)在所述第二控制线(10312)提供的第二控制信号的控制下开启或关断。

2. 根据权利要求1所述的显示面板,其特征在于,所述显示面板包括:位于所述衬底基板(101)上依次层叠的有源层(a1),第一绝缘层(a2),第一栅极层(a3),第二绝缘层(a4),第二栅极层(a5),第三绝缘层(a6),第一源漏极层(a7),第四绝缘层(a8)以及第二源漏极层(a9);所述有源层(a1)包括有源图案(a11);所述第一栅极层(a3)至少包括沿所述第二方向(Y)排布的第一栅极图案(a31)和第二栅极图案(a32),所述第一栅极图案(a31)和所述有源图案(a11)重叠的部分构成所述第一栅极,所述第二栅极图案(a32)和所述有源图案(a11)重叠的部分构成所述第二栅极;

其中,所述第一控制线(10311)和所述第二控制线(10312)位于所述第一源漏极层(a7),所述第一控制线(10311)和所述第一栅极图案(a31)通过所述第二绝缘层(a4)和所述第三绝缘层(a6)中的第一过孔电连接,所述第二控制线(10312)和所述第二栅极图案(a32)通过所述通过所述第二绝缘层(a4)和所述第三绝缘层(a6)中的第二过孔电连接。

3. 根据权利要求2所述的显示面板,其特征在于,每个所述第一测试电路(1031)还包括:第一信号输入线(10313),第二信号输入线(10314)以及第一信号输出线(10315);所述第一晶体管(M1)还包括第一源极和第一漏极,所述第二晶体管(M2)还包括第二源极和第二漏极;

所述第一信号输入线(10313)和所述第二信号输入线(10314)均沿所述第一方向(X)延伸,所述第一信号输入线(10313)与所述第一源极或所述第二源极电连接,用于为所述第一源极和所述第二源极提供第一输入信号,所述第二信号输入线(10314)与所述第一源极或所述第二源极电连接,用于为所述第二源极提供第二输入信号;

所述第一信号输出线(10315)沿第二方向(Y)延伸,所述第二方向(Y)与所述第一方向(X)相交,所述第一信号输出线(10315)与所述第一漏极和所述第二漏极电连接,且所述第一信号输出线(10315)还与所述多个子像素(102)连接,在所述第一控制线(10311)控制所述第一晶体管(M1)开启,且所述第二控制线(10312)控制第二晶体管(M2)关断的情况下,所述第一信号输出线(10315)用于将从所述第一漏极接收到的输入信号传输至所述多个子像素(102),在所述第一控制线(10311)控制所述第一晶体管(M1)关断,且所述第二控制线(10312)控制所述第二晶体管(M2)开启的情况下,所述第一信号输出线(10315)还用于将从所述第二漏极接收到的输入信号传输至所述多个子像素(102)。

4. 根据权利要求3所述的显示面板,其特征在于,所述第一信号输入线(10313)和所述第二信号输入线(10314)位于所述第二源漏极层(a9);所述第一信号输出线(10315)位于所述第二栅极层(a5);所述第一源漏极层(a7)至少包括沿所述第二方向(Y)排布的第一源漏图案(a71),第二源漏图案(a72)以及第三源漏图案(a73);所述第一控制线(10311)位于所述第一源漏图案(a71)和所述第二源漏图案(a72)之间,所述第二控制线(10312)位于所述第二源漏图案(a72)和所述第三源漏图案(a73)之间;

所述第一源漏图案(a71)在所述衬底基板(101)上的正投影与所述第一信号输入线(10313)在所述衬底基板(101)上的正投影至少部分重叠,且所述第一源漏图案(a71)与所述第一信号输入线(10313)通过所述第四绝缘层(a8)中的第三过孔电连接,所述第一源漏图案(a71)为所述第一晶体管(M1)的第一源极;

所述第二源漏图案(a72)在所述衬底基板(101)上的正投影与所述第一信号输出线(10315)在所述衬底基板(101)上的正投影至少部分重叠,且所述第二源漏图案(a72)与所述第一信号输出线(10315)通过所述第三绝缘层(a6)中的第四过孔电连接,所述第二源漏图案(a72)为所述第一晶体管(M1)的第一漏极和所述第二晶体管(M2)的第二漏极;

所述第三源漏图案(a73)在所述衬底基板(101)上的正投影与所述第二信号输入线(10314)在所述衬底基板(101)上的正投影至少部分重叠,且所述第三源漏图案(a73)与所述第二信号输入线(10314)通过所述第四绝缘层(a8)中的第五过孔电连接,所述第三源漏图案(a73)为所述第二晶体管(M2)的第二源极。

5. 根据权利要求4所述的显示面板,其特征在于,所述第一过孔在所述衬底基板(101)上的正投影以及所述第二过孔在所述衬底基板(101)上的正投影均位于所述有源图案(a11)在所述衬底基板(101)上的正投影内;

所述第一栅极图案(a31)在所述衬底基板(101)上的正投影覆盖所述第一过孔在所述衬底基板(101)上的正投影,所述第二栅极图案(a32)在所述衬底基板(101)上的正投影覆盖所述第二过孔在所述衬底基板(101)上的正投影。

6. 根据权利要求4所述的显示面板,其特征在于,所述第一过孔在所述衬底基板(101)上的正投影以及所述第二过孔在所述衬底基板(101)上的正投影,均与所述有源图案(a11)在所述衬底基板(101)上的正投影不重叠。

7. 根据权利要求6所述的显示面板,其特征在于,所述第二绝缘层(a4)和所述第三绝缘层(a6)至少包括两个所述第一过孔和两个所述第二过孔;所述有源图案(a11)包括一个第一部分(a111),以及位于所述第一部分(a111)两侧的两个第二部分(a112),所述第一部分(a111)在所述衬底基板(101)上的正投影与所述第一栅极图案(a31)在所述衬底基板(101)

上的正投影以及所述第二栅极图案(a32)在所述衬底基板(101)上的正投影部分重叠,其中一个第二部分(a112)在所述衬底基板(101)上的正投影与所述第一源漏图案(a71)在所述衬底基板(101)上的正投影部分重叠,另一个所述第二部分(a112)在所述衬底基板(101)上的正投影与所述第二源漏图案(a72)在所述衬底基板(101)上的正投影部分重叠;

至少两个所述第一过孔与所述第一部分(a111)沿所述第一方向(X)排布,且至少两个所述第一过孔位于所述第一部分(a111)的两侧,所述第一栅极图案(a31)沿所述第一方向(X)的长度大于所述第一部分(a111)沿所述第一方向(X)的长度,所述第一栅极图案(a31)包括与所述第一部分(a111)未重叠且沿所述第一方向(X)排布的第一区域和第二区域,所述第一控制线(10311)和所述第一栅极图案(a31)在所述第一区域和所述第二区域分别通过至少一个所述第一过孔电连接;

至少两个所述第二过孔与所述第一部分(a111)沿所述第一方向(X)排布,且至少两个所述第二过孔位于所述第一部分(a111)的两侧,所述第二栅极图案(a32)沿所述第一方向(X)的长度大于所述第一部分(a111)沿所述第一方向(X)的长度,所述第二栅极图案(a32)包括与所述第一部分(a111)未重叠且沿所述第一方向(X)排布的第三区域和第四区域,所述第二控制线(10312)和所述第二栅极图案(a32)在所述第三区域和所述第四区域分别通过至少一个所述第二过孔电连接。

8. 根据权利要求6所述的显示面板,其特征在于,所述第二绝缘层(a4)和所述第三绝缘层(a6)至少包括两个所述第一过孔和两个所述第二过孔;所述有源图案(a11)包括一个第一部分(a111),以及位于所述第一部分(a111)两侧的两个第二部分(a112),所述第一部分(a111)在所述衬底基板(101)上的正投影与所述第一栅极图案(a31)在所述衬底基板(101)上的正投影以及所述第二栅极图案(a32)在所述衬底基板(101)上的正投影部分重叠,其中一个第二部分(a112)在所述衬底基板(101)上的正投影与所述第一晶体管(M1)的第一源极部分重叠,另一个所述第二部分(a112)在所述衬底基板(101)上的正投影与所述第二晶体管(M2)的第二源极部分重叠;

至少两个所述第一过孔与所述第一部分(a111)沿所述第一方向(X)排布,且均位于所述第一部分(a111)的一侧,所述第一栅极图案(a31)沿所述第一方向(X)的长度大于所述第一部分(a111)沿所述第一方向(X)的长度,所述第一栅极图案(a31)包括与所述第一部分(a111)未重叠的第五区域,所述第一控制线(10311)和所述第一栅极图案(a31)在所述第五区域通过至少两个所述第一过孔电连接;

至少两个所述第二过孔与所述第一部分(a111)沿所述第一方向(X)排布,且均位于所述第一部分(a111)的一侧,所述第二栅极图案(a32)沿所述第一方向(X)的长度大于所述第一部分(a111)沿所述第一方向(X)的长度,所述第二栅极图案(a32)包括与所述第一部分(a111)未重叠的第六区域,所述第二控制线(10312)和所述第二栅极图案(a32)在所述第六区域通过至少两个所述第二过孔电连接。

9. 根据权利要求8所述的显示面板,其特征在于,至少两个所述第一过孔沿所述第一方向(X)排布,或,至少两个所述第一过孔沿所述第二方向(Y)排布;

至少两个所述第二过孔沿所述第一方向(X)排布,或,至少两个所述第二过孔沿所述第二方向(Y)排布。

10. 根据权利要求7至9任一所述的显示面板,其特征在于,所述第一部分(a111)沿所述

第一方向(X)的长度小于或等于所述第二部分(a112)沿所述第一方向(X)的长度。

11. 根据权利要求4至9任一所述的显示面板,其特征在于,对于所述第一源漏图案(a71),所述第二源漏图案(a72)以及所述第三源漏图案(a73)中的每个源漏图案,所述源漏图案在所述衬底基板(101)上的正投影与所述有源图案(a11)在所述衬底基板(101)上的正投影至少部分重叠,且所述源漏图案和所述有源图案(a11)通过所述第一绝缘层(a2),所述第二绝缘层(a4)以及所述第三绝缘层(a6)中的第六过孔电连接。

12. 根据权利要求1至9任一所述的显示面板,其特征在于,所述测试电路组(103)包括沿所述第二方向(Y)排布的两个第一测试电路(1031);两个所述第一测试电路(1031)共用一条第一信号输入线(10313),或者,两个所述第一测试电路(1031)共用一条第二信号输入线(10314)。

13. 根据权利要求12所述的显示面板,其特征在于,第一个所述第一测试电路(1031)中的第一信号输出线(10315),以及第二个所述第一测试电路(1031)中的第一信号输出线(10315)分别位于两个所述第一测试电路(1031)包括的晶体管的两侧。

14. 根据权利要求1至9任一所述的显示面板,其特征在于,所述显示面板还包括多个第二测试电路,所述多个第二测试电路位于所述周边区域(10b),且沿所述显示区域(10a)的边界的延伸方向排布;每个所述第二测试电路包括第二信号输出线;所述多个子像素(102)构成多个第一像素列(102a)和多个第二像素列(102b),每个所述第一像素列(102a)包括多个第一颜色子像素和多个第二颜色子像素,每个所述第二像素列(102b)包括多个第三颜色子像素;

每个所述第一测试电路(1031)的第一信号输出线(10315)与一个所述第一像素列(102a)的多个第一颜色子像素和多个第二颜色子像素连接,每个所述第二测试电路的第二信号输出线与一个所述第二像素列(102b)的多个第三颜色子像素连接。

15. 一种显示装置,其特征在于,所述显示装置包括:供电组件(20)以及如权利要求1至14任一所述的显示面板(10);

所述供电组件(20)用于为所述显示面板(10)供电。

显示面板及显示装置

技术领域

[0001] 本申请涉及显示技术领域,特别涉及一种显示面板及显示装置。

背景技术

[0002] 有机发光二极管(organic light emitting diode,OLED)显示面板因其自发光、驱动电压低、响应快等特点而得到了广泛的应用。

[0003] 相关技术中,通常在显示面板的在生产过程中会设置多个测试环节,来保证显示面板的品质,提升生产效率。目前,显示面板的周边区域可以设计有点灯测试电路,该点灯测试电路可以用于对显示面板进行点灯测试,用于检查显示面板的显示不良。

[0004] 但是,由于点灯测试电路所需占据的周边区域的空间较大,因此会导致显示面板的屏占比较低,影响显示面板的窄边框化。

发明内容

[0005] 本申请提供了一种显示面板及显示装置,可以解决相关技术中显示面板的屏占比较低,影响显示面板的窄边框化的问题。所述技术方案如下:

[0006] 一方面,提供了一种显示面板,所述显示面板具有显示区域,以及围绕所述显示区域的周边区域,包括:衬底基板,位于所述衬底基板的一侧的多个子像素以及多个测试电路组;所述多个子像素位于所述显示区域;所述多个测试电路组位于所述周边区域,且沿所述显示区域的边界的延伸方向排布;所述测试电路组至少包括一个第一测试电路,每个所述第一测试电路包括:

[0007] 第一晶体管,所述第一晶体管包括第一栅极;

[0008] 第一控制线,所述第一控制线沿第一方向延伸,所述第一控制线在所述衬底基板上的正投影与所述第一栅极在所述衬底基板上的正投影具有至少部分重叠而成的第一重叠区域,且所述第一控制线与所述第一栅极在所述第一重叠区域电连接,所述第一控制线用于为所述第一栅极提供第一控制信号,所述第一晶体管在所述第一控制线提供的第一控制信号的控制下开启或关断;

[0009] 第二晶体管,所述第二晶体管包括第二栅极;

[0010] 以及第二控制线,所述第二控制线沿所述第一方向延伸,所述第二控制线在所述衬底基板上的正投影与所述第二栅极在所述衬底基板上的正投影具有至少部分重叠而成的第二重叠区域,且所述第二控制线与所述第二栅极在所述第二重叠区域电连接,所述第二控制线用于为所述第二栅极提供第二控制信号,所述第二晶体管在所述第二控制线提供的第二控制信号的控制下开启或关断。

[0011] 可选的,所述显示面板包括:位于所述衬底基板上依次层叠的有源层,第一绝缘层,第一栅极层,第二绝缘层,第二栅极层,第三绝缘层,第一源漏极层,第四绝缘层以及第二源漏极层;所述有源层包括有源图案;所述第一栅极层至少包括沿所述第二方向排布的第一栅极图案和第二栅极图案,所述第一栅极图案和所述有源图案重叠的部分构成所述第

一栅极,所述第二栅极图案和所述有源图案重叠的部分构成所述第二栅极;

[0012] 其中,所述第一控制线和所述第二控制线位于所述第一源漏极层,所述第一控制线和所述第一栅极图案通过所述第二绝缘层和所述第三绝缘层中的第一过孔电连接,所述第二控制线和所述第二栅极图案通过所述通过所述第二绝缘层和所述第三绝缘层中的第二过孔电连接。

[0013] 可选的,每个所述第一测试电路还包括:第一信号输入线,第二信号输入线以及第一信号输出线;所述第一晶体管还包括第一源极和第一漏极,所述第二晶体管还包括第二源极和第二漏极;

[0014] 所述第一信号输入线和所述第二信号输入线均沿所述第一方向延伸,所述第一信号输入线与所述第一源极或所述第二源极电连接,用于为所述第一源极和所述第二源极提供第一输入信号,所述第二信号输入线与所述第一源极或所述第二源极电连接,用于为所述第二源极提供第二输入信号;

[0015] 所述第一信号输出线沿第二方向延伸,所述第二方向与所述第一方向相交,所述第一信号输出线与所述第一漏极和所述第二漏极电连接,且所述第一信号输出线还与所述多个子像素连接,在所述第一控制线控制所述第一晶体管开启,且所述第二控制线控制第二晶体管关断的情况下,所述第一信号输出线用于将从所述第一漏极接收到的输入信号传输至所述多个子像素,在所述第一控制线控制所述第一晶体管关断,且所述第二控制线控制所述第二晶体管(M2)开启的情况下,所述第一信号输出线还用于将从所述第二漏极接收到的输入信号传输至所述多个子像素。

[0016] 可选的,所述第一信号输入线和所述第二信号输入线位于所述第二源漏极层;所述第一信号输出线位于所述第二栅极层;所述第一源漏极层至少包括沿所述第二方向排布的第一源漏图案,第二源漏图案以及第三源漏图案;所述第一控制线位于所述第一源漏图案和所述第二源漏图案之间,所述第二控制线位于所述第二源漏图案和所述第三源漏图案之间;

[0017] 所述第一源漏图案在所述衬底基板上的正投影与所述第一信号输入线在所述衬底基板上的正投影至少部分重叠,且所述第一源漏图案与所述第一信号输入线通过所述第四绝缘层中的第三过孔电连接,所述第一源漏图案为所述第一晶体管的第一源极;

[0018] 所述第二源漏图案在所述衬底基板上的正投影与所述第一信号输出线在所述衬底基板上的正投影至少部分重叠,且所述第二源漏图案与所述第一信号输出线通过所述第三绝缘层中的第四过孔电连接,所述第二源漏图案为所述第一晶体管的第一漏极和所述第二晶体管的第二漏极;

[0019] 所述第三源漏图案在所述衬底基板上的正投影与所述第二信号输入线在所述衬底基板上的正投影至少部分重叠,且所述第三源漏图案与所述第二信号输入线通过所述第四绝缘层中的第五过孔电连接,所述第三源漏图案为所述第二晶体管的第二源极。

[0020] 可选的,所述第一过孔在所述衬底基板上的正投影以及所述第二过孔在所述衬底基板上的正投影均位于所述有源图案在所述衬底基板上的正投影内;

[0021] 所述第一栅极图案在所述衬底基板上的正投影覆盖所述第一过孔在所述衬底基板上的正投影,所述第二栅极图案在所述衬底基板上的正投影覆盖所述第二过孔在所述衬底基板上的正投影。

[0022] 可选的,所述第一过孔在所述衬底基板上的正投影以及所述第二过孔在所述衬底基板上的正投影,均与所述有源图案在所述衬底基板上的正投影不重叠。

[0023] 可选的,所述第二绝缘层和所述第三绝缘层至少包括两个所述第一过孔和两个所述第二过孔;所述有源图案包括一个第一部分,以及位于所述第一部分两侧的两个第二部分,所述第一部分在所述衬底基板上的正投影与所述第一栅极图案在所述衬底基板上的正投影以及所述第二栅极图案在所述衬底基板上的正投影部分重叠,其中一个第二部分在所述衬底基板上的正投影与所述第一源漏图案在所述衬底基板上的正投影部分重叠,另一个所述第二部分在所述衬底基板上的正投影与所述第二源漏图案在所述衬底基板上的正投影部分重叠;

[0024] 至少两个所述第一过孔与所述第一部分沿所述第一方向排布,且至少两个所述第一过孔位于所述第一部分的两侧,所述第一栅极图案沿所述第一方向的长度大于所述第一部分沿所述第一方向的长度,所述第一栅极图案包括与所述第一部分未重叠且沿所述第一方向排布的第一区域和第二区域,所述第一控制线和所述第一栅极图案在所述第一区域和所述第二区域分别通过至少一个所述第一过孔电连接;

[0025] 至少两个所述第二过孔与所述第一部分沿所述第一方向排布,且至少两个所述第二过孔位于所述第一部分的两侧,所述第二栅极图案沿所述第一方向的长度大于所述第一部分沿所述第一方向的长度,所述第二栅极图案包括与所述第一部分未重叠且沿所述第一方向排布的第三区域和第四区域,所述第二控制线和所述第二栅极图案在所述第三区域和所述第四区域分别通过至少一个所述第二过孔电连接。

[0026] 可选的,所述第二绝缘层和所述第三绝缘层至少包括两个所述第一过孔和两个所述第二过孔;所述有源图案包括一个第一部分,以及位于所述第一部分两侧的两个第二部分,所述第一部分在所述衬底基板上的正投影与所述第一栅极图案在所述衬底基板上的正投影以及所述第二栅极图案在所述衬底基板上的正投影部分重叠,其中一个第二部分在所述衬底基板上的正投影与所述第一晶体管的第一源极部分重叠,另一个所述第二部分在所述衬底基板上的正投影与所述第二晶体管的第二源极部分重叠;

[0027] 至少两个所述第一过孔与所述第一部分沿所述第一方向排布,且均位于所述第一部分的一侧,所述第一栅极图案沿所述第一方向的长度大于所述第一部分沿所述第一方向的长度,所述第一栅极图案包括与所述第一部分未重叠的第五区域,所述第一控制线和所述第一栅极图案在所述第五区域通过至少两个所述第一过孔电连接;

[0028] 至少两个所述第二过孔与所述第一部分沿所述第一方向排布,且均位于所述第一部分的一侧,所述第二栅极图案沿所述第一方向的长度大于所述第一部分沿所述第一方向的长度,所述第二栅极图案包括与所述第一部分未重叠的第六区域,所述第二控制线和所述第二栅极图案在所述第六区域通过至少两个所述第二过孔电连接。

[0029] 可选的,至少两个所述第一过孔沿所述第一方向排布,或,至少两个所述第一过孔沿所述第二方向排布;

[0030] 至少两个所述第二过孔沿所述第一方向排布,或,至少两个所述第二过孔沿所述第二方向排布。

[0031] 可选的,所述第一部分沿所述第一方向的长度小于或等于所述第二部分沿所述第一方向的长度。

[0032] 可选的,对于所述第一源漏图案,所述第二源漏图案以及所述第三源漏图案中的每个源漏图案,所述源漏图案在所述衬底基板上的正投影与所述有源图案在所述衬底基板上的正投影至少部分重叠,且所述源漏图案和所述有源图案通过所述第一绝缘层,所述第二绝缘层以及所述第三绝缘层中的第六过孔电连接。

[0033] 可选的,所述测试电路组包括沿所述第二方向排布的两个第一测试电路;两个所述第一测试电路共用一条第一信号输入线,或者,两个所述第一测试电路共用一条第二信号输入线。

[0034] 可选的,第一个所述第一测试电路中的第一信号输出线,以及第二个所述第一测试电路中的第一信号输出线分别位于两个所述第一测试电路包括的晶体管的两侧。

[0035] 可选的,所述显示面板还包括多个第二测试电路,所述多个第二测试电路位于所述周边区域,且沿所述显示区域的边界的延伸方向排布;每个所述第二测试电路包括第二信号输出线;所述多个子像素构成多个第一像素列和多个第二像素列,每个所述第一像素列包括多个第一颜色子像素和多个第二颜色子像素,每个所述第二像素列包括多个第三颜色子像素;

[0036] 每个所述第一测试电路的第一信号输出线与一个所述第一像素列的多个第一颜色子像素和多个第二颜色子像素连接,每个所述第二测试电路的第二信号输出线与一个所述第二像素列的多个第三颜色子像素连接。

[0037] 另一方面,提供了一种显示装置,所述显示装置包括:供电组件以及如上述方面所述的显示面板;

[0038] 所述供电组件用于为所述显示面板供电。

[0039] 本申请提供的技术方案带来的有益效果至少包括:

[0040] 本申请提供了一种显示面板及显示装置,该显示面板中第一控制线与第一晶体管的第一栅极在至少部分重叠的第一重叠区域电连接,第二控制线与第二晶体管的第二栅极在至少部分重叠的第二重叠区域电连接。由此,不仅可以实现对第一晶体管和第二晶体的控制,而且可以避免第一控制线和第二控制线过多的占用第二方向的版图空间,便于实现显示面板的窄边框化。

附图说明

[0041] 为了更清楚地说明本申请实施例中的技术方案,下面将对实施例描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本申请的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0042] 图1是相关技术中测试电路的局部示意图;

[0043] 图2是本申请实施例提供的一种显示面板的结构示意图;

[0044] 图3是本申请实施例提供的一种第一测试电路的结构示意图;

[0045] 图4是图3所示的第一测试电路沿AA方向的截面图;

[0046] 图5是本申请实施例提供的一种电镜示意图;

[0047] 图6是图5所示的截面图;

[0048] 图7是本申请实施例提供的另一种电镜示意图;

- [0049] 图8是图7所示的截面图；
- [0050] 图9是本申请实施例提供的一种测试电路组的局部示意图；
- [0051] 图10是本申请实施例提供的另一种测试电路组的局部示意图；
- [0052] 图11是本申请实施例提供的又一种测试电路组的局部示意图；
- [0053] 图12是本申请实施例提供的再一种测试电路组的局部示意图；
- [0054] 图13是本申请实施例提供的再一种测试电路组的局部示意图；
- [0055] 图14是本申请实施例提供的一种第一测试电路和第二测试电路的等效电路图；
- [0056] 图15是本申请实施例提供的一种信号时序图；
- [0057] 图16是本申请实施例提供的另一种显示面板的结构示意图；
- [0058] 图17是本申请实施例提供的一种显示装置的结构示意图。

具体实施方式

[0059] 为使本申请的目的、技术方案和优点更加清楚，下面将结合附图对本申请实施方式作进一步地详细描述。

[0060] 有机发光二极管(organic light emitting diode,OLED)属于一种新型电流型半导体发光器件。该有机发光二极管是通过控制载流子的注入同时复合激发有机材料发光实现显示功能的。其中,有机发光二极管的驱动方式可以分为有源驱动和无源驱动。相应的,显示面板可以为有源矩阵显示面板(active-matrix organic light-emitting diode,AMOLED)和无源矩阵显示面板(passive matrix organic light-emitting diode,PMOLED)。和无源驱动相比,有源驱动可以为显示面板中每个子像素配备薄膜晶体管(thin film transistor,TFT)和电荷贮存电容,从而提高负载驱动能力,易于实现高分辨率和高亮度,具有工作效率高和功耗低等优点。AMOLED显示面板便于集成在显示面板内,更易于提高电路集成度实现大面积显示,是低功耗大尺寸显示装置的理想器件。

[0061] 但AMOLED显示面板在结构方面仍然具有明显的短板。例如,AMOLED显示面板的周边电路需要占据版图中较大的空间,因此显示面板的边框宽度较大,影响了AMOLED显示产品的窄边框化。

[0062] 相关技术中,显示面板具有显示区域以及围绕显示区域的周边区域。周边区域包括位于显示区域的一侧的扇出(fanout)绑定(bonding)区域,点灯测试电路(celltest)位于绑定区远离显示区域的一侧。由于点灯测试电路在显示面板的像素行方向的设计空间有限,因此需要设计两行点灯测试电路。参考图1,以两行点灯测试电路为例对相关技术进行简单介绍。两行点灯测试电路共包括两条第一控制线(CTSW21和CTSW22),一条第二控制线(CTSW3),两条第一信号输入线(CTDR1和CTDR2)和两条第二信号输入线(CTDB1和CTDB2)。

[0063] 其中第一控制线(CTSW21),第二信号输入线(CTDB1),第一信号输入线(CTDR1),第二控制线(CTSW3),第二信号输入线(CTDB2),第一信号输入线(CTDR2)和第一控制线(CTSW22)均沿像素行方向延伸,且沿像素列方向依次排布。并且,每个点灯测试电路包括一个第一晶体管和一个第二晶体管。第一个点灯测试电路的第一晶体管和第二晶体管位于第一控制线(CTSW21)和第二控制线(CTSW3)之间,第二个点灯测试电路的第一晶体管和第二晶体管位于第二控制线(CTSW3)和第一控制线(CTSW22)之间。

[0064] 第一晶体管包括第一栅极,第一源极和第一漏极,第二晶体管包括第二栅极,第二

源极和第二漏极。第一控制线 (CTSW21) 通过转接至第一栅极层的竖向走线再转接连接至一个点灯测试电路的第一晶体管的第一栅极, 第一控制线 (CTSW22) 通过转接至第一栅极层的竖向走线再转接连接至另一个点灯测试电路的第一晶体管的第一栅极。第二控制线 (CTSW3) 的两侧通过转接至第一栅极层的竖向走线在转接连接至两个点灯测试电路的第二晶体管的第二栅极。

[0065] 其中, 第一信号输入线 (CTDR1和CTDR2) 用于写入红色子像素的数据信号, 第二信号输入线 (CTDB1和CTDB2) 用于写入蓝色子像素的数据信号, 通常为固定电压值的直流信号。第一控制线 (CTSW21和CTSW22) 用于控制第一晶体管的开启或关断。第二控制线 (CTSW3) 用于控制第二晶体管的开启或关断。

[0066] 每个点灯测试电路中的第一晶体管可以在第一控制线 (CTSW21或CTSW22) 提供的控制信号的控制下开启或关断, 每个点灯测试电路中的第二晶体管可以在第二控制线 (CTSW3) 提供的控制信号的控制下开启或关断。点灯测试电路还包括沿像素列方向延伸的第一信号输出线。在第一晶体管开启, 且第二晶体管关断的情况下, 第一信号输入线 (CTDR1或CTDR2) 通过第一晶体管向第一信号输出线传输第一输入信号。在第一晶体管关断, 且第二晶体管开启的情况下, 第二信号输入线 (CTDB1和CTDB2) 通过第二晶体管向第一信号输出线传输第二输入信号。由此通过使得第一晶体管和第二晶体管交替开启来实现点灯测试。

[0067] 但是此种方案导致这些走线占据了像素列方向上较多的版图空间, 导致周边区域的宽度较宽, 难以实现显示面板的窄边框化。

[0068] 图2是本申请实施例提供的一种显示面板的结构示意图。参考图2, 该显示面板10可以包括: 衬底基板101, 位于衬底基板101的一侧的多个子像素102以及多个测试电路组103。其中, 显示面板10可以具有显示区域10a, 以及围绕显示区域10a的周边区域10b。多个子像素102位于显示区域10a, 多个测试电路组103位于周边区域10b, 且沿显示区域10a的边界的延伸方向排布。

[0069] 图3是本申请实施例提供的一种测试电路组的结构示意图。参考图3, 测试电路组103至少包括一个第一测试电路1031。图3中示出了一个测试电路组103, 且该测试电路组103包括一个第一测试电路1031。参考图3, 每个第一测试电路1031可以包括: 第一晶体管M1, 第一控制线10311, 第二晶体管M2, 以及第二控制线10312。

[0070] 其中, 第一晶体管M1包括第一栅极, 第二晶体管M2包括第二栅极。第一控制线10311以及第二控制线10312均沿第一方向X延伸。

[0071] 在本申请实施例中, 第一控制线10311在衬底基板101上的正投影与第一晶体管M1的第一栅极在衬底基板101上的正投影具有至少部分重叠而成的第一重叠区域, 且第一控制线10311与第一栅极在第一重叠区域电连接。该第一控制线10311用于为第一栅极提供第一控制信号。第一晶体管M1在第一控制线10311为第一栅极提供的第一控制信号的控制下开启或关断。

[0072] 第二控制线10312在衬底基板101上的正投影与第二晶体管M2的第二栅极在衬底基板101上的正投影具有至少部分重叠而成的第二重叠区域, 且第二控制线10312与第二栅极在第二重叠区域电连接。该第二控制线10312用于为第二栅极提供第二控制信号。第二晶体管M2在第二控制线10312为第二栅极提供的第二控制信号的控制下开启或关断。

[0073] 综上所述, 本申请实施例提供了一种显示面板, 该显示面板中第一控制线与第一

晶体管的第一栅极在至少部分重叠的第一重叠区域电连接,第二控制线与第二晶体管的第二栅极在至少部分重叠的第二重叠区域电连接。由此,不仅可以实现对第一晶体管和第二晶体管的控制,而且可以避免第一控制线和第二控制线过多的占用第二方向的版图空间,便于实现显示面板的窄边框化。

[0074] 可选的,通过本申请实施例的设计,可以节省显示面板中沿第二方向Y大约23 μm (微米)至28 μm 的尺寸。

[0075] 在本申请实施例中,参考图3,第一测试电路1031还包括第一信号输入线10313,第二信号输入线10314以及第一信号输出线10315。该第一信号输入线10313,第二信号输入线10314以及第一信号输出线10315均沿第一方向X延伸。其中,第一信号输入线10313,第一控制线10313,第二控制线10316以及第二信号输入线10314沿第二方向Y依次排布。其中,第二方向Y与第一方向X相交,例如第一方向X为显示面板的像素行方向,第二方向Y为显示面板的像素列方向。另外,第一晶体管M1还可以包括第一源极和第一漏极,第二晶体管M2还可以包括第二源极和第二漏极。

[0076] 第一信号输入线10313与第一晶体管M1的第一源极或第二晶体管M2的第二源极电连接,用于为第一源极或第二源极提供第一输入信号。第二信号输入线10314与第一晶体管M1的第一源极或第二晶体管M2的第二源极电连接,用于为第一源极或第二源极提供第二输入信号。

[0077] 第一信号输出线10315与第一晶体管M1的第一漏极和第二漏极电连接,且第一信号输出线10315还与位于显示区域10a的多个子像素102连接。在第一控制线10311控制第一晶体管M1开启,且第二控制线10312控制第二晶体管M2关断的情况下,第一信号输出线10315用于将从第一漏极接收到的输入信号传输至多个子像素102。在第一控制线10311控制第一晶体管M1关断,且第二控制线10312控制第二晶体管M2开启的情况下,第一信号输出线10315还用于将从第二漏极接收到的输入信号传输至多个子像素102。

[0078] 参考图4,显示面板10可以包括:位于衬底基板101上依次层叠的有源层(poly) a1,第一绝缘层a2,第一栅极层(Gate1) a3,第二绝缘层a4,第二栅极层(Gate2) a5,第三绝缘层a6,第一源漏极层(SD1) a7,第四绝缘层a8以及第二源漏极层(SD2) a9。可选的,第一绝缘层a2可以为第一栅极绝缘层(gate insulator,GI)。第二绝缘层a4可以为第二栅极绝缘层。第三绝缘层a6可以为(inter level dielectric,ILD)。第四绝缘层a8可以包括钝化层(passivation layer,PVX) a81和平坦层(planarization layer,PLN) a82。

[0079] 其中,有源层a1包括有源图案a11。第一栅极层a3至少包括沿第二方向Y排布的第一栅极图案a31和第二栅极图案a32。第一栅极图案a31和有源图案a11重叠的部分构成第一晶体管M1的第一栅极,第二栅极图案a32和有源图案a11重叠的部分构成第二晶体管M2的第二栅极。第一源漏极层a7至少包括沿第二方向Y排布的第一源漏图案a71,第二源漏图案a72以及第三源漏图案a73。

[0080] 在本申请实施例中,第一控制线10311和第二控制线10312均位于第一源漏极层a7。第一控制线10311,第二控制线10312,第一源漏图案a71,第二源漏图案a72以及第三源漏图案a73可以采用相同材料并由同一次构图工艺制备得到。其中,第一控制线10311位于第一源漏图案a71和第二源漏图案a72之间,第二控制线10312位于第二源漏图案a72和第三源漏图案a73之间。另外,第一信号输出线10315位于第二栅极层a5。

[0081] 第一控制线10311和第一栅极图案a31之间的绝缘膜层包括第二绝缘层a4和第三绝缘层a6,该第二绝缘层a4和第三绝缘层a6中可以具有第一过孔,第一控制线10311和第一栅极图案a31可以通过该第一过孔电连接。同理,第二控制线10312和第二栅极图案a32之间的绝缘膜层也包括第二绝缘层a4和第三绝缘层a6,该第二绝缘层a4和第三绝缘层a6中可以具有第二过孔,第二控制线10312和第二栅极图案a32可以通过第二过孔电连接。

[0082] 第一源漏图案a71在衬底基板101上的正投影与第一信号输入线10313在衬底基板101上的正投影至少部分重叠,且第一源漏图案a71与第一信号输入线10313通过第四绝缘层a8中的第三过孔电连接。该第一源漏图案a71可以为第一晶体管M1的第一源极。

[0083] 第二源漏图案a72在衬底基板101上的正投影与第一信号输出线10315在衬底基板101上的正投影至少部分重叠,且第二源漏图案a72与第一信号输出线10315通过第三绝缘层a6中的第四过孔电连接,第二源漏图案a72为第一晶体管M1的第一漏极和第二晶体管M2的第二漏极。也即是,第一晶体管M1的第一漏极和第二晶体管M2的第二漏极共用。

[0084] 第三源漏图案a73在衬底基板101上的正投影与第二信号输入线10314在衬底基板101上的正投影至少部分重叠,且第三源漏图案a73与第二信号输入线10314通过第四绝缘层a8中的第五过孔电连接。该第三源漏图案a73可以为第一晶体管M1的第二源极。

[0085] 另外,在本申请实施例中,对于第一源漏图案a71,第二源漏图案a72以及第三源漏图案a73中的每个源漏图案,该源漏图案在衬底基板101上的正投影与有源图案a11在衬底基板101上的正投影至少部分重叠。并且,源漏图案和有源图案a11通过第一绝缘层a2,第二绝缘层a4以及第三绝缘层a6中的第六过孔电连接。

[0086] 作为第一种可选的实现方式,参考图3和图9,第一过孔在衬底基板101上的正投影以及第二过孔在衬底基板101上的正投影均位于有源图案a11在衬底基板101上的正投影内。也即是,第一控制线10311和第一栅极图案a31电连接的区域,以及第二控制线10312和第二栅极图案a32电连接的区域均位于有源图案a11在衬底基板101上的正投影内。

[0087] 在该实现方式中,参考图5至图8,若第一过孔(或第二过孔)的尺寸偏大,且露出第一栅极图案a31(或第二栅极图案a32)的边界,则会导致形成的第一控制线10311(或第二控制线10312)覆盖第一栅极图案a31(或第二栅极图案a32)的侧壁,第一控制线10311(或第二控制线10312)可能会与有源图案a11由于距离较近而短接(Short),第一晶体管M1(或第二晶体管M2)失效。

[0088] 基于此,为了避免晶体管失效,可以使得第一栅极图案a31在衬底基板101上的正投影覆盖第一过孔在衬底基板101上的正投影,第二栅极图案a32在衬底基板101上的正投影覆盖第二过孔在衬底基板101上的正投影。

[0089] 可选的,第一过孔和第二过孔的孔径的范围为 $2\mu\text{m}$ 至 $2.5\mu\text{m}$ 。原先的设计中,第一栅极图案a31沿第二方向Y的长度(即第一栅极图案a31的宽度)以及第二栅极图案a32沿第二方向Y的长度(即第二栅极图案a32的宽度)的范围大约为 $3.2\mu\text{m}$ 至 $4.5\mu\text{m}$ 。而为了避免晶体管失效,可以使得第一栅极图案a31的宽度以及第二栅极图案a32的宽度的范围为 $4.5\mu\text{m}$ 至 $6.4\mu\text{m}$ 。

[0090] 在不改变第一晶体管M1和第二晶体管M2的沟道的宽长比的情况下,由于增大了第一栅极图案a31的宽度和第二栅极图案a32的宽度(相当于增大了第一晶体管M1和第二晶体管M2的沟道的长),因此需要适当增大有源图案a11沿第一方向X的长度,以增大第一栅极图

案a31和有源图案a11的重叠区域沿第一方向X的长度,以及第二栅极图案a32和有源图案a11的重叠区域沿第一方向X的长度(相当于需要增大第一晶体管M1和第二晶体管M2的沟道的宽)。由此,有源图案a11沿第一方向X的长度的范围可以由原先的 $15\mu\text{m}$ 至 $17\mu\text{m}$ 变更为 $18\mu\text{m}$ 至 $20\mu\text{m}$ 。另外,第一栅极图案a31沿第一方向X的长度(即第一栅极图案a31的长度)以及第二栅极图案a32沿第一方向X的长度(即第二栅极图案a32的长度)可以由原先的 $21\mu\text{m}$ 至 $24\mu\text{m}$ 变更为 $26\mu\text{m}$ 至 $30\mu\text{m}$ 。

[0091] 作为第二种可选的实现方式,第二绝缘层a4和第三绝缘层a6至少包括两个第一过孔和两个第二过孔。有源图案a11包括一个第一部分a111,以及位于第一部分a111两侧的两个第二部分a112。该第一部分a111在衬底基板101上的正投影与第一栅极图案a31在衬底基板101上的正投影以及第二栅极图案a32在衬底基板101上的正投影部分重叠。其中一个第二部分a112在衬底基板101上的正投影与第一源漏图案a71在衬底基板101上的正投影部分重叠,另一个第二部分a112在衬底基板101上的正投影与第二源漏图案a72在衬底基板101上的正投影部分重叠。

[0092] 第一种方案,参考图10,至少两个第一过孔与第一部分a111沿第一方向X排布,且至少两个第一过孔位于第一部分a111的两侧。该第一栅极图案a31沿第一方向X的长度大于第一部分a111沿第一方向X的长度。该第一栅极图案a31包括与第一部分a111未重叠且沿第一方向X排布的第一区域和第二区域。第一控制线10311和第一栅极图案a31在第一区域和第二区域分别通过至少一个第一过孔电连接。图10中第二绝缘层a4和第三绝缘层a6包括两个第一过孔。

[0093] 并且,参考图10,至少两个第二过孔与第一部分a111沿第一方向X排布,且至少两个第二过孔位于第一部分a111的两侧。该第二栅极图案a32沿第一方向X的长度大于第一部分a111沿第一方向X的长度。该第二栅极图案a32包括与第一部分a111未重叠且沿第一方向X排布的第三区域和第四区域。第二控制线10312和第二栅极图案a32在第三区域和第四区域分别通过至少一个第二过孔电连接。图10中第二绝缘层a4和第三绝缘层a6包括两个第二过孔。

[0094] 第二种方案,参考图11,至少两个第一过孔与第一部分a111沿第一方向X排布,且至少两个第一过孔均位于第一部分a111的一侧。该第一栅极图案a31沿第一方向X的长度大于第一部分a111沿第一方向X的长度。该第一栅极图案a31包括与第一部分a111未重叠的第五区域(该第五区域位于第一部分a111的左侧或右侧均可)。第一控制线10311和第一栅极图案a31在第五区域通过至少两个第一过孔电连接。图11中第二绝缘层a4和第三绝缘层a6包括两个第一过孔。

[0095] 并且,参考图11,至少两个第二过孔与第一部分a111沿第一方向X排布,且至少两个第二过孔均位于第一部分a111的一侧。该第二栅极图案a32沿第一方向X的长度大于第一部分a111沿第一方向X的长度。该第二栅极图案a32包括与第一部分a111未重叠的第六区域(第六区域位于第一部分a111的左侧或右侧均可,且第六区域和第五区域可以位于第一部分a111的同侧,也可以分别位于第一部分a111的两侧)。第二控制线10312和第二栅极图案a32在第六区域通过至少两个第二过孔电连接。图11中第二绝缘层a4和第三绝缘层a6包括两个第二过孔。

[0096] 参考上述图11,两个第一过孔可以沿第一方向X排布,两个第二过孔可以沿第一方

向X排布。当然,参考图12,两个第一过孔也可以沿第二方向Y排布,两个第二过孔也可以沿第二方向Y排布。另外,也可使得两个第一过孔沿第一方向X排布,两个第二过孔沿第二方向Y排布。或者,使得两个第一过孔沿第二方向Y排布,两个第二过孔沿第一方向X排布。

[0097] 也即是,在本申请实施例中,至少两个第一过孔沿第一方向X排布,或,至少两个第一过孔沿第二方向Y排布。至少两个第二过孔沿第一方向X排布,或至少两个第二过孔沿第二方向Y排布。

[0098] 在本申请实施例中,第一部分a111沿第一方向X的长度可以小于或等于第二部分a112沿第一方向X的长度。参考图9至图12,第一部分a111沿第一方向X的长度等于第二部分a112沿第一方向X的长度。此种方案中,第一栅极图案a31沿第一方向X的长度以及第二栅极图案a32沿第一方向X的长度需要设计的大于第二部分a112沿第一方向X的长度。当然,参考图13,第一部分a111沿第一方向X的长度小于第二部分a112沿第一方向X的长度。此种方案中,第一栅极图案a31沿第一方向X的长度以及第二栅极图案a32沿第一方向X的长度可以大于或等于第二部分a112沿第一方向X的长度。可选的,第一部分a111沿第一方向X的长度的范围为 $15\mu\text{m}$ 至 $17\mu\text{m}$ 。第二部分a112沿第一方向X的长度的范围为 $18\mu\text{m}$ 至 $20\mu\text{m}$ 。

[0099] 在该第二种实现方式中,由于第一过孔在衬底基板101上的正投影以及第二过孔在衬底基板101上的正投影,均与有源图案a11在衬底基板101上的正投影不重叠,因此可以使得第一控制线10311和第一栅极图案a31的电连接,以及第二控制线10312和第二栅极图案a32的电连接不会对有源图案a11造成影响,保证第一晶体管M1和第二晶体管M2的性能。

[0100] 在本申请实施例中,参考图9至图13,测试电路组103包括沿第二方向Y排布的两个第一测试电路1031。该两个第一测试电路1031可以共用一条第一信号输入线10313,或者,两个第一测试电路1031可以共用一条第二信号输入线10314。

[0101] 若两个第一测试电路1031共用一条第一信号输入线10313,则第一信号输入线10313可以为两个第一测试电路1031中与该第一信号输入线10312连接的两个晶体管的源极提供第一输入信号。若两个第一测试电路1031共用一条第二信号输入线10314,则第二信号输入线10314可以为两个第一测试电路1031中与该第二信号输入线10314连接的两个的晶体管提供第二输入信号。

[0102] 参考图9至图13可以看出,第一个第一测试电路1031中的第一信号输出线10315,以及第二个第一测试电路1031中的第一信号输出线10315分别位于两个第一测试电路1031包括的晶体管的两侧。由此可以提高版图设计的图案均一性。

[0103] 在本申请实施例中,显示面板10还可以包括多个第二测试电路(图中未示出),该多个第二测试电路可以位于周边区域10b,且沿显示区域10a的边界的延伸方向排布。例如,该多个第二测试电路可以位于测试电路组103远离显示区域10a的一侧。

[0104] 参考图9至图13,每个第二测试电路104包括第二信号输出线1041,该第二信号输出线1041可以沿第二方向Y延伸,当然,该第二信号输出线1041也可以适当的弯折,以适应版图设计。当然,第二测试电路104还可以包括第三晶体管M3(下述图14中示出第三晶体管),第三信号输入线,以及第三控制线(图9至图13中未示出第三晶体管,第三信号输入线,以及第三控制线)。其中,第三晶体管包括第三栅极,第三源极和第三漏极。该第三控制线与第三栅极电连接,用于为第三栅极提供第三控制信号。第三晶体管在第三控制线提供的第三控制信号的控制下开启或关断。第三信号输入线与第三源极电连接,用于为第三源极提

供第三输入信号。第二信号输出线与第三漏极电连接,用于在第三控制线控制第三晶体管开启的情况下,将从第三漏极接收到的第三输入信号传输至多个子像素102。

[0105] 另外,参考图14,多个子像素102可以构成多个第一像素列102a和多个第二像素列102b。每个第一像素列102a包括多个第一颜色子像素和多个第二颜色子像素。每个第二像素列102b包括多个第三颜色子像素。可选的,第一颜色子像素可以为红色(red,R)子像素,第二颜色子像素可以为蓝色(blue,B)子像素,第三颜色子像素可以为绿色(green,G)子像素。

[0106] 每个第一测试电路1031的第一信号输出线10315与一个第一像素列102a的多个第一颜色子像素和多个第二颜色子像素连接。每个第二测试电路的第二信号输出线与一个第二像素列102b的多个第三颜色子像素连接。

[0107] 图14中CTSW1用于表示第三控制线提供的第三控制信号,CTSW2用于表示第一控制线提供的第一控制信号,CTSW3用于表示第二控制线提供的第二控制信号。CTDG用于表示第三信号输入线提供的第三输入信号,CTDR用于表示第一信号输入线提供的第一输入信号,CTDB用于表示第二信号输入线提供的第二输入信号。

[0108] 图15是本申请实施例提供的一种信号时序图。参考图15,显示面板10显示白画面的情况下,第一控制线10311提供的第一控制信号CTSW2的电位和第二控制线10312提供的第二控制信号CTSW3的电位交替为第一电位L,该第一控制信号CTSW2和第二控制信号CTSW3可以为交流信号。第三控制线提供的第三控制信号CTSW1的电位为第一电位L,该第三控制信号CTSW1为直流信号。其中,该第一电位L可以为有效电位,该第二电位H可以为无效电位,且该第一电位L相对于第二电位H可以为低电位。

[0109] 另外,第一信号输入线10313提供的第一输入信号CTDR,第二信号输入线10314提供的第二输入信号CTDB以及第三信号输入线提供的第三输入信号CTDG均为固定电压信号。例如,该固定电压信号的范围为0V(伏)至8V。例如,若子像素接收到的固定电压信号为0V,则该子像素可以发出光线;若子像素接收到的固定电压信号为7V,则该子像素可以不发光。

[0110] 在对显示面板进行点灯测试的过程中,可以通过控制各个信号输入线输入的固定电压信号的大小来调节显示面板的显示画面,进而实现测试。

[0111] 图16是本申请实施例提供的再一种显示面板的结构示意图。参考图16可以看出,该显示面板10可以包括电源驱动电路105,第一电源线106和第二电源线107。该电源驱动电路105可以位于周边区域,且位于测试电路组103远离显示区域10a的一侧。例如,该电源驱动电路105可以位于显示区域10a的下侧。

[0112] 该电源驱动电路105可以与第一电源线106和第二电源线107连接,该电源驱动电路用于为该第一电源线106提供第一电源信号(VSS信号),从而使得该第一电源线106向多个子像素102的阴极提供来自电源驱动电路105的第一电源信号。并且,该电源驱动电路105还可以用于为该第二电源线107提供第二电源信号(VDD信号),从而使得该第二电源线107向多个子像素102的阳极提供来自电源驱动电路105的第二电源信号。

[0113] 示例的,图16中示出了一条第一电源线106,且该第一电源线106可以至少部分围绕显示区域10a。并且,图16中示出了两条第二电源线107(上侧和下侧分别一条第二电源线107)。

[0114] 参考图16,该显示面板10还包括驱动集成(integrated circuit,IC)电路108。驱

动集成电路108可以位于测试电路组103和第二测试电路104远离显示区域10a的一侧。驱动集成电路108可以用于为第一测试电路1031和第二测试电路104提供各个输入信号和控制信号。其中,衬底基板101的周边区域10b可以包括扇出绑定区域101b1,第一测试电路1031和第二测试电路104可以通过该扇出绑定区域101b1与显示区域10a中的多个子像素102连接。

[0115] 参考图16,该显示面板10还可以包括行驱动电路(gate driver on array,G0A)109,第一复位(vinit)电路110和第二复位电路111。行驱动电路109可以包括位于显示区域10a的两侧的第一子驱动电路和第二子驱动电路。第一复位电路110可以包括位于显示区域10a的两侧的第一子复位电路和第二子复位电路。第二复位电路111可以包括位于显示区域10a的两侧的第三子复位电路和第四子复位电路。

[0116] 可选的,显示面板10还包括沿第二方向延伸的多条电源连接线112。该电源连接线112可以与第二电源线107以及显示区域10a中的一列子像素连接。该电源连接线112可以将第二电源线107提供的第二电源信号传输至一列子像素。

[0117] 另外,显示面板10还可以包括多条行驱动信号线113,多条第一复位信号线114以及多条第二复位信号线115。每条行驱动信号线113的两端分别与行驱动电路109包括的第一子驱动电路和第二子驱动电路连接,且每条行驱动信号线113还与显示区域10a中的一行子像素连接,用于为一行子像素提供行驱动信号。每条第一复位信号线114的两端分别与第一复位电路110包括的两个第一子复位电路和第二子复位电路连接,且每条第一复位信号线114还与显示区域10a中的一行子像素连接,用于为一行子像素提供第一复位信号。每条第二复位信号线115的两端分别与第二复位电路111包括的两个第三子复位电路和第四子复位电路连接,且每条第二复位信号线115还与显示区域10a中的一行子像素连接,用于为一行子像素提供第二复位信号。

[0118] 综上所述,本申请实施例提供了一种显示面板,该显示面板中第一控制线与第一晶体管的第一栅极在至少部分重叠的第一重叠区域电连接,第二控制线与第二晶体管的第二栅极在至少部分重叠的第二重叠区域电连接。由此,不仅可以实现对第一晶体管和第二晶体的控制,而且可以避免第一控制线和第二控制线过多的占用第二方向的版图空间,便于实现显示面板的窄边框化。

[0119] 图17是本申请实施例提供的一种显示装置的结构示意图。参考图17,该显示装置可以包括供电组件20以及如上述实施例所提供的显示面板10。该供电组件20可以用于为显示面板10供电。

[0120] 可选的,该显示装置可以为:液晶显示装置(liquid crystal display,LCD)、有机发光二极管(organic light-emitting diode,OLED)显示装置、电子纸、低温多晶硅(low temperature poly-silicon,LTPS)显示装置、低温多晶氧化物(low temperature poly-silicon oxide,LTP0)显示装置、手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。

[0121] 由于显示装置可以与前面实施例描述的显示面板具有基本相同的技术效果,因此,出于简洁的目的,此处不再重复描述显示装置的技术效果。

[0122] 以上所述仅为本申请的可选实施例,并不用以限制本申请,凡在本申请的精神和原则之内,所作的任何修改、等同替换、改进等,均应包含在本申请的保护范围之内。

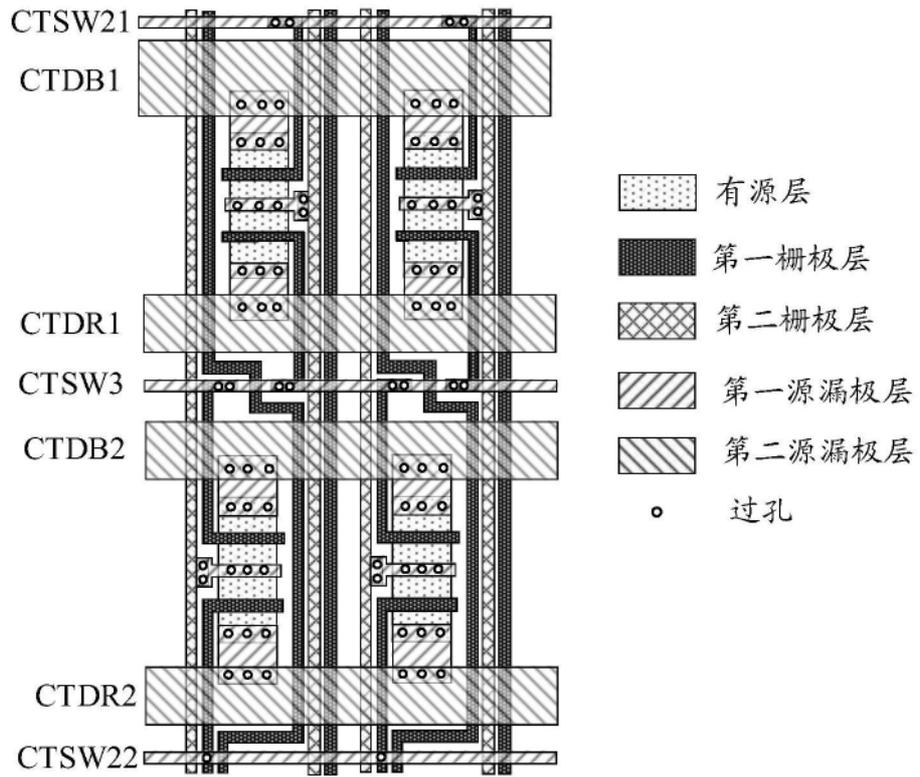


图1

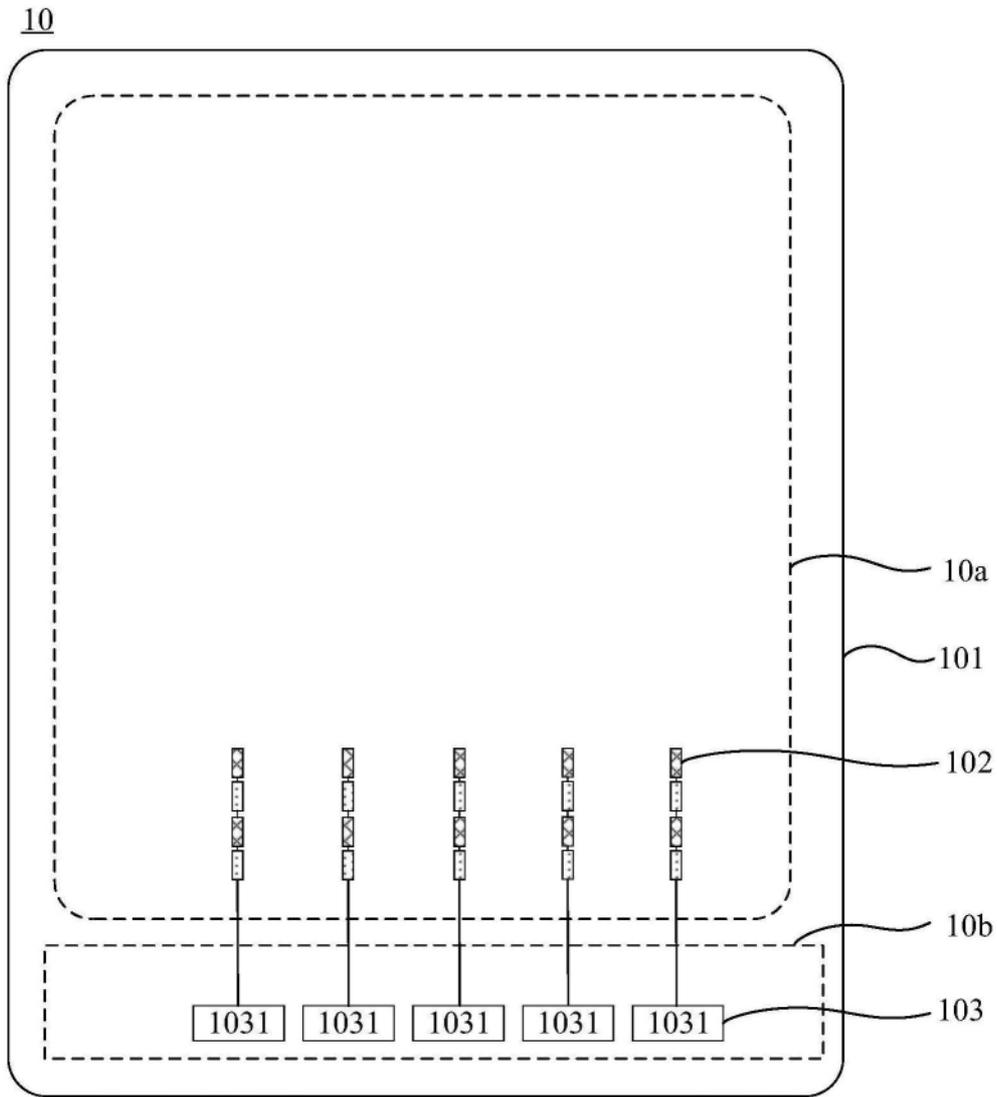


图2

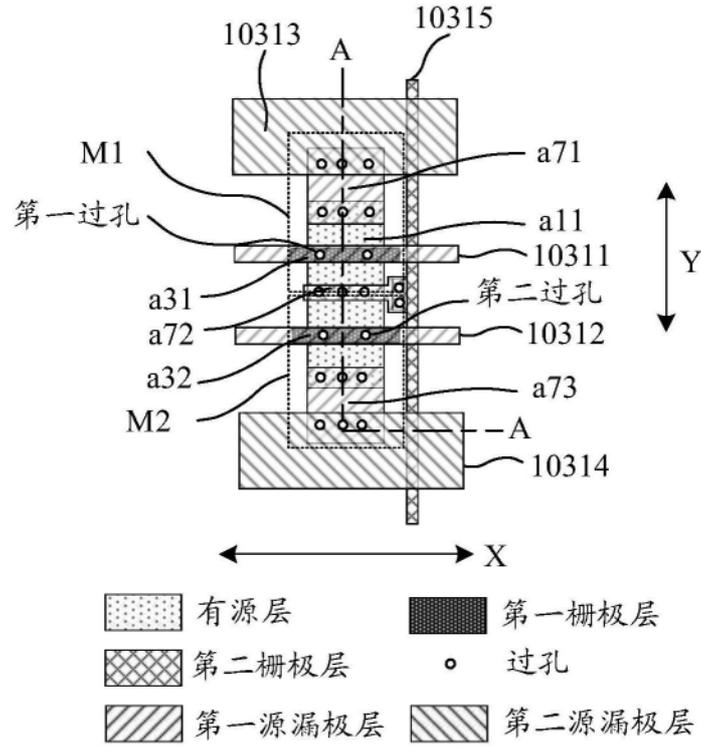


图3

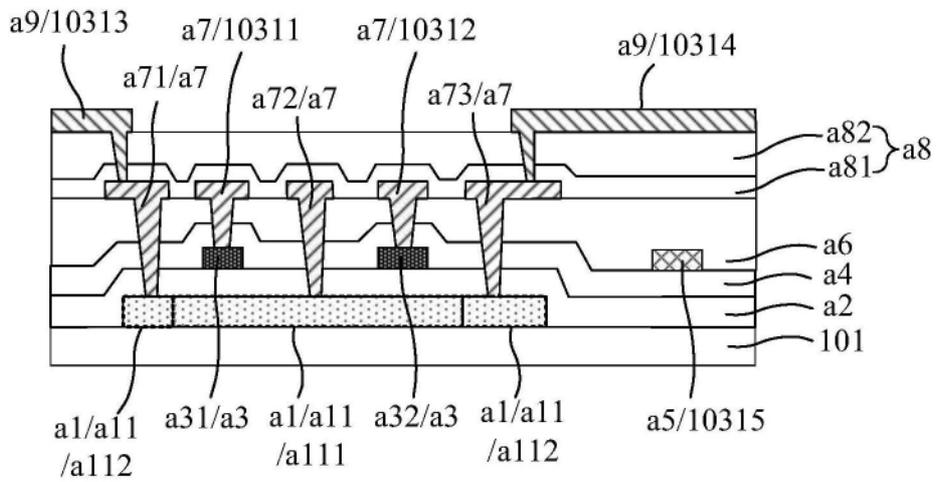


图4

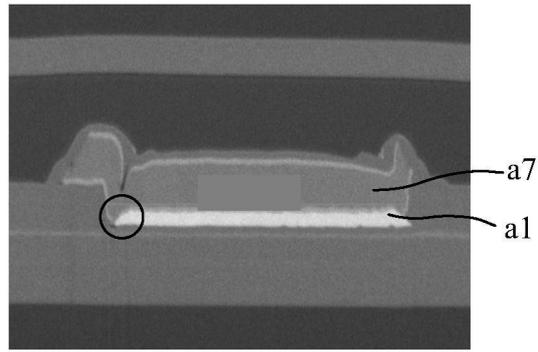


图5

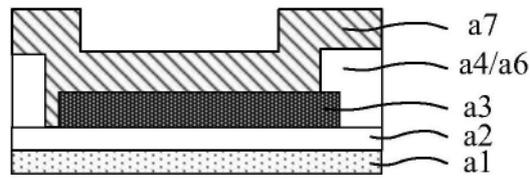


图6

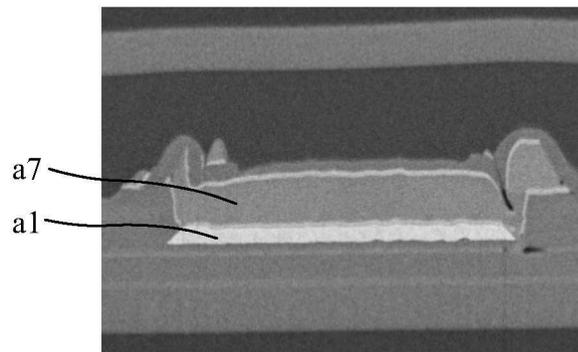


图7

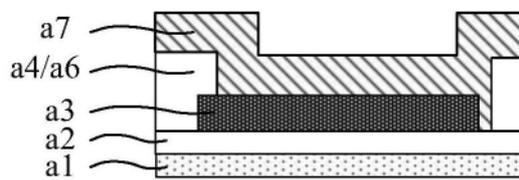


图8

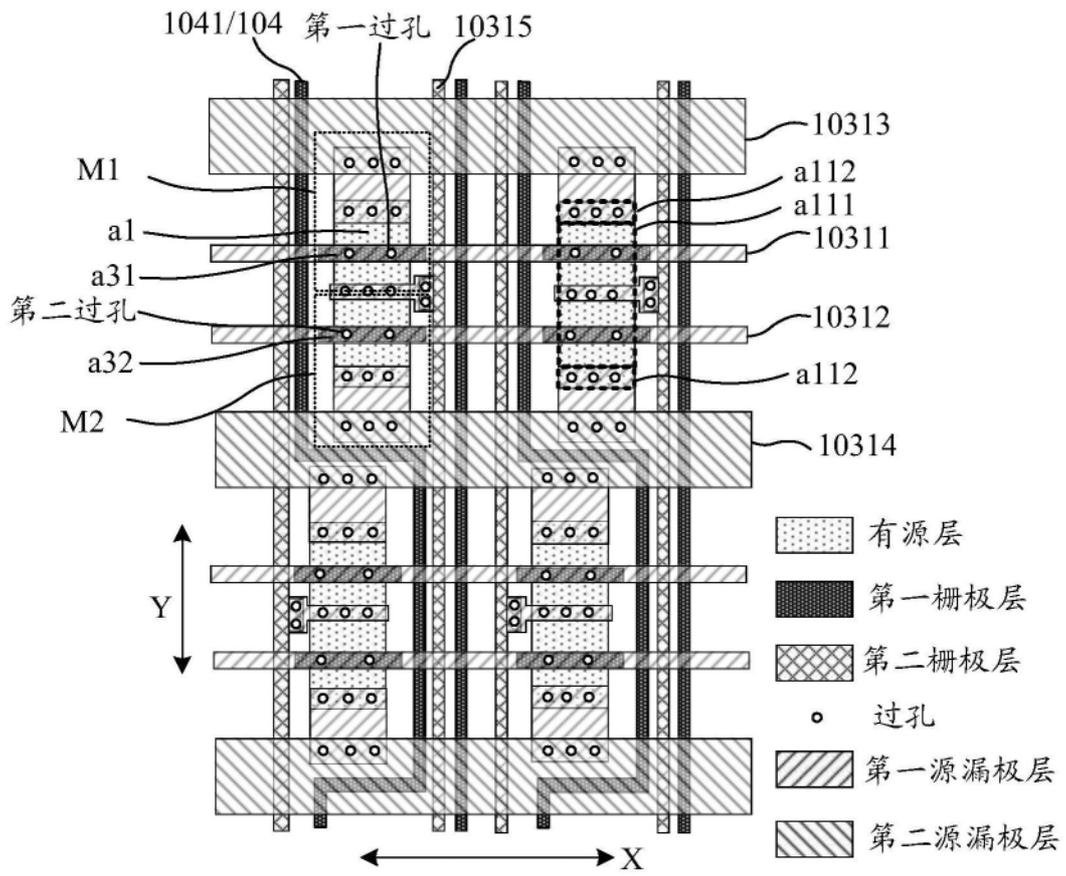


图9

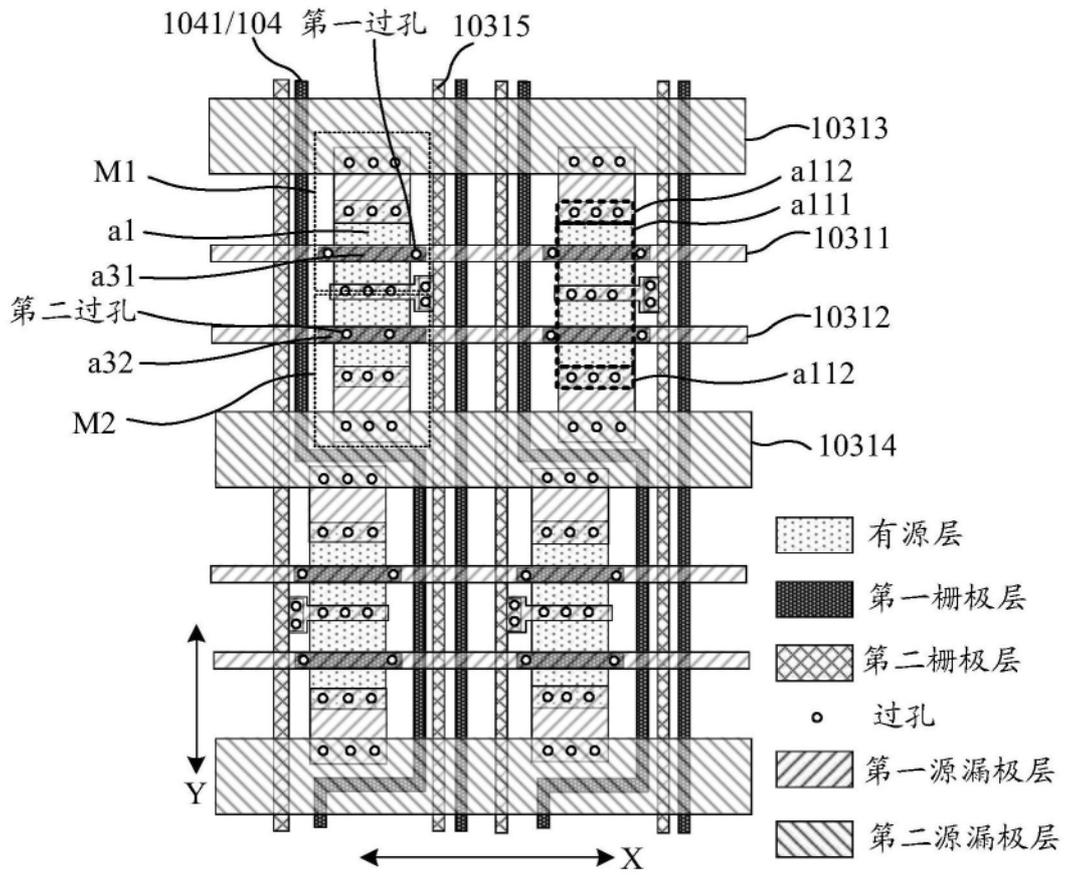


图10

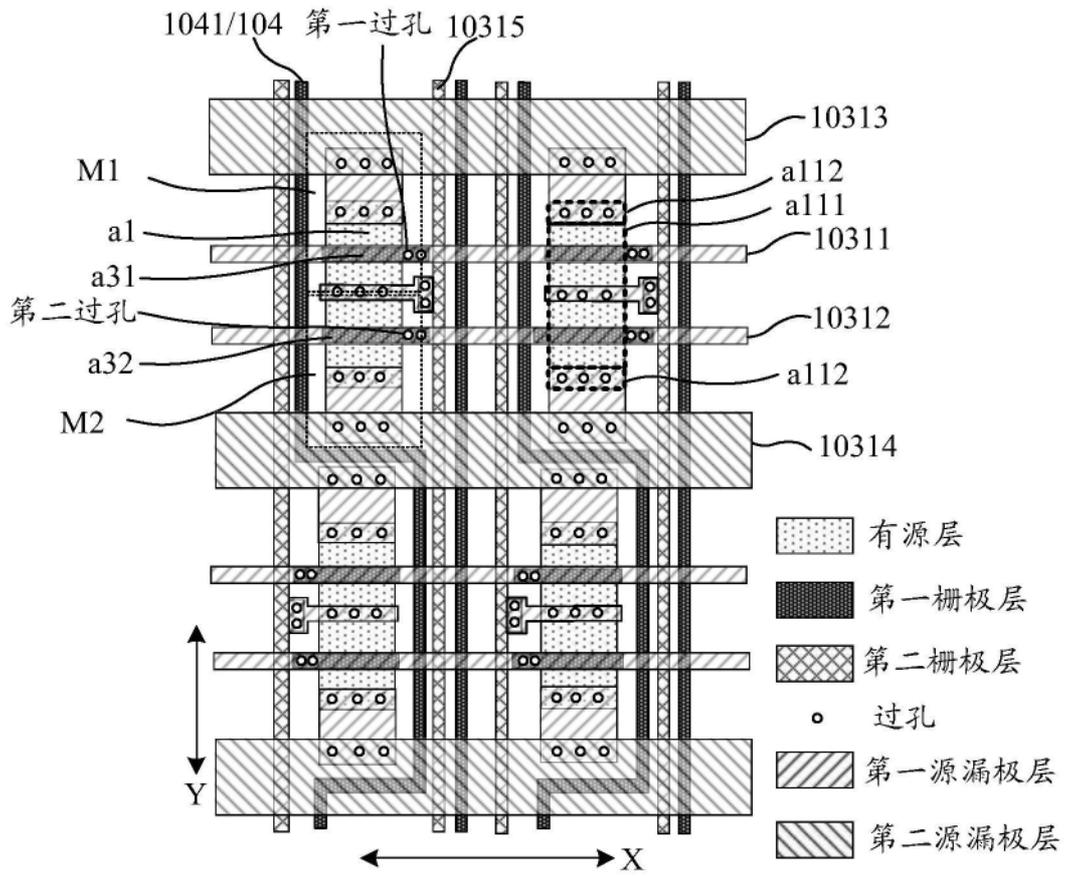


图11

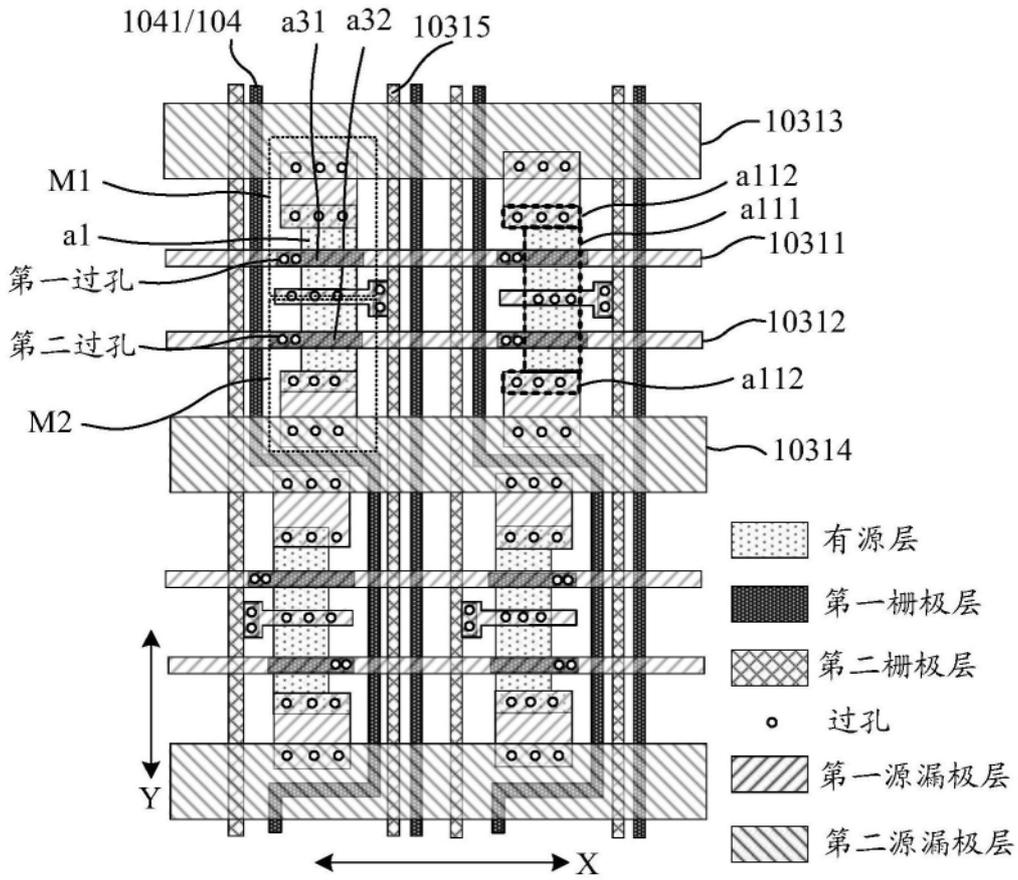


图13

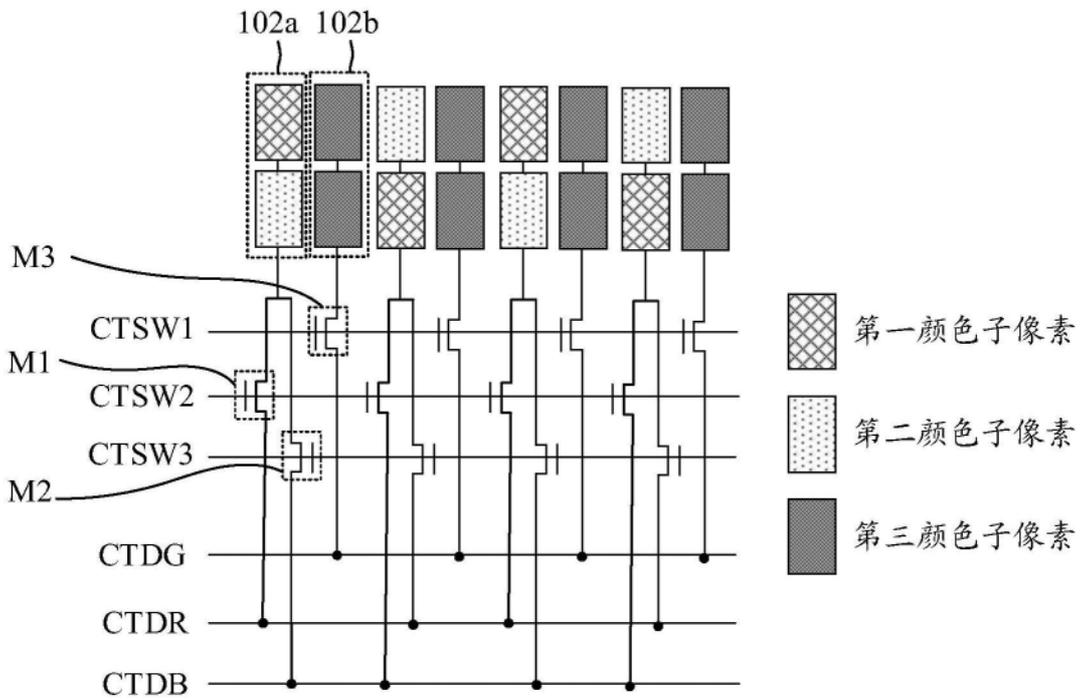


图14

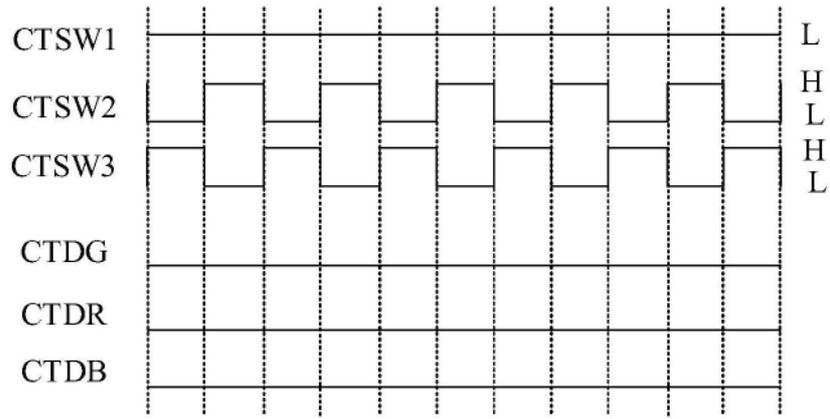


图15

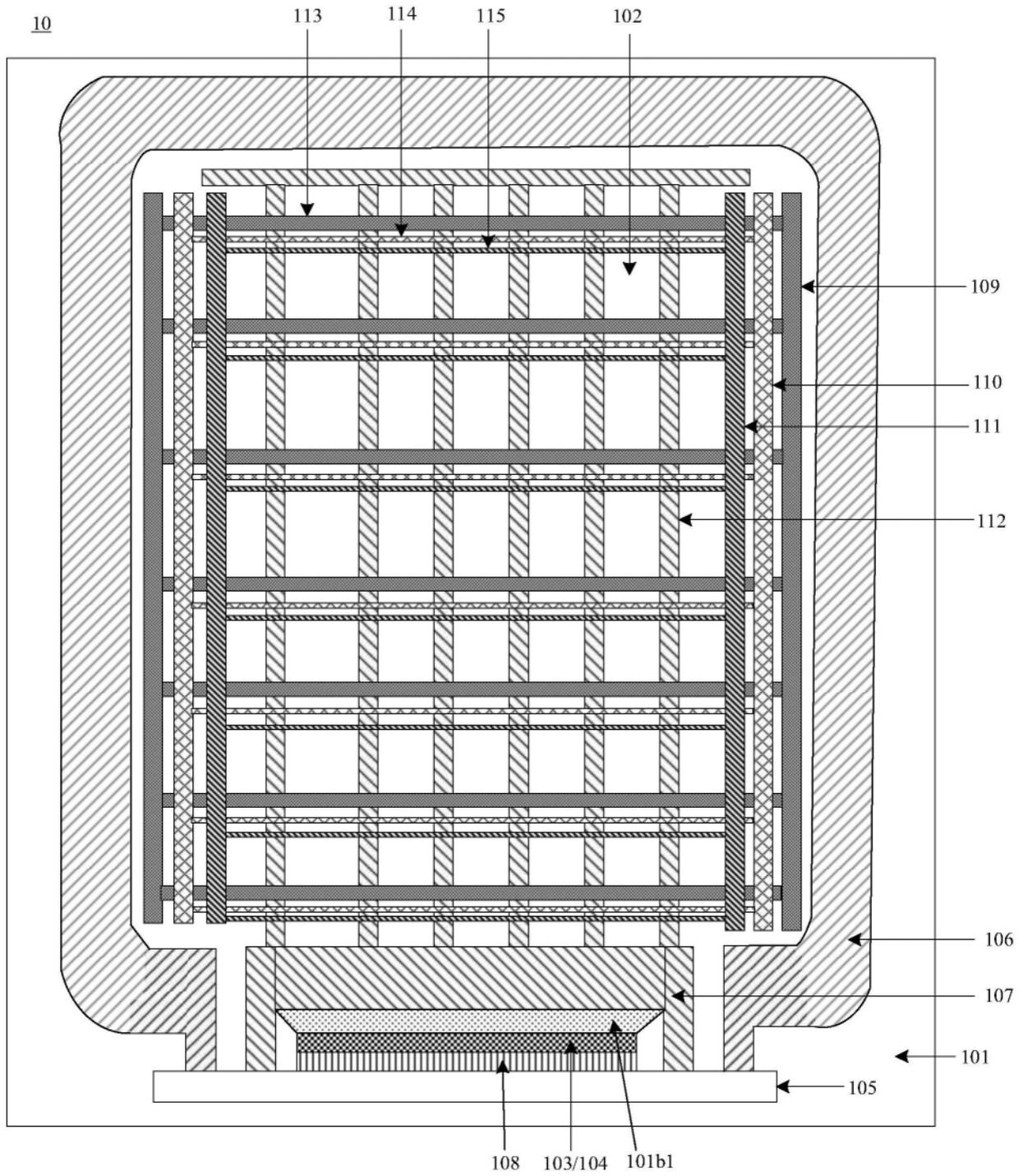


图16

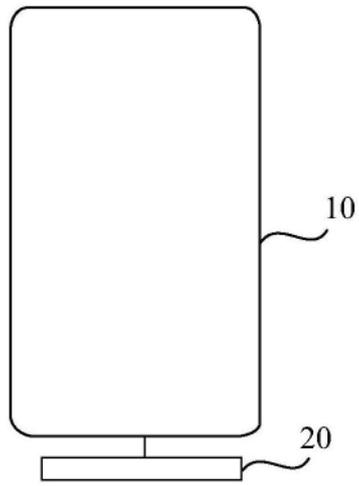


图17