



(12) 发明专利

(10) 授权公告号 CN 101840936 B

(45) 授权公告日 2014. 10. 08

(21) 申请号 201010118843. 3

US 2009/0008638 A1, 2009. 01. 08, 全文.

(22) 申请日 2010. 02. 03

审查员 朱永全

(30) 优先权数据

2009-030971 2009. 02. 13 JP

(73) 专利权人 株式会社半导体能源研究所

地址 日本神奈川县厚木市

(72) 发明人 坂田淳一郎 乡户宏充 岛津贵志

(74) 专利代理机构 中国专利代理(香港)有限公司

72001

代理人 朱海煜 徐予红

(51) Int. Cl.

H01L 29/786(2006. 01)

H01L 21/336(2006. 01)

(56) 对比文件

US 2008/0258141 A1, 2008. 10. 23, 说明书第0048-0060段, 附图4-10.

US 2008/0296568 A1, 2008. 12. 04, 全文.

US 2008/0308806 A1, 2008. 12. 18, 全文.

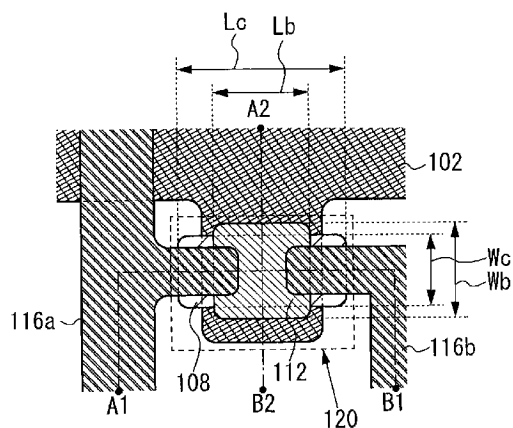
权利要求书3页 说明书24页 附图34页

(54) 发明名称

包括晶体管的半导体装置及其制造方法

(57) 摘要

本发明涉及包括晶体管的半导体装置及其制造方法。本发明的目的之一在于在具有氧化物半导体层的晶体管或具有该晶体管的半导体装置中抑制电特性的退化。在将氧化物半导体用作沟道层的晶体管中, 接触于氧化物半导体层的表面地设置有p型硅层。另外, 至少接触于氧化物半导体层中的形成沟道的区域地设置有p型硅层, 而且接触于氧化物半导体层中的不设置有p型硅层的区域地设置有源电极层及漏电极层。



1. 一种半导体装置,包括:  
栅电极;  
设置在所述栅电极上的栅极绝缘层;  
设置在所述栅极绝缘层上且重叠于所述栅电极的氧化物半导体层;  
设置在所述氧化物半导体层的表面上且接触于所述氧化物半导体层的表面的硅层;以及  
电连接于所述氧化物半导体层的源电极层及漏电极层,  
其中所述硅层具有 p 型导电性。
2. 根据权利要求 1 所述的半导体装置,  
其中,所述源电极层及所述漏电极层设置在所述氧化物半导体层的表面的一部分上并接触于所述氧化物半导体层的表面的一部分,  
并且,所述氧化物半导体层的表面的一部分为所述硅层和所述氧化物半导体层互不接触的区域至少一部分。
3. 根据权利要求 2 所述的半导体装置,  
其中,用作源区的第一低电阻区域设置在所述氧化物半导体层的第一区域中,  
所述第一区域接触于所述源电极层,  
用作漏区的第二低电阻区域设置在所述氧化物半导体层的第二区域中,  
并且,所述第二区域接触于所述漏电极层。
4. 根据权利要求 1 所述的半导体装置,其中所述氧化物半导体层的整个区域位于所述栅电极上。
5. 根据权利要求 1 所述的半导体装置,其中所述氧化物半导体层包含铟、锌和镓中的至少一种。
6. 一种半导体装置,包括:  
栅电极;  
设置在所述栅电极上的栅极绝缘层;  
设置在所述栅极绝缘层上且重叠于所述栅电极的氧化物半导体层;  
设置在所述氧化物半导体层的表面的一部分上且接触于所述氧化物半导体层的表面的一部分的硅层;  
设置在所述氧化物半导体层的表面的一部分上且接触于所述氧化物半导体层的表面的一部分的第一金属氧化物层及第二金属氧化物层,其中该氧化物半导体层的表面的一部分为所述硅层和所述氧化物半导体层互不接触的区域至少一部分;  
电连接于所述第一金属氧化物层的源电极层;以及  
电连接于所述第二金属氧化物层的漏电极层,  
其中所述硅层具有 p 型导电性。
7. 根据权利要求 6 所述的半导体装置,  
其中,所述第一金属氧化物层及所述第二金属氧化物层包含相同材料,  
并且,所述第一金属氧化物层及所述第二金属氧化物层的电阻低于所述氧化物半导体层的电阻。
8. 根据权利要求 6 所述的半导体装置,

其中,所述第一金属氧化物层及所述第二金属氧化物层包含相同材料,

并且,所述第一金属氧化物层及所述第二金属氧化物层使用与所述氧化物半导体层相同的材料,并且在不同的成膜条件下设置。

9. 根据权利要求6所述的半导体装置,其中所述氧化物半导体层的整个区域位于所述栅电极上。

10. 根据权利要求6所述的半导体装置,其中所述氧化物半导体层包含铟、锌和镓中的至少一种。

11. 一种半导体装置,包括:

栅电极;

设置在所述栅电极上的栅极绝缘层;

设置在所述栅极绝缘层上的源电极层及漏电极层;

设置在所述栅极绝缘层、所述源电极层及所述漏电极层上且重叠于所述栅电极的氧化物半导体层;以及

设置在所述氧化物半导体层的表面上且接触于所述氧化物半导体层的表面的硅层,

其中,所述源电极层及所述漏电极层电连接于所述氧化物半导体层,

并且,所述硅层具有p型导电性。

12. 根据权利要求11所述的半导体装置,其中所述氧化物半导体层的整个区域位于所述栅电极上。

13. 根据权利要求11所述的半导体装置,其中所述氧化物半导体层包含铟、锌和镓中的至少一种。

14. 一种半导体装置的制造方法,包括如下步骤:

在衬底上形成栅电极;

在所述栅电极上形成栅极绝缘层;

在所述栅极绝缘层上形成重叠于所述栅电极的氧化物半导体层;

形成覆盖所述氧化物半导体层的硅层;

蚀刻所述硅层,以暴露所述氧化物半导体层的一部分;

在所述硅层及所述氧化物半导体层上形成导电膜;以及

蚀刻所述导电膜,以形成源电极层及漏电极层,

其中,所述硅层具有p型导电性。

15. 根据权利要求14所述的半导体装置的制造方法,其中所述源电极层及所述漏电极层接触于所述氧化物半导体层的露出部分的至少一部分而形成。

16. 根据权利要求14所述的半导体装置的制造方法,其中所述硅层通过使用DC溅射法而形成。

17. 一种半导体装置的制造方法,包括如下步骤:

在衬底上形成栅电极;

在所述栅电极上形成栅极绝缘层;

在所述栅极绝缘层上形成重叠于所述栅电极的氧化物半导体层;

形成覆盖所述氧化物半导体层的硅层;

蚀刻所述硅层,以暴露所述氧化物半导体层的一部分;

通过对所述氧化物半导体层的露出部分进行等离子体处理,形成低电阻区域,其中该低电阻区域的电阻低于所述氧化物半导体层的电阻;

在所述硅层及所述氧化物半导体层上形成导电膜;以及

蚀刻所述导电膜,以形成源电极层及漏电极层,

其中,所述硅层具有 p 型导电性。

18. 根据权利要求 17 所述的半导体装置的制造方法,其中所述源电极层及所述漏电极层接触于所述低电阻区域的至少一部分而形成。

19. 根据权利要求 17 所述的半导体装置的制造方法,其中所述硅层通过使用 DC 溅射法而形成。

## 包括晶体管的半导体装置及其制造方法

### 技术领域

[0001] 本发明涉及一种使用氧化物半导体层的晶体管、具有该薄膜晶体管的半导体装置和它们的制造方法。

### 背景技术

[0002] 世界上存在着各种各样的金属氧化物,并且它们用于各种各样的用途。氧化铟是为众人所知的材料,它用作液晶显示器等所需的透明电极材料。

[0003] 有的金属氧化物呈现半导体特性。一般来说,金属氧化物成为绝缘体,但是有时会依构成金属氧化物的元素的组合而成为半导体。

[0004] 例如,作为呈现半导体特性的金属氧化物,可以举出氧化铟、氧化锡、氧化铊、氧化镉等,将该金属氧化物用于沟道形成区域的薄膜晶体管是已知的(参照专利文献 1 至 4、非专利文献 1)。

[0005] 但是,作为金属氧化物的种类,不仅有一元系氧化物,而且还有多元系氧化物。例如,已知具有同系相(homologous series)的 $\text{InGaO}_3(\text{ZnO})_m$ ( $m$ 为自然数)作为具有 In、Ga、Zn 的多元系氧化物半导体(参照非专利文献 2 至 4)。

[0006] 另外,还已知:可以将上述由 In-Ga-Zn 系氧化物构成的氧化物半导体应用于薄膜晶体管(也称为 TFT)的沟道层(参照专利文献 5、非专利文献 5 及 6)。

[0007] 但是,氧化物半导体的半导体特性因受到元件制造工序中的蚀刻剂及等离子体的负面影响或混入有氢等元素而容易变动,因此发生元件的电特性不均匀或退化的问题。

[0008] 专利文献 1 日本专利申请公开 1985-198861 号公报

[0009] 专利文献 2 日本专利申请公开 1996-264794 号公报

[0010] 专利文献 3 日本 PCT 国际申请翻译 1999-505377 号公报

[0011] 专利文献 4 日本专利申请公开 2000-150900 号公报

[0012] 专利文献 5 日本专利申请公开 2004-103957 号公报

[0013] 非专利文献 1 M. W. Prins, K. O. Grosse-Holz, G. Muller, J. F. M. Cillessen, J. B. Giesbers, R. P. Weening, and R. M. Wolf, "A ferroelectric transparent thin-film transistor", Appl. Phys. Lett., 17 June 1996, Vol. 68p. 3650-3652

[0014] 非专利文献 2 M. Nakamura, N. Kimizuka, and T. Mohri, "The Phase Relations in the  $\text{In}_2\text{O}_3$ - $\text{Ga}_2\text{ZnO}_4$ -ZnO System at 1350 °C", J. Solid State Chem., 1991, Vol. 93, p. 298-315

[0015] 非专利文献 3 N. Kimizuka, M. Isobe, and M. Nakamura, "Syntheses and Single-Crystal Data of Homologous Compounds,  $\text{In}_2\text{O}_3(\text{ZnO})_m$  ( $m = 3, 4, \text{ and } 5$ ),  $\text{InGaO}_3(\text{ZnO})_3$ , and  $\text{Ga}_2\text{O}_3(\text{ZnO})_m$  ( $m = 7, 8, 9, \text{ and } 16$ ) in the  $\text{In}_2\text{O}_3$ - $\text{ZnGa}_2\text{O}_4$ -ZnO System", J. Solid State Chem., 1995, Vol. 116, p. 170-178

[0016] 非专利文献 4 中村真佐樹, 君塚昇, 毛利尚彦, 磯部光正, "ホモロガス相、 $\text{InFeO}_3(\text{ZnO})_m$  ( $m$ : 自然数) とその同型化合物の合成および結晶構造", 固体物理, 1993 年,

Vol. 28, No. 5, p. 317-327

[0017] 非专利文献 5 K. Nomura, H. Ohta, K. Ueda, T. Kamiya, M. Hirano, and H. Hosono, "Thin-film transistor fabricated in single-crystalline transparent oxide semiconductor", SCIENCE, 2003, Vol. 300, p. 1269-1272

[0018] 非专利文献 6 K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano, and H. Hosono, "Room-temperature fabrication of transparent flexible thin-film transistors using amorphous oxide semiconductors", NATURE, 2004, Vol. 432, p. 488-492

## 发明内容

[0019] 鉴于上述问题,本发明的一个方式的目的之一在于在具有氧化物半导体层的晶体管或具有该晶体管的半导体装置中抑制电特性的不均匀或退化。

[0020] 为了解决上述问题,本发明的一个方式采用如下结构:在将氧化物半导体用作沟道层的晶体管中,p型硅层设置在氧化物半导体层的表面(背沟道一侧)上且接触于氧化物半导体层的表面(背沟道一侧)。在此情况下,p型硅层用作减少混入到氧化物半导体层的氢等元素的保护膜,同时在制造工序中还用作氧化物半导体层的保护膜,从而能够抑制晶体管的电特性的不均匀或退化。另外,即使在氧化物半导体层的背沟道一侧引起氧缺陷(oxygen vacancy)而产生载流子(电子),产生的载流子(电子)被俘获到p型硅层,而能够抑制电特性的不均匀或退化。

[0021] 另外,本发明的一个方式还可以采用如下结构:至少接触于氧化物半导体层中的形成沟道的区域地设置有p型硅层,而且接触于氧化物半导体层中的不设置有p型硅层的区域地设置有源电极层及漏电极层。

[0022] 另外,本发明的一个方式还可以采用如下结构:在氧化物半导体层中,在不设置有p型硅层的区域中设置用作源区或漏区的低电阻区域,并且接触于该低电阻区域地设置有源电极层及漏电极层。

[0023] 另外,本发明的一个方式提供一种晶体管,包括:栅电极;设置在栅电极上的栅极绝缘层;设置在栅极绝缘层上且重叠于栅电极的氧化物半导体层;设置在所述氧化物半导体层的表面上且接触于所述氧化物半导体层的表面的p型硅层;以及电连接于氧化物半导体层的源电极层及漏电极层。另外,源电极层及所述漏电极层还可以设置在不设置有p型硅层的氧化物半导体层的表面的至少一部分上且接触于不设置有p型硅层的氧化物半导体层的表面的至少一部分。另外,还可以在接触于源电极层的氧化物半导体层的区域中设置用作源区的第一低电阻区,而在接触于漏电极层的氧化物半导体层的区域中设置用作漏区的第二低电阻区。

[0024] 另外,本发明的一个方式提供一种晶体管,包括:栅电极;设置在栅电极上的栅极绝缘层;设置在栅极绝缘层上且重叠于栅电极的氧化物半导体层;设置在氧化物半导体层的表面的一部分上且接触于氧化物半导体层的表面的一部分的p型硅层;设置在不设置有p型硅层的氧化物半导体层的表面的至少一部分上且接触于不设置有p型硅层的氧化物半导体层的表面的至少一部分的第一金属氧化物层及第二金属氧化物层;电连接于第一金属氧化物层的源电极层;以及电连接于第二金属氧化物层的漏电极层。

[0025] 另外,本发明的一个方式提供一种晶体管,包括:栅电极;设置在栅电极上的栅极

绝缘层；设置在栅极绝缘层上的源电极层及漏电极层；设置在源电极层及漏电极层上且中间夹着栅极绝缘层设置在栅电极上的氧化物半导体层；以及设置在氧化物半导体层的表面上且接触于氧化物半导体层的表面的 p 型硅层。

[0026] 另外,本发明的一个方式提供一种晶体管的制造方法,包括:在衬底上形成栅电极;在栅电极上形成栅极绝缘层;在栅极绝缘层上形成重叠于栅电极的氧化物半导体层;覆盖氧化物半导体层地形成 p 型硅层;蚀刻 p 型硅层,以暴露氧化物半导体层的一部分;在 p 型硅层及氧化物半导体层上形成导电膜;以及蚀刻导电膜,以形成源电极层及漏电极层。

[0027] 另外,本发明的一个方式提供一种晶体管的制造方法,包括:在衬底上形成栅电极;在栅电极上形成栅极绝缘层;在栅极绝缘层上形成重叠于栅电极的氧化物半导体层;覆盖氧化物半导体层地形成 p 型硅层;蚀刻 p 型硅层,以暴露氧化物半导体层的一部分;通过对氧化物半导体层的露出部分进行等离子体处理,形成低电阻区;在 p 型硅层及氧化物半导体层上形成导电膜;以及蚀刻导电膜,以形成源电极层及漏电极层。

[0028] 在本说明书中,氮化硅是作为其成分氧的含量多于氮的含量的,并且优选是当利用卢瑟福背散射光谱学法(RBS:Rutherford Backscattering Spectrometry)以及氢前方散射法(HFS:Hydrogen Forward Scattering)进行测量时作为浓度范围以 50 至 70 原子%包含氧,以 0.5 至 15 原子%包含氮,以 25 至 35 原子%包含硅,以 0.1 至 10 原子%包含氢。另外,氮化硅是作为其成分氮的含量多于氧的含量的,并且优选是当利用 RBS 及 HFS 进行测量时作为浓度范围以 5 至 30 原子%包含氧,以 20 至 55 原子%包含氮,以 25 至 35 原子%包含硅,以 10 至 30 原子%包含氢。然而,当将构成氮化硅或氮化硅的原子的总计设定为 100 原子%时,氮、氧、硅及氢的含有比率包含在上述范围内。

[0029] 在本说明书中,半导体装置指的是能够通过利用半导体特性而工作的所有装置,因此显示装置、半导体电路以及电子设备都是半导体装置。此外,在本说明书中显示装置包括发光装置、液晶显示装置。发光装置包括发光元件,并且液晶显示装置包括液晶元件。发光元件在其范畴内包括由电流或电压控制亮度的元件,具体地说,包括无机 EL(Electro Luminescence,即电致发光)元件、有机 EL 元件、LED 元件等。

[0030] 在本说明书中,当明确地描述 B 形成在 A 的上面或 B 形成在 A 上时,其并不一定意味着 B 与 A 直接接触。该描述也包括 A 和 B 不彼此直接接触的情况,即,另一物体插在 A 和 B 之间的情况。

[0031] 根据本发明的一个方式,在沟道层由氧化物半导体构成的晶体管中,p 型硅层设置在氧化物半导体层的表面上且接触于氧化物半导体层的表面,从而能够抑制晶体管的电特性退化。

## 附图说明

[0032] 图 1A 至 1C 是说明根据实施方式 1 的晶体管的结构图;

[0033] 图 2A 至 2F 是说明根据实施方式 1 的晶体管的制造方法的一个例子的图;

[0034] 图 3A 和 3B 是说明根据实施方式 1 的晶体管的结构图;

[0035] 图 4A 和 4B 是说明根据实施方式 1 的晶体管的结构图;

[0036] 图 5A 至 5E 是说明根据实施方式 2 的晶体管的制造方法的一个例子的图;

[0037] 图 6A 至 6C 是说明根据实施方式 2 的晶体管的结构图;

- [0038] 图 7A 和 7B 是说明根据实施方式 3 的晶体管的结构的图；
- [0039] 图 8A 至 8D 是说明根据实施方式 3 的晶体管的制造方法的一个例子的图；
- [0040] 图 9A 至 9C 是说明根据实施方式 3 的晶体管的结构的图；
- [0041] 图 10A 至 10C 是说明根据实施方式 4 的晶体管的结构的图；
- [0042] 图 11A 至 11E 是说明根据实施方式 4 的晶体管的制造方法的一个例子的图；
- [0043] 图 12A 和 12B 是说明根据实施方式 4 的晶体管的结构的图；
- [0044] 图 13A 至 13D 是说明根据实施方式 5 的半导体装置的制造方法的一个例子的图；
- [0045] 图 14A 至 14C 是说明根据实施方式 5 的半导体装置的制造方法的一个例子的图；
- [0046] 图 15 是说明根据实施方式 5 的半导体装置的制造方法的一个例子的图；
- [0047] 图 16 是说明根据实施方式 5 的半导体装置的制造方法的一个例子的图；
- [0048] 图 17 是说明根据实施方式 5 的半导体装置的制造方法的一个例子的图；
- [0049] 图 18 是说明根据实施方式 5 的半导体装置的制造方法的一个例子的图；
- [0050] 图 19 是说明根据实施方式 5 的半导体装置的制造方法的一个例子的图；
- [0051] 图 20A 至 20C 是说明根据实施方式 6 的半导体装置的一个例子的图；
- [0052] 图 21 是说明根据实施方式 7 的半导体装置的一个例子的图；
- [0053] 图 22A 和 22B 是说明根据实施方式 8 的半导体装置的一个例子的图；
- [0054] 图 23A 和 23B 是示出电视装置及数码相框的例子的外观图；
- [0055] 图 24A 和 24B 是示出游戏机的例子的外观图；
- [0056] 图 25A 至 25E 是说明根据实施方式 1 的晶体管的制造方法的一个例子的图；
- [0057] 图 26A 至 26C 是说明根据实施方式 1 的晶体管的结构的图；
- [0058] 图 27A 和 27B 是说明用于模拟实验的模型的图；
- [0059] 图 28A 和 28B 是说明通过模拟实验而获得的氢的扩散系数的图；
- [0060] 图 29A 至 29D 是说明用于模拟实验的晶体管的结构的图；
- [0061] 图 30A 和 30B 是说明用于模拟实验的晶体管的结构的图；
- [0062] 图 31 是示出通过模拟实验而得到的晶体管的电特性的计算结果的图；
- [0063] 图 32A 和 32B 是通过模拟实验而得到的晶体管的电特性的计算结果的图。

## 具体实施方式

[0064] 以下参考附图详细描述本发明的实施方式。但是，本发明不局限于以下所示的实施方式中记载的内容，所属技术领域的普通技术人员可以很容易地理解一个事实就是其方式及详细内容在不脱离本发明的宗旨的条件下可以被变换为各种各样的形式。因此，本发明不被解释为局限于以下所示的实施方式的记载内容中。此外，根据不同的实施方式的结构可以适当地组合而实施。另外，在以下所说明的发明的结构中，使用相同的附图标记来表示相同的部分或具有相同功能的部分，而省略其重复说明。

### [0065] 实施方式 1

[0066] 在本实施方式中，参照附图说明构成半导体装置的晶体管的结构的一个例子。

[0067] 图 1A 至 1C 所示的晶体管 120 包括：设置在衬底 100 上的栅极（包括栅极布线及栅电极（以下称为栅电极 102））；设置在栅电极 102 上的栅极绝缘层 104；设置在栅极绝缘层 104 上的氧化物半导体层 108；设置在氧化物半导体层 108 的表面上且接触于氧化物半



导体层 108 的表面的 p 型硅层 112；电连接于氧化物半导体层 108 的源极（包括源极布线及源电极（以下称为源电极层 116a）及漏极（包括漏极布线及漏电极（以下称为漏电极层 116b））（参照图 1A 至 1C）。

[0068] 在图 1A 至 1C 中，图 1A 是俯视图，图 1B 是沿图 1A 中的虚线 A1-B1 的截面图，并且图 1C 是沿图 1A 中的 A2-B2 的截面图。

[0069] 氧化物半导体层 108 设置为其至少一部分中间夹着栅极绝缘层 104 重叠于栅电极 102，并用作形成晶体管 120 的沟道区域的层（沟道层）。

[0070] 作为氧化物半导体层 108，可以使用具有半导体特性的氧化物材料。例如，可以使用具有由  $\text{InMO}_3(\text{ZnO})_m$  ( $m > 0$ ) 表示的结构的氧化物半导体，特别优选的是，使用 In-Ga-Zn-O 类氧化物半导体。另外，M 表示选自镓 (Ga)、铁 (Fe)、镍 (Ni)、锰 (Mn) 和钴 (Co) 中的一种金属元素或多种金属元素。例如，除了有作为 M 而包含 Ga 的情况之外，还有作为 M 而包含 Ga 与 Ni 或 Ga 与 Fe 等 Ga 以外的上述金属元素的情况。另外，在上述氧化物半导体中，有如下氧化物半导体：除了包含作为 M 的金属元素之外，还包含作为杂质元素的 Fe、Ni 等过渡金属元素或该过渡金属的氧化物。在本说明书中，在具有由  $\text{InMO}_3(\text{ZnO})_m$  ( $m > 0$ ) 表示的结构的氧化物半导体中，将具有作为 M 至少包含 Ga 的结构的氧化物半导体称为 In-Ga-Zn-O 类氧化物半导体，并且将该薄膜还称为 In-Ga-Zn-O 类非单晶膜。

[0071] 另外，作为应用于氧化物半导体层 108 的氧化物半导体，除了上述以外，还可以应用 In-Sn-Zn-O 类、In-Al-Zn-O 类、Sn-Ga-Zn-O 类、Al-Ga-Zn-O 类、Sn-Al-Zn-O 类、In-Zn-O 类、Sn-Zn-O 类、Al-Zn-O 类、In-O 类、Sn-O 类、Zn-O 类的氧化物半导体。

[0072] P 型硅层 112 在至少重叠于栅电极 102 的区域中设置在氧化物半导体层 108 的表面上且接触于氧化物半导体层 108 的表面。另外，p 型硅层 112 还可以设置在氧化物半导体层 108 的表面的一部分上，并且接触于氧化物半导体层 108 上的不设置有 p 型硅层 112 的区域地设置源电极层 116a 及漏电极层 116b。这里，示出如下情况：在氧化物半导体层 108 上不设置有 p 型硅层 112 的区域彼此相离而设置，并且分别接触于该区域地设置源电极层 116a 及漏电极层 116b。

[0073] 另外，p 型硅层 112 由 p 型硅构成。另外，这里描述的“p 型硅”是指如下硅：硅中含有的赋予 p 型的杂质的浓度为  $1 \times 10^{17} \text{atoms/cm}^3$  以上，并且氧及氮的浓度分别为  $1 \times 10^{20} \text{atoms/cm}^3$  以下。作为赋予 p 型的杂质，可以举出硼等。另外，能够通过二次离子质谱分析技术 (SIMS) 测量 p 型硅层 112 中含有的上述杂质的浓度。

[0074] 另外，p 型硅层 112 的结晶状态可以采用非晶硅、微晶硅或多晶硅。另外，p 型硅层 112 还可以包含上述结晶结构中的两种以上的结晶结构（例如，非晶结构和微晶结构（或多晶结构））。

[0075] 另外，作为 p 型硅层 112 的形成方法，可以使用 CVD 法、溅射法、蒸镀法、涂敷法等。另外，p 型硅层 112 的厚度可以为 1nm 以上且 500nm 以下，优选为 10nm 以上且 100nm 以下。

[0076] 例如，通过在氩气氛等不含有氢的气氛或氢含量少的气氛中使用溅射法形成 p 型硅层 112，可以降低 p 型硅层 112 中含有的氢浓度，并还可以减少起因于该 p 型硅层 112 中含有的氢的氧化物半导体层 108 的半导体特性的变动。

[0077] 另外，在通过溅射法形成 p 型硅层 112 的情况下，优选使用直流 (DC) 溅射装置（也包括以脉冲方式施加偏压的脉冲 DC 溅射装置）。与使用 RF 溅射装置的情况相比，DC 溅射

装置也能够处理大型衬底。这优越于使用氧化硅层或氮化硅层等的绝缘层作为保护层的情况。这是因为如下缘故：在使用溅射法形成氧化硅层或氮化硅层等的绝缘层的情况下（在使用绝缘体作为靶材的情况下）需要采用难以实现大型化的 RF 溅射技术。

[0078] 在使用 DC 溅射装置形成 p 型硅层 112 的情况下，可以使用添加有硼等赋予 p 型的杂质的硅靶材。

[0079] 如图 1A 至 1C 所示，接触于氧化物半导体层 108 的背沟道一侧（与栅电极 102 相反一侧的表面）地设置 p 型硅层 112，以将 p 型硅层 112 用作保护膜，而能够抑制氢等元素混入到氧化物半导体层 108。其结果是，能够抑制起因于氢等元素的混入的氧化物半导体层 108 的半导体特性的变动，于是，能够抑制以氧化物半导体层 108 为沟道层的晶体管的电特性的不均匀或退化。

[0080] 另外，即使因为蚀刻或形成膜时的损伤等而在氧化物半导体层 108 的背沟道一侧引起氧缺陷而产生载流子（电子），通过接触于氧化物半导体层 108 地设置 p 型硅层 112 来使产生的载流子（电子）被俘获到 p 型硅层 112，而能够抑制电特性的不均匀或退化。

[0081] 另外，在氧化物半导体层 108 上设置源电极层 116a 及漏电极层 116b 的情况下，可以将 p 型硅层 112 用作沟道保护层（沟道停止层）。因此，与不在氧化物半导体层 108 上设置 p 型硅层 112 的情况（沟道蚀刻型）相比，能够抑制由于暴露氧化物半导体层 108 而导致的特性变化。在将 p 型硅层 112 特地用作沟道保护层的情况下，优选使用致密的膜作为 p 型硅层 112。例如，通过使用 CVD 法形成 p 型硅层 112，能够形成致密的膜。

[0082] p 型硅层 112 设置为至少接触于在氧化物半导体层 108 中形成沟道的区域的表面。另外，还可以在 p 型硅层 112 上形成氧化硅膜、氧氮化硅膜、氮化硅膜、氮氧化硅膜等绝缘膜。设置在 p 型硅层 112 上的绝缘膜既可通过溅射法或 CVD 法等进行成膜来形成，又可使 p 型硅层 112 的表面氧化（也包括自然氧化）或氮化来形成。可以在氧气氛中或氮气氛中进行等离子体处理，以使 p 型硅层 112 的表面氧化或氮化。

[0083] 另外，在图 1A 至 1C 中，源电极层 116a 用作晶体管 120 的源极，而漏电极层 116b 用作晶体管 120 的漏极。另外，根据晶体管 120 的驱动方法，有时会有将源电极层 116a 用作漏极并将漏电极层 116b 用作源极的情况。

[0084] 另外，在图 1A 至 1C 所示的结构中，作为接触于氧化物半导体层 108 的表面而设置的材料，除了 p 型硅以外，还可以使用 p 型锗、对硅添加了锗的 p 型硅锗或 p 型碳化硅 (SiC)。

[0085] 以下，根据计算机模拟实验说明接触于氧化物半导体层地设置硅层的情况下的效果。注意，这里对非晶硅 (a-Si) 和非晶氧化硅 (a-SiO<sub>2</sub>) 的氢阻挡效果进行验证。

[0086] [计算方法]

[0087] 首先，通过经典分子动力学模拟实验，在温度  $T = 27^\circ\text{C}$ ，并且压力  $P = 1\text{atm}$  的条件下以数值方式解各原子的运动方程式，来追踪原子的运动。并且，以根据计算结果而获得的 H 的均方位移，按照爱因斯坦的公式（公式 (1)）求得 H 的扩散系数 D。该扩散系数 D 越大，扩散越容易。

[0088] [公式 1]

$$[0089] \quad \lim_{t \rightarrow \infty} \left\langle \frac{1}{N} \sum_{i=1}^N |r_i(t) - r_i(0)|^2 \right\rangle_t = 6Dt \quad \dots (1)$$

[0090]

$$\left\langle \frac{1}{N} \sum_{i=1}^N |r_i(t) - r_i(0)|^2 \right\rangle_t$$

: me H 的均方位移 element of H atoms

N : number of H atoms H 的原子数

$r_i(t)$  : position of i-th H 时间 t 中的第 i H 的位置

$\langle \rangle_t$  : time average 时间平均

[0091] &lt; 计算模型与计算条件 &gt;

[0092] 准备将 60 个 H 原子 (10atom%) 放在 540 个 a-Si 原子中的 a-Si:H 模型 (参照图 27A) 和将 60 个 H 原子 (10atom%) 放在 540 个 a-SiO<sub>2</sub> 原子中的 a-SiO<sub>2</sub>:H 模型 (参照图 27B)。这里, 采用在三维周期边界条件下计算块体。

[0093] 在本计算中使用的经典分子动力学法中, 对作为原子间相互作用的特征的经验势进行定义, 以评价施加到各原子的力量。在 a-Si:H 模型中, 采用 Tersoff 势。在 a-SiO<sub>2</sub>:H 模型中的 a-SiO<sub>2</sub> 中, 采用 Born-Mayer-Huggins 势和 Morse 势, 并且在 a-SiO<sub>2</sub> 与氢原子间 (硅原子与氢原子间、氧原子与氢原子间) 采用 Lennard-Jones 势。作为计算程序, 采用由富士通株式会社制造的模拟软件“Materials Explorer 5.0”。

[0094] 在各计算模型中, 在温度 T = 27°C, 并且压力 P = 1atm 的条件下进行 1nsec 之间 (时步长度为 0.2fsec × 500 万步长) 的经典分子动力学模拟实验。

[0095] &lt; 计算结果与考察 &gt;

[0096] 图 28A 分别示出通过计算而求得的 a-Si 中的 H 原子的均方位移和 a-SiO<sub>2</sub> 中的 H 原子的均方位移。图 28B 示出根据图 28A 中的过程线的斜率大致一定的区域 (70psec 至 100psec) 而求得的各计算模型的 H 原子的扩散系数 D。由图 28B 可知, a-Si 中的 H 原子的扩散系数比 a-SiO<sub>2</sub> 中的 H 原子小, 从而与 a-SiO<sub>2</sub> 中的 H 原子相比, a-Si 中的 H 原子不容易扩散。就是说, a-Si 膜的防止氢的混入的效果高于 a-SiO<sub>2</sub> 膜。

[0097] 接着, 基于计算机模拟实验, 说明接触于氧化物半导体层 108 而设置的硅层为 p 型的情况下的效果。

[0098] 图 29A 至 29D 示出用于计算的薄膜晶体管的结构。

[0099] 图 29A 示出如下结构 (结构 1): 薄膜晶体管包括栅电极 902、设置在栅电极 902 上的栅极绝缘层 904、设置在栅极绝缘层 904 上的氧化物半导体层 908 和设置在氧化物半导体层 908 上的源电极层 916a 及漏电极层 916b。结构 1 假设沟道蚀刻型薄膜晶体管的理想结构。

[0100] 图 29B 示出如下结构 (结构 2): 虽然晶体管的结构与图 29A 所示的结构相同, 但是假设因氧缺陷或氢的侵入而产生在氧化物半导体层 908 的背沟道一侧的表面 (与栅电极 902 相反一侧的表面) 的载流子 (电子) (由蚀刻或成膜等导致的损伤)。

[0101] 图 29C 示出如下结构 (结构 3): 薄膜晶体管包括栅电极 902、设置在栅电极 902 上的栅极绝缘层 904、设置在栅极绝缘层 904 上的氧化物半导体层 908、设置在氧化物半导体层 908 上的 n 型硅层 922 和设置在氧化物半导体层 908 和 n 型硅层 922 上的源电极层 916a

及漏电极层 916b。另外,与结构 2 同样,结构 3 假设因氧缺陷或氢的侵入而产生在氧化物半导体层 908 的背沟道一侧的表面的载流子(电子)。

[0102] 图 29D 示出如下结构(结构 4):虽然晶体管的结构与图 29C 所示的结构大致相同,但是假设在氧化物半导体层 908 上设置 p 型硅层 912 而不设置 n 型硅层的情况(图 1A 至 1C 所示的结构)。另外,与结构 2 和结构 3 同样,结构 4 假设因氧缺陷或氢的侵入而产生在氧化物半导体层 908 的背沟道一侧的表面的载流子(电子)。

[0103] 在图 29A 至 29D 中,假设如下条件:栅电极 902 由 100nm 的钨构成,功函数为 4.6eV;栅极绝缘层 904 由 100nm 的氧氮化硅层构成,介电常数为 4.1;氧化物半导体层 908 由 50nm 的 IGZO(i 层)构成,带隙( $E_g$ )为 3.05eV,电子亲和力( $\chi$ )为 4.3eV,电子本征迁移率( $\mu_n$ )为  $15\text{cm}^2/\text{Vs}$ ;源电极层 916a 及漏电极层 916b 由 100nm 的钛构成,功函数为 4.3eV。

[0104] 另外,结构 3 假设如下条件:n 型硅层 922 由 50nm 的非晶硅构成,并且添加有  $1 \times 10^{17}\text{atoms}/\text{cm}^3$  的赋予 n 型导电类型的杂质元素。

[0105] 另外,结构 4 假设如下条件:p 型硅层 912 由 50nm 的非晶硅构成,并且添加有  $1 \times 10^{17}\text{atoms}/\text{cm}^3$  的赋予 p 型导电类型的杂质元素。

[0106] 另外,在结构 2 至结构 4 中,作为在氧化物半导体层 908 的背沟道一侧假设的载流子(电子),在氧化物半导体层 908 的背沟道一侧 10nm 处假设供给电子的施主能级。另外,一般地说,在接触于氧化物半导体层的背沟道一侧地设置硅层的情况(结构 3 及 4)下,将硅层用作保护膜,与沟道蚀刻型(结构 2)相比,能够减小对氧化物半导体层的损伤,但是这里,在结构 2 至 4 中假设同样的施主能级,以进行比较。

[0107] 接着,对上述图 29A 至 29D 的结构分别使用 Silvaco 公司制造的模拟实验软件“Atlas”进行计算。

[0108] 另外,假设图 30A 和 30B 所示的晶体管的结构,以进行计算。具体地说,在结构 1 至 4 中,将沟道长度方向上的栅电极的长度设定为  $20\mu\text{m}$ ,将源电极层与漏电极层之间的距离设定为  $10\mu\text{m}$ 。并且,在结构 3 及 4 中,如图 30B 所示那样,将沟道长度方向上的硅层的长度设定为  $12\mu\text{m}$ 。另外,在结构 1 至 4 中,将沟道宽度  $W$  设定为  $100\mu\text{m}$ 。

[0109] 图 31 示出关于图 29A 至 29D 所示的薄膜晶体管的电流-电压特性的计算结果。这里, $V_{ds} = 10\text{V}$ 。注意,在图 31 中,纵轴表示源极-漏极间的电流( $I_{ds}[\text{A}]$ ),而横轴表示栅极-源极间的电位差( $V_{gs}[\text{V}]$ )。

[0110] 由图 31 可知,在假设氧化物半导体层 908 的背沟道一侧不被损伤的理想结构 1 中, $I_d$ - $V_g$  曲线从  $V_g = 0\text{V}$  上升。另一方面,在假设氧化物半导体层 908 的背沟道一侧被损伤的结构 2 中,阈值电压( $V_{th}$ ) 偏移 to 负一侧而处于常开状态。

[0111] 另外,在假设氧化物半导体层 908 的背沟道一侧被损伤,并且接触于氧化物半导体层 908 的背沟道一侧地设置 n 型硅层 922 的结构 3 中, $V_{th}$  大幅度地偏移 to 负一侧而使截止泄漏(晶体管截止时的泄漏电流)上升。

[0112] 另一方面,在假设氧化物半导体层 908 的背沟道一侧被损伤,并且接触于氧化物半导体层 908 的背沟道一侧地设置 p 型硅层 912 的结构 4 中,与结构 2 及结构 3 相比,能够获得接近理想结构的结构 1 的半导体特性。这是因为如下缘故:通过接触于氧化物半导体层地设置 p 型硅层,产生在氧化物半导体层的背沟道一侧的载流子(电子)被俘获到 p 型硅层,而能够抑制晶体管的电特性的退化。

[0113] 其次,图 32A 和 32B 示出在上述结构 4 中改变硅层的厚度和被添加的 p 型杂质元素的浓度而进行计算的结果。注意,除了硅层的厚度和杂质浓度以外的条件与上述结构 4 同样。因此,还假设因氧缺陷或氢的侵入而产生在氧化物半导体层的背沟道一侧的表面的载流子(电子)。

[0114] 图 32A 示出关于改变在 50nm 厚的硅层中含有的赋予 p 型的杂质元素的浓度的情况下的薄膜晶体管的电流-电压特性的计算结果。另外,图 32B 示出关于改变在 10nm 厚的硅层中含有的赋予 p 型的杂质元素的浓度的情况下的薄膜晶体管的电流-电压特性的计算结果。

[0115] 根据图 32A 和 32B 可知,随着硅层中含有的杂质元素的浓度的升高, $V_{th}$  偏移到正一侧。另外,在杂质元素的浓度高的情况下,厚度越大, $V_{th}$  越向正一侧偏移。

[0116] 以下,说明图 1A 至 1C 所示的结构中的氧化物半导体层 108 和 p 型硅层 112 的形状。注意,在以下说明中,p 型硅层 112 的宽度 ( $W_b$ ) 和氧化物半导体层 108 的宽度 ( $W_c$ ) 分别是指沟道宽度方向上的 p 型硅层 112 的长度和氧化物半导体层 108 的长度。另外,p 型硅层 112 的长度 ( $L_b$ ) 和氧化物半导体层 108 的长度 ( $L_c$ ) 分别是指沟道长度方向上的 p 型硅层 112 的长度和氧化物半导体层 108 的长度。另外,沟道长度方向是指与在晶体管 120 中载流子迁移的方向大致平行的方向(连接源电极层 116a 和漏电极层 116b 的方向),而沟道宽度方向是指与沟道长度方向大致垂直的方向。

[0117] 在图 1A 至 1C 所示的晶体管中,p 型硅层 112 的宽度 ( $W_b$ ) 大于氧化物半导体层 108 的宽度 ( $W_c$ ),并且 p 型硅层 112 设置为在沟道宽度方向上跨越(横跨)氧化物半导体层 108 的两端部。另外,p 型硅层 112 的长度 ( $L_b$ ) 小于氧化物半导体层 108 的长度 ( $L_c$ ),在沟道长度方向上设置两个不被 p 型硅层 112 覆盖的氧化物半导体层 108 的区域,并且该彼此相离而设置的两个区域与源电极层 116a 及漏电极层 116b 电连接。通过采用这种结构,能够降低起因于氧化物半导体层 108 表面的半导体特性的变化而产生的泄漏电流。

[0118] 注意,本实施方式所示的晶体管的结构不局限于图 1A 至 1C。

[0119] 在图 1A 至 1C 中,虽然示出氧化物半导体层 108 通过增大其长度 ( $L_c$ ) 而在沟道长度方向上跨越栅电极 102 的端部的晶体管 120,但是如图 3A 和 3B 所示的晶体管 121 那样,还可以采用通过减小氧化物半导体层 108 的长度 ( $L_c$ ) 而将整个氧化物半导体层 108 配置在栅电极 102 上的结构。另外,在图 3A 和 3B 中,图 3A 是俯视图,而图 3B 是沿图 3A 的 A1-B1 线的截面图。

[0120] 另外,在图 1A 至 1C 及图 3A 和 3B 的结构中,还可以在重叠于氧化物半导体层 108 的区域中将源电极层 116a 及漏电极层 116b 的宽度 ( $W_d$ ) 设定为大于氧化物半导体层 108 的宽度 ( $W_c$ ) (参照图 4A 和 4B)。通过采用这种结构,在图 4A 和 4B 中分别示出的晶体管 122 及晶体管 123 有如下优点:因为能够由源电极层 116a 及漏电极层 116b 覆盖不接触于 p 型硅层 112 的氧化物半导体层 108 的区域,所以能够保护氧化物半导体层 108 来提高可靠性。另外,能够增大氧化物半导体层 108 与源电极层 116a 及漏电极层 116b 的接触面积,以降低氧化物半导体层 108 与源电极层 116a 及漏电极层 116b 的接触电阻。

[0121] 另外,源电极层 116a 及漏电极层 116b 的宽度 ( $W_d$ ) 是指沟道宽度方向上的源电极层 116a 及漏电极层 116b 的长度。

[0122] 另外,既可将源电极层 116a 及漏电极层 116b 的宽度 ( $W_d$ ) 设定为大于 p 型硅层

112 的宽度 (Wb), 又可只将源电极层 116a 及漏电极层 116b 中的一方的宽度 (Wd) 设定为大于氧化物半导体层 108 的宽度 (Wc) (及 p 型硅层 112 的宽度 (Wb))。

[0123] 另外, 在本实施方式所示的结构中, 还可以在 p 型硅层 112 的上方及 / 或下方设置黑矩阵等的遮光部, 以对 p 型硅层 112 进行遮光处理。通过对 p 型硅层 112 进行遮光处理, 能够抑制起因于对 p 型硅层 112 的光照射的晶体管的电特性的不均匀。另外, 在将遮光材料用于栅电极 102 的情况下, 可以在 p 型硅层 112 的上方 (与栅电极 102 相反一侧) 设置黑矩阵等的遮光部。

[0124] 以下, 参照图 2A 至 2F 说明图 1A 至 1C 所示的晶体管的制造方法的一个例子。

[0125] 首先, 在衬底 100 上形成栅电极 102, 在该栅电极 102 上形成栅极绝缘层 104, 然后在栅极绝缘层 104 上形成氧化物半导体层 106 (参照图 2A)。

[0126] 作为衬底 100, 只要是具有绝缘表面的衬底, 即可, 例如可以使用玻璃衬底。除了上述以外, 作为衬底 100, 还可以采用: 陶瓷衬底、石英衬底、蓝宝石衬底等由绝缘体构成的绝缘衬底; 利用绝缘材料覆盖由硅等半导体材料构成的半导体衬底的表面而成的衬底; 利用绝缘材料覆盖由金属或不锈钢等导电体构成的导电衬底的表面而成的衬底。此外, 只要能够承受制造工序的热处理, 就也可以采用塑料衬底。

[0127] 栅电极 102 可以通过在衬底 100 的整个表面上形成导电膜之后利用光刻法对导电膜进行蚀刻来形成。

[0128] 栅电极 102 可以由铝 (Al)、铜 (Cu)、钼 (Mo)、钨 (W)、钛 (Ti) 等导电材料形成。注意, 在将铝用于布线及电极的情况下, 因为铝单质有耐热性低并且容易腐蚀等的问题点, 所以优选组合铝和耐热导电材料而使用。

[0129] 耐热导电材料可以由选自钛 (Ti)、钽 (Ta)、钨 (W)、钼 (Mo)、铬 (Cr)、钕 (Nd)、钪 (Sc) 中的元素; 以上述元素为成分的合金; 组合上述元素而成的合金; 以上述元素为成分的氮化物形成。层叠由这些耐热导电材料构成的膜和铝 (或铜) 来形成布线和电极, 即可。

[0130] 另外, 栅电极 102 还可以由具有对可见光的透光性及高导电性的材料形成。作为这种材料, 例如可以使用铟锡氧化物 (Indium Tin Oxide, 即 ITO)、包含氧化硅的铟锡氧化物 (ITSO)、有机铟、有机锡、氧化锌 (ZnO) 等。

[0131] 栅极绝缘层 104 可以通过利用氧化硅膜、氧氮化硅膜、氮化硅膜、氮氧化硅膜、氧化铝膜或者氧化钽膜等来形成。此外, 也可以层叠这些膜。这些膜例如可以通过利用溅射法等以 10nm 以上且 500nm 以下的厚度来形成。

[0132] 氧化物半导体层 106 可以由 In-Ga-Zn-O 类氧化物半导体形成。在此情况下, 可以通过使用包含 In、Ga 和 Zn 的氧化物半导体靶材 (例如,  $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ ) 的溅射法形成具有非晶结构的氧化物半导体层 106。

[0133] 作为溅射法的条件, 例如, 将衬底 100 与靶材的距离设定为 30mm 以上且 500mm 以下, 将压力设定为 0.01Pa 以上且 2.0Pa 以下, 将直流 (DC) 电源设定为 0.25kW 以上且 5.0kW 以下, 将温度设定为 20°C 以上且 200°C 以下, 并且将气氛设定为氩气氛、氧气氛或氩与氧的混合气氛。

[0134] 此外, 通过在溅射法中使用脉冲直流 (DC) 电源, 可以减少灰尘, 并且厚度的分布也均匀, 因此是优选的。另外, 氧化物半导体层 106 的厚度可以为 5nm 以上且 200nm 以下左右。

[0135] 在形成 In-Ga-Zn-O 类非单晶膜作为氧化物半导体层 106 的情况下,还可以在包含 In、Ga 和 Zn 的氧化物半导体靶材中添加有绝缘杂质。作为该杂质,应用以氧化硅、氧化锆、氧化铝等为代表的绝缘氧化物、以氮化硅、氮化铝等为代表的绝缘氮化物或氧氮化硅、氧氮化铝等绝缘氧氮化物。对氧化物半导体靶材添加其浓度为不损害氧化物半导体的导电性的程度的上述绝缘氧化物或绝缘氮化物。

[0136] 通过使氧化物半导体层 106 包含绝缘杂质,能够抑制该氧化物半导体层 106 的结晶化。通过抑制氧化物半导体层 106 的结晶化,能够实现薄膜晶体管的特性的稳定化。另外,通过使 In-Ga-Zn-O 类氧化物半导体包含氧化硅等杂质,即使进行 200℃ 以上且 600℃ 以下的热处理,也能够防止该氧化物半导体的结晶化或微晶粒的生成。

[0137] 作为应用于氧化物半导体层 106 的氧化物半导体,除了上述以外,还可以应用 In-Sn-Zn-O 类、In-Al-Zn-O 类、Sn-Ga-Zn-O 类、Al-Ga-Zn-O 类、Sn-Al-Zn-O 类、In-Zn-O 类、Sn-Zn-O 类、Al-Zn-O 类、In-O 类、Sn-O 类、Zn-O 类的氧化物半导体。另外,通过对这些氧化物半导体添加抑制结晶化而保持非晶状态的杂质,能够使薄膜晶体管的特性稳定化。该杂质为以氧化硅、氧化锆、氧化铝等为代表的绝缘氧化物、以氮化硅、氮化铝等为代表的绝缘氮化物或氧氮化硅、氧氮化铝等绝缘氧氮化物等。

[0138] 接着,蚀刻氧化物半导体层 106 来形成岛状氧化物半导体层 108(参照图 2B)。此时,将氧化物半导体层 106 蚀刻为使岛状氧化物半导体层 108 至少残留在栅电极 102 的上方。

[0139] 接着,覆盖氧化物半导体层 108 地形成 p 型硅层 110(参照图 2C)。

[0140] p 型硅层 110 能够通过溅射法而形成。在此情况下,在氩气氛中通过使用硅靶材或添加有硼的硅靶材的 DC 溅射法形成 p 型硅层 110。但是,不局限于此,还可以使用 CVD 法等形式形成 p 型硅层 110。另外,根据成膜条件,有时会有氧化物半导体层 108 与 p 型硅层 110 的很薄混合层(如硅的氧化物等)形成在氧化物半导体层 108 与 p 型硅层 110 的界面的情况。

[0141] 接着,蚀刻 p 型硅层 110,以形成岛状 p 型硅层 112(参照图 2D)。此时,将 p 型硅层 110 蚀刻为使岛状 p 型硅层 112 至少残留在重叠于栅电极 102 的区域中。另外,将 p 型硅层 110 蚀刻为暴露氧化物半导体层 108 的至少一部分。

[0142] 作为蚀刻,例如可以应用使用 TMAH(Tetra Methyl AmmoniumHydroxide,即四甲基氢氧化铵)的湿蚀刻。在此情况下,能够得到氧化物半导体层 108 与 p 型硅层 110 之间的高蚀刻选择比,从而能够在几乎不蚀刻氧化物半导体层 108 的状态下良好地蚀刻 p 型硅层 110。另外,能够减小对氧化物半导体层 108 的损伤。

[0143] 注意,蚀刻选择比是指例如蚀刻 A 层和 B 层的情况下的 A 层的蚀刻速率与 B 层的蚀刻速率之间的差异。就是说,“高蚀刻选择比”意味着蚀刻速率之间有充分的差异。

[0144] 接着,在栅极绝缘层 104、氧化物半导体层 108 和 p 型硅层 112 上形成导电膜 114(参照图 2E)。

[0145] 导电膜 114 可以通过利用溅射法或真空蒸镀法等并且使用如下材料来形成。该材料由包含选自铝(Al)、铜(Cu)、钛(Ti)、钽(Ta)、钨(W)、钼(Mo)、铬(Cr)、钕(Nd)、钪(Sc)中的元素的金属;以上述元素为成分的合金;或者以上述元素为成分的氮化物等形成。

[0146] 例如,导电膜 114 可以由钼膜或钛膜的单层结构形成。此外,导电膜 114 也可以由

叠层结构形成,而例如可以采用铝膜和钛膜的叠层结构。此外,也可以采用依次层叠有钛膜、铝膜和钛膜的三层结构。此外,也可以采用依次层叠有钼膜、铝膜和钼膜的三层结构。此外,作为用于这些叠层结构的铝膜,也可以采用包含钷的铝 (Al-Nd) 膜。再者,导电膜 114 也可以具有包含硅的铝膜的单层结构。

[0147] 另外,导电膜 114 还可以由具有对可见光的透光性及高导电性的材料形成。作为这种材料,例如可以使用铟锡氧化物 (Indium Tin Oxide,即 ITO)、包含氧化硅的铟锡氧化物 (ITSO)、有机铟、有机锡、氧化锌 (ZnO) 等。

[0148] 接着,通过蚀刻导电膜 114,形成源电极层 116a 及漏电极层 116b(参照图 2F)。此时,取决于蚀刻条件,有时在蚀刻导电膜 114 的同时,p 型硅层 112 也被蚀刻而减少厚度。这里,示出在蚀刻导电膜 114 的同时,p 型硅层 112 也被蚀刻而减少厚度的情况。

[0149] 在上述步骤中,p 型硅层 112 用作在蚀刻导电膜 114 时抑制氧化物半导体层 108 被蚀刻的沟道保护层(沟道停止层)。另外,有时会有如下情况:在氧化物半导体层 108 中的不设置有 p 型硅层 112 的区域中,在蚀刻导电膜 114 的同时,氧化物半导体层 108 的厚度也变薄。

[0150] 如上所述,通过接触于氧化物半导体层 108 地设置 p 型硅层 112,能够抑制氢等元素无意地从外部混入到氧化物半导体层 108。

[0151] 通过上述工序,能够制造晶体管 120。

[0152] 另外,还可以覆盖晶体管 120 地形成保护绝缘层。例如,使用 CVD 法或溅射法等并利用氧化硅膜、氮化硅膜、氧氮化硅膜、氮氧化硅膜、氧化铝膜、氮化铝膜、氧氮化铝膜或氮氧化铝膜的单层或叠层而形成保护绝缘层,即可。另外,还可以在形成源电极层 116a 及漏电极层 116b 之后,通过使 p 型硅层 112 的露出部分氧化(包含自然氧化)或氮化,在位于源电极层 116a 与漏电极层 116b 之间的区域的 p 型硅层 112 上形成氧化硅膜、氮化硅膜、氧氮化硅膜、氮氧化硅膜。

[0153] 另外,在图 2A 至 2F 的工序中,优选的是,在形成氧化物半导体层 108 之后,在氮气气氛中或大气气氛中进行 100°C 以上且 600°C 以下,典型为 200°C 以上且 400°C 以下的热处理。例如,可以在氮气气氛中进行 350°C 的热处理 1 小时。通过进行该热处理,发生岛状氧化物半导体层 108 的原子级的重新排列,而能够释放阻挡氧化物半导体层 108 中的载流子的迁移的应变,因此是重要的。

[0154] 另外,只要是在形成氧化物半导体层 106 之后进行热处理,就对进行热处理的时序没有特别的限制,而可以在形成 p 型硅层 110 之后、在形成岛状 p 型硅层 112 之后、在形成导电膜 114 之后、在形成源电极层 116a 及漏电极层 116b 之后或在形成保护绝缘层之后进行热处理。另外,根据热处理的条件等,有时会有氧化物半导体层 108 与 p 型硅层 112 的很薄混合层(如硅的氧化物等)形成在氧化物半导体层 108 与 p 型硅层 112 的界面的情况。

[0155] 然后,通过形成各种电极和布线,完成具备晶体管 120 的半导体装置。

[0156] 另外,在上述图 2A 至 2F 中,示出在形成氧化物半导体层 108 之后形成 p 型硅层 110 的情况,但是还可以在连续层叠形成氧化物半导体层 106 和 p 型硅层 110 之后,使用多个掩模将它们分别构图为 p 型硅层 112 和氧化物半导体层 108。以下,参照图 25A 至 25E 说明在此情况下的制造方法。

[0157] 首先,在衬底 100 上形成栅电极 102,接着在该栅电极 102 上形成栅极绝缘层 104。



其次,在栅极绝缘层 104 上依次层叠形成氧化物半导体层 106 和 p 型硅层 110,然后选择性地形成抗蚀剂掩模 175(参照图 25A)。优选的是,从栅极绝缘层 104 到 p 型硅层 110 进行连续成膜,或者从氧化物半导体层 106 到 p 型硅层 110 进行连续成膜。

[0158] 接着,使用抗蚀剂掩模 175 蚀刻 p 型硅层 110 和氧化物半导体层 106 的不需要的部分,以形成岛状氧化物半导体层 108 和 p 型硅层 111(参照图 25B)。然后,去除抗蚀剂掩模 175。

[0159] 接着,在 p 型硅层 111 上形成抗蚀剂掩模 176,并且使用该抗蚀剂掩模 176 蚀刻露出的 p 型硅层 111,以形成岛状 p 型硅层 112(参照图 25C)。

[0160] 接着,在栅极绝缘层 104、氧化物半导体层 108 和 p 型硅层 112 上形成导电膜 114(参照图 25D),然后蚀刻该导电膜 114,以形成源电极层 116a 及漏电极层 116b(参照图 25E)。

[0161] 通过上述工序,能够制造图 26A 至 26C 所示的晶体管 124。在图 26A 至 26C 所示的晶体管 124 中,p 型硅层 112 的宽度 (Wb) 和氧化物半导体层 108 的宽度 (Wc) 相同。另外,在图 26A 至图 26C 中,图 26A 是俯视图,图 26B 是沿图 26A 中的 A1-B1 的截面图,并且图 26C 是沿图 26A 中的 A2-B2 的截面图。

[0162] 像这样,通过连续形成氧化物半导体层 106 和 p 型硅层 110,能够减少因蚀刻剂或等离子体等给氧化物半导体层 106 的表面带来的损伤。

[0163] 本实施方式可以与另一实施方式所示的结构适当地组合而实施。

[0164] 实施方式 2

[0165] 在本实施方式中,参照附图说明与上述实施方式 1 不同的晶体管的制造方法及结构。

[0166] 首先,参照图 5A 至 5E 说明晶体管的制造方法。另外,本实施方式所示的制造工序(能够应用的材料等)的大多部分与上述实施方式 1 相同。因此,以下,省略重复部分的说明,而详细说明不同的部分。

[0167] 首先,在衬底 100 上形成栅电极 102,接着在该栅电极 102 上形成栅极绝缘层 104。其次,在栅极绝缘层 104 上依次层叠形成氧化物半导体层 106 和 p 型硅层 110,然后选择性地形成抗蚀剂掩模 171(参照图 5A)。优选的是,从栅极绝缘层 104 到 p 型硅层 110 进行连续成膜,或者从氧化物半导体层 106 到 p 型硅层 110 进行连续成膜。

[0168] 接着,使用抗蚀剂掩模 171 蚀刻 p 型硅层 110,以形成岛状 p 型硅层 111(参照图 5B)。这里,使用碱性蚀刻液进行湿蚀刻。通过使用碱性蚀刻液,能够使氧化物半导体层 106 与 p 型硅层 110 的蚀刻选择比变大,而能够选择性地蚀刻 p 型硅层 110。作为碱性蚀刻液,例如可以采用 TMAH(Tetra Methyl Ammonium Hydroxide,即四甲基氢氧化铵)。

[0169] 接着,使用抗蚀剂掩模 171 蚀刻氧化物半导体层 106,以形成岛状氧化物半导体层 108(参照图 5C)。这里,使用酸性蚀刻液进行湿蚀刻。通过使用酸性蚀刻液,能够使氧化物半导体层 106 与 p 型硅层 111 的蚀刻选择比变大,而能够选择性地蚀刻氧化物半导体层 106。另外,作为酸性蚀刻液,例如可以使用磷酸、醋酸、硝酸和水的混合液(也称为混酸铝)。

[0170] 接着,使用抗蚀剂掩模 171 蚀刻 p 型硅层 111,以形成岛状 p 型硅层 112(参照图 5D)。这里,再次使用碱性蚀刻液进行湿蚀刻。通过使用碱性蚀刻液,能够使氧化物半导体

层 108 与 p 型硅层 111 的蚀刻选择比变大,而能够选择性地蚀刻 p 型硅层 111。这里,蚀刻以各向同性的方式进展,而使 p 型硅层 111 的侧面受到蚀刻(侧蚀)。另外,作为碱性蚀刻液,例如可以采用 TMAH(Tetra Methyl AmmoniumHydroxide,即四甲基氢氧化铵)。

[0171] 像这样,通过在蚀刻氧化物半导体层之后,连续蚀刻 p 型硅层,能够在不追加掩模的情况下蚀刻氧化物半导体层与 p 型硅层,从而可以简化工序。

[0172] 接着,在栅极绝缘层 104、氧化物半导体层 108 和 p 型硅层 112 上形成导电膜之后,蚀刻该导电膜,以形成源电极层 116a 及漏电极层 116b(参照图 5E)。

[0173] 通过上述步骤,能够制造图 6A 至 6C 所示的晶体管 130。另外,在图 6A 至 6C 中,图 6A 是俯视图,图 6B 是沿图 6A 中的 A1-B1 的截面图,并且图 6C 是沿图 6A 中的 A2-B2 的截面图。

[0174] 在使用图 5A 至 5E 所示的制造方法的情况下,如图 6A 至 6C 所示,p 型硅层 112 的宽度 ( $W_b$ ) 小于氧化物半导体层 108 的宽度 ( $W_c$ ),并且 p 型硅层 112 的长度 ( $L_b$ ) 小于氧化物半导体层 108 的长度 ( $L_c$ )。

[0175] 在图 5A 至 5E 的制造工序中,通过连续形成氧化物半导体层 106 和 p 型硅层 110,能够减少因蚀刻剂或等离子体等给氧化物半导体层 106 的表面带来的损伤。在氧化物半导体层上设置能够获得与该氧化物半导体层之间的蚀刻选择比的 p 型硅层,从而即使蚀刻氧化物半导体层和 p 型硅层,也能够简化工序而不追加掩模。

[0176] 另外,还可以在形成晶体管 130 之后覆盖该晶体管 130 地形成保护绝缘层。另外,在图 5A 至 5E 的工序中,还可以在形成氧化物半导体层 108 之后,在氮气氛中或大气气氛中进行热处理。

[0177] 另外,图 6A 至 6C 所示的晶体管 130 的制造方法不局限于图 5A 至 5E 所示的方法。例如,还可以采用如下方法:在进行直到图 5C 的工序之后,对抗蚀剂掩模 171 进行使用氧等离子体的灰化处理,使抗蚀剂掩模 171 各向同性地缩小而使 p 型硅层 111 的一部分露出,然后蚀刻 p 型硅层 111 的露出部分,以形成 p 型硅层 112。

[0178] 本实施方式可以与另一实施方式所记载的结构适当地组合而实施。

[0179] 实施方式 3

[0180] 在本实施方式中,参照附图说明与上述实施方式 1 及 2 不同的晶体管及其制造方法。另外,本实施方式所示的制造工序(能够应用的材料等)的大多部分与上述实施方式 1 相同。因此,以下,省略重复部分的说明,而详细说明不同的部分。

[0181] 图 7A 和 7B 所示的晶体管 140 包括:设置在衬底 100 上的栅电极 102;设置在栅电极 102 上的栅极绝缘层 104;设置在栅极绝缘层 104 上的氧化物半导体层 108;设置在氧化物半导体层 108 的表面上且接触于氧化物半导体层 108 的表面的 p 型硅层 112;以及设置在氧化物半导体层 108 的表面上且接触于氧化物半导体层 108 的表面的源电极层 116a 及漏电极层 116b,其中在接触于源电极层 116a 及漏电极层 116b 的氧化物半导体层 108 的部分区域中设置有低电阻区 109a 及 109b。

[0182] 就是说,本实施方式所示的晶体管 140 采用如下结构:在上述实施方式所示的结构中,在不设置有 p 型硅层 112 的氧化物半导体层 108 的部分区域中设置有低电阻区 109a 及 109b。另外,在图 7A 和 7B 中,图 7A 是俯视图,而图 7B 是沿图 7A 的 A1-B1 线的截面图。

[0183] 通过在氧化物半导体层 108 中引起氧缺陷(与接触于 p 型硅层 112 的区域相比,

处于氧缺陷状态),能够设置低电阻区 109a 及 109b。只要对不设置有 p 型硅层 112 的氧化物半导体层 108 的部分区域选择性地使用氢、氩等还原性气体进行等离子体处理,以引起氧缺陷,即可。

[0184] 除了上述以外,还可以通过将氢选择性地添加到氧化物半导体层 108,设置低电阻区 109a 及 109b。

[0185] 在晶体管 140 中,低电阻区 109a 及 109b 用作源区或漏区,并且通过接触于低电阻区 109a 地设置源电极层 116a,并接触于低电阻区 109b 地设置漏电极层 116b,能够降低氧化物半导体层 108 与源电极层 116a 及漏电极层 116b 的接触电阻。

[0186] 以下,参照图 8A 至 8D 说明图 7A 和 7B 所示的晶体管的制造方法的一个例子。

[0187] 首先,进行图 2A 至 2D 所示的工序,并保留用来蚀刻 p 型硅层 112 的抗蚀剂掩模 172(参照图 8A)。

[0188] 接着,使用抗蚀剂掩模 172 对氧化物半导体层 108 以氢、氩等还原性气体进行等离子体处理,而在该氧化物半导体层 108 中形成低电阻区 109a 及 109b(参照图 8B)。

[0189] 接着,在栅极绝缘层 104、氧化物半导体层 108 和 p 型硅层 112 上形成导电膜 114(参照图 8C)。另外,将导电膜 114 形成为接触于氧化物半导体层 108 的低电阻区 109a 及 109b。

[0190] 接着,通过蚀刻导电膜 114,形成源电极层 116a 及漏电极层 116b(参照图 8D)。

[0191] 通过上述工序,能够制造晶体管 140。

[0192] 另外,还可以在形成晶体管 140 之后,覆盖该晶体管 140 地形成保护绝缘层。另外,还可以在图 8A 至 8D 的工序中,在形成氧化物半导体层 108 之后,在氮气气氛或大气气氛中进行热处理。

[0193] 另外,虽然图 7A 至 8D 示出通过在氧化物半导体层 108 中设置低电阻区 109a 及 109b 来降低氧化物半导体层 108 与源电极层 116a 及漏电极层 116b 的接触电阻的情况,但是不局限于此。

[0194] 如 9A 和 9B 所示的晶体管 141 那样,还可以采用如下结构:在氧化物半导体层 108 与源电极层 116a 及漏电极层 116b 之间分别设置有第一金属氧化物层 115a 和第二金属氧化物层 115b。另外,在图 9A 至 9C 中,图 9A 是俯视图,而图 9B 是沿图 9A 中的 A1-B1 线的截面图。

[0195] 第一金属氧化物层 115a 及第二金属氧化物层 115b 只要至少以其电阻低于氧化物半导体层 108 的金属氧化物设置,即可。

[0196] 另外,第一金属氧化物层 115a 及第二金属氧化物层 115b 可以通过使用与氧化物半导体层 108 相同的材料并且在不同的成膜条件下设置。例如,在使用 In-Ga-Zn-O 类非单晶膜作为氧化物半导体层 108、第一金属氧化物层 115a 及第二金属氧化物层 115b 的情况下,采用如下条件:与第一金属氧化物层 115a 及第二金属氧化物层 115b 的 In-Ga-Zn-O 类非单晶膜的成膜条件下的氧气流量与氩气流量的比率相比,氧化物半导体层 108 的 In-Ga-Zn-O 类非单晶膜的成膜条件下的氧气流量所占有的比率大。具体地说,可以采用如下条件:第一金属氧化物层 115a 及第二金属氧化物层 115b 的 In-Ga-Zn-O 类非单晶膜的成膜条件为稀有气体(氩或氦等)气氛(或者氧气为 10%以下,氩气为 90%以上),并且氧化物半导体层 108 的 In-Ga-Zn-O 类非单晶膜的成膜条件为氧混合气氛(氧气流量大于稀有

气体流量)。

[0197] 像这样,通过在氧化物半导体层 108 与源电极层 116a 及漏电极层 116b 之间分别设置第一金属氧化物层 115a 及第二金属氧化物层 115b,能够减少来自源电极层 116a 及漏电极层 116b 的载流子的注入势垒,从而能够降低氧化物半导体层 108 与源电极层 116a 及漏电极层 116b 的接触电阻。

[0198] 另外,第一金属氧化物层 115a 及第二金属氧化物层 115b 可以使用如下方法而形成:在从图 2A 所示的工序直到图 2D 所示的工序之后,在 p 型硅层 112 及氧化物半导体层 108 上依次层叠形成金属氧化物层和导电膜 114,并且与导电膜 114 同样地蚀刻。此时,根据蚀刻条件和所选择的材料,有时会有同时蚀刻导电膜 114 和金属氧化物层;或者同时蚀刻导电膜 114、金属氧化物层和氧化物半导体层 108 的情况。

[0199] 另外,如图 9C 所示的晶体管 142 那样,还可以采用在氧化物半导体层 108 中设置低电阻区 109a 及 109b,并且设置第一金属氧化物层 115a 及第二金属氧化物层 115b 的结构。

[0200] 本实施方式可以与另一实施方式所示的结构适当地组合而实施。

[0201] 实施方式 4

[0202] 在本实施方式中,参照附图说明与上述实施方式 1 至 3 不同的晶体管及其制造方法。另外,本实施方式所示的制造工序(能够应用的材料等)的大多部分与上述实施方式 1 相同。因此,以下,省略重复部分的说明,而详细说明不同的部分。

[0203] 图 10A 和 10B 所示的晶体管 150 包括:设置在衬底 100 上的栅电极 102;设置在栅电极 102 上的栅极绝缘层 104;设置在栅极绝缘层 104 上的源电极层 116a 及漏电极层 116b;氧化物半导体层 108,该氧化物半导体层 108 设置在源电极层 116a 及漏电极层 116b 上,并设置在位于栅电极 102 上方且源电极层 116a 与漏电极层 116b 之间的区域的栅极绝缘层 104 上;覆盖氧化物半导体层 108 而设置的 p 型硅层 112。

[0204] 就是说,本实施方式所示的晶体管 150 及 151 具有在上述实施方式所示的结构中将源电极层 116a 及漏电极层 116b 与氧化物半导体层 108 的上下(层叠顺序)互换的结构。图 10A 至 10C 所示的结构还称为底栅极·底接触结构。另外,在图 10A 至 10C 中,图 10A 是俯视图,而图 10B 是沿图 10A 的 A1-B1 线的截面图。

[0205] 如图 10A 和 10B 所示,通过接触于氧化物半导体层 108 的背沟道一侧(与栅电极 102 相反一侧的表面)地设置 p 型硅层 112,能够抑制氢混入到氧化物半导体层 108。其结果,能够抑制起因于氢的混入的氧化物半导体层 108 的半导体特性的变动,并且,能够抑制以氧化物半导体层 108 为沟道层的晶体管特性的变动。

[0206] 另外,如图 10C 所示的晶体管 151 那样,还可以采用在源电极层 116a 及漏电极层 116b 与氧化物半导体层 108 之间设置金属氧化物层 115a 及 115b 的结构。通过设置金属氧化物层 115a 及 115b,能够降低氧化物半导体层 108 与源电极层 116a 及漏电极层 116b 的接触电阻。

[0207] 以下,参照图 11A 至 11E 说明图 10A 和 10B 所示的晶体管的制造方法的一个例子。

[0208] 首先,在衬底 100 上形成栅电极 102,在该栅电极 102 上形成栅极绝缘层 104,然后在栅极绝缘层 104 上形成源电极层 116a 及漏电极层 116b(参照图 11A)。

[0209] 接着,覆盖源电极层 116a 及漏电极层 116b 地形成氧化物半导体层 106(参照图

11B)。

[0210] 接着,蚀刻氧化物半导体层 106,以形成岛状氧化物半导体层 108(参照图 11C)。此时,将氧化物半导体层 106 蚀刻为使岛状氧化物半导体层 108 至少残留在栅电极 102 的上方。

[0211] 接着,覆盖氧化物半导体层 108 地形成 p 型硅层 110(参照图 11D)。

[0212] 接着,蚀刻 p 型硅层 110,以形成岛状 p 型硅层 112(参照图 11E)。

[0213] 通过上述步骤,能够制造晶体管 150。

[0214] 另外,还可以在形成晶体管 150 之后,覆盖该晶体管 150 地形成保护绝缘层。另外,还可以在图 11A 至 11E 的工序中,在形成氧化物半导体层 108 之后,在氮气氛中或大气气氛中进行热处理。

[0215] 另外,在制造图 10C 所示的晶体管的情况下,可以使用如下方法:在图 11A 中,在栅极绝缘层 104 上依次层叠形成构成源电极层 116a 及漏电极层 116b 的导电膜和构成金属氧化物层 115a 及 115b 的金属氧化物层,然后进行蚀刻。另外,图 10C 所示的结构示出当蚀刻氧化物半导体层 106 来形成岛状氧化物半导体层 108 时同时蚀刻金属氧化物层 115a 及 115b 的情况。

[0216] 另外,虽然图 11A 至 11E 示出完全覆盖氧化物半导体层 108 地形成岛状 p 型硅层 112 的情况,但是不局限于此。p 型硅层 112 只要至少接触于氧化物半导体层 108 中的形成沟道的区域地设置,即可,例如,可以如图 12A 和 12B 所示的晶体管 152 那样接触于氧化物半导体层 108 的一部分地设置 p 型硅层 112。图 12A 和 12B 示出如下情况:接触于氧化物半导体层 108 的一部分地形成 p 型硅层 112(不接触于源电极层 116a 及漏电极层 116b 地形成 p 型硅层 112),并且在 p 型硅层 112、氧化物半导体层 108、源电极层 116a 及漏电极层 116b 上设置保护绝缘层 119。

[0217] 例如,使用 CVD 法或溅射法等并利用氧化硅膜、氮化硅膜、氧氮化硅膜、氮氧化硅膜、氧化铝膜、氮化铝膜、氧氮化铝膜或氮氧化铝膜的单层或叠层而形成保护绝缘层 119,即可。

[0218] 另外,在图 12A 和 12B 中,图 12A 是俯视图,而图 12B 是沿图 12A 的 A1-B1 线的截面图。

[0219] 本实施方式可以与另一实施方式所示的结构适当地组合而实施。

[0220] 实施方式 5

[0221] 在本实施方式中,参照附图说明作为具有上述实施方式 1 至 4 所示的晶体管的半导体装置的使用方式的一例的显示装置的制造工序。另外,本实施方式所示的制造工序(能够应用的材料等)的大多部分与上述实施方式 1 相同。因此,以下,省略重复部分的说明,而详细说明不同的部分。另外,在以下说明中,图 15 至图 19 是俯视图,而图 13A 至 14C 是沿图 15 至图 19 中的 A3-B3 间及 A4-B4 间的截面图。

[0222] 首先,在具有绝缘表面的衬底 100 上形成布线及电极(包括栅电极 102 的栅极布线、电容布线 308、第一端子 321),然后,连续形成栅极绝缘层 104 和氧化物半导体层 106(参照图 13A 和图 15)。

[0223] 电容布线 308、第一端子 321 可以使用与栅电极 102 相同的材料同时形成。

[0224] 接着,在蚀刻氧化物半导体层 106 来形成岛状氧化物半导体层 108 之后(参照图

16),覆盖氧化物半导体层 108 地形成 p 型硅层 110(参照图 13B)。此时,将氧化物半导体层 106 蚀刻为使岛状氧化物半导体层 108 至少残留在栅电极 102 的上方。

[0225] 接着,蚀刻 p 型硅层 110,以形成岛状 p 型硅层 112(参照图 13C 和图 17)。此时,将 p 型硅层 110 蚀刻为使岛状 p 型硅层 112 至少残留在重叠于栅电极 102 的区域中。另外,将 p 型硅层 110 蚀刻为暴露氧化物半导体层 108 的至少一部分。

[0226] 接下来,在栅极绝缘层 104 中形成接触孔 313 使得第一端子 321 被暴露。此后,形成导电膜 114,以覆盖栅极绝缘层 104、氧化物半导体层 108 和 p 型硅层 112(参照图 13D)。由此,通过接触孔 313 电连接导电膜 114 和第一端子 321。

[0227] 接着,通过蚀刻导电膜 114,来形成源电极层 116a 及漏电极层 116b、连接电极 320 和第二端子 322(参照图 14A 和图 18)。此时,p 型硅层 112 用作氧化物半导体层 108 的沟道保护层。

[0228] 第二端子 322 可以与源极布线(包括源电极层 116a 的源极布线)电连接。另外,连接电极 320 可以与第一端子 321 直接连接。

[0229] 通过上述步骤,能够制造晶体管 160。

[0230] 此后,优选在 200℃ 以上且 600℃ 以下、典型在 300℃ 以上且 500℃ 以下执行热处理。例如,在 350℃ 下在氮气氛中进行 1 小时热处理。通过该热处理,引起构成氧化物半导体层 108 的 In-Ga-Zn-O 类非单晶膜的原子级的重新排列。该热处理(也包括光退火)是有效的,因为该热处理能够解除形变,这种形变会打断载流子的迁移。另外,上述热处理在时序上没有特定限制,只要在形成氧化物半导体层 106 之后执行热处理即可。例如,热处理也可以在形成像素电极之后进行。

[0231] 接着,形成覆盖晶体管 160 的保护绝缘层 340,并且对该保护绝缘层 340 选择性地蚀刻,以形成到达漏电极层 116b 的接触孔 325、到达连接电极 320 的接触孔 326 以及到达第二端子 322 的接触孔 327(参照图 14B)。

[0232] 接着,形成电连接到漏电极层 116b 的透明导电层 310、电连接到连接电极 320 的透明导电层 328 以及电连接到第二端子 322 的透明导电层 329(参照图 14C、图 19)。

[0233] 透明导电层 310 用作像素电极,并且透明导电层 328 和透明导电层 329 用于与 FPC 的连接电极或者布线。更具体地,可以将形成在连接电极 320 上的透明导电层 328 用于用作栅极布线的输入端子的连接用端子电极,并且将形成在第二端子 322 上的透明导电层 329 用于用作源极布线的输入端子的连接用端子电极。

[0234] 此外,可以通过利用电容布线 308、栅极绝缘层 104、保护绝缘层 340 以及透明导电层 310,来形成存储电容器。在此情况下,电容布线 308 和透明导电层 310 用作电极,并且栅极绝缘层 104 和保护绝缘层 340 用作电介质。

[0235] 透明导电层 310、328、329 可以通过利用溅射法或真空蒸镀法等并且使用氧化铟( $\text{In}_2\text{O}_3$ )、氧化铟氧化锡合金( $\text{In}_2\text{O}_3\text{-SnO}_2$ , 简称为 ITO)、氧化铟氧化锌合金( $\text{In}_2\text{O}_3\text{-ZnO}$ ) 等来形成。例如,可以在形成透明导电膜之后,在该透明导电膜上形成抗蚀剂掩模,利用蚀刻来去除不需要的部分,以形成透明导电层 310、328、329。

[0236] 通过上述工序,能够完成底栅型的 n 沟道型薄膜晶体管、存储电容器等元件。另外,这些元件被配置成矩阵状,以对应于各个像素,由此能够制造有源矩阵型显示装置。

[0237] 本实施方式可以与另一实施方式所示的结构适当地组合而实施。

**[0238] 实施方式 6**

[0239] 在本实施方式中,示出液晶显示装置的例子作为具有薄膜晶体管的半导体装置。首先,参照图 20A 至 20C 说明相当于半导体装置的一个方式的液晶显示面板的外观及截面。图 20A 和 20B 是一种面板的俯视图,其中利用密封剂 4005 将形成在第一衬底 4001 上的包含氧化物半导体层的薄膜晶体管 4010、4011 及液晶元件 4013 密封在第一衬底 4001 与第二衬底 4006 之间。图 20C 相当于沿图 20A 和 20B 的 M-N 线的截面图。

[0240] 以围绕在第一衬底 4001 上设置的像素部 4002 和扫描线驱动电路 4004 的方式设置有密封剂 4005。另外,在像素部 4002 和扫描线驱动电路 4004 上设置有第二衬底 4006。因此,像素部 4002 和扫描线驱动电路 4004 与液晶层 4008 一起由第一衬底 4001、密封剂 4005 和第二衬底 4006 密封。此外,在与第一衬底 4001 上的由密封剂 4005 围绕的区域不同的区域中安装有信号线驱动电路 4003,该信号线驱动电路 4003 使用单晶半导体膜或多晶半导体膜形成在另行准备的衬底上。

[0241] 注意,对另行形成的驱动电路的连接方法没有特别的限制,而可以采用 COG 方法、引线键合方法或 TAB 方法等。图 20A 是通过 COG 方法安装信号线驱动电路 4003 的例子,而图 20B 是通过 TAB 方法安装信号线驱动电路 4003 的例子。

[0242] 此外,设置在第一衬底 4001 上的像素部 4002 和扫描线驱动电路 4004 包括多个薄膜晶体管。在图 20C 中例示像素部 4002 所包括的薄膜晶体管 4010 和扫描线驱动电路 4004 所包括的薄膜晶体管 4011。在薄膜晶体管 4010、4011 上设置有绝缘层 4020、4021。

[0243] 薄膜晶体管 4010、4011 可以应用上述实施方式所示的结构。在本实施方式中,薄膜晶体管 4010、4011 是 n 沟道型薄膜晶体管。

[0244] 此外,液晶元件 4013 所具有的像素电极层 4030 与薄膜晶体管 4010 电连接。而且,液晶元件 4013 的对置电极层 4031 形成在第二衬底 4006 上。像素电极层 4030、对置电极层 4031 和液晶层 4008 重叠的部分相当于液晶元件 4013。另外,像素电极层 4030、对置电极层 4031 分别设置有用作取向膜的绝缘层 4032、4033,且隔着绝缘层 4032、4033 夹有液晶层 4008。

[0245] 作为第一衬底 4001、第二衬底 4006,可以使用玻璃、金属(一般为不锈钢)、陶瓷、塑料。作为塑料,可以使用 FRP(Fiberglass-ReinforcedPlastics,即纤维增强塑料)板、PVF(聚氟乙烯)薄膜、聚酯薄膜或丙烯酸树脂薄膜。另外,也可以采用具有由 PVF 薄膜或聚酯薄膜夹有铝箔的结构薄片。

[0246] 此外,柱状间隔物 4035 通过对绝缘膜选择性地蚀刻而获得,并且它是为控制像素电极层 4030 和对置电极层 4031 之间的距离(单元间隙)而设置的。另外,还可以使用球状间隔物。另外,对置电极层 4031 电连接到设置在与薄膜晶体管 4010 同一衬底上的共同电位线。对置电极层 4031 和共同电位线由共同连接部分相互电连接,其间夹看配置在一对衬底之间的导电粒子。另外,在密封剂 4005 中含有导电粒子。

[0247] 另外,还可以使用不使用取向膜的显示蓝相的液晶。蓝相是液晶相的一种,是指当对胆甾相液晶进行升温时即将从胆甾相转变到均质相之前出现的相。由于蓝相只出现在较窄的温度范围内,所以为了改善温度范围而将混合有 5 重量%以上的手性试剂的液晶组成物用于液晶层 4008。包含显示蓝相的液晶和手性试剂的液晶组成物的响应速度短,即为 10  $\mu$  s 至 100  $\mu$  s,并且由于其具有光学各向同性而不需要取向处理,从而视角依赖小。

[0248] 另外,本实施方式的液晶显示装置为透射型液晶显示装置的例子,然而,本实施方式所述的液晶显示装置可以被应用于反射型液晶显示装置和半透射型液晶显示装置。

[0249] 另外,在本实施方式中,说明了这样的液晶显示装置的例子,其中将偏振片配置在比衬底更靠外侧的位置(可见一侧),且色彩层和用于显示元件的电极层配置在比衬底更靠内侧的位置,然而,偏振片也可以被配置在比衬底更靠内侧的位置。另外,偏振片和色彩层的叠层结构不局限于本实施方式的结构,而根据偏振片及色彩层的材料或制造工序条件适当地设定,即可。此外,还可以设置用作黑矩阵的遮光膜。

[0250] 另外,在本实施方式中,使用用作保护膜或平坦化绝缘膜的绝缘层(绝缘层 4020、绝缘层 4021)覆盖薄膜晶体管,以降低薄膜晶体管的表面凹凸并提高薄膜晶体管的可靠性。另外,因为保护膜用于防止悬浮在大气中的有机物、金属物、水蒸气等的污染杂质的侵入,所以优选采用致密的膜。通过利用溅射法并且使用氧化硅膜、氮化硅膜、氧氮化硅膜、氮氧化硅膜、氧化铝膜、氮化铝膜、氧氮化铝膜或氮氧化铝膜的单层或叠层来形成保护膜,即可。在本实施方式中,示出通过溅射法形成保护膜的例子,但是没有特别的限制,而可以使用各种方法形成保护膜。

[0251] 这里,形成叠层结构的绝缘层 4020 作为保护膜。这里,使用溅射法形成氧化硅膜作为绝缘层 4020 的第一层。当使用氧化硅膜作为保护膜,有防止在用作源电极层及漏电极层的铝膜中产生小丘的效果。

[0252] 此外,形成绝缘层作为保护膜的第三层。这里,使用溅射法形成氮化硅膜作为绝缘层 4020 的第三层。通过作为保护膜使用氮化硅膜,能够抑制钠等的可动离子侵入到半导体区中而改变 TFT 的电特性。

[0253] 另外,也可以在形成保护膜之后进行对半导体层的退火(200℃以上且 400℃以下)。

[0254] 另外,形成绝缘层 4021 作为平坦化绝缘膜。作为绝缘层 4021,可以使用具有耐热性的有机材料如聚酰亚胺、丙烯酸树脂、苯并环丁烯、聚酰胺、环氧等。另外,除了上述有机材料之外,还可以使用低介电常数材料(low-k 材料)、硅氧烷类树脂、PSG(磷硅玻璃)、BPSG(硼磷硅玻璃)等。另外,也可以通过层叠多个由这些材料形成的绝缘膜,来形成绝缘层 4021。

[0255] 另外,硅氧烷类树脂相当于以硅氧烷类材料作为起始材料而形成的包含 Si-O-Si 键的树脂。硅氧烷类树脂也可以使用有机基(例如烷基或芳基)或氟基作为取代基。另外,有机基还可以具有氟基。

[0256] 对绝缘层 4021 的形成方法没有特别的限制,而可以根据其材料利用溅射法、SOG 法、旋涂、浸渍、喷涂、液滴喷射法(喷墨法、丝网印刷、胶版印刷等)、刮刀、辊涂机、帘涂机、刮刀涂布机等。在使用材料液形成绝缘层 4021 的情况下,也可以在在进行焙烧的工序中同时进行对半导体层的退火(200℃以上且 400℃以下)。通过兼作绝缘层 4021 的焙烧工序和对半导体层的退火,能够高效地制造半导体装置。

[0257] 作为像素电极层 4030、对置电极层 4031,可以使用具有透光性的导电材料诸如包含氧化铟的氧化铟、包含氧化铟的氧化铟锌、包含氧化铟的氧化铟锡、包含氧化铟的氧化铟锡、氧化铟锡(下面表示为 ITO)、氧化铟锌、添加有氧化硅的氧化铟锡等。

[0258] 此外,可以使用包含导电高分子(也称为导电聚合物)的导电组成物来形成像素



电极层 4030、对置电极层 4031。使用导电组成物来形成的像素电极的当其波长为 550nm 时的透光率优选为 70% 以上。另外,导电组成物所包含的导电高分子的电阻率优选为  $0.1 \Omega \cdot \text{cm}$  以下。

[0259] 作为导电高分子,可以使用所谓的  $\pi$  电子共轭类导电高分子。例如,可以举出聚苯胺或其衍生物、聚吡咯或其衍生物、聚噻吩或其衍生物、或者上述材料中的两种以上的共聚物等。

[0260] 另外,供给给另外形成的信号线驱动电路 4003、扫描线驱动电路 4004 或像素部 4002 的各种信号及电位是从 FPC4018 供给的。

[0261] 在本实施方式中,连接端子电极 4015 由与液晶元件 4013 所具有的像素电极层 4030 相同的导电膜形成,并且端子电极 4016 由与薄膜晶体管 4010、4011 的源电极层及漏电极层相同的导电膜形成。

[0262] 连接端子电极 4015 通过各向异性导电膜 4019 与 FPC4018 所具有的端子电连接。

[0263] 此外,虽然在图 20A 至 20C 中示出另行形成信号线驱动电路 4003 并将它安装到第一衬底 4001 的实例,但是本实施方式不局限于该结构。既可以另行形成扫描线驱动电路而安装,又可以仅另行形成信号线驱动电路的一部分或扫描线驱动电路的一部分而安装。

[0264] 本实施方式可以与另一实施方式所示的结构适当地组合而实施。

[0265] 实施方式 7

[0266] 在本实施方式中,示出电子纸作为具有晶体管的半导体装置的一个例子。

[0267] 图 21 示出有源矩阵型电子纸作为半导体装置的一个例子。可以与上述实施方式 1 至 5 所示的薄膜晶体管同样地制造用于半导体装置的薄膜晶体管 581。

[0268] 图 21 的电子纸是采用旋转球显示方式的显示装置的例子。旋转球显示方式是指一种方法,其中将一个半球表面为黑色而另一个半球表面为白色的球形粒子配置在用于显示元件的电极层的第一电极层及第二电极层之间,并且在第一电极层及第二电极层之间产生电位差来控制球形粒子的方向,以进行显示。

[0269] 设置在衬底 580 上的薄膜晶体管 581 是底栅结构的薄膜晶体管,并且源电极层或漏电极层通过形成在绝缘层 583、584、585 中的接触孔与第一电极层 587 电连接。在第一电极层 587 和第二电极层 588 之间设置有球形粒子 589,该球形粒子 589 具有黑色区 590a 和白色区 590b,其周围包括充满了液体的空洞 594,并且球形粒子 589 的周围设置有树脂等的填充材料 595(参照图 21)。在图 21 中,第一电极层 587 相当于像素电极,而第二电极层 588 相当于共同电极。第二电极层 588 电连接到设置在与薄膜晶体管 581 同一衬底上的共同电位线。通过利用上述实施方式所示的共同连接部,可以使设置在衬底 596 上的第二电极层 588 通过配置在一对衬底之间的导电粒子与共同电位线电连接。

[0270] 此外,还可以使用电泳元件,而不是旋转球。在此情况下,使用直径为  $10 \mu\text{m}$  至  $200 \mu\text{m}$  左右的微胶囊,该微胶囊封入有透明液体、带正电的白色微粒和带负电的黑色微粒。在提供在第一电极层与第二电极层之间的微胶囊中,当由第一电极层和第二电极层施加电场时,白色微粒和黑色微粒各自移动至相反端,从而可以显示白色或黑色。应用这种原理的显示元件就是电泳显示元件,通常被称为电子纸。电泳显示元件具有比液晶显示元件更高的反射率,从而不需要辅助灯,功耗低,并且在昏暗的地方也能辨别显示部分。另外,即使不给显示部供应电源,也能够保持显示过一次的图像,因此,即使使具有显示功能的半导体装

置（也简单地称为显示装置或具备显示装置的半导体装置）远离电子波源，也能够保存显示过的图像。

[0271] 如上所述，能够制造可靠性高的电子纸作为半导体装置。

[0272] 本实施方式可以与另一实施方式所示的结构适当地组合而实施。

[0273] 实施方式 8

[0274] 在本实施方式中，示出发光显示装置作为具有晶体管的半导体装置的例子。在此使用利用电致发光的发光元件而示出显示装置所具有的显示元件。利用电致发光的发光元件是根据发光材料是有机化合物还是无机化合物而区分的。一般，前者称为有机 EL 元件而后者称为无机 EL 元件。

[0275] 在有机 EL 元件中，通过对发光元件施加电压，来自一对电极的电子及空穴分别注入到包含发光有机化合物的层中，由此电流流通。然后，这些载流子（电子和空穴）复合引起该发光有机化合物形成激发态，并且从该激发态回到基态时发光。由于这种机理，这种发光元件被称为电流激发型发光元件。

[0276] 无机 EL 元件按照元件结构而分类为分散型无机 EL 元件和薄膜型无机 EL 元件。分散型无机 EL 元件包括将发光材料颗粒分散在粘合剂中的发光层，并且其发光机理是利用施主能级和受主能级的施主-受主复合型发光。薄膜型无机 EL 元件是将发光层夹在电介质层之间，并将它夹在电极之间的结构，其发光机理是利用金属离子内壳层电子跃迁的定域型发光。

[0277] 以下，参照图 22A 和 22B 说明相当于半导体装置的一个方式的发光显示面板（也称为发光面板）的外观及截面。图 22A 是一种面板的俯视图，其中使用密封剂 4505 将形成在第一衬底 4501 上的薄膜晶体管 4509、4510 及发光元件 4511 密封在第一衬底 4501 与第二衬底 4506 之间，而图 22B 是沿图 22A 的 H-I 线的截面图。这里，以有机 EL 元件作为发光元件进行说明。

[0278] 以围绕设置在第一衬底 4501 上的像素部 4502、信号线驱动电路 4503a、4503b 及扫描线驱动电路 4504a、4504b 的方式设置有密封剂 4505。此外，在像素部 4502、信号线驱动电路 4503a、4503b 及扫描线驱动电路 4504a、4504b 上设置有第二衬底 4506。因此，像素部 4502、信号线驱动电路 4503a、4503b、以及扫描线驱动电路 4504a、4504b 与填充材料 4507 一起由第一衬底 4501、密封剂 4505 和第二衬底 4506 密封。像这样，优选使用气密性高且漏气少的保护薄膜（贴合薄膜、紫外线固化树脂薄膜等）或覆盖材料进行封装（封入）。

[0279] 此外，设置在第一衬底 4501 上的像素部 4502、信号线驱动电路 4503a、4503b 及扫描线驱动电路 4504a、4504b 包括多个薄膜晶体管。在图 22B 中，例示包括在像素部 4502 中的薄膜晶体管 4510 和包括在信号线驱动电路 4503a 中的薄膜晶体管 4509。

[0280] 薄膜晶体管 4509、4510 可以应用上述实施方式所示的结构。在本实施方式中，薄膜晶体管 4509、4510 是 n 沟道型薄膜晶体管。

[0281] 此外，附图标记 4511 相当于发光元件，发光元件 4511 所具有的作为像素电极的第一电极层 4517 与薄膜晶体管 4510 的源电极层或漏电极层电连接。另外，发光元件 4511 的结构是由第一电极层 4517、场致发光层 4512、第二电极层 4513 构成的叠层结构，但是不局限于本实施方式所示的结构。可以根据从发光元件 4511 发光的方向等而适当地改变发光元件 4511 的结构。

[0282] 使用有机树脂膜、无机绝缘膜或有机聚硅氧烷形成隔离墙 4520。特别优选的是，使用感光材料，在第一电极层 4517 上形成开口部，并将该开口部的侧壁形成为具有连续的曲率的倾斜面。

[0283] 场致发光层 4512 既可以由单层构成，又可以由多个层的叠层构成。

[0284] 也可以在第二电极层 4513 及隔离墙 4520 上形成保护膜，以防止氧、氢、水分、二氧化碳等侵入到发光元件 4511 中。作为保护膜，可以形成氮化硅膜、氮氧化硅膜、DLC 膜等。

[0285] 另外，供给到信号线驱动电路 4503a、4503b、扫描线驱动电路 4504a、4504b、或像素部 4502 的各种信号及电位是从 FPC4518a、4518b 供给的。

[0286] 在本实施方式中，连接端子电极 4515 由与发光元件 4511 所具有的第一电极层 4517 相同的导电膜形成，并且端子电极 4516 由与薄膜晶体管 4509、4510 所具有的源电极层及漏电极层相同的导电膜形成。

[0287] 连接端子电极 4515 通过各向异性导电膜 4519 电连接到 FPC4518a 所具有的端子。

[0288] 位于从发光元件 4511 的光的取出方向的第二衬底 4506 需要具有透光性。在这种情况下，使用透光材料，如玻璃板、塑料板、聚酯膜或丙烯酸树脂膜。

[0289] 另外，作为填充材料 4507 除了氮或氩等惰性的气体之外，还可以使用紫外线固化树脂或热固化树脂，即可以使用 PVC（聚氯乙烯）、丙烯酸树脂、聚酰亚胺、环氧树脂、硅酮树脂、PVB（聚乙烯醇缩丁醛）、或 EVA（乙烯-醋酸乙烯酯）。

[0290] 另外，如果需要，也可以在发光元件的射出表面上适当地设置诸如偏振片、圆偏振片（包括椭圆偏振片）、相位差板（ $\lambda/4$  板， $\lambda/2$  板）、滤色片等的光学膜。另外，也可以在偏振片或圆偏振片上设置抗反射膜。例如，可以进行防眩处理，以由表面的凹凸使反射光漫射而降低眩光。

[0291] 信号线驱动电路 4503a、4503b 及扫描线驱动电路 4504a、4504b 也可以作为在另行准备的衬底上由单晶半导体膜或多晶半导体膜形成的驱动电路而安装。此外，也可以另外仅形成信号线驱动电路或其一部分、或者扫描线驱动电路或其一部分而安装，本实施方式不局限于图 22A 和 22B 所示的结构。

[0292] 通过上述工序，能够制造可靠性高的发光显示装置（显示面板）作为半导体装置。

[0293] 本实施方式可以与另一实施方式所示的结构适当地组合而实施。

[0294] 实施方式 9

[0295] 上述实施方式所示的具备晶体管的半导体装置可以应用于各种电子设备（也包括游戏机）。作为电子设备，例如可以举出：电视装置（也称为电视或电视接收机）；用于计算机等的监视器；影像拍摄装置如数码相机或数码摄像机等；数码相框；移动电话机（也称为移动电话、移动电话装置）；便携式游戏机；便携式信息终端；声音再现装置；弹珠机等的大型游戏机等。

[0296] 图 23A 示出电视装置 9600 的一个例子。在电视装置 9600 中，框体 9601 嵌入有显示部 9603。能够由显示部 9603 显示图像。此外，在此示出利用支架 9605 支撑框体 9601 的结构。

[0297] 可以通过利用框体 9601 所具备的操作开关、另外提供的遥控操作机 9610 进行电视装置 9600 的操作。通过利用遥控操作机 9610 所具备的操作键 9609，可以进行频道和音量的操作，并可以对在显示部 9603 上显示的图像进行操作。此外，也可以采用在遥控操作

机 9610 中设置显示从该遥控操作机 9610 输出的信息的显示部 9607 的结构。

[0298] 注意,电视装置 9600 采用具备接收机及调制解调器等的结构。可以利用接收机来接收通常的电视广播。另外,当通过调制解调器将电视装置 9600 有线或无线地连接到通信网络时,可以进行单向(从发射者到接收者)或者双向(发送者和接收者之间或接收者之间)的信息通信。

[0299] 图 23B 示出数码相框 9700 的一个例子。例如,在数码相框 9700 中,框体 9701 嵌入有显示部 9703。显示部 9703 可以显示各种图像,例如通过显示使用数码相机等拍摄的图像数据,可以发挥与一般的相框同样的功能。

[0300] 注意,数码相框 9700 采用具备操作部、外部连接用端子(USB 端子、可以与 USB 电缆等的各种电缆连接的端子等)、记录媒体插入部等的结构。这些结构也可以嵌入到与显示部同一个面,但是通过将它们设置在侧面或背面上来提高设计性,所以是优选的。例如,可以对数码相框的记录媒体插入部插入储存有由数码相机拍摄的图像数据的存储器并提取图像数据,然后将所提取的图像数据显示于显示部 9703。

[0301] 另外,数码相框 9700 可以采用能够无线地发送并接收信息的结构。也可以采用以无线的方式提取所希望的图像数据并进行显示的结构。

[0302] 图 24A 示出一种便携式游戏机,其由框体 9881 和框体 9891 的两个框体构成,并且通过连接部 9893 连接为能够开闭。框体 9881 安装有显示部 9882,并且框体 9891 安装有显示部 9883。另外,图 24A 所示的便携式游戏机还具备扬声器部 9884、记录媒体插入部 9886、LED 灯 9890、输入单元(操作键 9885、连接端子 9887、传感器 9888(包括测定如下因素的功能:力量、位移、位置、速度、加速度、角速度、转动数、距离、光、液、磁、温度、化学物质、声音、时间、硬度、电场、电流、电压、电力、辐射线、流量、湿度、倾斜度、振动、气味或红外线)以及麦克风 9889)等。不用说,便携式游戏机的结构不限于以上所述结构。便携式游戏机可以具有适当地配置了额外的附属设备的结构,而只要至少配置了半导体装置即可。图 24A 所示的便携式游戏机具有如下功能:读出存储在记录媒体中的程序或数据并将它们显示于显示部;通过与其他便携式游戏机进行无线通信来实现信息共享。另外,图 24A 所示的便携式游戏机的功能不局限于此,而可以具有各种功能。

[0303] 图 24B 示出大型游戏机的一种的投币机 9900 的一例。在投币机 9900 的框体 9901 中安装有显示部 9903。另外,投币机 9900 还具备如起动杆或停止开关等的操作单元、投币孔、扬声器等。当然,投币机 9900 的结构不局限于此,而还可以具有适当地配置了额外的附属设备的结构,只要至少配置了半导体装置即可。

[0304] 本实施方式可以与另一实施方式所示的结构适当地组合而实施。

[0305] 本说明书根据 2009 年 2 月 13 日在日本专利局受理的日本专利申请编号 2009-030971 而制作,所述申请内容包括在本说明书中。

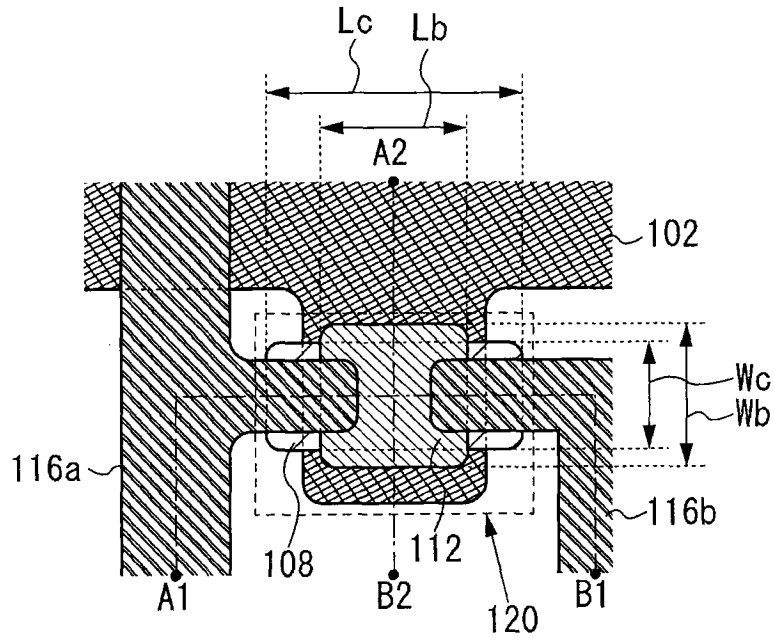


图 1A

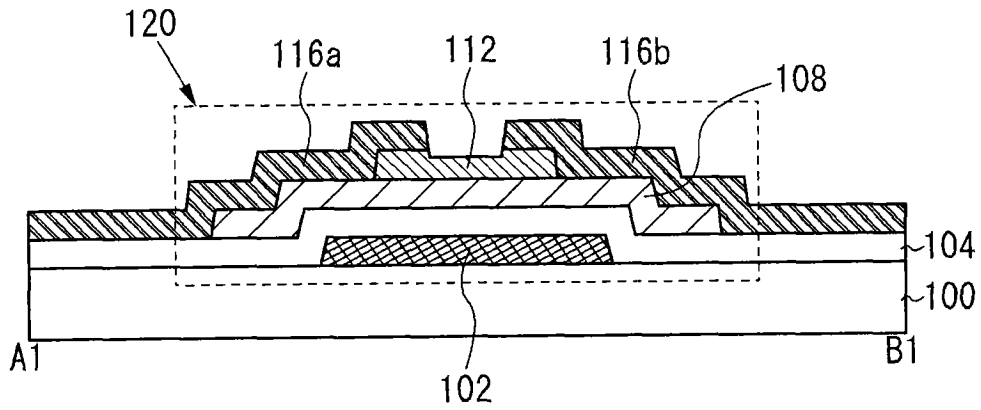


图 1B

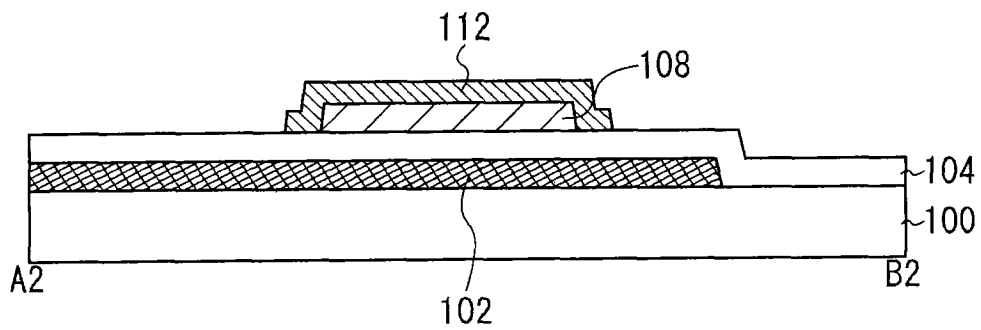


图 1C

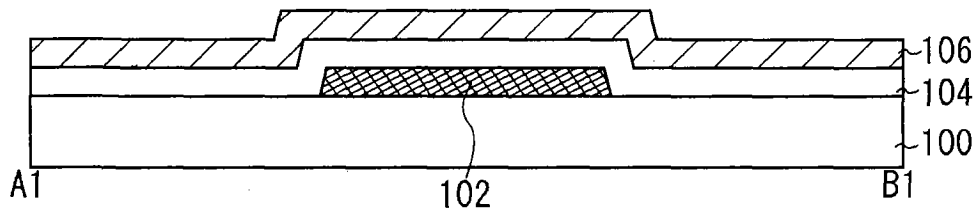


图 2A

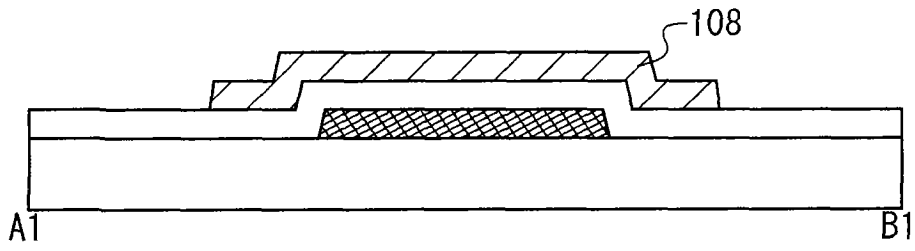


图 2B

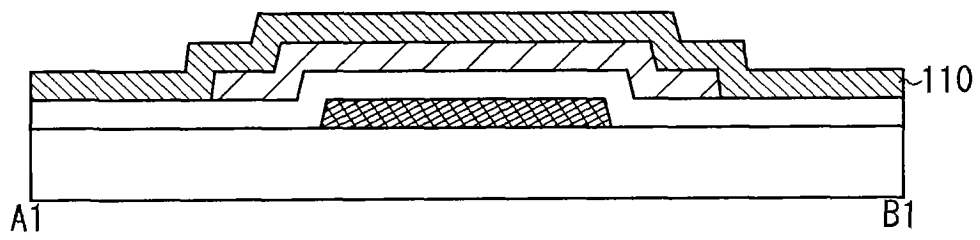


图 2C

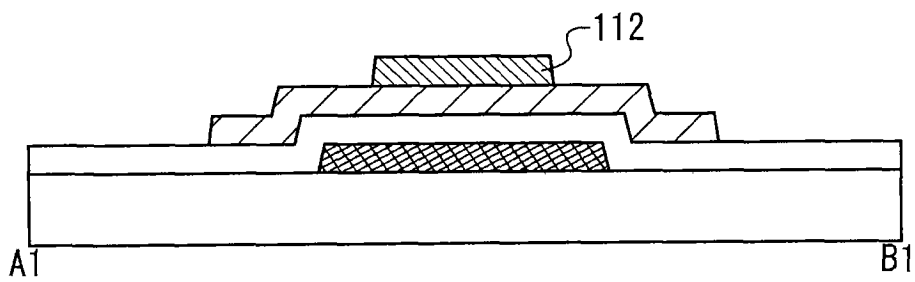


图 2D

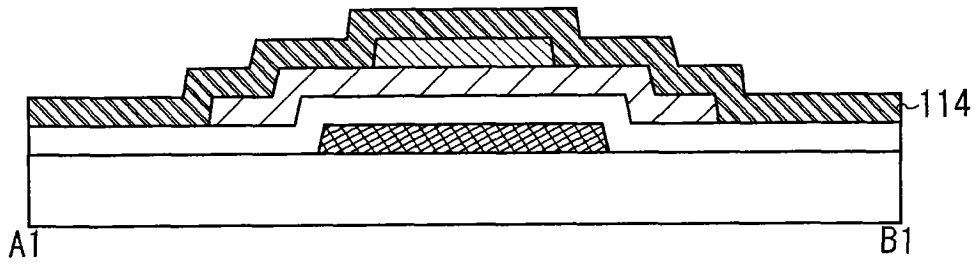


图 2E

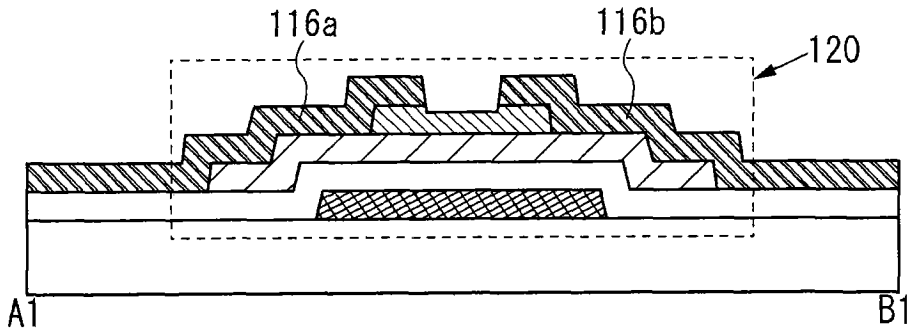


图 2F

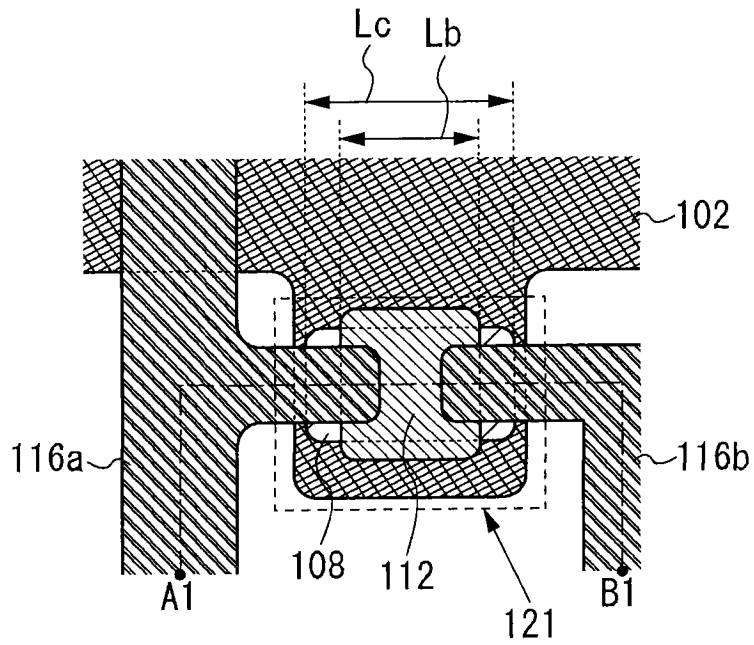


图 3A

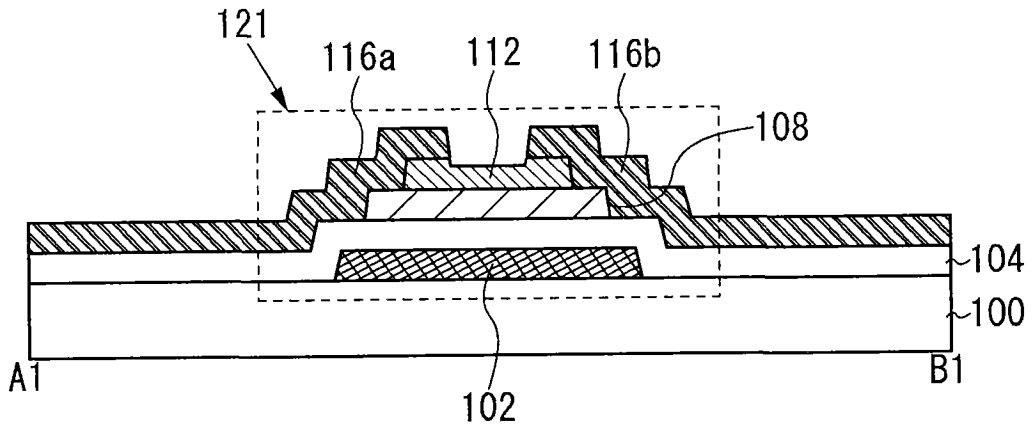


图 3B

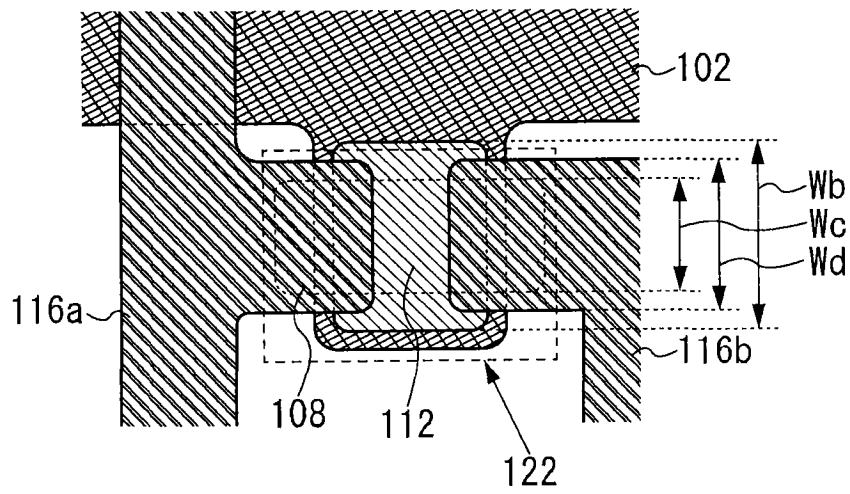


图 4A

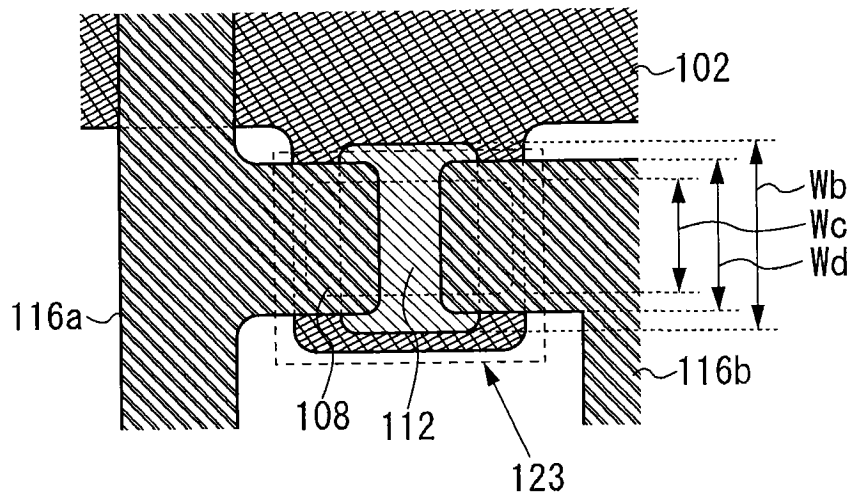


图 4B



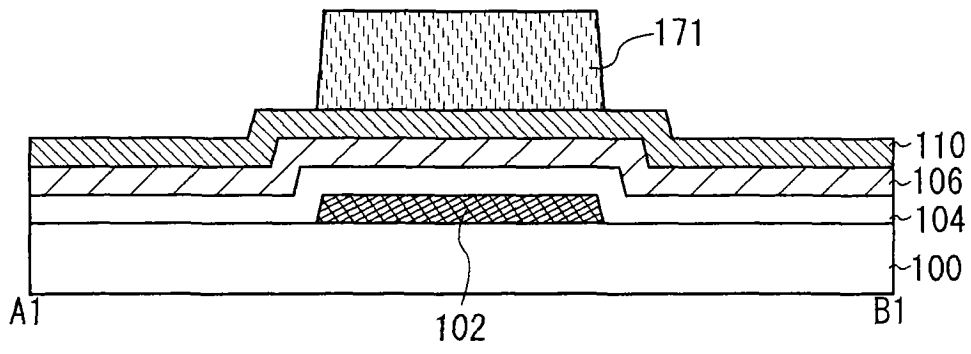


图 5A

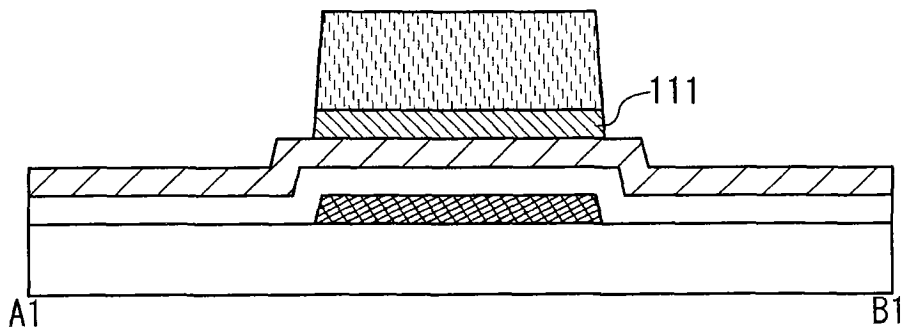


图 5B

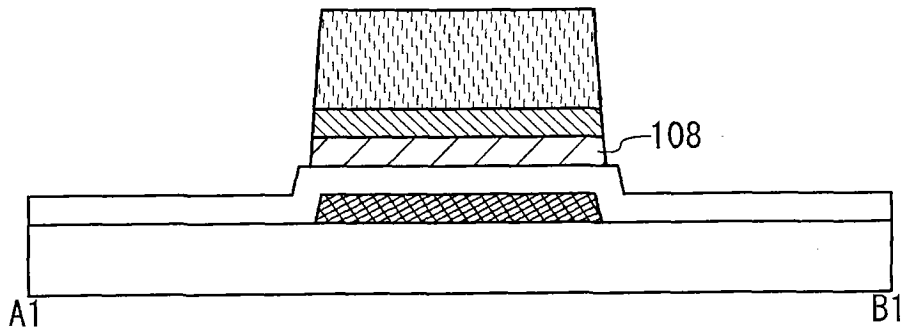


图 5C

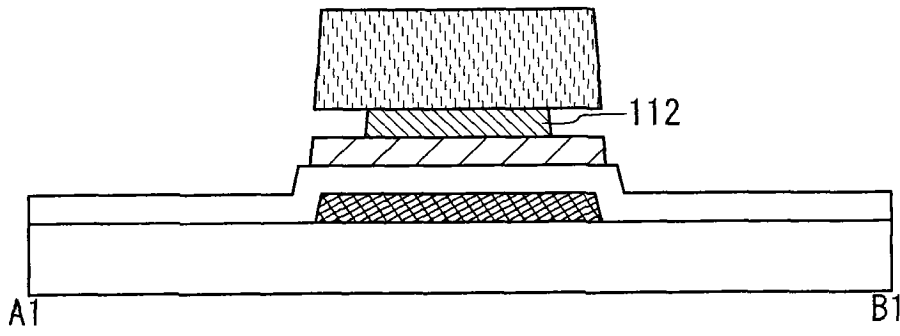


图 5D

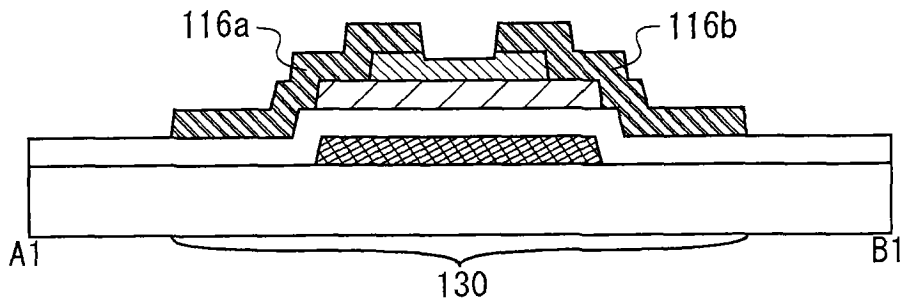


图 5E

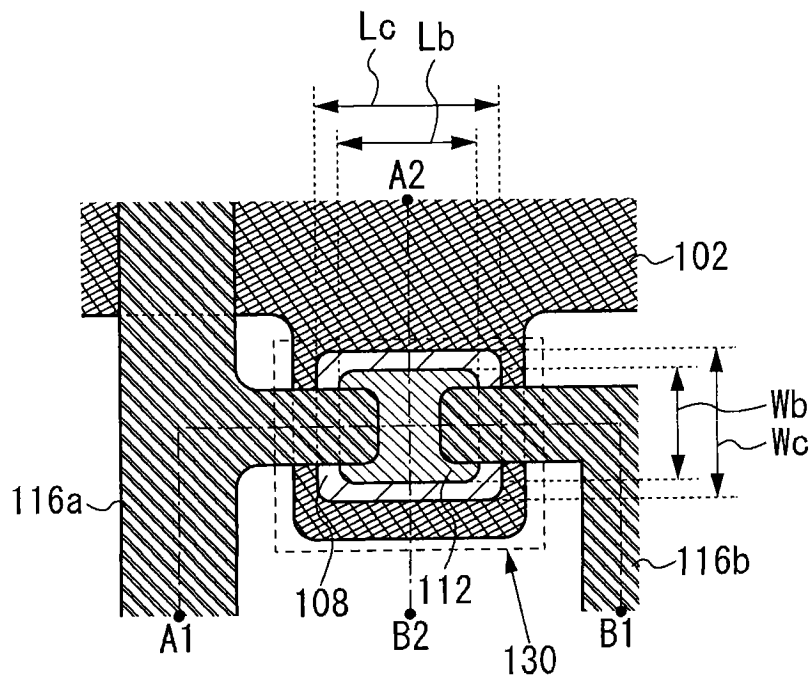


图 6A

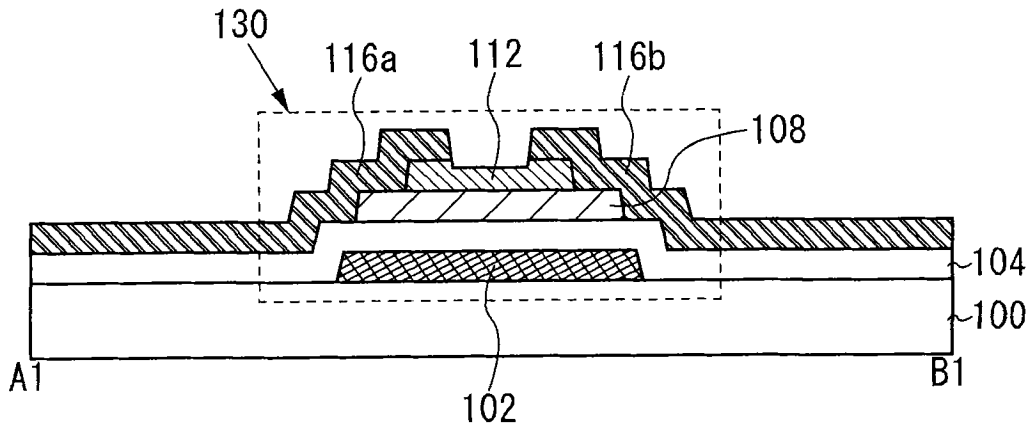


图 6B

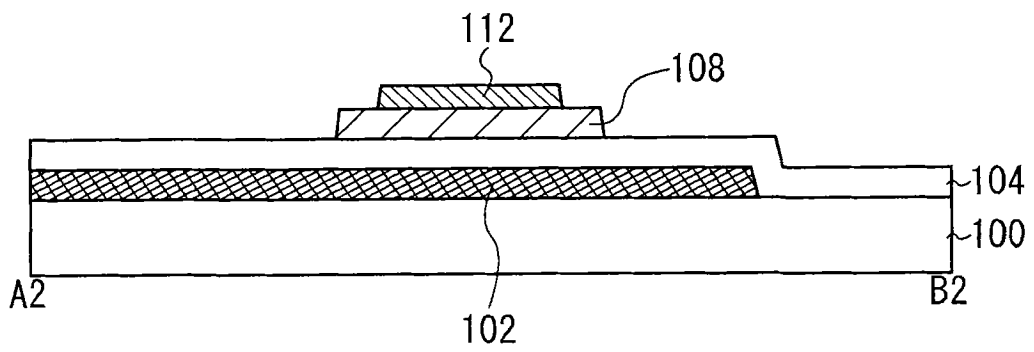


图 6C

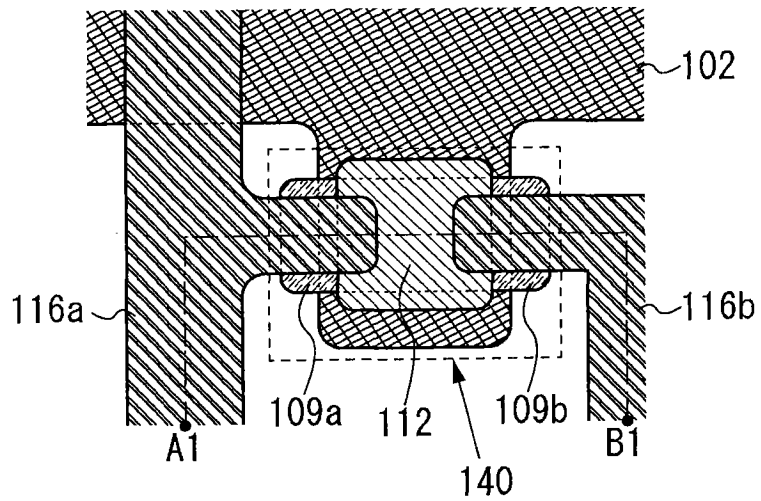


图 7A

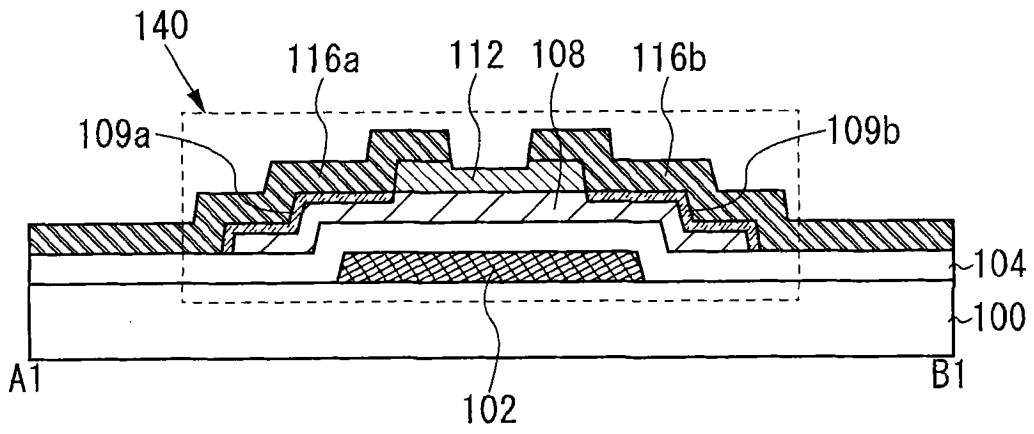


图 7B

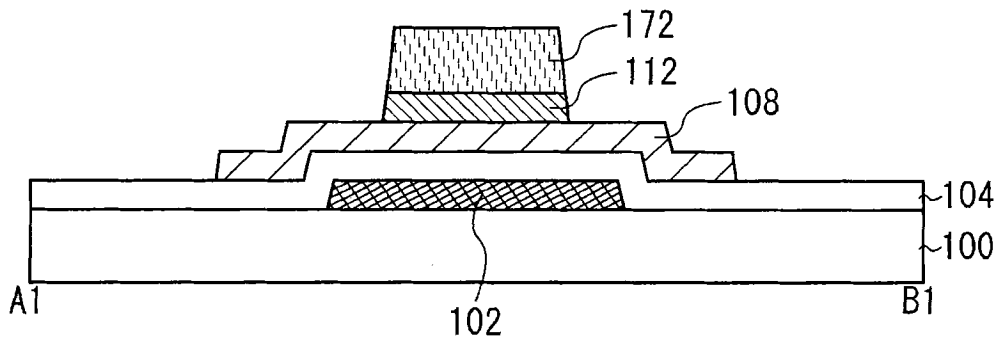


图 8A

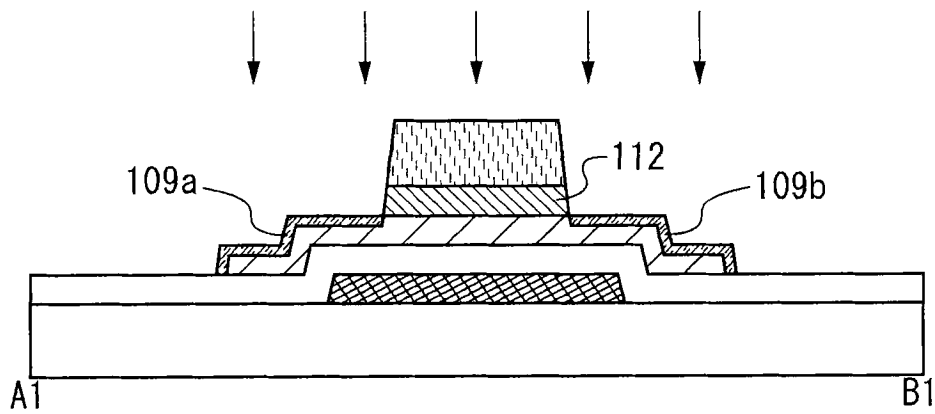


图 8B

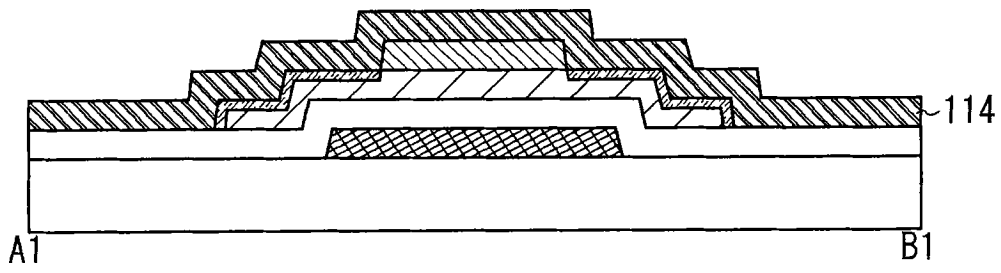


图 8C

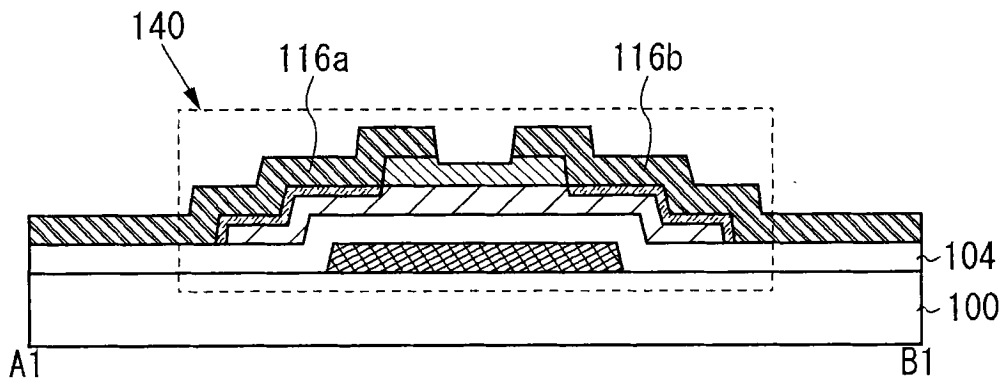


图 8D

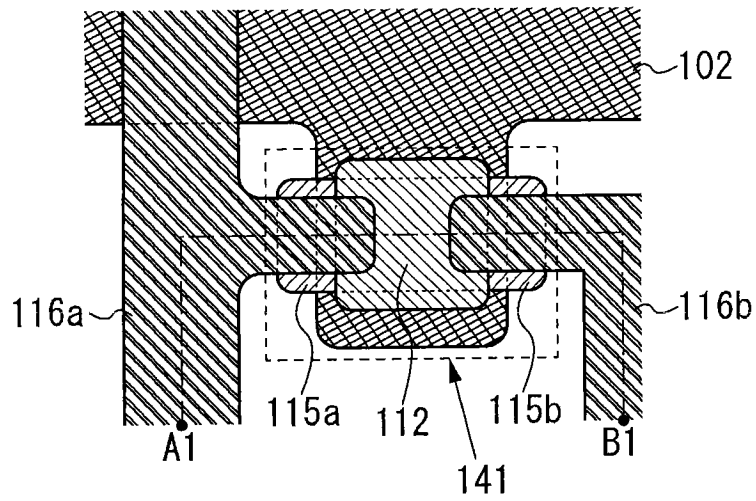


图 9A

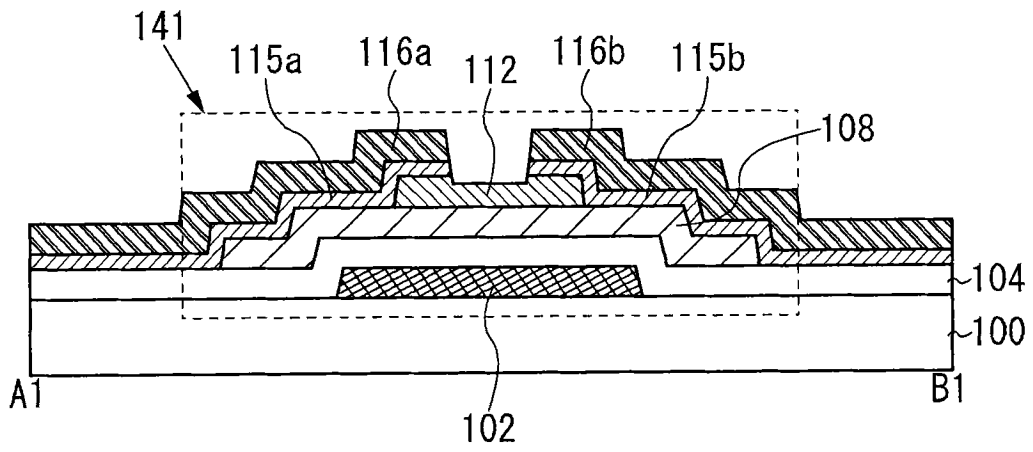


图 9B

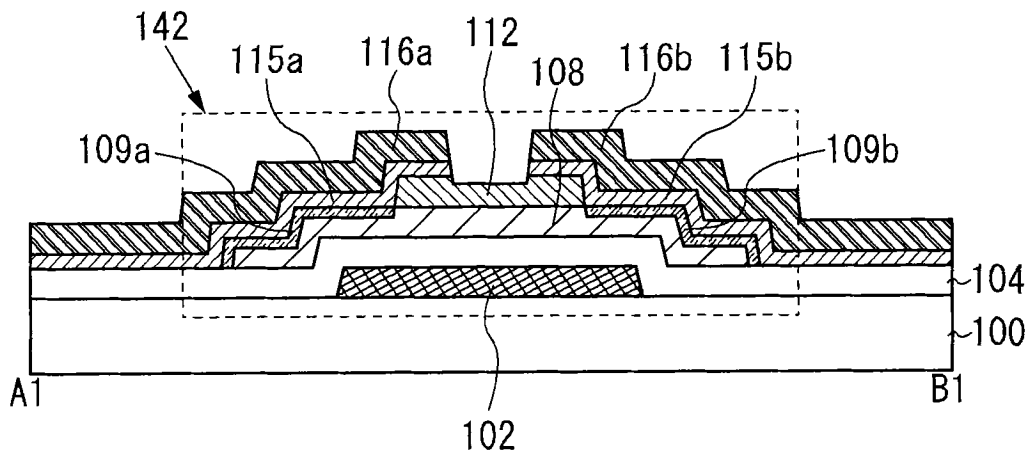


图 9C

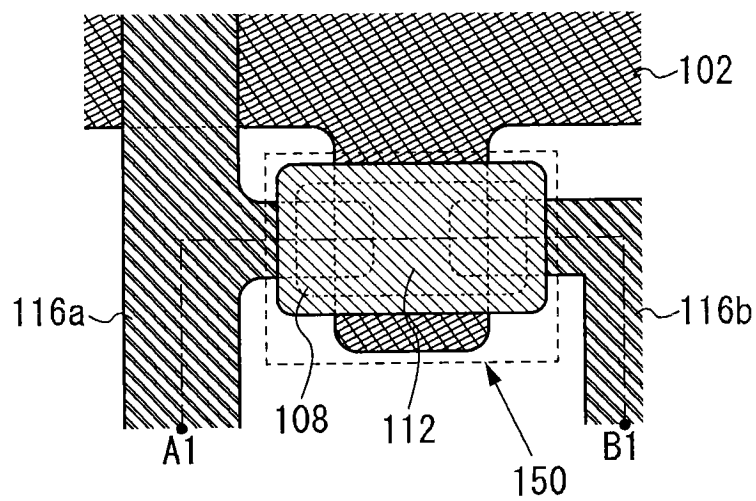


图 10A

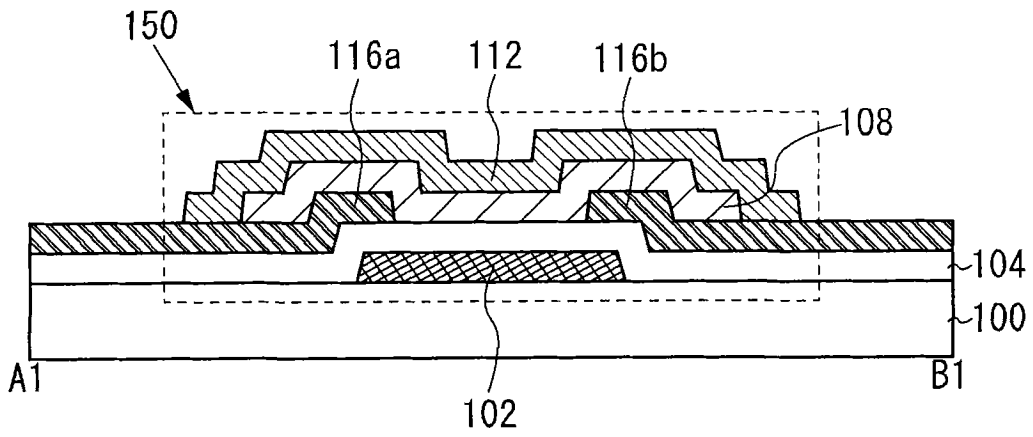


图 10B

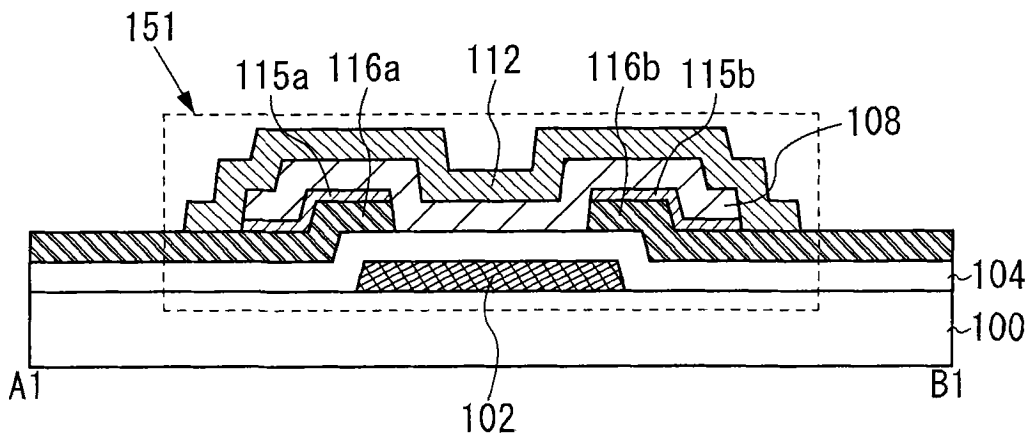


图 10C

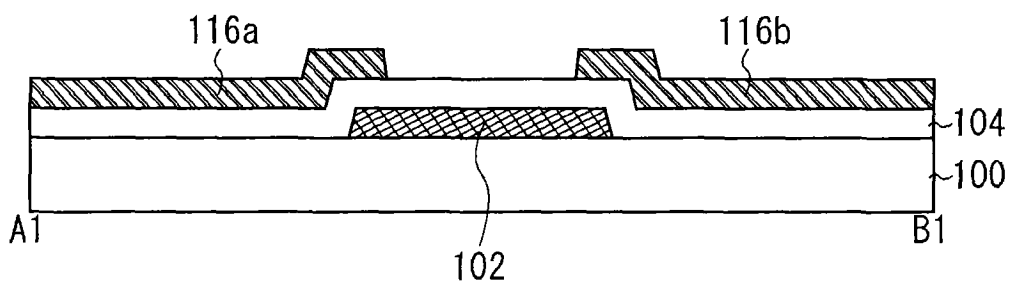


图 11A

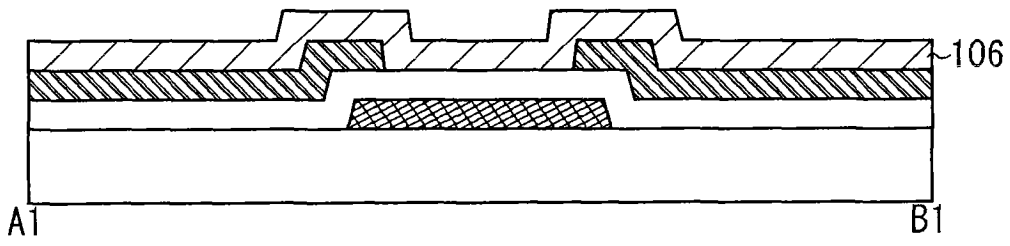


图 11B

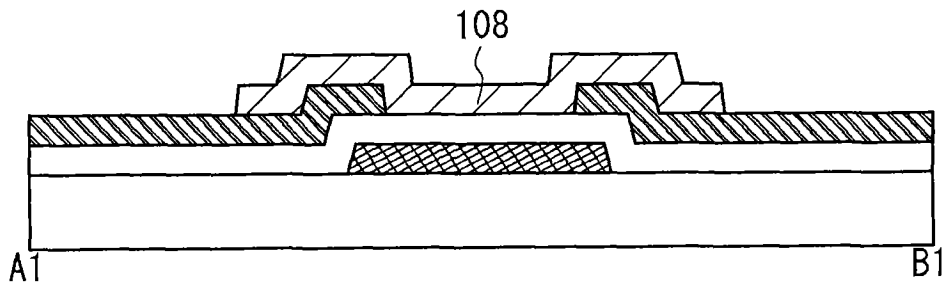


图 11C

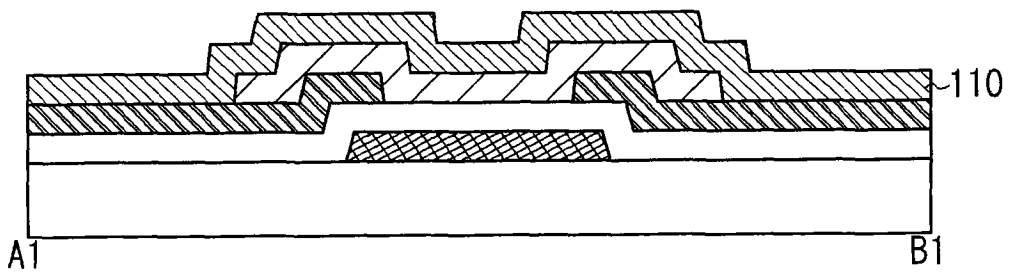


图 11D

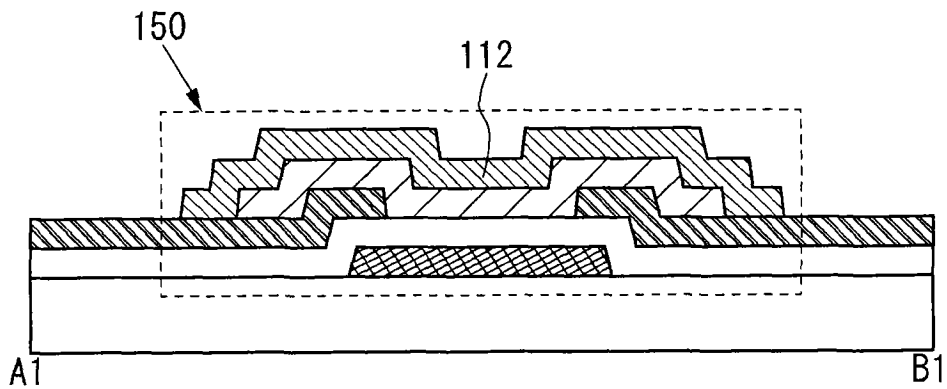


图 11E



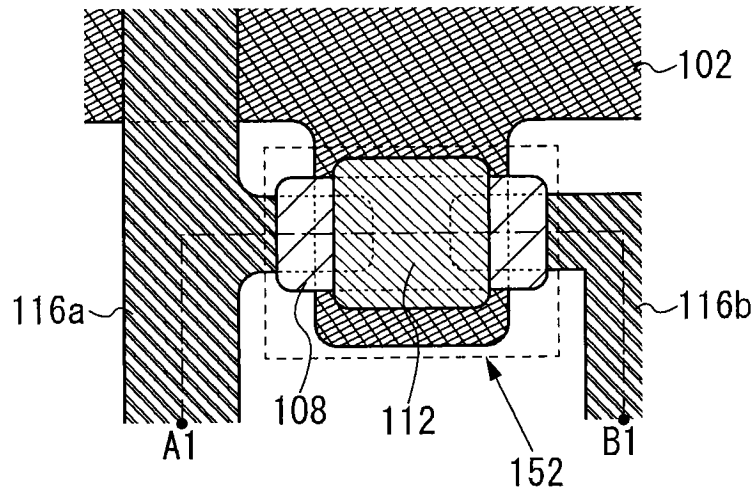


图 12A

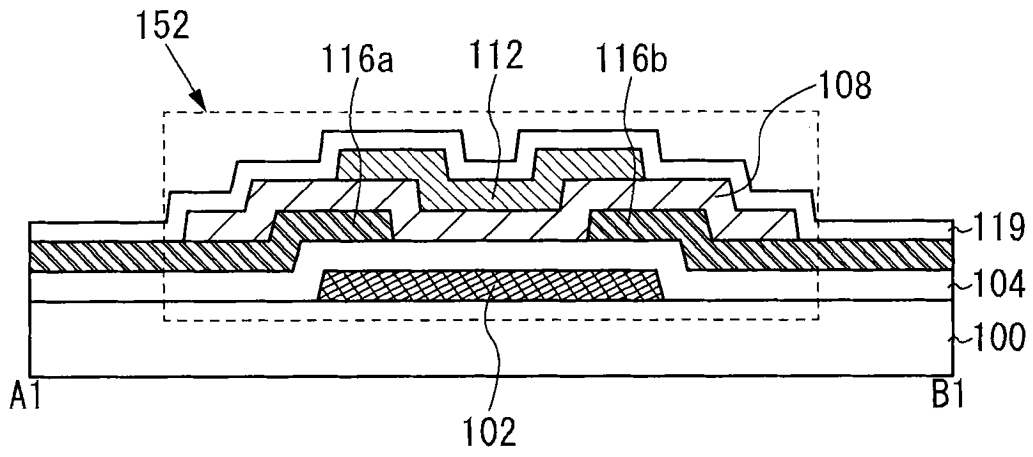


图 12B

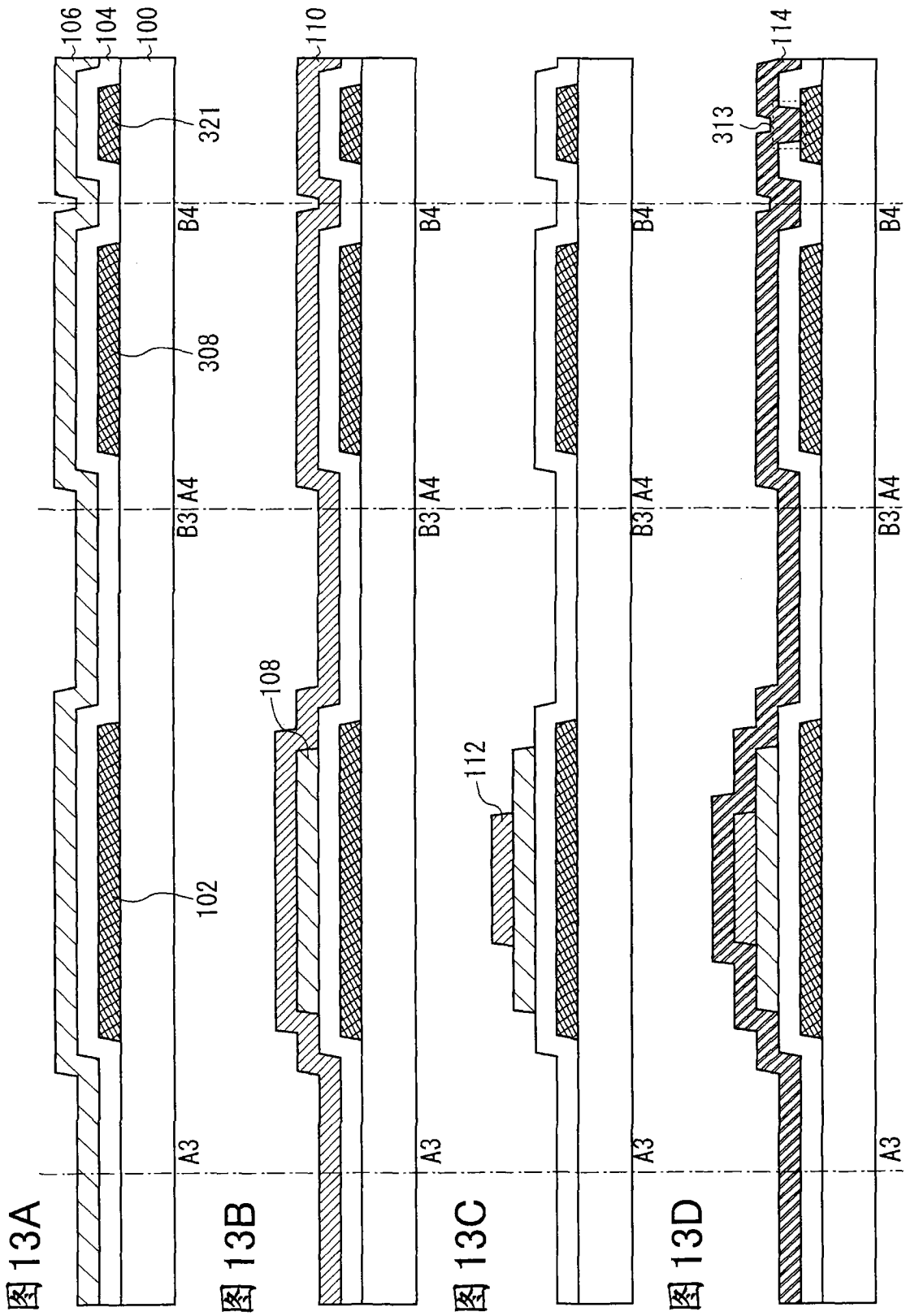


图 14A

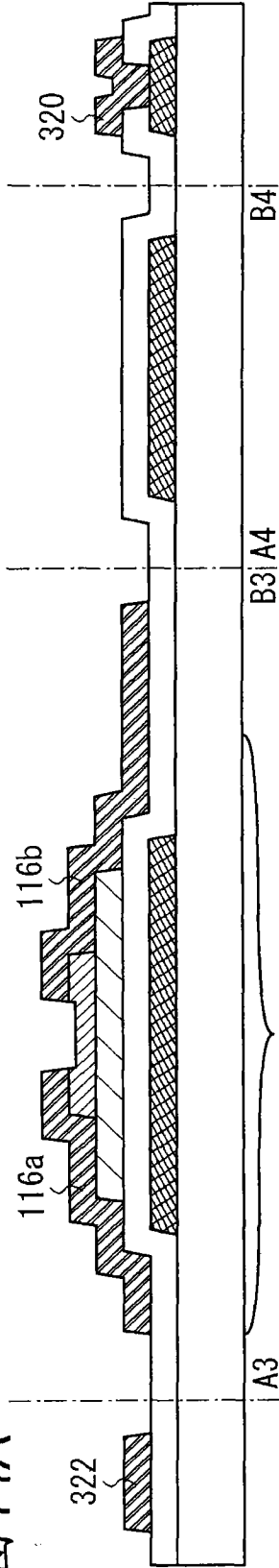


图 14B

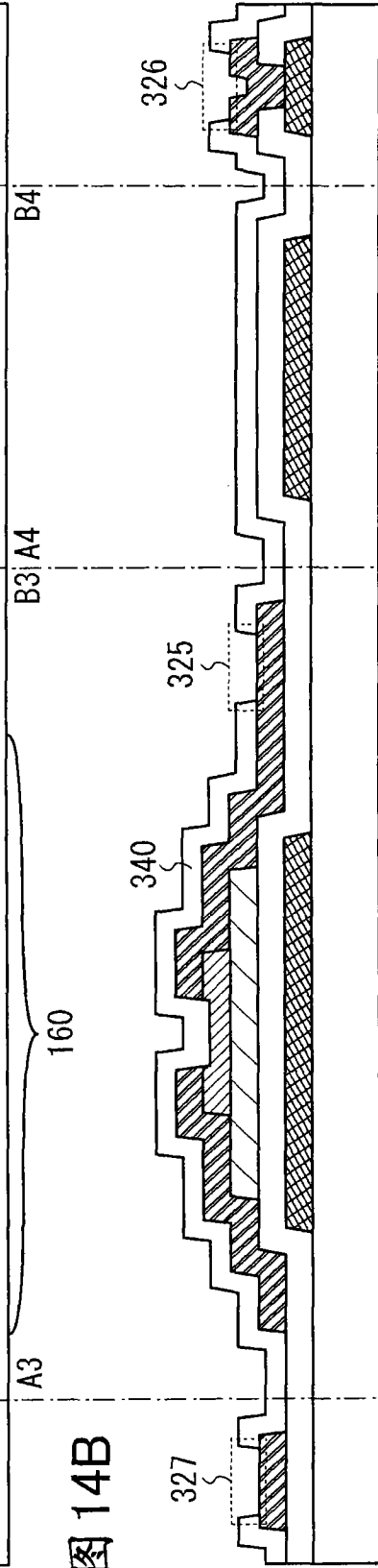
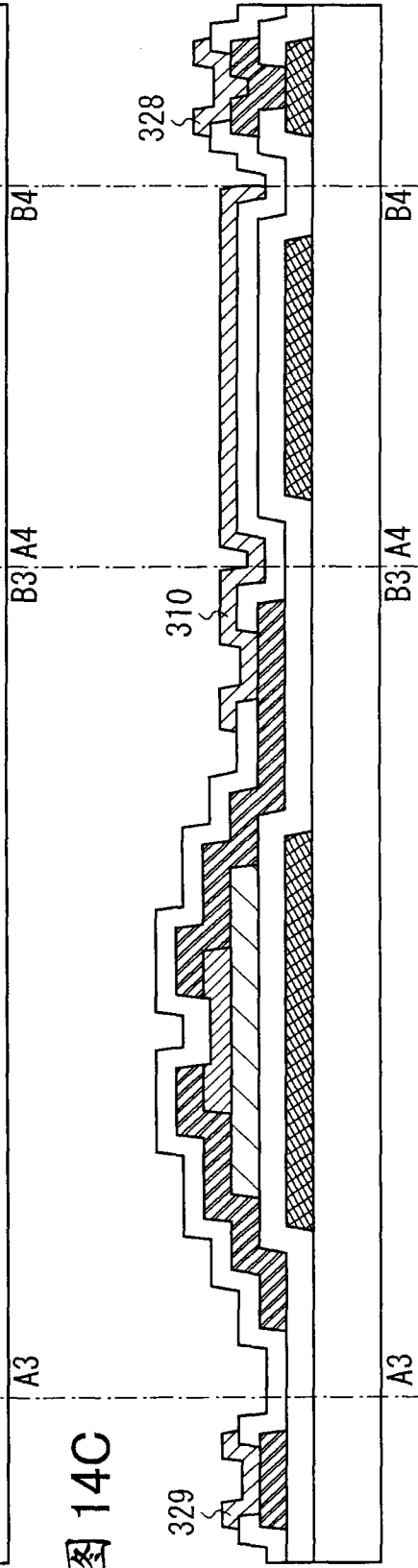


图 14C



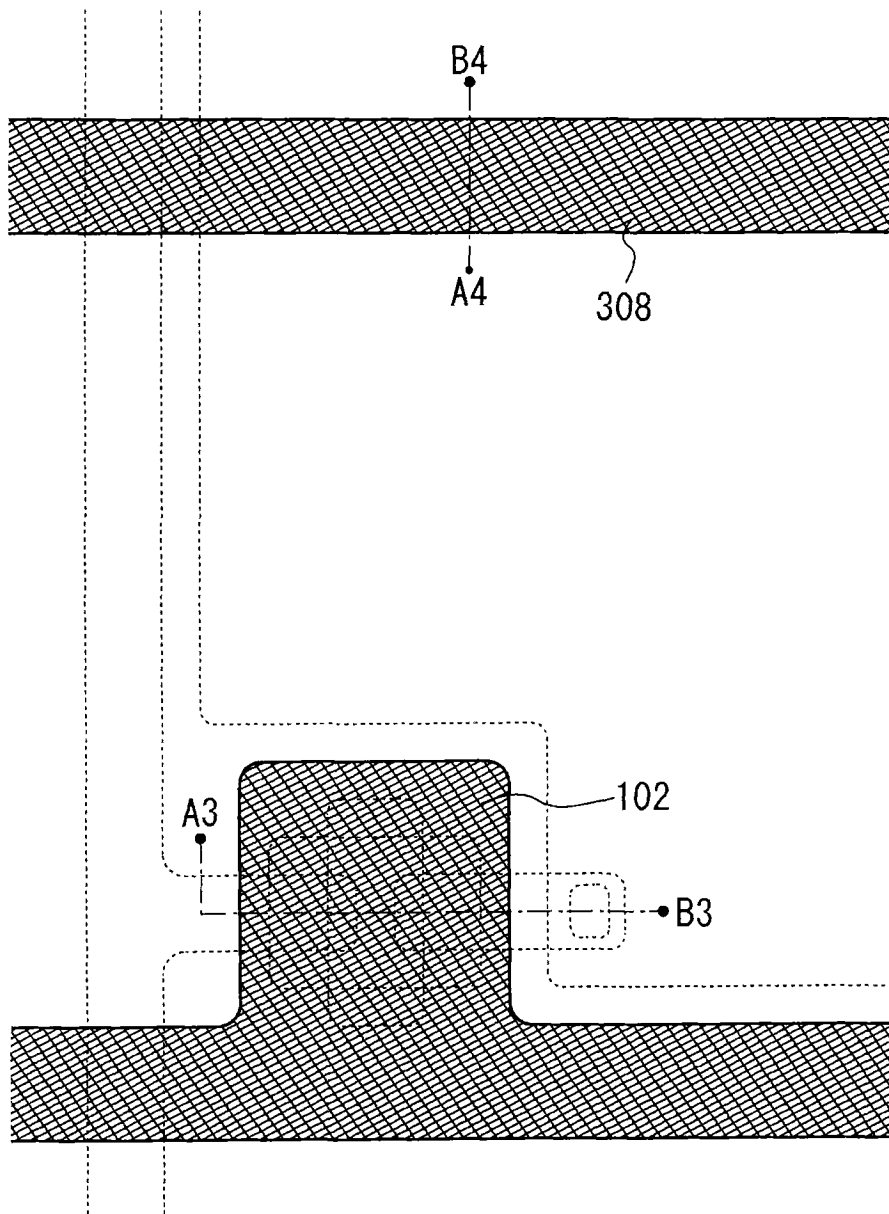


图 15

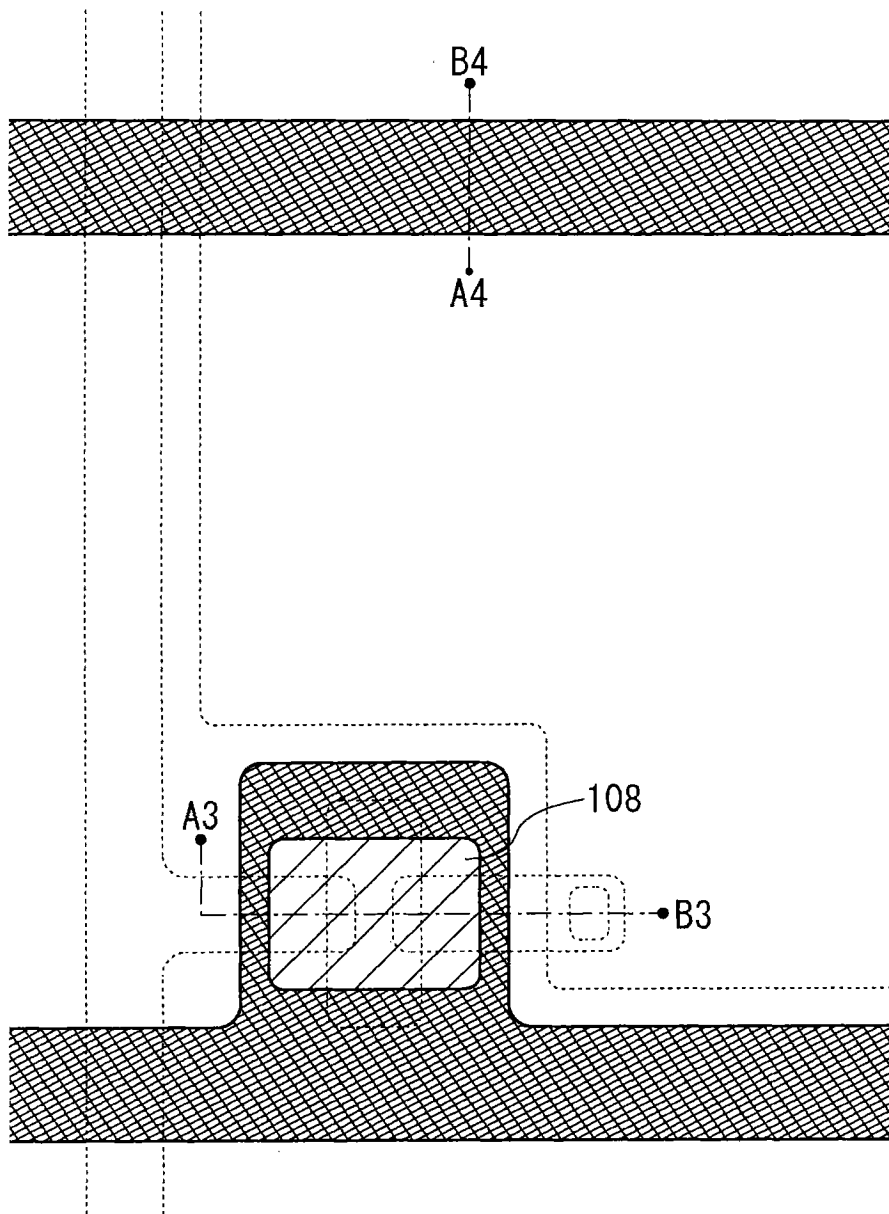


图 16

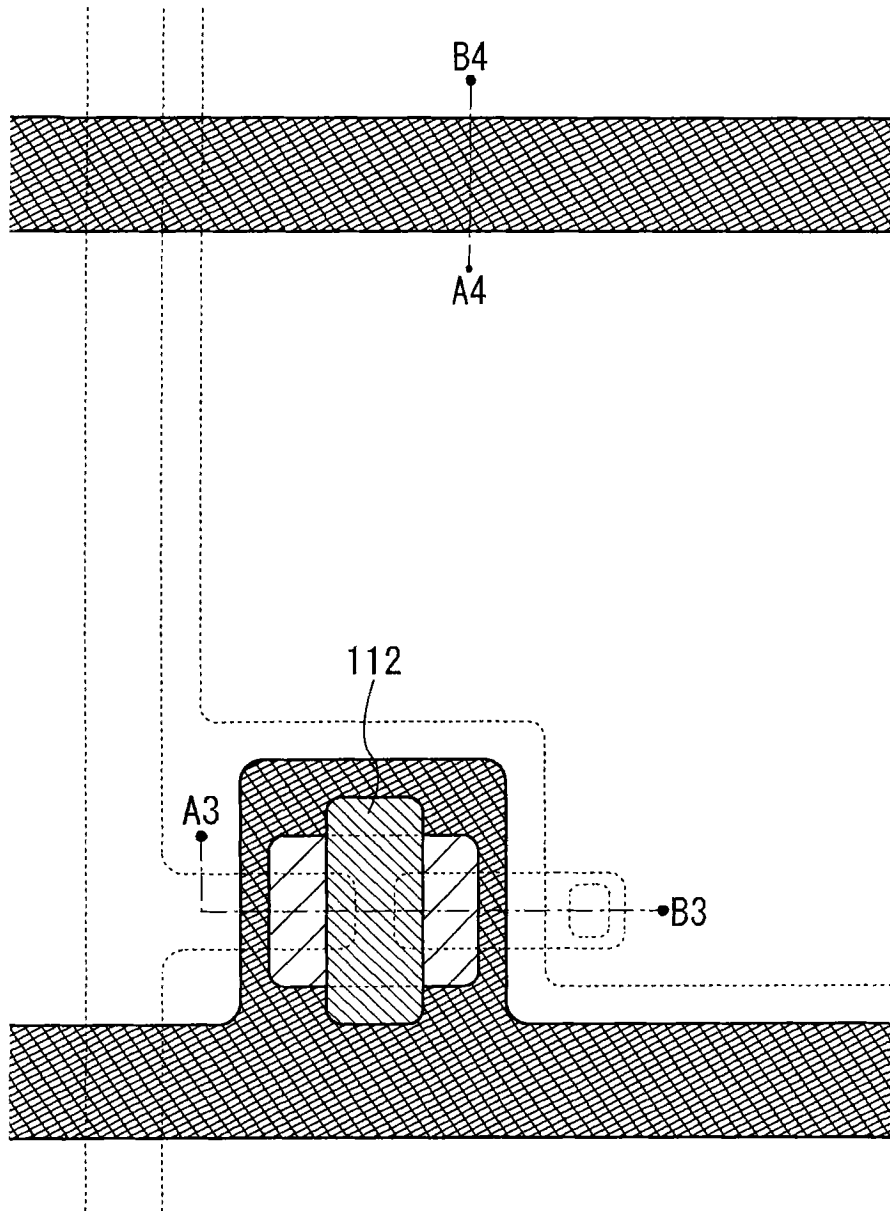


图 17

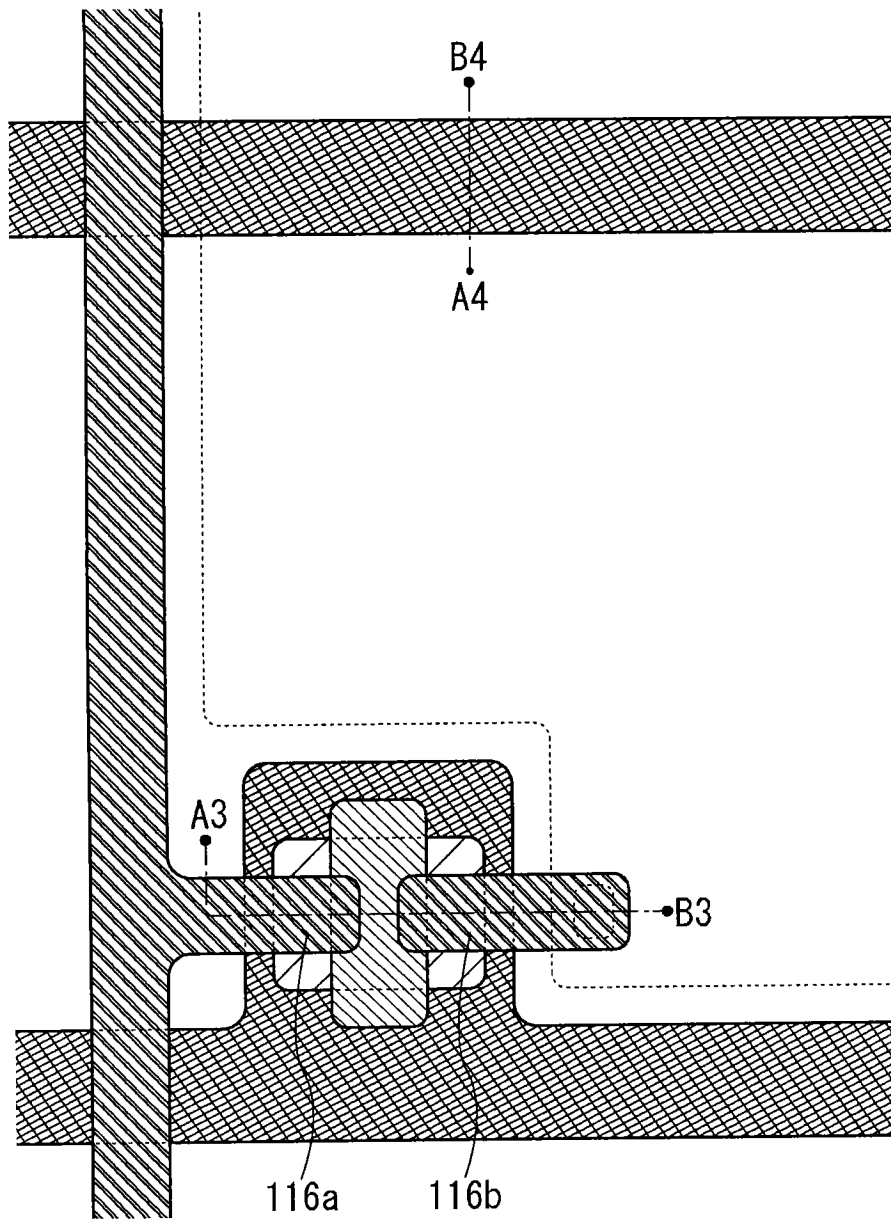


图 18

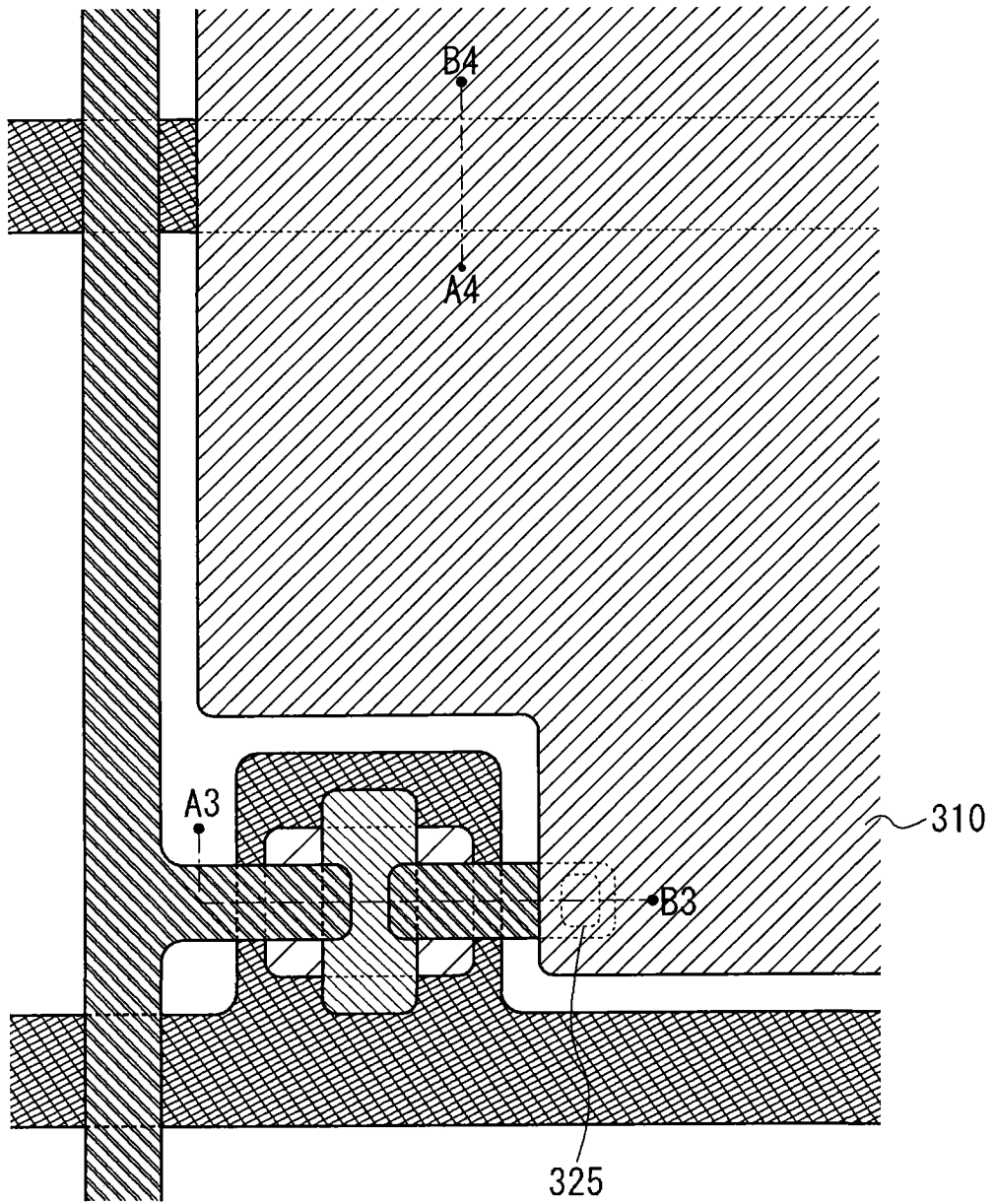


图 19



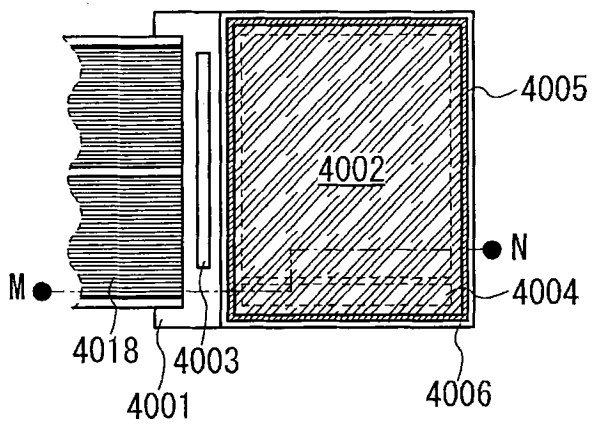


图 20A

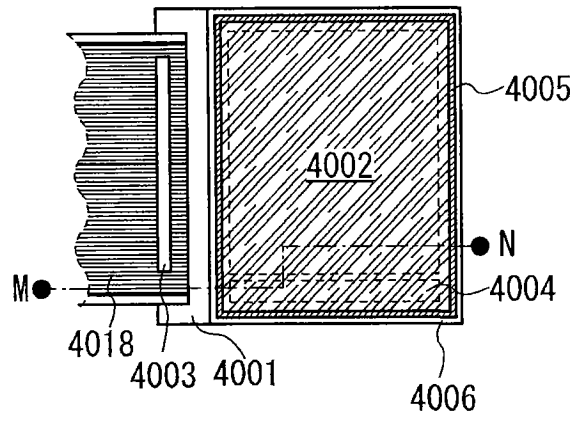


图 20B

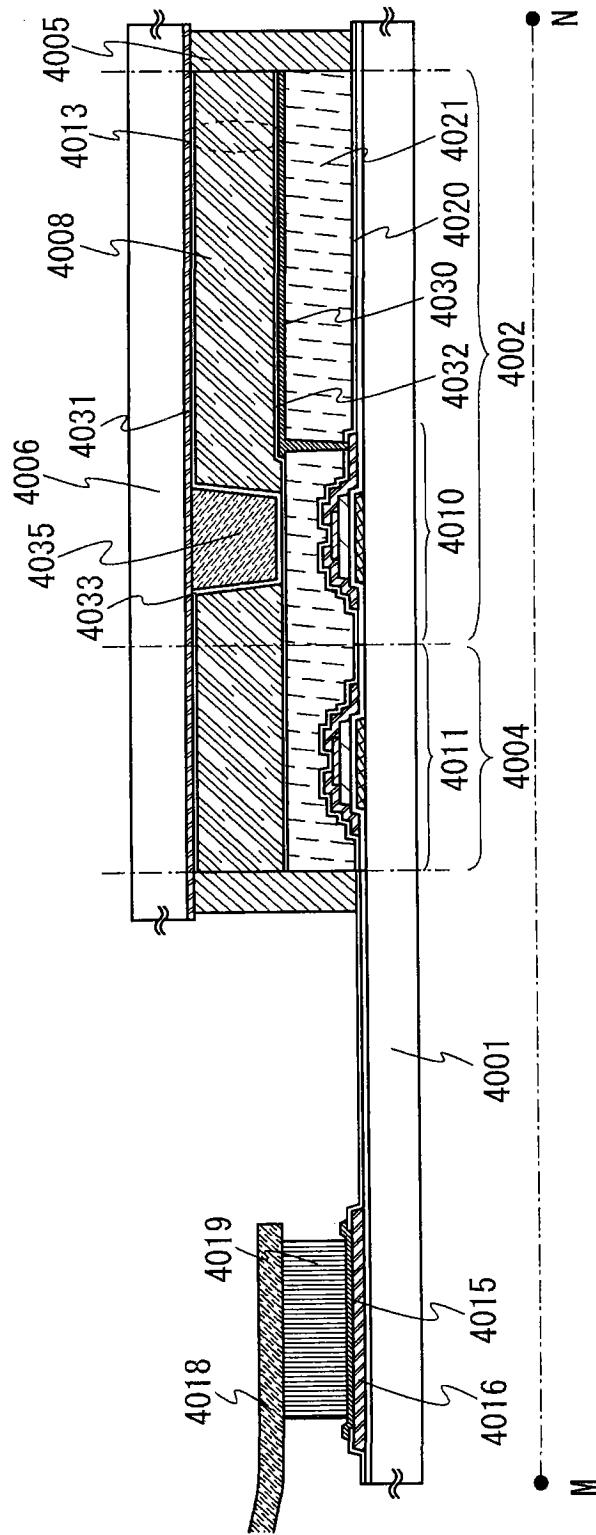


图 20C

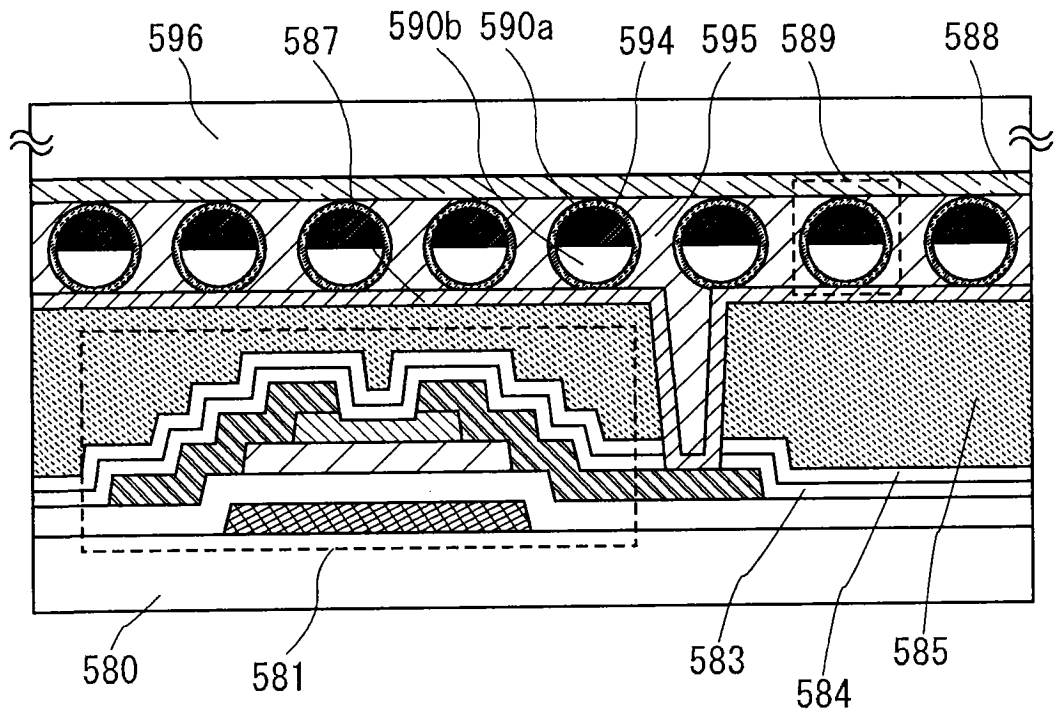


图 21

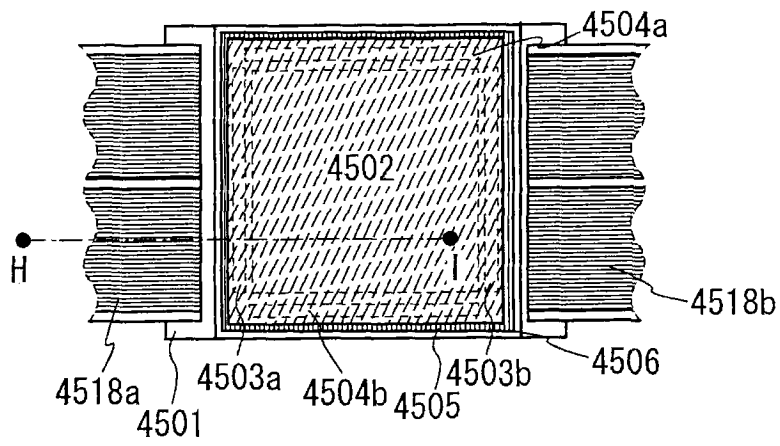


图 22A

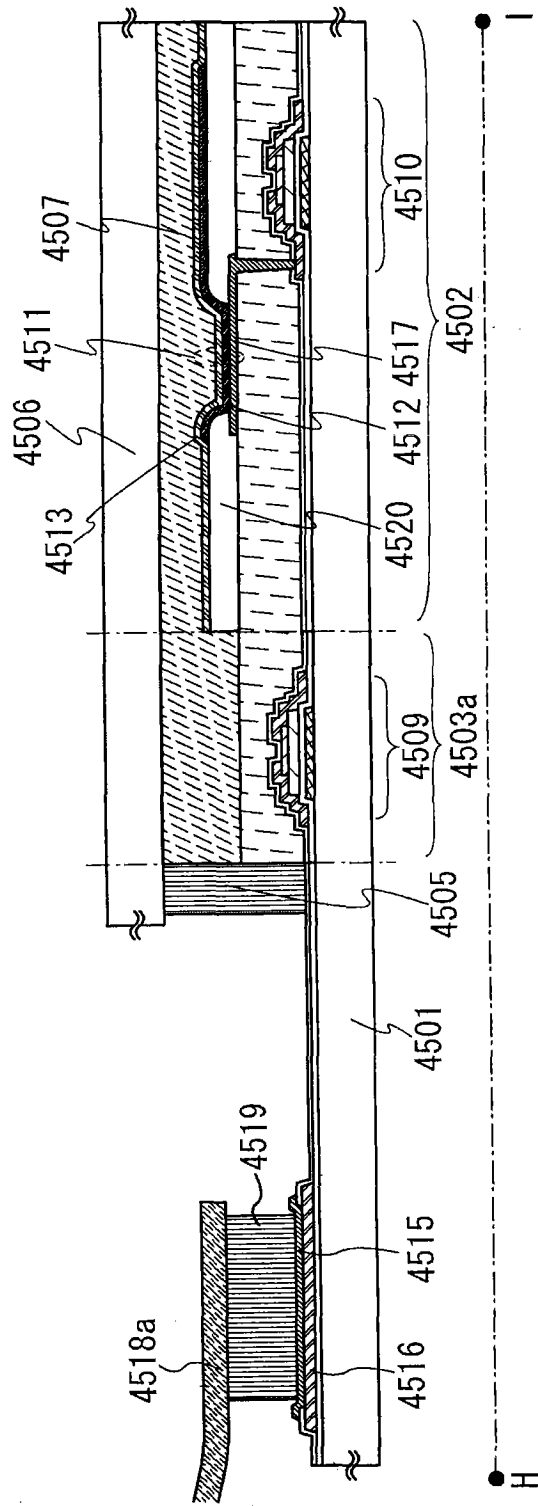


图 22B

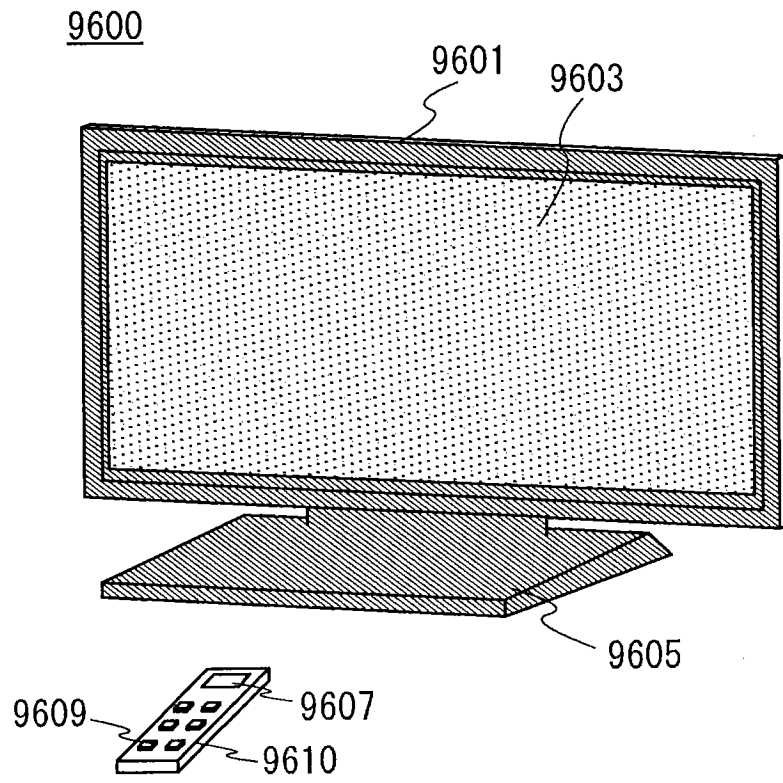


图 23A

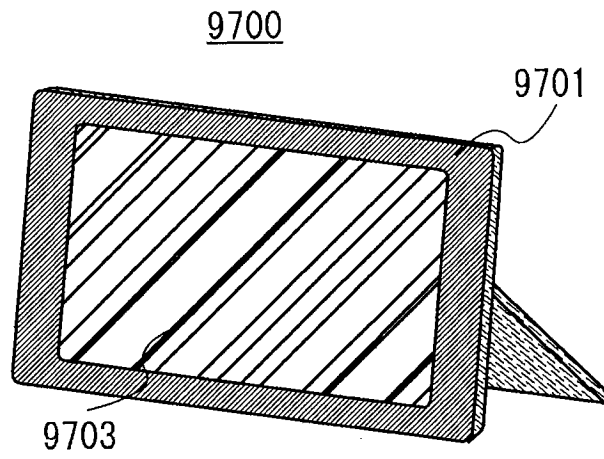


图 23B

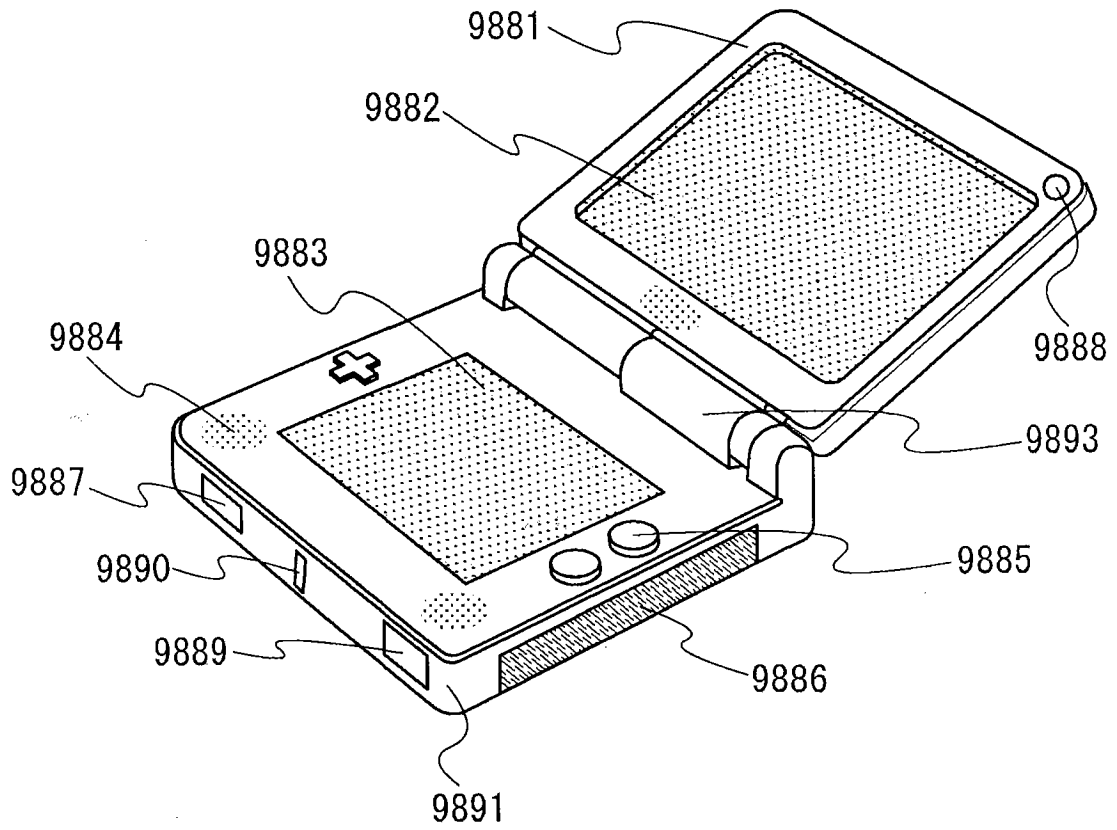


图 24A

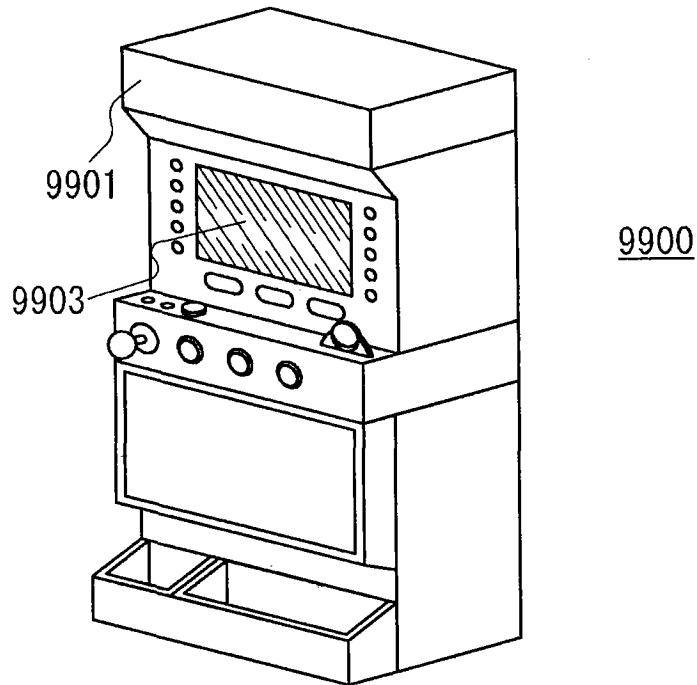


图 24B

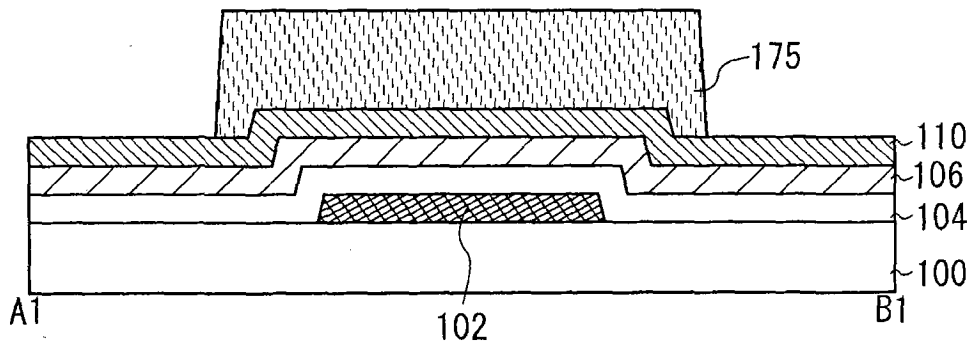


图 25A

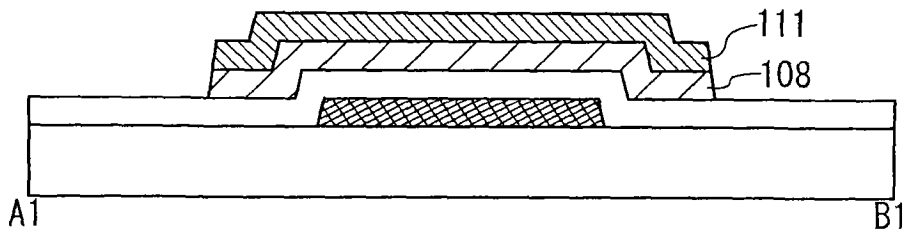


图 25B

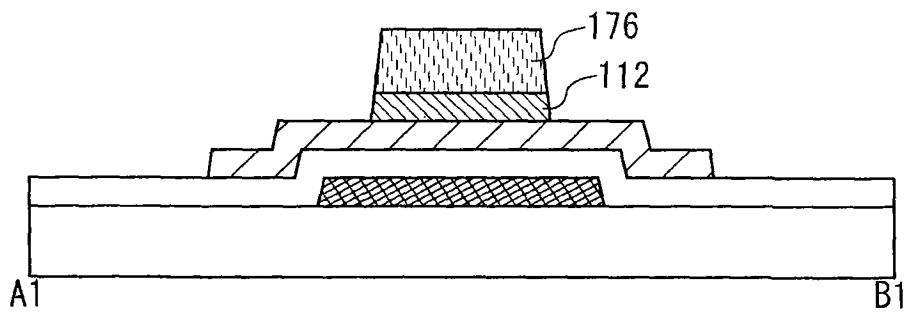


图 25C

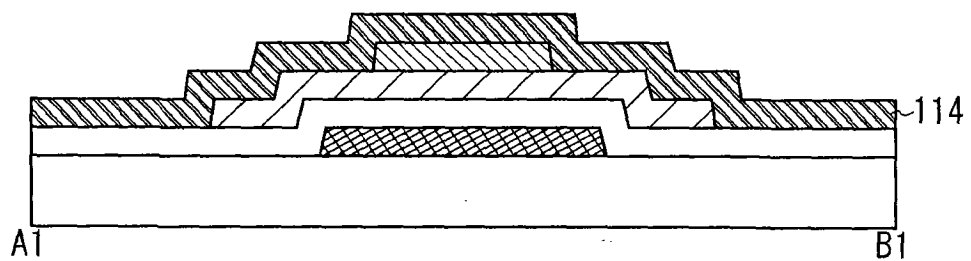


图 25D

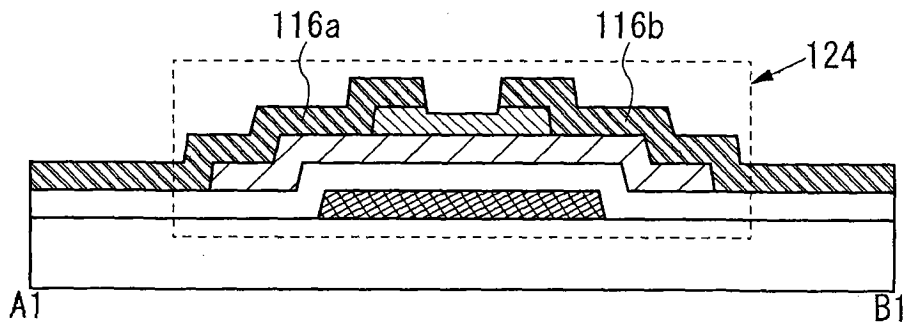


图 25E

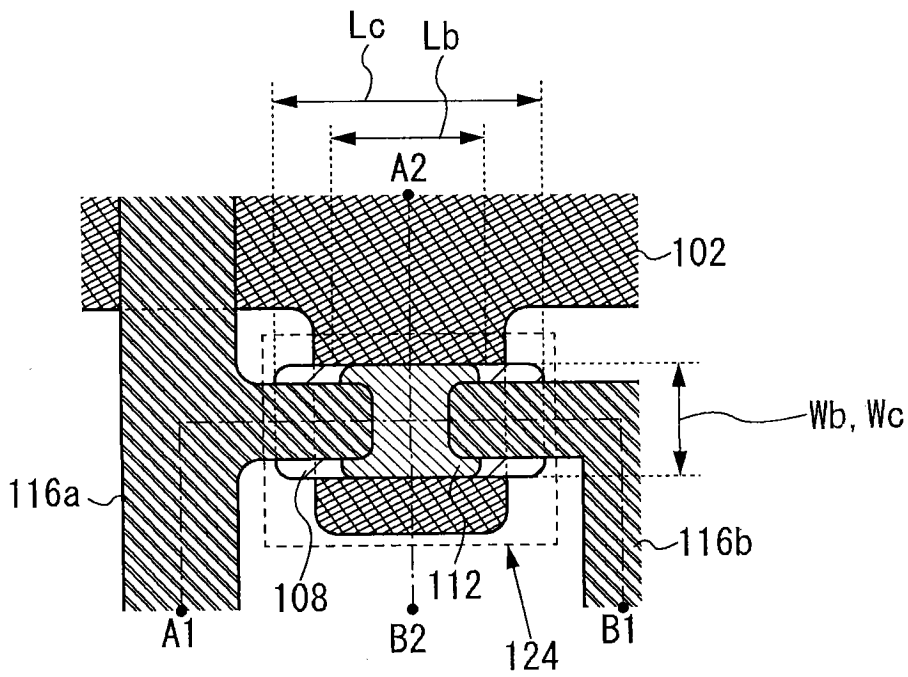


图 26A

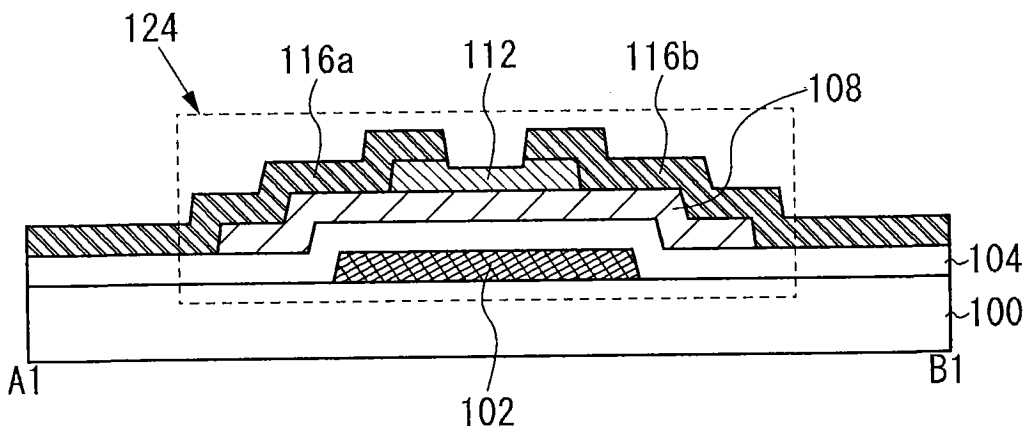


图 26B



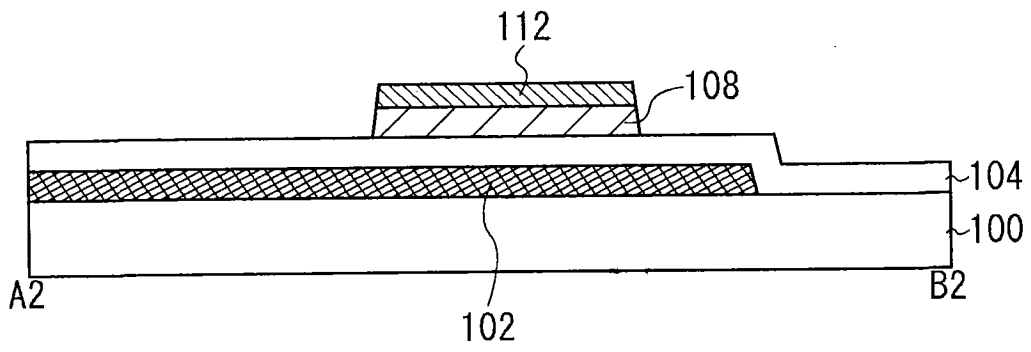


图 26C

a-Si:H 模型

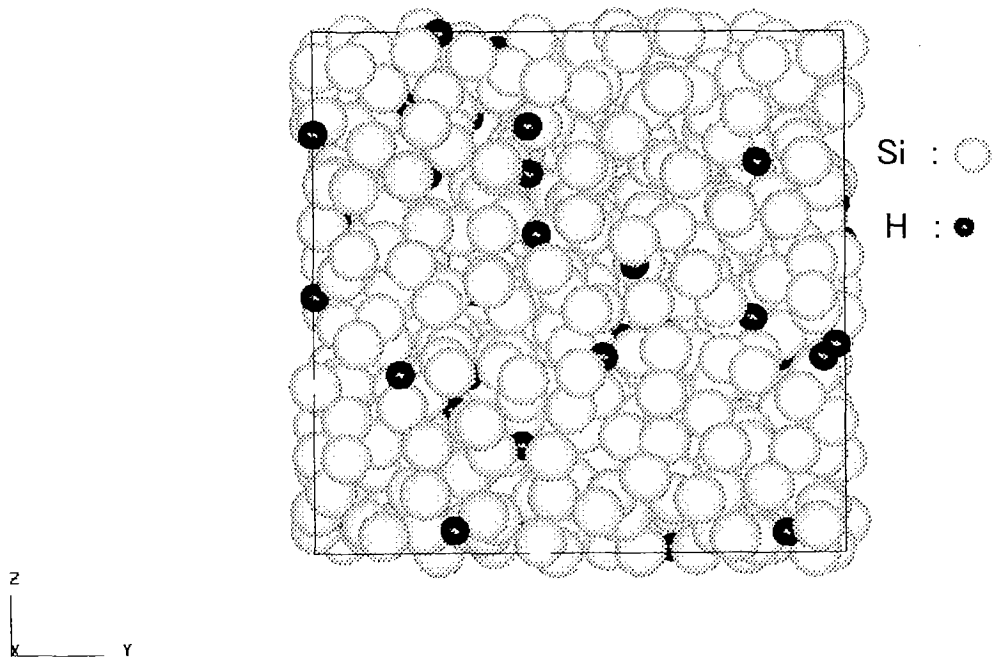


图 27A

a-SiO<sub>2</sub>:H 模型

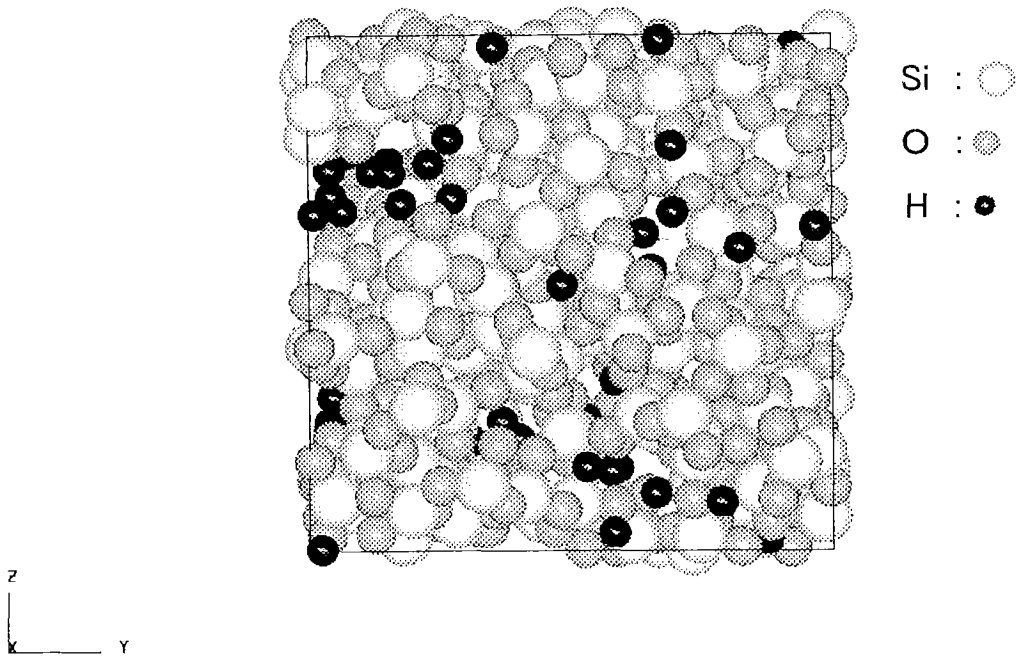


图 27B

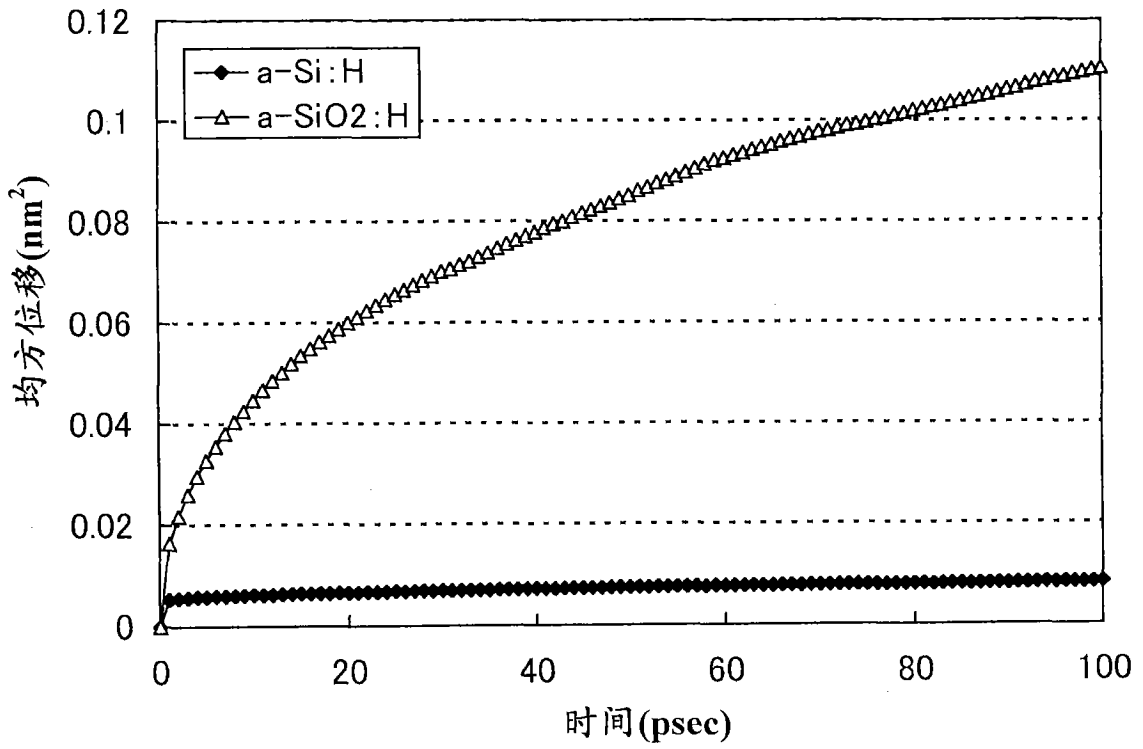


图 28A

H 原子的扩散系数

计算模型	D (cm <sup>2</sup> /sec)
a-Si:H	$2.7 \times 10^{-8}$
a-SiO <sub>2</sub> :H	$7.2 \times 10^{-7}$

图 28B

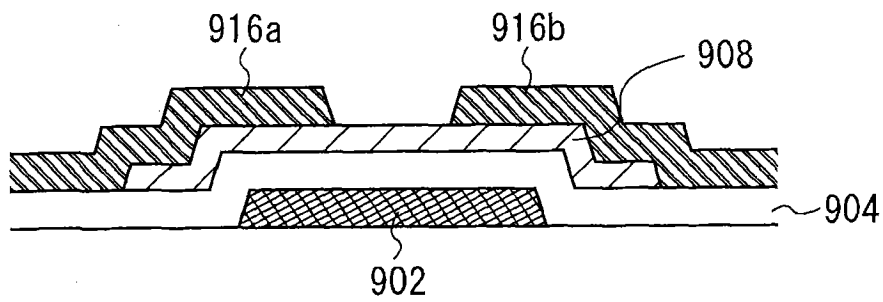


图 29A

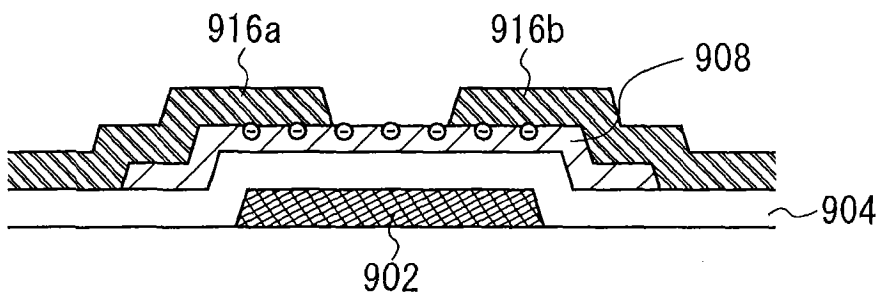


图 29B

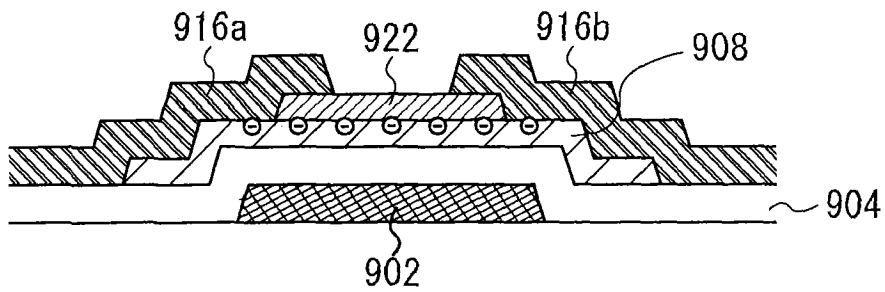


图 29C

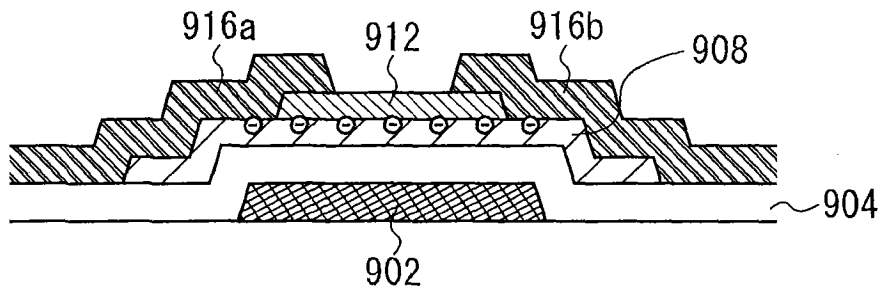


图 29D

结构 1 及 2

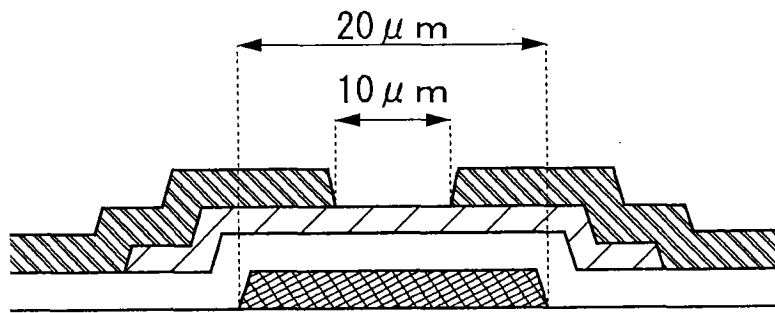


图 30A

结构 3 及 4

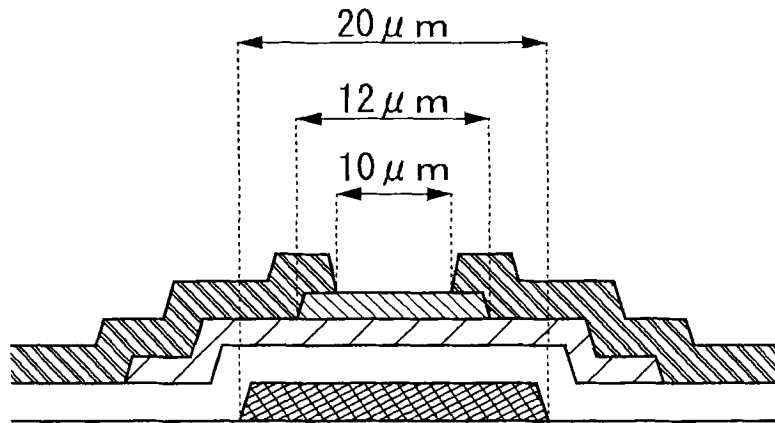


图 30B

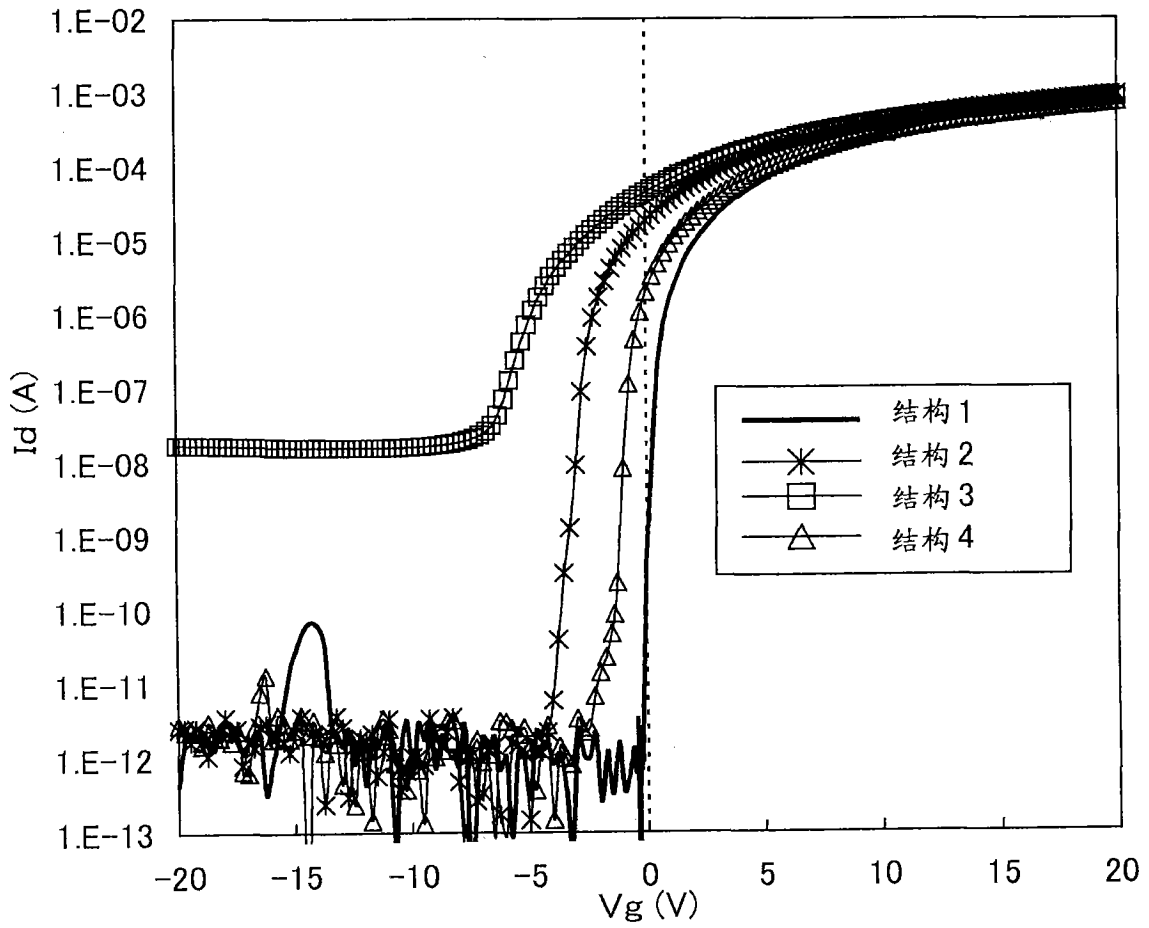


图 31

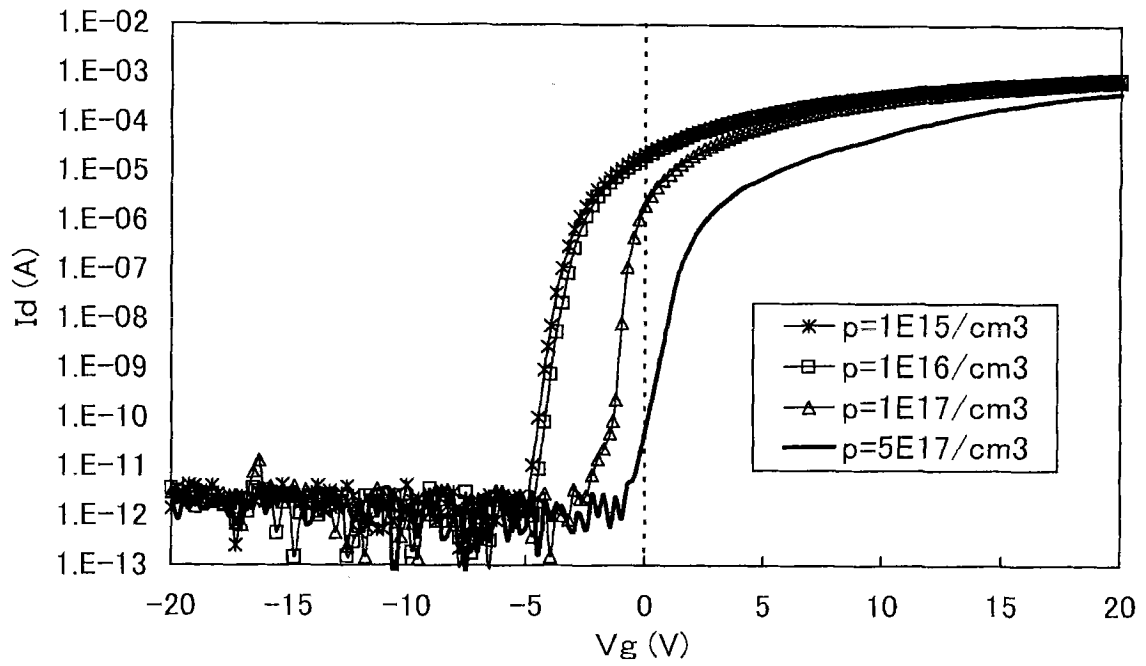


图 32A

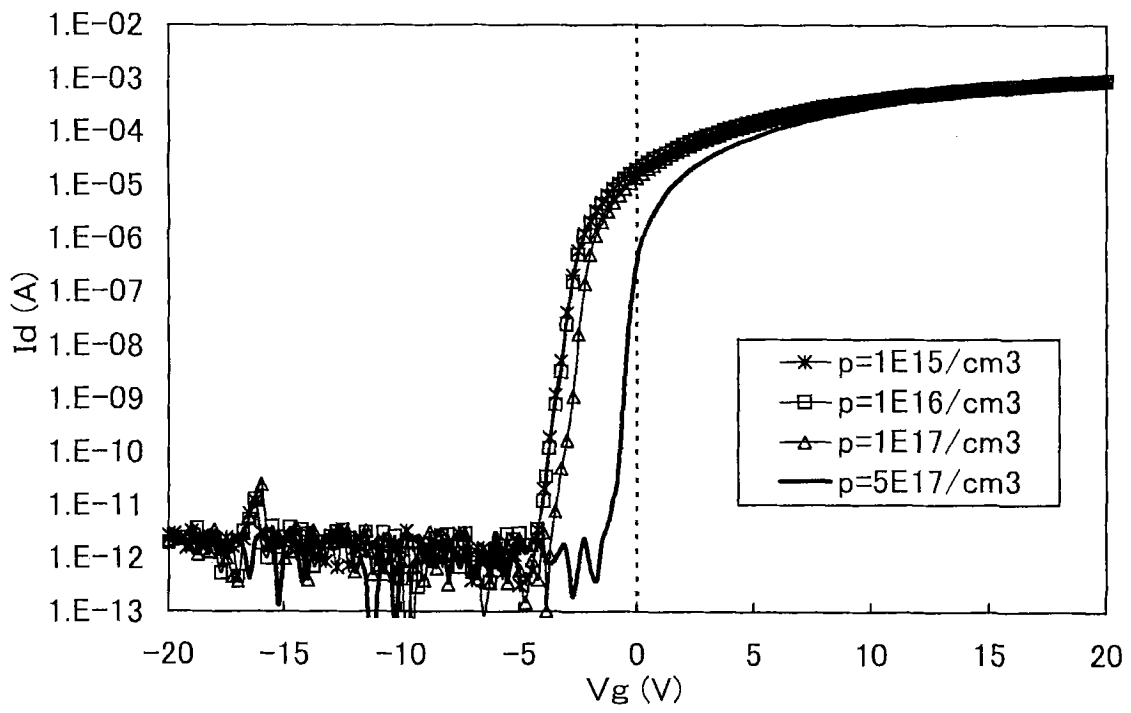


图 32B