

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5205012号
(P5205012)

(45) 発行日 平成25年6月5日(2013.6.5)

(24) 登録日 平成25年2月22日(2013.2.22)

(51) Int.Cl.	F I
G09F 9/00 (2006.01)	G09F 9/00 346Z
G02F 1/1345 (2006.01)	G09F 9/00 338
H01L 51/50 (2006.01)	G02F 1/1345
H05B 33/02 (2006.01)	H05B 33/14 A
	H05B 33/02

請求項の数 10 (全 38 頁)

(21) 出願番号 特願2007-222787 (P2007-222787)
 (22) 出願日 平成19年8月29日(2007.8.29)
 (65) 公開番号 特開2009-53630 (P2009-53630A)
 (43) 公開日 平成21年3月12日(2009.3.12)
 審査請求日 平成22年7月27日(2010.7.27)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (74) 代理人 100108741
 弁理士 渡邊 順之
 (72) 発明者 山崎 舜平
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 審査官 井口 猶二

最終頁に続く

(54) 【発明の名称】 表示装置及び当該表示装置を具備する電子機器

(57) 【特許請求の範囲】

【請求項1】

ベース基板と、

前記ベース基板上に、単結晶半導体基板を劈開させることで得られる半導体膜を複数回にわたって着接し接合することで得られる半導体膜を用いて作製された複数の薄膜トランジスタを有する駆動回路を有し、

前記駆動回路を有する前記ベース基板が、画素部を有する基板上に実装されていることを特徴とする表示装置。

【請求項2】

請求項1において、前記単結晶半導体基板を劈開することで得られる前記半導体膜は、水素又は希ガス、或いは水素イオン又は希ガスイオンを注入して得られる欠陥層を熱処理し、得られるものであることを特徴とする表示装置。

【請求項3】

請求項1または2において、前記単結晶半導体基板は、シリコンまたはゲルマニウムの単結晶半導体基板、若しくはガリウムヒ素またはインジウムリンの単結晶半導体基板であることを特徴とする表示装置。

【請求項4】

請求項1乃至請求項3のいずれか一において、前記単結晶半導体基板を劈開することで得られる前記半導体膜は、前記ベース基板上に前記駆動回路の長手方向にわたって着接されて接合されることを特徴とする表示装置。

【請求項 5】

ベース基板と、

前記ベース基板上に、複数の第 1 の凸部を有する第 1 の単結晶半導体基板を前記複数の第 1 の凸部において劈開させることで得られる複数の第 1 の半導体膜、及び複数の第 2 の凸部を有する第 2 の単結晶半導体基板を前記複数の第 2 の凸部において劈開させることで得られる前記複数の第 1 の半導体膜とは異なる結晶面方位を有する複数の第 2 の半導体膜、を複数回にわたって着接し接合することで得られる半導体膜を用いて作製される薄膜トランジスタを有する駆動回路を有し、前記駆動回路を有する前記ベース基板が、画素部を有する基板上に実装されていることを特徴とする表示装置。

10

【請求項 6】

請求項 5 において、前記第 1 の単結晶半導体基板及び前記第 2 の単結晶半導体基板を劈開することで得られる前記半導体膜は、水素又は希ガス、或いは水素イオン又は希ガスイオンを注入して得られる欠陥層を熱処理し、得られるものであることを特徴とする表示装置。

【請求項 7】

請求項 5 または 6 において、前記第 1 の単結晶半導体基板及び前記第 2 の単結晶半導体基板は、シリコンまたはゲルマニウムの単結晶半導体基板、若しくはガリウムヒ素またはインジウムリンの単結晶半導体基板であることを特徴とする表示装置。

【請求項 8】

請求項 5 乃至請求項 7 のいずれか一において、前記第 1 の単結晶半導体基板及び前記第 2 の単結晶半導体基板を劈開することで得られる前記半導体膜は、前記ベース基板上に前記駆動回路の長手方向にわたって着接されて接合されることを特徴とする表示装置。

20

【請求項 9】

請求項 1 乃至請求項 8 のいずれか一において、前記ベース基板は、多結晶半導体基板または金属基板であることを特徴とする表示装置。

【請求項 10】

請求項 1 乃至請求項 9 に記載の表示装置を具備することを特徴とする電子機器。

【発明の詳細な説明】

【技術分野】

30

【0001】

本発明は表示装置に関する。特に、表示装置において画像を表示するための駆動回路に関する。また、本発明は、表示装置を具備する電子機器に関する。

【背景技術】

【0002】

近年、液晶表示装置、エレクトロルミネッセンス（EL）表示装置などの表示装置の普及が、CRT の表示装置と比較して画面の面積化及び軽量化が可能と言うこともあり、急速に進んでいる。

【0003】

表示装置の駆動方式としては、パッシブマトリクス方式とアクティブマトリクス方式とがある。アクティブマトリクス方式は、パッシブマトリクス方式と比較して、低消費電力化、高精細化、基板の大型化等が可能であるため、テレビ受像器や携帯電話等の表示部に採用されている。

40

【0004】

アクティブマトリクス方式のパネルは、大型化及び高精細化が進み、画素部の駆動を制御するための駆動回路の高性能化が求められている。そのため、駆動回路を COG（Chip on Glass）方式や、TAB（Tape Automated bonding）方式を用いて実装する技術が採用されている（COG 方式については特許文献 1 を参照）。図 19（A）に COG 方式の表示装置について示す。

【0005】

50

図19(A)では、絶縁表面を有する基板1900上に画素をマトリクス上に配列させた画素部が形成され、画素部を覆うように対向基板1901が形成されている。画素は、走査線側ドライバーIC1902から延設された走査線1903と、信号線側ドライバーIC1904から延設された信号線1905とが交差して、マトリクス状に配設される。画素部の画素それぞれには、スイッチング素子とそれに接続する画素電極層が備えられている。スイッチング素子の代表的な一例は薄膜トランジスタであり、薄膜トランジスタのゲート側が走査線1903と、ソースまたはドレイン側が信号線1905と接続される。また、走査線側ドライバーIC1902及び信号線側ドライバーIC1904には、FPC(Flexible Printed Circuit)1906と接続されている。また、図19(A)には、点線AB間の表示装置の断面も併せて示している。

10

【0006】

また、その他の高性能な駆動回路を実装する方式としては、特許文献2にあるように、ガラス等の基板上にレーザー照射により結晶性を高めた非単結晶半導体材料で作製された薄膜トランジスタ(TFT;単にトランジスタともいう)で形成された駆動回路を形成し、短冊状(スティック状)に分断して、表示装置上に実装する技術もある。図19(B)にスティック状の駆動回路を用いた駆動方式(以下、スティック方式という)の表示装置について示す。

【0007】

図19(B)では、絶縁表面を有する基板1950上に画素をマトリクス上に配列させた画素部が形成され、画素部を覆うように対向基板1951が形成されている。画素は、走査線側スティックドライバー1952から延設された走査線1953と、信号線側スティックドライバー1954から延設された信号線1955とが交差して、マトリクス状に配設される。画素部の画素それぞれには、スイッチング素子とそれに接続する画素電極層が備えられている。スイッチング素子の代表的な一例は薄膜トランジスタであり、薄膜トランジスタのゲート側が走査線1953と、ソースまたはドレイン側が信号線1955と接続される。また、走査線側スティックドライバー1952及び信号線側スティックドライバー1954には、FPC(Flexible Printed Circuit)1956と接続されている。また、図19(B)には、点線AB間の表示装置の断面も併せて示している。

20

【特許文献1】特開2003-255386号公報

30

【特許文献2】特開平11-160734号公報**【発明の開示】****【発明が解決しようとする課題】****【0008】**

図19(A)に示すCOG方式の表示装置は、走査線側ドライバーIC1902及び信号線側ドライバーIC1904が表示装置のサイズに応じて、所定の幅に離間して設けられている。これは、走査線側ドライバーIC1902及び信号線側ドライバーIC1904の集積度が高く、離間して設けても画素部の動作に支障がないためである。そのため、画素部に対し、走査線1903及び信号線1905を延設する際に、配線を引き回す必要があり、表示装置の額縁領域1921(画素部の周辺領域)の幅を大きく取る必要があった。表示装置において、額縁領域の幅の増大は、液晶表示装置やEL表示装置の利点であるコンパクトさが失われるといった欠点ともなる。

40

【0009】

図19(B)に示すスティック方式の表示装置は、走査線側スティックドライバー1952及び信号線側スティックドライバー1954が表示装置のサイズに合わせて、設けられている。走査線側スティックドライバー1952及び信号線側スティックドライバー1954は、ガラス基板より分断されたものであるため画素部の大きさに応じて形設することができるものの、レーザー照射により結晶性を高めた非単結晶半導体材料を用いて作成された薄膜トランジスタを用いて駆動回路が形成されている。そのため、駆動回路を構成する薄膜トランジスタ間には、レーザー光の照射に起因するレーザー縞の影響により、閾値電圧等

50

のトランジスタ特性のばらつきが生じることがあった。そして、レーザ照射により結晶性が高められた非単結晶半導体材料を用いて形成される走査線側スティックドライバ－１９５２及び信号線側スティックドライバ－１９５４は、動作不良を引き起こす可能性が内在してしまっていた。

【００１０】

上記問題点に鑑み、本発明は、額縁領域の幅を低減し、且つトランジスタ特性のばらつきの影響を受けることのない駆動回路を設けた表示装置を提供することを課題とする。また、当該表示装置を表示部に備えた電子機器を提供することを課題とする。

【課題を解決するための手段】

【００１１】

本発明では、単結晶半導体層が着接された絶縁表面を有するベース基板を短冊状に分断し、表示装置の駆動回路に用いることを特徴とする。また本発明においては、絶縁表面を有するベース基板に複数の単結晶半導体層を着接し、当該基板を短冊状に分断することにより、表示装置の駆動回路に用いることを特徴とする。これにより、表示装置のサイズに応じた駆動回路を表示装置に用いることができ、額縁領域の幅を低減し、且つトランジスタ特性のばらつきの影響を受けることのない駆動回路を設けた表示装置を提供することができる。

【００１２】

本発明の表示装置の一は、ベース基板と、ベース基板上に、単結晶半導体基板を劈開させることで得られる半導体膜を複数回にわたって着接し接合することで得られる半導体膜を用いて作製された複数の薄膜トランジスタを有する駆動回路を有し、駆動回路を有するベース基板が、画素部を有する基板上に実装されていることを特徴としている。

【００１３】

本発明の表示装置の他の一は、ベース基板と、ベース基板上に、複数の第１の凸部を有する第１の単結晶半導体基板を複数の第１の凸部において劈開させることで得られる複数の第１の半導体膜、及び複数の第２の凸部を有する第２の単結晶半導体基板を複数の第２の凸部において劈開させることで得られる複数の第１の半導体膜とは異なる結晶面方位を有する複数の第２の半導体膜、を複数回にわたって着接し接合することで得られる半導体膜を用いて作製される薄膜トランジスタを有する駆動回路を有し、駆動回路を有するベース基板が、画素部を有する基板上に実装されていることを特徴としている。

【発明の効果】

【００１４】

本発明により、額縁領域の幅を低減し、且つトランジスタ特性のばらつきの影響を受けることのない駆動回路を設けた表示装置及び当該表示装置を備えた電子機器を提供することができる。そのため、表示装置の大型化または高精細化に伴う額縁領域の面積の増加を低減することができ、よりコンパクトな表示装置及び当該表示装置を備えた電子機器を提供することができる。

【発明を実施するための最良の形態】

【００１５】

本発明の実施の形態について、図面を用いて以下に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同じものを指す符号は異なる図面間で共通して用いることとする。

【００１６】

(実施の形態１)

本実施の形態では、単結晶半導体基板が着接された異種基板(以下、「ベース基板」という)を短冊状に分断して用いる表示装置の駆動回路及びその作製方法について説明する。

【００１７】

10

20

30

40

50

まず図1(A)に示すように、単結晶半導体基板100上に絶縁膜101を形成する。単結晶半導体基板100として、シリコン、ゲルマニウムなどの単結晶半導体基板を用いることができる。その他に、ガリウムヒ素、インジウムリンなどの化合物半導体で形成された単結晶半導体基板を、単結晶半導体基板100として用いることができる。また単結晶半導体基板100として、結晶格子に歪みを有するシリコン、シリコンに対しゲルマニウムが添加されたシリコンゲルマニウムなどの半導体基板を用いても良い。歪みを有するシリコンは、シリコンよりも格子定数の大きいシリコンゲルマニウムまたは窒化珪素上における成膜により、形成することができる。

【0018】

絶縁膜101は、酸化珪素、窒化酸化珪素、窒化珪素等の絶縁性を有する材料を用いて形成する。絶縁膜101は、単数の絶縁膜を用いたものであっても、複数の絶縁膜を積層して用いたものであっても良い。例えば本実施の形態では、酸化珪素を絶縁膜101として用いる。

10

【0019】

酸化珪素を絶縁膜101として用いる場合、絶縁膜101はシランと酸素、TEOS(テトラエトキシシラン)と酸素等の混合ガスを用い、熱CVD、プラズマCVD、常圧CVD、バイアスECRCVD等の気相成長法によって形成することができる。この場合、絶縁膜101の表面を酸素プラズマ処理で緻密化しても良い。また、窒化珪素を絶縁膜101として用いる場合、シランとアンモニアの混合ガスを用い、プラズマCVD等の気相成長法によって形成することができる。また、窒化酸化珪素を絶縁膜101として用いる場合、シランとアンモニアの混合ガス、またはシランと酸化窒素の混合ガスを用い、プラズマCVD等の気相成長法によって形成することができる。

20

【0020】

また、有機シランガスを用いて化学気相成長法により作製される酸化珪素を、絶縁膜101として用いても良い。有機シランガスとしては、珪酸エチル(TEOS:化学式 $\text{Si}(\text{OC}_2\text{H}_5)_4$)、テトラメチルシラン(TMS:化学式 $\text{Si}(\text{CH}_3)_4$)、テトラメチルシクロテトラシロキサン(TMCTS)、オクタメチルシクロテトラシロキサン(OMCTS)、ヘキサメチルジシラザン(HMDS)、トリエトキシシラン($\text{SiH}(\text{OC}_2\text{H}_5)_3$)、トリスジメチルアミノシラン($\text{SiH}(\text{N}(\text{CH}_3)_2)_3$)等のシリコン含有化合物を用いることができる。

30

【0021】

次に図1(B)に示すように、単結晶半導体基板100に、矢印で示すように水素又は希ガス、或いは水素イオン又は希ガスイオンを注入し、単結晶半導体基板100の表面から一定の深さの領域に、微少ポイドを有する欠陥層102を形成する。欠陥層102が形成される位置は、上記注入の加速電圧によって決まる。そして欠陥層102の位置により、単結晶半導体基板100から形成される半導体膜103の厚さが決まるので、注入の加速電圧は上記半導体膜103の厚さを考慮して行う。また上記注入の加速電圧のみならず、絶縁膜101の膜厚によっても、欠陥層102の位置を変えることができる。例えば、絶縁膜101の膜厚をより大きくすることで、半導体膜103の膜厚をより小さくすることができる。半導体膜103の厚さは、例えば10nm乃至200nm、好ましくは10nm乃至50nmの厚さとする。例えば水素を単結晶半導体基板100に注入する場合、ドーズ量は 1×10^{16} 乃至 $1 \times 10^{17} / \text{cm}^2$ とするのが望ましい。本実施の形態では、ドーズ量を $1.75 \times 10^{16} / \text{cm}^2$ 、加速電圧を40kVとし、水素または水素イオンのイオン注入を行う。

40

【0022】

なお、欠陥層102を形成する上記工程において、単結晶半導体基板100に高い濃度の水素又は希ガス、或いは水素イオン又は希ガスイオンを注入するので、単結晶半導体基板100の表面が粗くなってしまい、単結晶半導体基板100から形成される半導体膜と、該半導体膜に接するゲート絶縁膜との界面準位密度にばらつきが生じてしまう場合がある。絶縁膜101を設けることで、水素又は希ガス、或いは水素と希ガスのイオンを注入す

50

る際に単結晶半導体基板 100 の表面が保護され、単結晶半導体基板 100 の表面が荒れるのを防ぎ、上記界面準位密度にばらつきが生じるのを防ぐことができる。

【0023】

次に、熱処理を行うことにより、欠陥層 102 において隣接する微少ボイドどうしが結合して、微少ボイドの体積が増大する。その結果、欠陥層 102 において単結晶半導体基板 100 が劈開し、半導体膜 103 が、絶縁膜 101 と共に、単結晶半導体基板 100 から剥離する。熱処理は、例えば 400 乃至 600 の温度範囲内で行えば良い。

【0024】

なお、熱処理は、マイクロ波などの高周波による誘電加熱を用いても良い。上記誘電加熱による熱処理は、高周波発生装置において生成された周波数 300 MHz 乃至 3 THz の高周波を単結晶半導体基板 100 に照射することで行うことができる。具体的には、例えば、2.45 GHz のマイクロ波を 900 W、14 分間照射することで、欠陥層において隣接する微少ボイドどうしを結合させ、最終的に単結晶半導体基板 100 を劈開させることができる。

【0025】

次に、図 1 (D) に示すように、半導体膜 103 の剥離により露出した面がベース基板 104 側を向くように、半導体膜 103 とベース基板 104 とを貼り合わせる。本実施の形態では、ベース基板 104 上に絶縁膜 105 が形成されており、絶縁膜 105 と半導体膜 106 とを着接し、接合することで、半導体膜 103 とベース基板 104 とを貼り合わせることができる。半導体膜 106 と絶縁膜 114 とを着接し接合させた後、該接合をさらに強固にするため、400 乃至 600 の熱処理を行うのが好ましい。

【0026】

接合の形成はファンデルワールス力を用いて行われているため、室温でも強固な接合が形成される。なお、上記接合は低温で行うことが可能であるため、ベース基板 104 は様々なものを用いることが可能である。例えばベース基板 104 としては、アルミノシリケートガラス、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラスなどのガラス基板の他、石英基板、サファイア基板などの基板を用いることが出来る。さらにベース基板 104 として、シリコン、ガリウムヒ素、インジウムリンなどの半導体基板などを用いることができる。或いは、ステンレス基板を含む金属基板をベース基板 107 として用いても良い。

【0027】

なお、ベース基板 104 は、その表面に絶縁膜 105 が必ずしも形成されていなくとも良い。絶縁膜 105 が形成されていない場合でも、ベース基板 104 と半導体膜 103 とを接合させることは可能である。ただし、ベース基板 104 の表面に絶縁膜 105 を形成しておくことで、ベース基板 104 から半導体膜 103 に、アルカリ金属やアルカリ土類金属などの不純物が入り込むのを防ぐことができる。

【0028】

絶縁膜 105 を形成する場合、ベース基板 104 ではなく絶縁膜 105 が半導体膜 103 と接合するので、ベース基板 104 として用いることができる基板の種類がさらに広がる。プラスチック等の可撓性を有する合成樹脂からなる基板は耐熱温度が一般的に低い傾向にあるが、作製工程における処理温度に耐え得るのであれば、絶縁膜 114 を形成する場合において、ベース基板 107 として用いることが可能である。プラスチック基板として、ポリエチレンテレフタレート (PET) に代表されるポリエステル、ポリエーテルスルホン (PES)、ポリエチレンナフタレート (PEN)、ポリカーボネート (PC)、ポリエーテルエーテルケトン (PEEK)、ポリスルホン (PSF)、ポリエーテルイミド (PEI)、ポリアリレート (PAR)、ポリブチレンテレフタレート (PBT)、ポリイミド、アクリロニトリルブタジエンスチレン樹脂、ポリ塩化ビニル、ポリプロピレン、ポリ酢酸ビニル、アクリル樹脂などが挙げられる。

【0029】

なお、半導体膜 103 をベース基板 104 上に貼り合わせる前または貼り合わせた後に、

10

20

30

40

50

半導体膜 103 の剥離により露出した面に、レーザ光の照射による熱アニールを施しても良い。半導体膜 103 をベース基板 104 上に貼り合わせる前に熱アニールを施すと、剥離により露出した面が平坦化され、接合の強度をより高めることができる。また、半導体膜 103 をベース基板 104 上に貼り合わせた後に熱アニールを施すと、半導体膜 103 が一部溶解し、接合の強度をより高めることができる。

【0030】

レーザ光の照射による熱アニールを行う場合、半導体に選択的に吸収される固体レーザの基本波または第 2 高調波のレーザ光を照射することが望ましい。例えば、連続発振の YAG レーザから射出された出力 100W のレーザ光を用いる。そして、好ましくは光学系により照射面にて矩形状または楕円形状のレーザ光に成形して、半導体膜 103 の剥離により露出した面に照射する。このときのエネルギー密度は $1\text{ kW/cm}^2 \sim 100\text{ MW/cm}^2$ 程度（好ましくは $0.1 \sim 10\text{ MW/cm}^2$ ）が必要である。そして、走査速度を $10 \sim 2000\text{ cm/sec}$ 程度とし、照射する。

10

【0031】

連続発振の気体レーザとして、Ar レーザ、Kr レーザなどを用いることができる。また連続発振の固体レーザとして、YAG レーザ、YVO₄ レーザ、YLF レーザ、YAlO₃ レーザ、フォルステライト (Mg₂SiO₄) レーザ、GdVO₄、Y₂O₃ レーザ、ガラスレーザ、ルビーレーザ、アレキサンドライトレーザ、Ti:サファイアレーザなどを用いることができる。またパルス発振のレーザとして、例えば Ar レーザ、Kr レーザ、エキシマレーザ、CO₂ レーザ、YAG レーザ、Y₂O₃ レーザ、YVO₄ レーザ、YLF レーザ、YAlO₃ レーザ、ガラスレーザ、ルビーレーザ、アレキサンドライトレーザ、Ti:サファイアレーザ、銅蒸気レーザまたは金蒸気レーザを用いることができる。

20

【0032】

また、半導体膜 103 をベース基板 104 に着接することによる接合のみによって貼り合わせるのではなく、半導体膜 103 に $10\text{ MHz} \sim 1\text{ THz}$ 程度の高周波数の振動を加えることで、半導体膜 103 とベース基板 104 の間に摩擦熱を生じさせ、該熱により半導体膜 103 を部分的に溶解させ、半導体膜 103 をベース基板 104 上に貼り合わせるようにしても良い。

【0033】

図 2 に、単結晶半導体基板 100 から、表示装置の駆動回路に用いるための半導体膜 103 及び絶縁膜 101（以下、半導体膜 103 及び絶縁膜 101 を併せて半導体膜 201 ということもある）を剥離し、半導体膜 201 をベース基板 104 上に貼り合わせている様子を示す。ベース基板 104 上において半導体膜 201 を貼り合わせる際は、表示装置の駆動回路の長さに応じて、複数の半導体膜 201 をその長手方向に並べていく。表示装置の駆動回路に応じて半導体膜 201 を配置していき、ベース基板 104 に複数の半導体膜 201 を敷き詰めていくことにより、直径 12 インチ程度のシリコンウェハのような単結晶半導体基板を用いて、大型の表示装置のパネルサイズに応じた駆動回路を作製することができる。そのため、COG 方式のように大型の表示装置のパネルサイズに応じて複数のドライバー IC を実装することがないため、配線の引き回しによる額縁領域の面積を低減し、且つ単結晶半導体基板を基にした半導体膜によるトランジスタ特性にばらつきの少ない駆動回路を作製することができる。

30

40

【0034】

なお半導体膜 201 は、予めベース基板上において、駆動回路を構成する回路とするために島状の半導体膜に加工し、層間膜、配線、及び電極を取り付けた薄膜トランジスタで構成される回路としておく。また、トランジスタ回路は、n チャネル型のトランジスタ、p チャネル型の薄膜トランジスタの一方または両方を用いて構成するものであってもよい。また、必要に応じて外部との電気的な接続を確保するための引き出し端子を併せて形成する。なお、本実施の形態においては、駆動回路を構成するトランジスタを薄膜トランジスタとして記載しているが、半導体膜の厚さは自由に設定することが可能である。

【0035】

50

図9(A)乃至(C)に半導体膜103及び絶縁膜101より薄膜トランジスタ等の半導体素子を形成する方法について示し、説明する。図9(A)に示す断面図にあるように、表示装置の駆動回路の長さに応じてその長手方向に複数設けられた半導体膜103及び絶縁膜101は、半導体膜103上に形成されている絶縁膜101を除去し、半導体膜103を部分的にエッチングすることで、半導体膜103より半導体膜103a乃至半導体膜103dを形成する。なお、半導体膜のエッチングによって、着接された半導体膜103の継ぎ目を除去し、薄膜トランジスタとすることで、トランジスタ特性にばらつきの少ない駆動回路を作製することができる。

【0036】

図9(A)に示す半導体膜103上の絶縁膜を除去した後に、半導体膜103の表面を平坦化しても良い。平坦化は必ずしも必須ではないが、平坦化を行うことで、後に形成されるトランジスタにおいて半導体膜103とゲート絶縁膜の界面の特性を向上させることができる。具体的に平坦化は、化学的機械的研磨(CMP: Chemical Mechanical Polishing)または液体ジェット研磨などにより、行うことができる。半導体膜103の厚さは、上記平坦化により薄膜化される。上記平坦化は、エッチングにより形成された半導体膜103a乃至半導体膜103dに施しても良いし、エッチングする前の半導体膜103に施しても良い。

【0037】

なお、劈開により露出される半導体膜の表面と、ゲート絶縁膜とが接するように、半導体膜をベース基板上に貼り合わせることもできる。ただし、本実施の形態のように、劈開により露出される半導体膜の表面をベース基板側に向けると、より平坦性の高い側の表面がゲート絶縁膜に接するため、半導体膜とゲート絶縁膜の間の界面準位密度を低く、なおかつ均一にすることができる。よって、ゲート絶縁膜に接する半導体膜の表面を平坦化するための研磨を省略、もしくは研磨時間を短縮化することができ、コストを抑えスループットを向上させることができる。

【0038】

また、半導体膜103a乃至半導体膜103d、或いはエッチングを行う前の半導体膜103にエネルギービームを照射して、結晶欠陥を補修しても良い。エネルギービームは、半導体に選択的に吸収されるもの、例えばレーザー光を用いるのが望ましい。レーザー光は、エキシマレーザーなどの気体レーザー、YAGレーザーなどの固体レーザーを光源として用いることができる。レーザー光の波長は、紫外光から近赤外光であることが好ましく、波長190nm~2000nmの領域のレーザー光を用いるのが望ましい。その他、ハロゲンランプ若しくはキセノンランプなどを用いたフラッシュランプアニールを、結晶欠陥の補修のために用いても良い。

【0039】

なお本実施の形態では、欠陥層102の形成により半導体膜103を、単結晶半導体基板100からそれぞれ剥離するスマートカット法を用いる場合について示すが、ELTRAN(Epitaxial Layer Transfer)、誘電体分離法、PACE(Plasma Assisted Chemical Etching)法などの、他の貼り合わせ法を用いても良い。

【0040】

上記工程を経て形成された半導体膜103a乃至半導体膜103dを用い、図9(C)に示すように薄膜トランジスタ111~114などの各種半導体素子を形成することが出来る。なお薄膜トランジスタ111~114は、ベース基板上では、表示装置の駆動回路を構成するように形成されており、駆動回路の長手方向と同じ長さに薄膜トランジスタが複数列形成された状態となる。

【0041】

次に、図2に示すベース基板104上に敷き詰められた半導体膜201より形成された駆動回路の表示装置への実装について図3を用いて説明する。図3に示すようにベース基板104上に半導体膜201を基に形成されたトランジスタで構成される駆動回路300は

10

20

30

40

50

、表示装置の駆動回路の長さに応じて長手方向に敷き詰められた複数の駆動回路300毎に、短冊状に分断され、走査線側駆動回路または信号線側駆動回路となるスティック状の駆動回路（以下、スティックドライバー301）が作製される。スティックドライバー301を作製するためのベース基板104上の駆動回路300の短冊状の分断は、ダイサー或いはワイヤソー等の切断装置、レーザ切断、プラズマ切断、電子ビーム切断、その他任意の切断手段を用いて行うことができる。

【0042】

ベース基板104より短冊状に分断されたスティックドライバー301は、画素部が形成された絶縁表面を有する基板302の端部に設けられ、走査線側駆動回路303または信号線側駆動回路304として実装されるものである。そして絶縁表面を有する基板302上の走査線側駆動回路303、信号線側駆動回路304以外の領域には、対向基板305が絶縁表面を有する基板302に重畳して設けられる。なお、スティックドライバー301と基板302との接続は、接着材により固着することで行えばよい。スティックドライバー301の基板302への固着は、駆動回路300を有する面が基板302を向くように設けてもよいし、駆動回路300を有する面が基板302と反対の方向に向くように設けてもよい。但し、駆動回路300を有する面は基板302を向いて固着する方が基板302との電気的な接続を確保し易いため好ましい。

【0043】

図4(A)に走査線側駆動回路303、信号線側駆動回路304が実装された表示装置の上面図及び図4(B)、図4(C)に当該表示装置の断面図について示し、説明する。

【0044】

図4(A)には、絶縁表面を有する基板401、絶縁表面を有する基板401上のTFTを有する画素部402、対向基板403と、走査線側駆動回路404、及び信号線側駆動回路405が設けられている。また画素部402は、シール材406によって、絶縁表面を有する基板401と対向基板403との間に封止されている。また、FPC407、及びFPC408が、それぞれ走査線側駆動回路404及び信号線側駆動回路405に接続されるよう設けられている。

【0045】

図4(A)の線C-Dにおける断面構造について、図4(B)に一例を示し、説明する。基板401上に、薄膜トランジスタ及び画素電極を有する画素部402と、対向基板403と、基板401及び対向基板403に挟持された液晶素子またはEL素子等を具備する表示素子層409を有する。表示素子層409は、シール材406によって対向基板403の外側とは隔離されている。また画素部402には画像信号及び電源電圧を入力するための引き出し端子410が接続されている。また、図3で説明したスティックドライバーは短冊状に切断されたベース基板412に接して走査線側駆動回路404が設けられており、走査線側駆動回路404からは画素部402及び外部回路との接続を行うための引き出し端子413が設けられている。また、基板401側と走査線側駆動回路404とは、電気的な接続を行うための球形の導電性部材411（導電性粒子ともいう）によって引き出し端子410及び引き出し端子414と電気的に接続されている。また、引き出し端子414は、FPC407と接続され、外部回路から入力される映像信号及びクロック信号等が入力されるものである。

【0046】

上述の通り本実施の形態で述べた駆動回路を具備するスティックドライバーは画素部の大きさに応じて設けることができるため、COG方式のように複数のICチップより配線を引き回して画素を駆動する走査線又は信号線を駆動する必要がない。そのため本実施の形態で説明した駆動回路を具備する表示装置及び当該表示装置を備えた電子機器は、額縁領域の幅を低減することができる。また本実施の形態で述べた駆動回路を具備するスティックドライバーは単結晶半導体基板より得られる半導体膜を用いた薄膜トランジスタで構成される。そのため、高速動作が可能であり、且つトランジスタ特性のばらつきの影響を受けることのない駆動回路を設けた表示装置及び当該表示装置を備えた電子機器を得ること

10

20

30

40

50

ができる。そして、表示装置の大型化または高精細化に伴う額縁領域の面積の増加を低減することができ、よりコンパクトな表示装置及び当該表示装置を備えた電子機器を提供することができる。

【0047】

高速動作が可能な駆動回路とは、一定以上の周波数での駆動が可能な駆動回路を言う。一例としては、1MHz以上の周波数での動作が求められる回路を言う。用いる半導体層を求められる周波数で規定するのは、回路に用いられるスイッチング素子の動作可能な周波数が半導体材料に大きく依存しているためである。キャリア移動度が大きい単結晶半導体材料（単結晶シリコンにおける電子の場合で $500\text{ cm}^2/\text{V}\cdot\text{s}$ 程度）を用いたスイッチング素子は、信号の伝達速度が大きく高周波数動作に向いている。一方で、キャリア移動度の小さい非単結晶半導体材料（非晶質シリコンにおける電子の場合で $1\text{ cm}^2/\text{V}\cdot\text{s}$ 程度）を用いたスイッチング素子は、信号の伝達速度も小さく高周波数動作には向かない。なお、スイッチング素子の動作可能な周波数の上限は、材料以外のパラメータ（例えばチャンネル長等）にも依存するため、一律に、ある周波数以上を高速動作と規定することは困難である。ここでは、表示装置における駆動回路に要求される性能を一応の目安として、周波数の基準を示した。

10

【0048】

また図4(C)には、図4(A)の線C-Dにおける断面構造について、図4(B)とは異なる構造について示している。図4(C)に示す断面構造で図4(B)と異なる点は、ベース基板416の基板が薄く、基板401と対向基板403とが重畳した領域の厚さより、基板401とベース基板416とが重畳した領域の厚さが薄いという点にある。ベース基板416を対向基板403より薄くしてスティックドライバーを表示装置に実装することにより、ベース基板416上に空間が確保できる。ベース基板416上に得られる空間は、駆動回路が動作することによって生じる熱を逃がすといった効果を奏する。そのため、駆動回路の信頼性の向上及び駆動回路の長寿命化を図ることができる。また、ベース基板412に放熱性の高い部材を用いることにより、駆動回路が動作することによって生じる熱を逃がすことができる。駆動回路から熱を高効率で逃がす構成とすることにより、駆動回路の信頼性の向上及び駆動回路の長寿命化を図ることができる。なお、ベース基板として、特に多結晶半導体で形成されるシリコン基板またはステンレス基板を含む金属基板を用いることにより、熱拡散をさらに促すことができるため好適である。

20

30

【0049】

なお、本実施の形態においては、駆動回路を具備するスティックドライバーは、基板の一表面上に形成したが、本発明はこれに限られない。例えば、絶縁性基板の一表面（表面）に非単結晶半導体層を形成して表示部とし、絶縁性基板の別の一表面（裏面）にスティックドライバーを固着して駆動回路としても良い。このような構成とすることにより、絶縁性基板の一表面をすべて表示部として用いることができるため、表示装置の額縁部分がごく僅かになり、表示面の有効利用が可能となる。また、駆動回路を単結晶半導体層にて形成されることにより、駆動回路に必要な動作速度を確保することができる。ここで、表面の表示部と裏面の駆動回路部との電気的な接続は、ガラス基板を貫通する埋め込み配線によって行うことができる。また、FPCを用いて接続することも可能である。

40

【0050】

なお本発明における駆動回路を実装しうる表示装置には、液晶表示装置、有機発光素子(OLE D)に代表される発光素子を各画素に備えた発光装置、DMD(Digital Micromirror Device)、PDP(Plasma Display Panel)、FED(Field Emission Display)等や、半導体膜を用いた回路素子を駆動回路に有しているその他の半導体表示装置がその範疇に含まれる。

(実施の形態2)

【0051】

本実施の形態では、上記実施の形態で説明したスティック状半導体の作製方法とは異なる

50

方法を用いて作製される駆動回路を具備する表示装置について説明を行う。

【0052】

まず図5(A)に示すように、単結晶半導体基板500上に絶縁膜501を形成する。単結晶半導体基板500として、実施の形態1で述べた単結晶半導体基板100と同じ基板を用いることができる。

【0053】

絶縁膜501は、実施の形態1で述べた絶縁膜101と同じ絶縁膜を用いることができる。例えば本実施の形態では、酸化珪素を絶縁膜501として用いる。

【0054】

次に図5(B)に示すように、単結晶半導体基板500に、矢印で示すように水素又は希ガス、或いは水素イオン又は希ガスイオンを注入し、単結晶半導体基板500の表面から一定の深さの領域に、微少ポイドを有する欠陥層502を形成する。欠陥層502が形成される位置は、上記注入の加速電圧によって決まる。そして欠陥層502の位置により、単結晶半導体基板500から形成される半導体膜506、半導体膜508の厚さが決まるので、注入の加速電圧は上記半導体膜506、半導体膜508の厚さを考慮して行う。また上記注入の加速電圧のみならず、絶縁膜501の膜厚によっても、欠陥層502の位置を変えることができる。例えば、絶縁膜501の膜厚をより大きくすることで、半導体膜506、半導体膜508の膜厚をより小さくすることができる。半導体膜506、半導体膜508の厚さは、例えば10nm乃至200nm、好ましくは10nm乃至50nmの厚さとする。例えば水素を単結晶半導体基板500に注入する場合、ドーズ量は 1×10^{16} 乃至 $1 \times 10^{17} / \text{cm}^2$ とするのが望ましい。本実施の形態では、ドーズ量を $1.75 \times 10^{16} / \text{cm}^2$ 、加速電圧を40kVとし、水素または水素イオンのイオン注入を行う。

【0055】

なお、欠陥層502を形成する上記工程において、単結晶半導体基板500に高い濃度の水素又は希ガス、或いは水素イオン又は希ガスイオンを注入するので、単結晶半導体基板500の表面が粗くなってしまい、単結晶半導体基板500から形成される半導体膜と、該半導体膜に接するゲート絶縁膜との界面準位密度にばらつきが生じてしまう場合がある。絶縁膜501を設けることで、水素又は希ガス、或いは水素と希ガスのイオンを注入する際に単結晶半導体基板500の表面が保護され、単結晶半導体基板500の表面が荒れるのを防ぎ、上記界面準位密度にばらつきが生じるのを防ぐことができる。

【0056】

次に、単結晶半導体基板500を部分的に除去する。本実施の形態では、図5(C)に示すように、マスク504を用い、絶縁膜501と共に単結晶半導体基板500を部分的にエッチングにより除去し、複数の凸部503を有する単結晶半導体基板500を形成する。

【0057】

単結晶半導体基板500は、複数の凸部503の単結晶半導体基板500に対して垂直方向(深さ方向)における幅dが、欠陥層502の深さと同じか、それ以上の大きさを有する。なお、複数の凸部503の単結晶半導体基板500に対して垂直方向(深さ方向)における幅dは、必ずしも一定である必要はなく、場所によって異なる値を有していても良い。具体的に、幅dは、半導体膜506の厚さを考慮して、例えば10nm以上、好ましくは200nm以上とする。

【0058】

なお、単結晶半導体基板500は、反りや撓みを有している場合や、端部に弱冠丸みを帯びている場合がある。そして、単結晶半導体基板500から半導体膜を剥離するために水素又は希ガス、或いは水素イオン又は希ガスイオンを注入する際、単結晶半導体基板500の端部において上記ガスまたはイオンの注入を十分に行うことができない場合もある。そのため、単結晶半導体基板500の端部に位置する部分は、半導体膜を剥離させるのが難しい。よって、単結晶半導体基板500が有する複数の凸部503は、単結晶半導体基

10

20

30

40

50

板500の縁から所定の間隔を有するよう、離れた位置に形成するのが望ましい。単結晶半導体基板500の縁から所定の間隔を有するよう、離れた位置に凸部503を形成することで、再現性良く劈開による半導体膜の形成を行うことができる。例えば、最も端部に位置する凸部503と、単結晶半導体基板500の縁との間隔は、数十 μm 乃至数十 mm とすると良い。

【0059】

次に、マスク504を除去した後、熱処理を行うことにより、欠陥層502において隣接する微少ポイドどうしが結合して、微少ポイドの体積が増大する。その結果、欠陥層502において単結晶半導体基板500が劈開し、凸部503の一部であった半導体膜506が、絶縁膜501と共に、単結晶半導体基板500から剥離する。熱処理は、例えば400乃至600の温度範囲内で行えば良い。

10

【0060】

なお、熱処理は、マイクロ波などの高周波による誘電加熱を用いても良い。上記誘電加熱による熱処理は、高周波発生装置において生成された周波数300MHz乃至3THzの高周波を単結晶半導体基板500に照射することで行うことができる。具体的には、例えば、2.45GHzのマイクロ波を900W、14分間照射することで、欠陥層において隣接する微少ポイドどうしを結合させ、最終的に単結晶半導体基板500を劈開させることができる。

【0061】

そして、図5(D)に示すように、コレット505を半導体膜506上に形成された絶縁膜501に固着させ、半導体膜506を単結晶半導体基板500から引き離す。上記熱処理による単結晶半導体基板500の劈開が不完全である場合でも、コレット505を用いて力を加えることで、半導体膜506を単結晶半導体基板500から完全に剥離させることができる。コレット505として、真空チャック、メカニカルチャックなどのチャック、先端に接着剤が付着したマイクロニードルなど、凸部503の一つに選択的に固着させることができる手段を用いる。図5(D)では、コレット505として真空チャックを用いる場合を例示している。

20

【0062】

また、マイクロニードルに付着させる接着剤として、エポキシ系接着剤、セラミック系接着剤、シリコン系接着剤、低温凝固剤などを用いることができる。低温凝固剤は、例えばMW-1(株式会社エミネントサプライ製)を用いることができる。MW-1は、凝固点が17度であり、それ以下の温度(好ましくは、10度以下)で接着効果を有し、17度以上(好ましくは25度程度)では接着効果を有さない。

30

【0063】

なお、単結晶半導体基板500を劈開させる前に、単結晶半導体基板500に水素化処理を行うようにしても良い。水素化処理は、例えば、水素雰囲気中において350、2時間程度行う。

【0064】

次に、図6(A)に示すように、半導体膜506の剥離により露出した面がベース基板507側を向くように、半導体膜506とベース基板507とを貼り合わせる。本実施の形態では、ベース基板507上に絶縁膜514が形成されており、絶縁膜514と半導体膜506とを着接し、接合することで、半導体膜506とベース基板507とを貼り合わせることができる。半導体膜506と絶縁膜514とを接合させた後、該接合をさらに強固にするため、400乃至600の熱処理を行うのが好ましい。

40

【0065】

接合の形成はファンデルワールス力を用いて行われているため、室温でも強固な接合が形成される。なお、ベース基板507としては、実施の形態1で述べたベース基板104と同様の基板を用いて作製することができる。様々なものを用いることが可能である。

【0066】

なお、ベース基板507は、その表面に絶縁膜514が必ずしも形成されていなくとも良

50

い。絶縁膜 514 が形成されていない場合でも、ベース基板 507 と半導体膜 506 とを接合させることは可能である。ただし、ベース基板 507 の表面に絶縁膜 514 を形成しておくことで、ベース基板 507 から半導体膜 506 に、アルカリ金属やアルカリ土類金属などの不純物が入り込むのを防ぐことができる。

【0067】

絶縁膜 514 を形成する場合、ベース基板 507 ではなく絶縁膜 514 が半導体膜 506 と接合するので、ベース基板 507 として用いることができる基板の種類がさらに広がる。プラスチック等の可撓性を有する合成樹脂からなる基板は耐熱温度が一般的に低い傾向にあるが、作製工程における処理温度に耐え得るのであれば、絶縁膜 514 を形成する場合において、ベース基板 507 として用いることが可能である。プラスチック基板として、ポリエチレンテレフタレート (PET) に代表されるポリエステル、ポリエーテルスルホン (PES)、ポリエチレンナフタレート (PEN)、ポリカーボネート (PC)、ポリエーテルエーテルケトン (PEEK)、ポリスルホン (PSF)、ポリエーテルイミド (PEI)、ポリアリレート (PAR)、ポリブチレンテレフタレート (PBT)、ポリイミド、アクリロニトリルブタジエンスチレン樹脂、ポリ塩化ビニル、ポリプロピレン、ポリ酢酸ビニル、アクリル樹脂などが挙げられる。

10

【0068】

なお、半導体膜 506 をベース基板 507 上に貼り合わせる前または貼り合わせた後に、半導体膜 506 の剥離により露出した面に、レーザ光の照射による熱アニールを施しても良い。半導体膜 506 をベース基板 507 上に貼り合わせる前に熱アニールを施すと、剥離により露出した面が平坦化され、接合の強度をより高めることができる。また、半導体膜 506 をベース基板 507 上に貼り合わせた後に熱アニールを施すと、半導体膜 506 が一部溶解し、接合の強度をより高めることができる。

20

【0069】

レーザ光の照射による熱アニールを行う場合、半導体に選択的に吸収される固体レーザの基本波または第 2 高調波のレーザ光を照射することが望ましい。例えば、連続発振の YAG レーザから射出された出力 100W のレーザ光を用いる。そして、好ましくは光学系により照射面にて矩形状または楕円形状のレーザ光に成形して、半導体膜 506 の剥離により露出した面に照射する。このときのエネルギー密度は $1 \text{ kW/cm}^2 \sim 100 \text{ MW/cm}^2$ 程度 (好ましくは $0.1 \sim 10 \text{ MW/cm}^2$) が必要である。そして、走査速度を $10 \sim 2000 \text{ cm/sec}$ 程度とし、照射する。

30

【0070】

連続発振の気体レーザとして、Ar レーザ、Kr レーザなどを用いることができる。また連続発振の固体レーザとして、YAG レーザ、YVO₄ レーザ、YLF レーザ、YAlO₃ レーザ、フォルステライト (Mg₂SiO₄) レーザ、GdVO₄、Y₂O₃ レーザ、ガラスレーザ、ルビーレーザ、アレキサンドライトレーザ、Ti : サファイアレーザなどを用いることができる。またパルス発振のレーザとして、例えば Ar レーザ、Kr レーザ、エキシマレーザ、CO₂ レーザ、YAG レーザ、Y₂O₃ レーザ、YVO₄ レーザ、YLF レーザ、YAlO₃ レーザ、ガラスレーザ、ルビーレーザ、アレキサンドライトレーザ、Ti : サファイアレーザ、銅蒸気レーザまたは金蒸気レーザを用いることができる。

40

【0071】

また、半導体膜 506 をベース基板 507 上に接合のみによって貼り合わせるのではなく、半導体膜 506 に 10MHz ~ 1THz 程度の高周波数の振動を加えることで、半導体膜 506 とベース基板 507 の間に摩擦熱を生じさせ、該熱により半導体膜 506 を部分的に溶解させ、半導体膜 506 をベース基板 507 上に貼り合わせるようにしても良い。

【0072】

なお、MW-1 を低温凝固剤として用いる場合、まず低温凝固剤が接着効果を有しない温度 (例えば 25 度程度) において、マイクロニードルの先端に付着した低温凝固剤を、凸部 503 上の絶縁膜 501 に接触させる。次に、低温凝固剤が接着効果を有する温度 (例えば 5 度程度) まで温度を下げて、低温凝固剤を凝固させることで、マイクロニードルと

50

凸部503上の絶縁膜501とを固着させる。そして、単結晶半導体基板500から引き離した半導体膜506を、ベース基板507上に貼り合わせた後、再び接着効果を有しない温度(例えば25度程度)まで低温凝固剤の温度を高めることで、マイクロニードルを半導体膜506から引き離すことができる。

【0073】

次に図6(B)に示すように、半導体膜506を形成する単結晶半導体基板500とは異なる結晶面方位を有する単結晶半導体基板500から、半導体膜506と同様の手法を用いて半導体膜508を剥離し、ベース基板507上に貼り合わせる。

【0074】

半導体中における多数キャリアの移動度は、結晶面方位によって異なる。よって、形成する半導体素子に適した結晶面方位を有する単結晶半導体基板500を、適宜選択して半導体膜506または半導体膜508を形成すればよい。例えば半導体膜506を用いてn型の半導体素子を形成するならば、{100}面を有する半導体膜506を形成することで、該半導体素子における多数キャリアの移動度を高めることができる。また、例えば半導体膜508を用いてp型の半導体素子を形成するならば、{110}面を有する半導体膜508を形成することで、該半導体素子における多数キャリアの移動度を高めることができる。そして、半導体素子としてトランジスタを形成するならば、チャネルの向きと結晶面方位とを考慮し、半導体膜506または半導体膜508の貼り合わせの方向を定めるようにする。

【0075】

なお、上述したように、単結晶半導体基板500は、反りや撓みを有している場合や、端部に丸みを帯びている場合がある。また、単結晶半導体基板500から半導体膜を剥離するために水素又は希ガス、或いは水素イオン又は希ガスイオンを注入する際、単結晶半導体基板500の端部において上記ガスまたはイオンの注入を十分に行うことができない場合もある。そのため、単結晶半導体基板500の端部に位置する部分は、半導体膜を剥離させるのが難しく、単結晶半導体基板をベース基板に貼り合わせた後に単結晶半導体基板を劈開して半導体膜を形成する場合、半導体膜間の間隔が数mm~数cmとなってしまう。しかし、本発明では、単結晶半導体基板500をベース基板507に貼り合わせる前に、単結晶半導体基板500を劈開させて半導体膜506と半導体膜508を形成している。よって、半導体膜506と半導体膜508をベース基板507上に貼り合わせる際、半導体膜506と半導体膜508の間隔を、数十μm程度に小さく抑えることができ、半導体膜506と半導体膜508の隙間をまたぐように表示装置の駆動回路を作製することが容易となる。

【0076】

図7に、結晶面方位が互いに異なる単結晶半導体基板560(第1の単結晶半導体基板ともいう)と単結晶半導体基板561(第2の単結晶半導体基板ともいう)から、それぞれ半導体膜563(第1の半導体膜ともいう)と半導体膜564(第2の半導体膜ともいう)を剥離し、該半導体膜563と半導体膜564をベース基板562上に貼り合わせている様子を示す。ベース基板562上において半導体膜563と半導体膜564を貼り合わせる位置は、半導体素子のマスク図面の情報を元に決めることができる。なお、図7では2つの単結晶半導体基板560、単結晶半導体基板561から半導体膜563と半導体膜564を剥離する例について示しているが、単結晶半導体基板は3つ以上用いても良い。なお半導体膜563及び半導体膜564は、上記実施の形態1の図2において説明したように表示装置の駆動回路の長さに応じて、複数の半導体膜563及び半導体膜564をその長手方向に並べていく。図7においてはベース基板562上の領域591に複数の半導体膜563及び半導体膜564を敷き詰めていくことで大型の表示装置のパネルサイズに応じた駆動回路を作製することができる。そのため、COG方式のように大型の表示装置のパネルサイズに応じて複数のドライバーICを実装することがないため、配線の引き回しによる額縁領域の面積を低減し、且つ単結晶半導体基板を基にした半導体膜によるトランジスタ特性にばらつきの少ない駆動回路を作製することができる。

【0077】

次に図6(C)に示すように、半導体膜506及び半導体膜508上に形成されている絶縁膜501を除去する。図6(C)には、半導体膜506及び半導体膜508の断面図に加えて、半導体膜506及び半導体膜508の上面図も示す。図6(C)に示す断面図は、上面図の破線A-A'における断面に相当する。

【0078】

次に、図8(A)に示すように、半導体膜506と半導体膜508を部分的にエッチングすることで、半導体膜506から半導体膜509を、半導体膜508から半導体膜510を形成する。図8(A)には、半導体膜509及び半導体膜510の断面図に加えて、半導体膜509及び半導体膜510の上面図も示す。図8(A)に示す断面図は、上面図の破線A-A'における断面に相当する。半導体膜506及び半導体膜508をさらにエッチングすることで、半導体膜506及び半導体膜508の端部において接合の強度が不十分である領域を、除去することができる。

10

【0079】

なお、本実施の形態では、一つの半導体膜506をエッチングすることで一つの半導体膜509を形成し、一つの半導体膜508をエッチングすることで一つの半導体膜510を形成しているが、本発明はこの構成に限定されない。例えば、一つの半導体膜506をエッチングすることで複数の半導体膜509を形成しても良いし、一つの半導体膜508をエッチングすることで複数の半導体膜510を形成しても良い。

【0080】

図8(A)に示すように半導体膜509及び半導体膜510が形成された後、図8(B)に示すように半導体膜509及び半導体膜510の表面を平坦化しても良い。平坦化は必ずしも必須ではないが、平坦化を行うことで、後に形成されるトランジスタにおいて半導体膜509及び半導体膜510とゲート絶縁膜の界面の特性を向上させることができる。具体的に平坦化は、化学的機械的研磨(CMP: Chemical Mechanical Polishing)または液体ジェット研磨などにより、行うことができる。半導体膜509及び半導体膜510の厚さは、上記平坦化により薄膜化される。上記平坦化は、エッチングにより形成された半導体膜509及び半導体膜510に施しても良いし、エッチングする前の半導体膜506及び半導体膜508に施しても良い。

20

【0081】

なお、劈開により露出される半導体膜の表面と、ゲート絶縁膜とが接するように、半導体膜をベース基板の上に貼り合わせることもできる。ただし、本実施の形態のように、劈開により露出される半導体膜の表面をベース基板側に向けると、より平坦性の高い側の表面がゲート絶縁膜に接するため、半導体膜とゲート絶縁膜の間の界面準位密度を低く、なおかつ均一にすることができる。よって、ゲート絶縁膜に接する半導体膜の表面を平坦化するための研磨を省略、もしくは研磨時間を短縮化することができ、コストを抑えスループットを向上させることができる。

30

【0082】

また、半導体膜509及び半導体膜510、或いはエッチングを行う前の半導体膜506及び半導体膜508にエネルギービームを照射して、結晶欠陥を補修しても良い。エネルギービームは、半導体に選択的に吸収されるもの、例えばレーザー光を用いるのが望ましい。レーザー光は、エキシマレーザーなどの気体レーザー、YAGレーザーなどの固体レーザーを光源として用いることができる。レーザー光の波長は、紫外光から近赤外光であることが好ましく、波長190nm~2000nmの領域のレーザー光を用いるのが望ましい。その他、ハロゲンランプ若しくはキセノンランプなどを用いたフラッシュランプアニールを、結晶欠陥の補修のために用いても良い。

40

【0083】

なお本実施の形態では、欠陥層502の形成により半導体膜506と半導体膜508とを、単結晶半導体基板500からそれぞれ剥離するスマートカット法を用いる場合について示すが、ELTRAN(Epitaxial Layer Transfer)、誘電体

50

分離法、P A C E (P l a s m a A s s i s t e d C h e m i c a l E t c h i n g) 法などの、他の貼り合わせ法を用いても良い。

【0084】

上記工程を経て形成された半導体膜509、半導体膜510を用い、図8(B)に示すように薄膜トランジスタ511乃至513などの各種半導体素子を形成することが出来る。

【0085】

本実施の形態で説明した表示装置に用いられる駆動回路は、複数の単結晶半導体基板500を用いて一つのベース基板に複数の半導体膜を貼り合わせることで、大型のベース基板507に対しても高スループットで処理を行うことができる。また、半導体素子の有する極性に合わせて半導体膜の面方位を適宜選択することができるので、半導体素子の移動度を高めることができ、より高速駆動が可能な表示装置の駆動回路を提供することができる。

10

【0086】

また、本発明の本実施の形態で説明した表示装置に用いられる駆動回路は、単結晶半導体基板500を複数箇所において劈開することで複数の半導体膜506を形成し、該複数の半導体膜をベース基板上に貼り合わせることができるので、半導体装置における半導体素子の極性及びレイアウトに合わせて、複数の各半導体膜506を貼り合わせる位置を選択することができる。

【0087】

次に、図2に示すベース基板104上に敷き詰められた半導体膜201より形成された駆動回路の表示装置への実装については、上記実施の形態1で述べた図3、及び図4に関する説明と同様である。その結果、本発明の駆動回路を具備する表示装置を得ることができる。また実施の形態1と同様に、本実施の形態で述べた駆動回路を具備するスティックドライバは画素部の大きさに応じて設けることができるため、COG方式のように複数のICチップより配線を引き回して画素を駆動する走査線又は信号線を駆動する必要がない。そのため本実施の形態で説明した駆動回路を具備する表示装置及び当該表示装置を備えた電子機器は、額縁領域の幅を低減することができる。また本実施の形態で述べた駆動回路を具備するスティックドライバは単結晶半導体基板より得られる半導体膜を用いた薄膜トランジスタで構成される。そのため、高速動作が可能であり、且つトランジスタ特性のばらつきの影響を受けることのない駆動回路を設けた表示装置及び当該表示装置を備えた電子機器を得ることができる。そして、表示装置の大型化または高精細化に伴う額縁領域の面積の増加を低減することができ、よりコンパクトな表示装置及び当該表示装置を備えた電子機器を提供することができる。

20

30

【0088】

なお本発明における駆動回路を実装しうる表示装置には、液晶表示装置、有機発光素子(OLED)に代表される発光素子を各画素に備えた発光装置、DMD(Digital Micromirror Device)、PDP(Plasma Display Panel)、FED(Field Emission Display)等や、半導体膜を用いた回路素子を駆動回路に有しているその他の半導体表示装置がその範疇に含まれる。

【0089】

本実施の形態は、上記実施の形態と適宜組み合わせることで実施することが可能である。

40

【実施例1】

【0090】

本実施例では、本発明の表示装置が具備する駆動回路の各種回路の具体的な構成について、インバータを例に挙げて説明する。インバータの回路図を図10(A)に、また図10(A)に示すインバータの上面図を図10(B)に、一例として示す。

【0091】

図10(A)に示すインバータは、pチャネル型のトランジスタ2001と、nチャネル型のトランジスタ2002とを有する。トランジスタ2001とトランジスタ2002は直列に接続されている。具体的には、トランジスタ2001のドレインと、トランジスタ

50

2002のドレインが接続されている。そして、トランジスタ2001のドレイン及びトランジスタ2002のドレインの電位は、出力端子OUTに与えられる。

【0092】

またトランジスタ2001のゲートとトランジスタ2002のゲートは接続されている。そして、入力端子INに入力された信号の電位は、トランジスタ2001のゲート及びトランジスタ2002のゲートに与えられる。トランジスタ2001のソースにはハイレベルの電圧VDDが与えられ、トランジスタ2002のソースにはローレベルの電圧VSSが与えられる。

【0093】

図10(A)に示すインバータを形成するために、本発明の実施の形態2で述べた駆動回路の作製方法を用いる。すなわち、図10(B)に示すように、結晶面方位が{100}である半導体膜2030と、結晶面方位が{110}である半導体膜2031とをベース基板上に貼り合わせる。次に、図10(C)に示すように、半導体膜2030を部分的にエッチングすることで半導体膜2008を形成し、また半導体膜2031を部分的にエッチングすることで半導体膜2010を形成する。

10

【0094】

そして図10(D)に示すように、半導体膜2008を用いてnチャネル型のトランジスタ2002を形成し、半導体膜2010を用いてpチャネル型のトランジスタ2001を形成することで、インバータを形成することができる。

【0095】

具体的に図10(D)に示すインバータでは、トランジスタ2001のドレインと、トランジスタ2002のドレインは、配線2003を介して電氣的に接続されている。そして配線2003は配線2004に接続されている。よって、トランジスタ2001のドレイン及びトランジスタ2002のドレインの電位は、配線2003及び配線2004を介して、出力端子OUTの電位として後段の回路に与えられる。

20

【0096】

また図10(B)に示すインバータでは、配線2005の一部がトランジスタ2001のゲート及びトランジスタ2002のゲートとして機能している。そして配線2005に与えられた電位が、入力端子INの電位としてトランジスタ2001のゲート及びトランジスタ2002のゲートに与えられる。そしてトランジスタ2001のソースには、配線2006を介して電圧VDDが与えられ、トランジスタ2002のソースには、配線2007を介して電圧VSSが与えられている。

30

【0097】

本実施例は、上記実施の形態と適宜組み合わせることで実施することが可能である。

【実施例2】

【0098】

本実施例では、本発明の表示装置が具備する駆動回路の各種回路の具体的な構成について、NANDを例に挙げて説明する。NANDの回路図を図11(A)に、また図11(A)に示すNANDの上面図を図11(B)に、一例として示す。

【0099】

図11(A)に示すNANDは、pチャネル型のトランジスタ3001と、pチャネル型のトランジスタ3002と、nチャネル型のトランジスタ3003と、nチャネル型のトランジスタ3004とを有する。トランジスタ3001と、トランジスタ3003と、トランジスタ3004とは、順に直列に接続されている。またトランジスタ3001と、トランジスタ3002とは並列に接続されている。

40

【0100】

具体的にトランジスタ3001のソースとドレインは、一方にはハイレベルの電圧VDDが与えられ、他方は出力端子OUTに接続されている。トランジスタ3002のソースとドレインは、一方にはハイレベルの電圧VDDが与えられ、他方は出力端子OUTに接続されている。トランジスタ3004のソースとドレインは、一方にはローレベルの電圧V

50

SSが与えられている。トランジスタ3003のソースとドレインは、一方は出力端子OUTに接続されている。そして、トランジスタ3003のソースとドレインの他方と、トランジスタ3003のソースとドレインの他方とが接続されている。トランジスタ3001のゲートと、トランジスタ3003のゲートには、入力端子IN1の電位が与えられる。またトランジスタ3002のゲートと、トランジスタ3004のゲートには、入力端子IN2の電位が与えられる。

【0101】

図11(A)に示すNANDを形成するために、本発明の実施の形態2で述べた駆動回路の作製方法を用いる。すなわち、図11(B)に示すように、結晶面方位が{100}である半導体膜3030と、結晶面方位が{110}である半導体膜3031とをベース基板上に貼り合わせる。次に、図11(C)に示すように、半導体膜3030を部分的にエッチングすることで半導体膜3006を形成し、また半導体膜3031を部分的にエッチングすることで半導体膜3005を形成する。

10

【0102】

そして図11(D)に示すように、半導体膜3006を用いてnチャネル型のトランジスタ3003とトランジスタ3004を形成し、半導体膜3005を用いてpチャネル型のトランジスタ3001とトランジスタ3002を形成することで、インバータを形成することができる。

【0103】

図11(B)に示すNANDでは、直列に接続されているトランジスタ3001とトランジスタ3002とが、半導体膜3005を共有している。また直列に接続されているトランジスタ3003とトランジスタ3004とが、半導体膜3006を共有している。また配線3007の一部はトランジスタ3001のゲート及びトランジスタ3003のゲートとして機能している。そして配線3007に与えられた電位が、入力端子IN1の電位としてトランジスタ3001のゲート及びトランジスタ3003のゲートに与えられる。配線3008の一部はトランジスタ3002のゲート及びトランジスタ3004のゲートとして機能している。そして配線3008に与えられた電位が、入力端子IN2の電位としてトランジスタ3002のゲート及びトランジスタ3004のゲートに与えられる。

20

【0104】

ハイレベルの電圧VDDは、配線3009を介してトランジスタ3001のソースとドレインの一方、及びトランジスタ3002のソースとドレインの一方に与えられる。またローレベルの電圧VSSは、配線3010を介してトランジスタ3004のソースとドレインの一方に与えられる。トランジスタ3001のソースとドレインの他方、トランジスタ3002のソースとドレインの他方、及びトランジスタ3003のソースとドレインの一方は、その電位が配線3011及び配線3012を介して出力端子OUTの電位として後段の回路に与えられる。

30

【0105】

本実施例は、上記実施の形態または実施例と適宜組み合わせることで実施することが可能である。

【実施例3】

40

【0106】

本実施の形態では、本発明に用いられる薄膜トランジスタの具体的な作製方法の一例について説明する。

【0107】

まず図12(A)に示すように、ベース基板601上に{100}面を有する半導体膜603、{110}面を有する半導体膜604を形成する。本実施例では、ベース基板601と、半導体膜603及び半導体膜604との間に、絶縁膜602が設けられている場合を例示している。絶縁膜は複数の絶縁膜が積層されることで形成されていても良いし、単層の絶縁膜で形成されていても良い。

【0108】

50

半導体膜 603 と半導体膜 604 には、閾値電圧を制御するために不純物が添加されていても良い。例えば、p 型を付与する不純物としてボロンを添加する場合、 $5 \times 10^{17} \text{ cm}^{-3}$ 以上 $1 \times 10^{18} \text{ cm}^{-3}$ 以下の濃度で添加すれば良い。閾値電圧を制御するための不純物の添加は、ベース基板 601 上に半導体膜を貼り合わせる前に行っても良いし、貼り合わせた後に行っても良い。

【0109】

また半導体膜 603 と半導体膜 604 を形成した後、ゲート絶縁膜 606 を形成する前に水素化処理を行っても良い。水素化処理は、例えば、水素雰囲気中において 350、2 時間程度行う。

【0110】

次に図 12 (B) に示すように、半導体膜 603 と半導体膜 604 を覆うように、ゲート絶縁膜 606 を形成する。ゲート絶縁膜 606 は、高密度プラズマ処理を行うことにより半導体膜 603 と半導体膜 604 の表面を酸化または窒化することで形成することができる。高密度プラズマ処理は、例えば He、Ar、Kr、Xe などの希ガスと酸素、酸化窒素、アンモニア、窒素、水素などの混合ガスとを用いて行う。この場合プラズマの励起をマイクロ波の導入により行うことで、低電子温度で高密度のプラズマを生成することができる。このような高密度のプラズマで生成された酸素ラジカル (OH ラジカルを含む場合もある) や窒素ラジカル (NH ラジカルを含む場合もある) によって、半導体膜の表面を酸化または窒化することにより、1 ~ 20 nm、望ましくは 5 ~ 10 nm の絶縁膜が半導体膜に接するように形成される。この 5 ~ 10 nm の絶縁膜をゲート絶縁膜 606 として用いる。

【0111】

上述した高密度プラズマ処理による半導体膜の酸化または窒化は固相反応で進むため、ゲート絶縁膜 606 と半導体膜 603 及び半導体膜 604 との界面準位密度をきわめて低くすることができる。また高密度プラズマ処理により半導体膜を直接酸化または窒化することで、形成される絶縁膜の厚さのばらつきを抑えることができる。また半導体膜が結晶性を有する場合、高密度プラズマ処理を用いて半導体膜の表面を固相反応で酸化させることにより、結晶粒界においてのみ酸化が速く進んでしまうのを抑え、均一性が良く、界面準位密度の低いゲート絶縁膜を形成することができる。高密度プラズマ処理により形成された絶縁膜を、ゲート絶縁膜の一部または全部に含んで形成されるトランジスタは、特性のばらつきを抑えることができる。

【0112】

或いは、半導体膜 603 と半導体膜 604 を熱酸化させることで、ゲート絶縁膜 606 を形成するようにしても良い。また、プラズマ CVD 法またはスパッタリング法などを用いて、酸化珪素、窒化酸化珪素、窒化珪素、酸化ハフニウム、酸化アルミニウムまたは酸化タンタルを含む膜を、単層で、または積層させることで、ゲート絶縁膜 606 を形成しても良い。

【0113】

次に図 12 (C) に示すように、ゲート絶縁膜 606 上に導電膜を形成した後、該導電膜を所定の形状に加工 (パターニング) することで、半導体膜 603 と半導体膜 604 の上方に電極 607 を形成する。導電膜の形成には CVD 法、スパッタリング法等を用いることができる。導電膜は、タンタル (Ta)、タングステン (W)、チタン (Ti)、モリブデン (Mo)、アルミニウム (Al)、銅 (Cu)、クロム (Cr)、ニオブ (Nb) 等を用いることができる。また上記金属を主成分とする合金を用いても良いし、上記金属を含む化合物を用いても良い。または、半導体膜に導電性を付与するリン等の不純物元素をドーピングした、多結晶珪素などの半導体を用いて形成しても良い。

【0114】

2 つの導電膜の組み合わせとして、1 層目に窒化タンタルまたはタンタル (Ta) を、2 層目にタングステン (W) を用いることができる。上記例の他に、窒化タングステンとタングステン、窒化モリブデンとモリブデン、アルミニウムとタンタル、アルミニウムとチ

10

20

30

40

50

タン等が挙げられる。タングステンや窒化タンタルは、耐熱性が高いため、2層の導電膜を形成した後の工程において、熱活性化を目的とした加熱処理を行うことができる。また、2層目の導電膜の組み合わせとして、例えば、n型を付与する不純物がドーピングされた珪素とニッケルシリサイド、n型を付与する不純物がドーピングされたSiとWSix等も用いることが出来る。

【0115】

また、本実施の形態では電極607を単層の導電膜で形成しているが、本実施の形態はこの構成に限定されない。電極607は積層された複数の導電膜で形成されていても良い。3つ以上の導電膜を積層する3層構造の場合は、モリブデン膜とアルミニウム膜とモリブデン膜の積層構造を採用するとよい。

10

【0116】

なお電極607を形成する際に用いるマスクとして、レジストの代わりに酸化珪素、窒化酸化珪素等をマスクとして用いてもよい。この場合、パターニングして酸化珪素、窒化酸化珪素等のマスクを形成する工程が加わるが、エッチング時におけるマスクの膜減りがレジストよりも少ないため、所望の幅を有する電極607を形成することができる。またマスクを用いずに、液滴吐出法を用いて選択的に電極607を形成しても良い。

【0117】

なお液滴吐出法とは、所定の組成物を含む液滴を細孔から吐出または噴出することで所定のパターンを形成する方法を意味し、インクジェット法などがその範疇に含まれる。

【0118】

また電極607は、導電膜を形成後、ICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング法を用い、エッチング条件(コイル型の電極層に印加される電力量、基板側の電極層に印加される電力量、基板側の電極温度等)を適宜調節することにより、所望のテーパ形状を有するようにエッチングすることができる。また、テーパ形状は、マスクの形状によっても角度等を制御することができる。なお、エッチング用ガスとしては、塩素、塩化硼素、塩化珪素もしくは四塩化炭素などの塩素系ガス、四弗化炭素、弗化硫黄もしくは弗化窒素などのフッ素系ガス又は酸素を適宜用いることができる。

20

【0119】

次に図12(D)に示すように、電極607をマスクとして一導電型を付与する不純物元素を半導体膜603、半導体膜604に添加する。本実施の形態では、半導体膜603にp型を付与する不純物元素(例えばボロン)を、半導体膜604にn型を付与する不純物元素(例えばリンまたはヒ素)を添加する。なお、p型を付与する不純物元素を半導体膜603に添加する際、n型の不純物が添加される半導体膜604はマスク等で覆い、p型を付与する不純物元素の添加が選択的に行われるようにする。逆にn型を付与する不純物元素を半導体膜604に添加する際、p型の不純物が添加される半導体膜603はマスク等で覆い、n型を付与する不純物元素の添加が選択的に行われるようにする。或いは、先に半導体膜603及び半導体膜604にp型もしくはn型のいずれか一方を付与する不純物元素を添加した後、一方の半導体膜のみに選択的に高い濃度でp型もしくはn型のうちの他方を付与する不純物元素のいずれか一方を添加するようにしても良い。上記不純物の添加により、半導体膜603に不純物領域608、半導体膜604に不純物領域609が形成される。

30

40

【0120】

次に、図13(A)に示すように、電極607の側面にサイドウォール610を形成する。サイドウォール610は、例えば、ゲート絶縁膜606及び電極607を覆うように新たに絶縁膜を形成し、垂直方向を主体とした異方性エッチングにより、新たに形成された該絶縁膜を部分的にエッチングすることで、形成することが出来る。上記異方性エッチングにより、新たに形成された絶縁膜が部分的にエッチングされて、電極607の側面にサイドウォール610が形成される。なお上記異方性エッチングにより、ゲート絶縁膜606も部分的にエッチングしても良い。サイドウォール610を形成するための絶縁膜は、

50

プラズマCVD法やスパッタリング法等により、珪素膜、酸化珪素膜、窒化酸化珪素膜や、有機樹脂などの有機材料を含む膜を、単層または積層して形成することができる。本実施の形態では、膜厚100nmの酸化珪素膜をプラズマCVD法によって形成する。またエッチングガスとしては、 CHF_3 とヘリウムの混合ガスを用いることができる。なお、サイドウォール610を形成する工程は、これらに限定されるものではない。

【0121】

次に図13(B)に示すように、電極607及びサイドウォール610をマスクとして、半導体膜603、半導体膜604に一導電型を付与する不純物元素を添加する。なお、半導体膜603、半導体膜604には、それぞれ先の工程で添加した不純物元素と同じ導電型の不純物元素をより高い濃度で添加する。なお、p型を付与する不純物元素を半導体膜603に添加する際、n型の不純物が添加される半導体膜604はマスク等で覆い、p型を付与する不純物元素の添加が選択的に行われるようにする。逆にn型を付与する不純物元素を半導体膜604に添加する際、p型の不純物が添加される半導体膜603はマスク等で覆い、n型を付与する不純物元素の添加が選択的に行われるようにする。

10

【0122】

上記不純物元素の添加により、半導体膜603に、一対の高濃度不純物領域611と、一対の低濃度不純物領域612と、チャネル形成領域613とが形成される。また上記不純物元素の添加により、半導体膜604に、一対の高濃度不純物領域614と、一対の低濃度不純物領域615と、チャネル形成領域616とが形成される。高濃度不純物領域611、614はソース又はドレインとして機能し、低濃度不純物領域612、615はLD

20

【0123】

なお、半導体膜604上に形成されたサイドウォール610と、半導体膜603上に形成されたサイドウォール610は、キャリアが移動する方向における幅が同じになるように形成しても良いが、該幅が異なるように形成しても良い。p型トランジスタとなる半導体膜604上のサイドウォール610の幅は、n型トランジスタとなる半導体膜603上のサイドウォール610の幅よりも長くすると良い。なぜならば、p型トランジスタにおいてソース及びドレインを形成するために注入されるボロンは拡散しやすく、短チャネル効果を誘起しやすいためである。p型トランジスタにおいて、サイドウォール610の幅より長くすることで、ソース及びドレインに高濃度のボロンを添加することが可能となり、ソース及びドレインを低抵抗化することができる。

30

【0124】

次に、ソース及びドレインをさらに低抵抗化するために、半導体膜603、半導体膜604をシリサイド化することで、シリサイド層を形成しても良い。シリサイド化は、半導体膜に金属を接触させ、加熱処理、GRTA法、LRTA法等により、半導体層中の珪素と金属とを反応させて行う。シリサイド層としては、コバルトシリサイド若しくはニッケルシリサイドを用いれば良い。半導体膜603、半導体膜604の厚さが薄い場合には、この領域の半導体膜603、半導体膜604の底部までシリサイド反応を進めても良い。シリサイド化に用いる金属の材料として、チタン(Ti)、ニッケル(Ni)、タングステン(W)、モリブデン(Mo)、コバルト(Co)、ジルコニウム(Zr)、ハフニウム(Hf)、タンタル(Ta)、バナジウム(V)、ネオジム(Nb)、クロム(Cr)、白金(Pt)、パラジウム(Pd)等を用いることができる。また、レーザ照射やランプなどの光照射によってシリサイドを形成しても良い。

40

【0125】

上述した一連の工程により、nチャネル型トランジスタ617と、pチャネル型トランジスタ618とが形成される。なお、p型の半導体だと、多数キャリアである正孔の移動度が最も高くなる結晶の方位が{110}面であり、n型の半導体だと、多数キャリアである電子の移動度が最も高くなる結晶の方位が{100}面である。よって本発明では、半導体素子の有する極性に合わせて半導体膜の面方位を適宜選択することができるので、半導体素子の移動度を高めることができ、より高速駆動が可能な半導体装置を提供すること

50

ができる。

【0126】

次に図13(C)に示すように、トランジスタ617、トランジスタ618を覆うように絶縁膜619を形成する。絶縁膜619は必ずしも設ける必要はないが、絶縁膜619を形成することで、アルカリ金属やアルカリ土類金属などの不純物がトランジスタ617、トランジスタ618へ侵入するのを防ぐことができる。具体的に絶縁膜619として、窒化珪素、窒化酸化珪素、窒化アルミニウム、酸化アルミニウム、酸化珪素などを用いるのが望ましい。本実施の形態では、膜厚600nm程度の窒化酸化珪素膜を、絶縁膜619として用いる。この場合、上記水素化の工程は、該窒化酸化珪素膜形成後に行っても良い。

10

【0127】

次に、トランジスタ617、トランジスタ618を覆うように、絶縁膜619上に絶縁膜620を形成する。絶縁膜620は、ポリイミド、アクリル、ポリイミド、ベンゾシクロブテン、ポリアミド、エポキシ等の、耐熱性を有する有機材料を用いることができる。また上記有機材料の他に、低誘電率材料(low - k 材料)、シロキサン系樹脂、酸化珪素、窒化珪素、窒化酸化珪素、PSG(リンガラス)、BPSG(リンボロンガラス)、アルミナ等を用いることができる。シロキサン系樹脂は、置換基に水素の他、フッ素、アルキル基、または芳香族炭化水素のうち少なくとも1種を有していても良い。なお、これらの材料で形成される絶縁膜を複数積層させることで、絶縁膜620を形成しても良い。絶縁膜620は、その表面をCMP法などにより平坦化させても良い。

20

【0128】

なお、半導体膜603と半導体膜604が、実施の形態3で示す方法でベース基板601上に貼り合わされている場合、半導体膜603、半導体膜604と、ベース基板601との間に、互いに分離している絶縁膜がそれぞれ存在する。しかし、例えば上記ポリイミド、シロキサン系樹脂などを用いて塗布法で絶縁膜620を形成することで、分離して存在する上記絶縁膜間に段差が存在していても、絶縁膜620の表面の平坦性が損なわれるのを防ぐことができる。よって、絶縁膜620の表面に凹凸が生じることで、後に絶縁膜620上に形成される導電膜621、導電膜622が部分的に極端に薄くなる、または最悪の場合段切れを起すのを防ぐことができる。したがって、塗布法で絶縁膜620を形成することにより、結果的に本発明を用いて形成される半導体装置の歩留まり及び信頼性を高めることができる。

30

【0129】

なおシロキサン系樹脂とは、シロキサン系材料を出発材料として形成されたSi-O-Si結合を含む樹脂に相当する。シロキサン系樹脂は、置換基に水素の他、フッ素、アルキル基、または芳香族炭化水素のうち、少なくとも1種を有していても良い。

【0130】

絶縁膜620の形成には、その材料に応じて、CVD法、スパッタ法、SOG法、スピコート、ディップ、スプレー塗布、液滴吐出法(インクジェット法、スクリーン印刷、オフセット印刷等)、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター等を用いることができる。

40

【0131】

次に図14に示すように、半導体膜603と半導体膜604がそれぞれ一部露出するように絶縁膜619及び絶縁膜620にコンタクトホールを形成する。そして、該コンタクトホールを介して半導体膜603と半導体膜604に接する導電膜621、622を形成する。コンタクトホール開口時のエッチングに用いられるガスは、 CHF_3 とHeの混合ガスを用いたが、これに限定されるものではない。

【0132】

導電膜621、622は、CVD法やスパッタリング法等により形成することができる。具体的に導電膜621、622として、アルミニウム(Al)、タングステン(W)、チタン(Ti)、タンタル(Ta)、モリブデン(Mo)、ニッケル(Ni)、白金(Pt

50

)、銅(Cu)、金(Au)、銀(Ag)、マンガン(Mn)、ネオジウム(Nd)、炭素(C)、珪素(Si)等を用いることが出来る。また上記金属を主成分とする合金を用いても良いし、上記金属を含む化合物を用いても良い。導電膜621、622は、上記金属が用いられた膜を単層または複数積層させて形成することが出来る。

【0133】

アルミニウムを主成分とする合金の例として、アルミニウムを主成分としニッケルを含むものが挙げられる。また、アルミニウムを主成分とし、ニッケルと、炭素または珪素の一方または両方とを含むものも例として挙げることが出来る。アルミニウムやアルミニウムシリコンは抵抗値が低く、安価であるため、導電膜621、622を形成する材料として最適である。特にアルミニウムシリコン(Al-Si)膜は、導電膜621、622をパターンニングで形成するとき、レジストバークにおけるヒロックの発生をアルミニウム膜に比べて防止することができる。また、珪素(Si)の代わりに、アルミニウム膜に0.5%程度のCuを混入させても良い。

10

【0134】

導電膜621、622は、例えば、バリア膜とアルミニウムシリコン(Al-Si)膜とバリア膜の積層構造、バリア膜とアルミニウムシリコン(Al-Si)膜と窒化チタン膜とバリア膜の積層構造を採用するとよい。なお、バリア膜とは、チタン、チタンの窒化物、モリブデンまたはモリブデンの窒化物を用いて形成された膜である。アルミニウムシリコン(Al-Si)膜を間に挟むようにバリア膜を形成すると、アルミニウムやアルミニウムシリコンのヒロックの発生をより防止することができる。また、還元性の高い元素であるチタンを用いてバリア膜を形成すると、半導体膜603と半導体膜604上に薄い酸化膜ができていたとしても、バリア膜に含まれるチタンがこの酸化膜を還元し、導電膜621、622と、半導体膜603及び半導体膜604とがそれぞれ良好なコンタクトをとることができる。またバリア膜を複数積層するようにして用いても良い。その場合、例えば、導電膜621、622を下層からTi、窒化チタン、Al-Si、Ti、窒化チタンの5層構造とすることが出来る。

20

【0135】

なお、導電膜621はnチャンネル型トランジスタ617の高濃度不純物領域611に接続されている。導電膜622はpチャンネル型トランジスタ618の高濃度不純物領域614に接続されている。

30

【0136】

図14には、nチャンネル型トランジスタ617及びpチャンネル型トランジスタ618の上面図が示されている。ただし図14では導電膜621、622、絶縁膜619、絶縁膜620を省略した図を示している。

【0137】

また本実施の形態では、nチャンネル型トランジスタ617とpチャンネル型トランジスタ618が、それぞれゲートとして機能する電極607を1つずつ有する場合を例示しているが、本発明はこの構成に限定されない。本発明で作製されるトランジスタは、ゲートとして機能する電極を複数有し、なおかつ該複数の電極が電氣的に接続されているマルチゲート構造を有していても良い。

40

【0138】

また本発明で作製される半導体装置が有するトランジスタは、ゲートプレナー構造を有していても良い。

【0139】

本実施の形態は、上記実施の形態と適宜組み合わせる実施することが可能である。

【実施例4】

【0140】

本実施例では、本発明に係る駆動回路を具備する表示装置の構成について説明する。

【0141】

アクティブマトリクス型の発光装置は、各画素に表示素子に相当する発光素子が設けられ

50

ている。発光素子は自ら発光するため視認性が高く、液晶表示装置に必要なバックライトが要らず薄型化に最適であると共に、視野角にも制限が無い。本実施例では、発光素子の1つである有機発光素子(OLED: Organic Light Emitting Diode)を用いた発光装置について説明するが、本発明の駆動回路を具備する表示装置は、他の発光素子を用いた発光装置であっても良い。

【0142】

OLEDは、電場を加えることで発生するルミネッセンス(Electroluminescence)が得られる材料を含む層(以下、電界発光層と記す)と、陽極層と、陰極層とを有している。エレクトロルミネッセンスには、一重項励起状態から基底状態に戻る際の発光(蛍光)と三重項励起状態から基底状態に戻る際の発光(リン光)とがあるが、本発明で作製される発光装置は、上述した発光のうちの、いずれか一方の発光を用いても良いし、または両方の発光を用いても良い。

10

【0143】

図15に、本実施例の発光装置の断面図を示す。図15に示す発光装置は、スティックドライバ1630の駆動回路に用いられるトランジスタ1601、トランジスタ1602と、画素に用いられる駆動用トランジスタ1604、スイッチング用トランジスタ1603とを素子基板1600上に有している。また図15に示す発光装置は、素子基板1600上において、画素に発光素子1605を有している。なおスティックドライバ1630は接着材により素子基板1600に固着されており、球形の導電性部材により引き出し端子を介して外部回路及び画素との電気的接続を成している。

20

【0144】

発光素子1605は、画素電極1606と、電界発光層1607と、対向電極1608とを有している。画素電極1606と対向電極1608は、いずれか一方が陽極であり、他方が陰極である。

【0145】

陽極は、酸化珪素を含むインジウム錫酸化物(ITSO)、インジウム錫酸化物(ITO)、酸化亜鉛(ZnO)、酸化インジウム亜鉛(IZO)、ガリウムを添加した酸化亜鉛(GZO)などの透光性酸化物導電材料を用いることができる。また陽極は、透光性酸化物導電材料の他に、例えば窒化チタン、窒化ジルコニウム、Ti、W、Ni、Pt、Cr、Ag、Al等の1つまたは複数からなる単層膜の他、窒化チタンとアルミニウムを主成分とする膜との積層、窒化チタン膜とアルミニウムを主成分とする膜と窒化チタン膜との三層構造等を用いることができる。ただし透光性酸化物導電材料以外の材料で陽極側から光を取り出す場合、光が透過する程度の膜厚(好ましくは、5nm~30nm程度)で形成する。

30

【0146】

なお、陽極として導電性高分子(導電性ポリマーともいう)を含む導電性組成物を用いることもできる。導電性組成物は、陽極となる導電膜のシート抵抗が10000 / 以下、波長550nmにおける透光率が70%以上であることが好ましい。また、含まれる導電性高分子の抵抗率が0.1・cm以下であることが好ましい。

【0147】

導電性高分子としては、いわゆる電子共役系導電性高分子を用いることができる。例えば電子共役系導電性高分子として、ポリアニリン及びまたはその誘導体、ポリピロール及びまたはその誘導体、ポリチオフェン及びまたはその誘導体、これらの2種以上の共重合体などがあげられる。

40

【0148】

共役導電性高分子の具体例としては、ポリピロール、ポリ(3-メチルピロール)、ポリ(3-ブチルピロール)、ポリ(3-オクチルピロール)、ポリ(3-デシルピロール)、ポリ(3,4-ジメチルピロール)、ポリ(3,4-ジブチルピロール)、ポリ(3-ヒドロキシピロール)、ポリ(3-メチル-4-ヒドロキシピロール)、ポリ(3-メトキシピロール)、ポリ(3-エトキシピロール)、ポリ(3-オクトキシピロール)、ポ

50

リ(3-カルボキシルピロ-ル)、ポリ(3-メチル-4-カルボキシルピロ-ル)、ポリN-メチルピロ-ル、ポリチオフェン、ポリ(3-メチルチオフェン)、ポリ(3-ブチルチオフェン)、ポリ(3-オクチルチオフェン)、ポリ(3-デシルチオフェン)、ポリ(3-ドデシルチオフェン)、ポリ(3-メトキシチオフェン)、ポリ(3-エトキシチオフェン)、ポリ(3-オクトキシチオフェン)、ポリ(3-カルボキシルチオフェン)、ポリ(3-メチル-4-カルボキシルチオフェン)、ポリ(3,4-エチレンジオキシチオフェン)、ポリアニリン、ポリ(2-メチルアニリン)、ポリ(2-オクチルアニリン)、ポリ(2-イソブチルアニリン)、ポリ(3-イソブチルアニリン)、ポリ(2-アニリンスルホン酸)、ポリ(3-アニリンスルホン酸)等が挙げられる。

【0149】

上記導電性高分子を、単独で導電性組成物として陽極に使用してもよいし、導電性組成物の膜の厚さの均一性、膜強度等の膜特性を調整するために有機樹脂を添加して使用することができる。

【0150】

有機樹脂としては、導電性高分子と相溶または混合分散可能であれば熱硬化性樹脂であってもよく、熱可塑性樹脂であってもよく、光硬化性樹脂であってもよい。例えば、ポリエチレンテレフタレ-ト、ポリブチレンテレフタレ-ト、ポリエチレンナフタレ-ト等のポリエステル系樹脂、ポリイミド、ポリアミドイミド等のポリイミド系樹脂、ポリアミド6、ポリアミド6,6、ポリアミド12、ポリアミド11等のポリアミド樹脂、ポリフッ化ビニリデン、ポリフッ化ビニル、ポリテトラフルオロエチレン、エチレンテトラフルオロエチレンコポリマ-、ポリクロロトリフルオロエチレン等のフッ素樹脂、ポリビニルアルコール、ポリビニルエ-テル、ポリビニルブチラ-ル、ポリ酢酸ビニル、ポリ塩化ビニル等のビニル樹脂、エポキシ樹脂、キシレン樹脂、アラミド樹脂、ポリウレタン系樹脂、ポリウレア系樹脂、メラミン樹脂、フェノ-ル系樹脂、ポリエ-テル、アクリル系樹脂及びこれらの共重合体等が挙げられる。

【0151】

さらに、導電性組成物の電気伝導度を調整するために、導電性組成物にアクセプタ性またはドナー性ド-パントをド-ピングすることにより、共役導電性高分子の共役電子の酸化還元電位を変化させてもよい。

【0152】

アクセプタ性ド-パントとしては、ハロゲン化合物、ルイス酸、プロトン酸、有機シアノ化合物、有機金属化合物等を使用することができる。ハロゲン化合物としては、塩素、臭素、ヨウ素、塩化ヨウ素、臭化ヨウ素、フッ化ヨウ素等が挙げられる。ルイス酸としては五フッ化燐、五フッ化ヒ素、五フッ化アンチモン、三フッ化硼素、三塩化硼素、三臭化硼素等が挙げられる。プロトン酸としては、塩酸、硫酸、硝酸、リン酸、ホウフッ化水素酸、フッ化水素酸、過塩素酸等の無機酸と、有機カルボン酸、有機スルホン酸等の有機酸を挙げることができる。有機カルボン酸及び有機スルホン酸としては、前記カルボン酸化合物及びスルホン酸化合物を使用することができる。有機シアノ化合物としては、共役結合に二つ以上のシアノ基を含む化合物が使用できる。例えば、テトラシアノエチレン、テトラシアノエチレンオキサイド、テトラシアノベンゼン、テトラシアノキノジメタン、テトラシアノアザナフタレン等を挙げられる。

【0153】

ドナー性ド-パントとしては、アルカリ金属、アルカリ土類金属、4級アミン化合物等を挙げることができる。

【0154】

導電性組成物を、水または有機溶剤(アルコール系溶剤、ケトン系溶剤、エステル系溶剤、炭化水素系溶剤、芳香族系溶剤など)に溶解させて、湿式法により陽極となる薄膜を形成することができる。

【0155】

導電性組成物を溶解する溶媒としては、特に限定することなく、上記した導電性高分子

10

20

30

40

50

及び有機樹脂などの高分子樹脂化合物を溶解するものを用いればよく、例えば、水、メタノール、エタノール、プロピレンカーボネート、N-メチルピロリドン、ジメチルホルムアミド、ジメチルアセトアミド、シクロヘキサノン、アセトン、メチルエチルケトン、メチルイソブチルケトン、トルエンなどの単独もしくは混合溶剤に溶解すればよい。

【0156】

導電性組成物の成膜は上述のように溶媒に溶解した後、塗布法、コーティング法、液滴吐出法（インクジェット法ともいう）、印刷法等の湿式法を用いて成膜することができる。溶媒の乾燥は、熱処理を行ってもよいし、減圧下で行ってもよい。また、有機樹脂が熱硬化性の場合には、さらに加熱処理を行い、光硬化性の場合には、光照射処理を行えばよい。

【0157】

陰極は、一般的に仕事関数の小さい金属、合金、電気伝導性化合物、およびこれらの混合物などを用いることができる。具体的には、LiやCs等のアルカリ金属、およびMg、Ca、Sr等のアルカリ土類金属、およびこれらを含む合金（Mg：Ag、Al：Liなど）の他、YbやEr等の希土類金属を用いて形成することもできる。また、電子注入性の高い材料を含む層を陰極に接するように形成することで、アルミニウムや、透光性酸化物導電材料等を用いた、通常の導電膜も用いることができる。

【0158】

電界発光層1607は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良く、各層には有機材料のみならず無機材料が含まれていても良い。電界発光層1607におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光（蛍光）と三重項励起状態から基底状態に戻る際の発光（リン光）とが含まれる。複数の層で構成されている場合、画素電極1606が陰極だとすると、画素電極1606上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層する。なお画素電極1606が陽極に相当する場合は、電界発光層1607を、ホール注入層、ホール輸送層、発光層、電子輸送層、電子注入層の順に積層して形成する。

【0159】

また電界発光層1607は、高分子系有機化合物、中分子系有機化合物（昇華性を有さず、連鎖する分子の長さが10μm以下の有機化合物）、低分子系有機化合物、無機化合物のいずれを用いても、液滴吐出法で形成することが可能である。また中分子系有機化合物、低分子系有機化合物、無機化合物は蒸着法で形成しても良い。

【0160】

なお、スイッチング用トランジスタ1603、駆動用トランジスタ1604は、シングルゲート構造ではなく、ダブルゲート構造、ヤトリプルゲート構造などのマルチゲート構造を有していても良い。またスイッチング用トランジスタ1603、駆動用トランジスタ1604の半導体層には、単結晶半導体基板より得られる半導体膜に限らず、非晶質半導体膜、多結晶半導体膜を用いたものであってもよい。

【0161】

次に図16に、本実施例の液晶表示装置の断面図を示す。図16に示す液晶表示装置は、スティックドライバ1650の駆動回路に用いられるトランジスタ1611、トランジスタ1612と、画素においてスイッチング素子として機能するトランジスタ1613とを素子基板1610上に有している。また図16に示す液晶表示装置は、素子基板1610と対向基板1614の間に液晶セル1615を有している。なおスティックドライバ1650は接着材により素子基板1610に固着されており、球形の導電性部材により引き出し端子を介して外部回路及び画素との電氣的接続を成している。

【0162】

液晶セル1615は、素子基板1610に形成された画素電極1616と、対向基板1614に形成された対向電極1617と、画素電極1616と対向電極1617の間に設けられた液晶1618とを有している。画素電極1616には、例えば酸化インジウムスズ（ITO）、酸化インジウムスズ（IZO）、酸化亜鉛（ZnO）、酸化インジウム亜鉛（IZO）、ガリウムを添加した酸化亜鉛（GZO）などを用いることができる。

10

20

30

40

50

【0163】

なお、トランジスタ1613は、シングルゲート構造ではなく、ダブルゲート構造、やトリプルゲート構造などのマルチゲート構造を有していても良い。またトランジスタ1613の半導体層には、単結晶半導体基板より得られる半導体膜に限らず、非晶質半導体膜、多結晶半導体膜を用いたものであってもよい。また液晶1618には、TN液晶、OCB液晶、STN液晶、VA液晶、ECB型液晶、GH液晶、高分子分散型液晶、ディスコティック液晶などを用いることができるが、中でもノーマリーブラック型の液晶パネル、例えば垂直配向(VA)モードを採用した透過型の液晶表示装置とすることが好ましい。垂直配向モードとしては、いくつか挙げられるが、例えば、MVA(Multi-Domain Vertical Alignment)モード、PVA(Patterned Vertical Alignment)モード、ASVモードなどを用いることができる。具体的には、1画素を複数のサブピクセルに分割し、各サブピクセルの中央に位置する対向基板の箇所凸部を設けることで1画素をマルチドメイン化する。なお、凸部は、対向基板または素子基板の一方または両方に設けてもよく、放射状に液晶分子を配向させ、配向規制力を向上させることもできる。

10

【0164】

本実施例は、上記実施の形態または実施例と適宜組み合わせることで実施することが可能である。

【実施例5】

【0165】

本実施例では、本発明に係る駆動回路を具備する表示装置の全体的な構成について説明する。図17に、本発明に係る駆動回路を具備する表示装置のブロック図を、一例として示す。

20

【0166】

図17に示す表示装置は、画素を複数有する画素部2400と、各画素をラインごとに選択する走査線駆動回路2410と、選択されたラインの画素へのビデオ信号の入力を制御する信号線駆動回路2420とを有する。

【0167】

図17において信号線駆動回路2420は、シフトレジスタ2421、第1のラッチ2422、第2のラッチ2423、DA(Digital to Analog)変換回路2424を有している。シフトレジスタ2421には、クロック信号S-CLK、スタートパルス信号S-SPが入力される。シフトレジスタ2421は、これらクロック信号S-CLK及びスタートパルス信号S-SPに従って、パルスが順次シフトするタイミング信号を生成し、第1のラッチ2422に出力する。タイミング信号のパルスの出現する順序は、走査方向切り替え信号に従って切り替えるようにしても良い。

30

【0168】

第1のラッチ2422にタイミング信号が入力されると、該タイミング信号のパルスに従って、ビデオ信号が順に第1のラッチ2422に書き込まれ、保持される。なお、第1のラッチ2422が有する複数の記憶回路に順にビデオ信号を書き込んでも良いが、第1のラッチ2422が有する複数の記憶回路をいくつかのグループに分け、該グループごとに並行してビデオ信号を入力する、いわゆる分割駆動を行っても良い。なおこのときのグループ数を分割数と呼ぶ。例えば4つの記憶回路ごとにラッチをグループに分けた場合、4分割で分割駆動することになる。

40

【0169】

第1のラッチ2422の全ての記憶回路への、ビデオ信号の書き込みが一通り終了するまでの時間を、ライン期間と呼ぶ。実際には、上記ライン期間に水平帰線期間が加えられた期間をライン期間に含むことがある。

【0170】

1ライン期間が終了すると、第2のラッチ2423に入力されるラッチ信号S-LSのパルスに従って、第1のラッチ2422に保持されているビデオ信号が、第2のラッチ24

50

23に一齐に書き込まれ、保持される。ビデオ信号を第2のラッチ2423に送出し終えた第1のラッチ2422には、再びシフトレジスタ2421からのタイミング信号に従って、次のビデオ信号の書き込みが順次行われる。この2順目の1ライン期間中には、第2のラッチ2423に書き込まれ、保持されているビデオ信号が、DA変換回路2424にされる。

【0171】

そしてDA変換回路2424は、入力されたデジタルのビデオ信号をアナログのビデオ信号に変換し、信号線を介して画素部2400内の各画素に入力する。

【0172】

なお信号線駆動回路2420は、シフトレジスタ2421の代わりに、パルスが順次シフトする信号を出力することができる別の回路を用いても良い。

10

【0173】

なお図17ではDA変換回路2424の後段に画素部2400が直接接続されているが、本発明はこの構成に限定されない。画素部2400の前段に、DA変換回路2424から出力されたビデオ信号に信号処理を施す回路を設けることができる。信号処理を施す回路の一例として、例えば波形を整形することができるバッファなどが挙げられる。

【0174】

次に、走査線駆動回路2410の動作について説明する。本発明に係る駆動回路を具備する表示装置では、画素部2400の各画素に走査線が複数設けられている。走査線駆動回路2410は選択信号を生成し、該選択信号を複数の各走査線に入力することで、画素をラインごとに選択する。選択信号により画素が選択されると、走査線の一つにゲートが接続されたトランジスタがオンになり、画素へのビデオ信号の入力が行われる。

20

【0175】

本発明では、単結晶半導体基板より得られた半導体膜を用いて駆動回路を構成するトランジスタを形成しているため、駆動回路を構成するトランジスタ間のトランジスタ特性のばらつきを低減することができるので、走査線駆動回路2410、信号線駆動回路2420の誤動作が少なく、画素部2400にて高画質の画像を得ることができる。

【0176】

本実施例は、上記実施の形態または実施例と適宜組み合わせることで実施することが可能である。

30

【実施例6】

【0177】

本発明では、額縁領域に幅が小さくでき、且つトランジスタ特性のばらつきの影響の少なくできる駆動回路を具備する表示装置を作製することができる。よって、本発明に係る駆動回路を具備する表示装置は、情報表示用の表示装置、ノート型パーソナルコンピュータ、記録媒体を備えた画像再生装置(代表的にはDVD: Digital Versatile Disc等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置)に用いることが好ましい。その他に、本発明に係る駆動回路を具備する表示装置を用いることができる電子機器として、携帯電話、携帯型ゲーム機または電子書籍、ビデオカメラ、デジタルスチルカメラ、ゴーグル型ディスプレイ(ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置(カーオーディオ、オーディオコンポ等)、などが挙げられる。これら電子機器の具体例を図18に示す。

40

【0178】

図18(A)は情報表示用の表示装置であり、筐体5001、表示部5002、スピーカ一部5003等を含む。本発明に係る駆動回路を具備する表示装置は、表示部5002に用いることができる。なお、表示装置には、パーソナルコンピュータ用、TV放送受信用、広告表示用などの全ての情報表示用の表示装置が含まれる。

【0179】

図18(B)はノート型パーソナルコンピュータであり、本体5201、筐体5202、表示部5203、キーボード5204、マウス5205等を含む。本発明に係る駆動回路

50

を具備する表示装置は、表示部 5 2 0 3 に用いることができる。

【 0 1 8 0 】

図 1 8 (C) は記録媒体を備えた携帯型の画像再生装置（具体的には D V D 再生装置）であり、本体 5 4 0 1、筐体 5 4 0 2、表示部 5 4 0 3、記録媒体（ D V D 等）読み込み部 5 4 0 4、操作キー 5 4 0 5、スピーカー部 5 4 0 6 等を含む。記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。本発明に係る駆動回路を具備する表示装置は、表示部 5 4 0 3 に用いることができる。

【 0 1 8 1 】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。

10

【 0 1 8 2 】

本実施例は、上記実施の形態または上記実施例と適宜組み合わせる実施することができる。

【 図面の簡単な説明 】

【 0 1 8 3 】

【 図 1 】 実施の形態 1 を説明するための図。

【 図 2 】 実施の形態 1 を説明するための図。

【 図 3 】 実施の形態 1 を説明するための図。

【 図 4 】 実施の形態 1 を説明するための図。

【 図 5 】 実施の形態 2 を説明するための図。

20

【 図 6 】 実施の形態 2 を説明するための図。

【 図 7 】 実施の形態 2 を説明するための図。

【 図 8 】 実施の形態 2 を説明するための図。

【 図 9 】 実施の形態 1 を説明するための図。

【 図 1 0 】 本発明の実施例を説明するための図。

【 図 1 1 】 本発明の実施例を説明するための図。

【 図 1 2 】 本発明の実施例を説明するための図。

【 図 1 3 】 本発明の実施例を説明するための図。

【 図 1 4 】 本発明の実施例を説明するための図。

【 図 1 5 】 本発明の実施例を説明するための図。

30

【 図 1 6 】 本発明の実施例を説明するための図。

【 図 1 7 】 本発明の実施例を説明するための図。

【 図 1 8 】 本発明の実施例を説明するための図。

【 図 1 9 】 従来のパネルの構成例を示す図。

【 符号の説明 】

【 0 1 8 4 】

1 0 0 単結晶半導体基板

1 0 1 絶縁膜

1 0 2 欠陥層

1 0 3 半導体膜

40

1 0 4 ベース基板

1 0 5 絶縁膜

1 0 6 半導体膜

1 0 7 ベース基板

1 1 1 薄膜トランジスタ

1 1 4 絶縁膜

2 0 1 半導体膜

3 0 0 駆動回路

3 0 1 スティックドライバー

3 0 2 基板

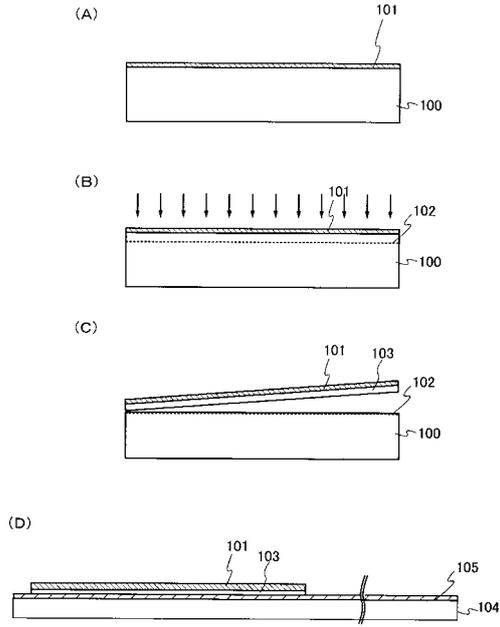
50

3 0 3	走査線側駆動回路	
3 0 4	信号線側駆動回路	
3 0 5	対向基板	
4 0 1	基板	
4 0 2	画素部	
4 0 3	対向基板	
4 0 4	走査線側駆動回路	
4 0 5	信号線側駆動回路	
4 0 6	シール材	
4 0 7	F P C	10
4 0 8	F P C	
4 0 9	表示素子層	
4 1 0	端子	
4 1 1	導電性部材	
4 1 2	ベース基板	
4 1 3	端子	
4 1 4	端子	
4 1 5	接着材	
4 1 6	ベース基板	
5 0 0	単結晶半導体基板	20
5 0 1	絶縁膜	
5 0 2	欠陥層	
5 0 3	凸部	
5 0 4	マスク	
5 0 5	コレット	
5 0 6	半導体膜	
5 0 7	ベース基板	
5 0 8	半導体膜	
5 0 9	半導体膜	
5 1 0	半導体膜	30
5 1 1	薄膜トランジスタ	
5 1 4	絶縁膜	
5 6 0	単結晶半導体基板	
5 6 1	単結晶半導体基板	
5 6 2	ベース基板	
5 6 3	半導体膜	
5 6 4	半導体膜	
5 9 1	領域	
6 0 1	ベース基板	
6 0 2	絶縁膜	40
6 0 3	半導体膜	
6 0 4	半導体膜	
6 0 6	ゲート絶縁膜	
6 0 7	電極	
6 0 8	不純物領域	
6 0 9	不純物領域	
6 1 0	サイドウォール	
6 1 1	高濃度不純物領域	
6 1 2	低濃度不純物領域	
6 1 3	チャネル形成領域	50

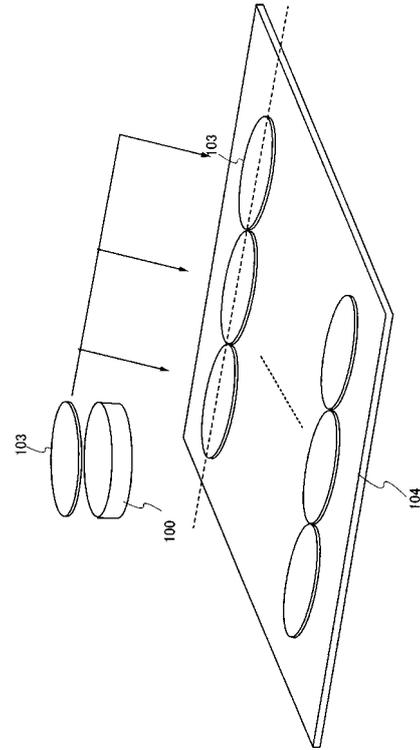
6 1 4	高濃度不純物領域	
6 1 5	低濃度不純物領域	
6 1 6	チャネル形成領域	
6 1 7	トランジスタ	
6 1 8	トランジスタ	
6 1 9	絶縁膜	
6 2 0	絶縁膜	
6 2 1	導電膜	
6 2 2	導電膜	
1 0 3 a	半導体膜	10
1 0 3 b	半導体膜	
1 0 3 c	半導体膜	
1 0 3 d	半導体膜	
1 6 0 0	素子基板	
1 6 0 1	トランジスタ	
1 6 0 2	トランジスタ	
1 6 0 3	スイッチング用トランジスタ	
1 6 0 4	駆動用トランジスタ	
1 6 0 5	発光素子	
1 6 0 6	画素電極	20
1 6 0 7	電界発光層	
1 6 0 8	対向電極	
1 6 1 0	素子基板	
1 6 1 0	基板	
1 6 1 1	トランジスタ	
1 6 1 2	トランジスタ	
1 6 1 3	トランジスタ	
1 6 1 4	対向基板	
1 6 1 5	液晶セル	
1 6 1 6	画素電極	30
1 6 1 7	対向電極	
1 6 1 8	液晶	
1 6 3 0	スティックドライバー	
1 6 5 0	スティックドライバー	
1 9 0 0	基板	
1 9 0 1	対向基板	
1 9 0 2	走査線側ドライバー I C	
1 9 0 3	走査線	
1 9 0 4	信号線側ドライバー I C	
1 9 0 5	信号線	40
1 9 0 6	F P C (F l e x i b l e P r i n t e d C i r c u i t)	
1 9 2 1	額縁領域	
1 9 5 0	基板	
1 9 5 1	対向基板	
1 9 5 2	走査線側スティックドライバー	
1 9 5 3	走査線	
1 9 5 4	信号線側スティックドライバー	
1 9 5 5	信号線	
1 9 5 6	F P C (F l e x i b l e P r i n t e d C i r c u i t)	
2 0 0 1	トランジスタ	50

2 0 0 2	トランジスタ	
2 0 0 3	配線	
2 0 0 4	配線	
2 0 0 5	配線	
2 0 0 6	配線	
2 0 0 7	配線	
2 0 0 8	半導体膜	
2 0 1 0	半導体膜	
2 0 3 0	半導体膜	
2 0 3 1	半導体膜	10
2 4 0 0	画素部	
2 4 1 0	走査線駆動回路	
2 4 2 0	信号線駆動回路	
2 4 2 1	シフトレジスタ	
2 4 2 2	ラッチ	
2 4 2 3	ラッチ	
2 4 2 4	D A 変換回路	
3 0 0 1	トランジスタ	
3 0 0 2	トランジスタ	
3 0 0 3	トランジスタ	20
3 0 0 4	トランジスタ	
3 0 0 5	半導体膜	
3 0 0 6	半導体膜	
3 0 0 7	配線	
3 0 0 8	配線	
3 0 0 9	配線	
3 0 1 0	配線	
3 0 1 1	配線	
3 0 1 2	配線	
3 0 3 0	半導体膜	30
3 0 3 1	半導体膜	
5 0 0 1	筐体	
5 0 0 2	表示部	
5 0 0 3	スピーカ部	
5 2 0 1	本体	
5 2 0 2	筐体	
5 2 0 3	表示部	
5 2 0 4	キーボード	
5 2 0 5	マウス	
5 4 0 1	本体	40
5 4 0 2	筐体	
5 4 0 3	表示部	
5 4 0 4	部	
5 4 0 5	操作キー	
5 4 0 6	スピーカ部	

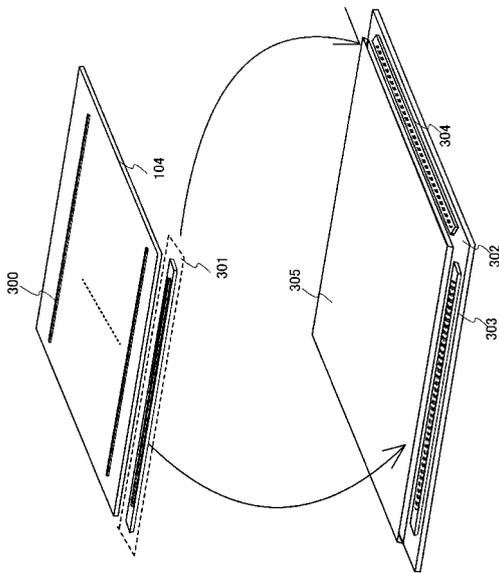
【図1】



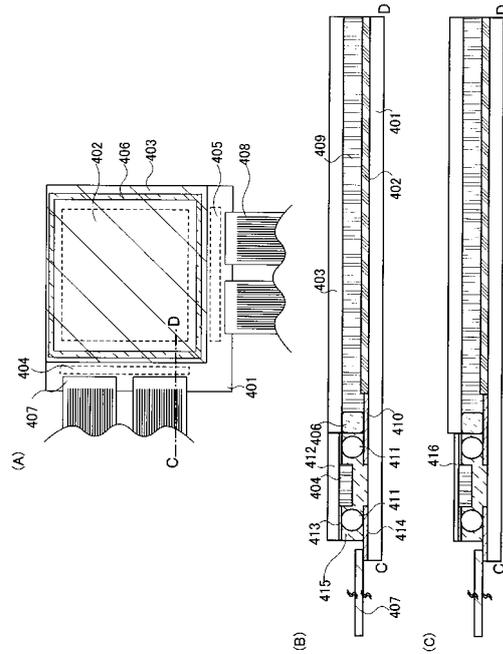
【図2】



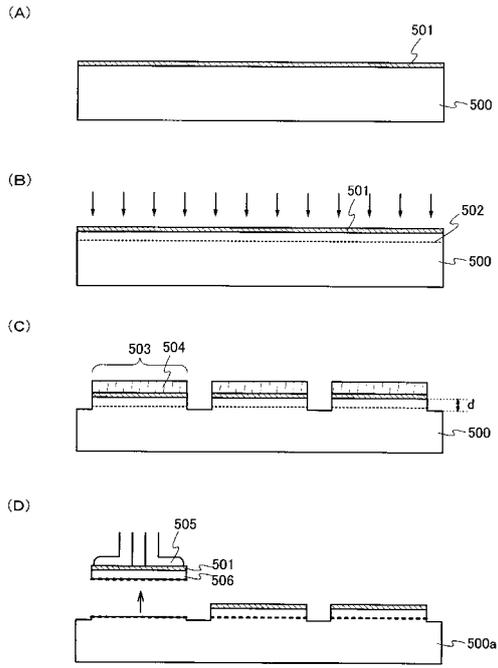
【図3】



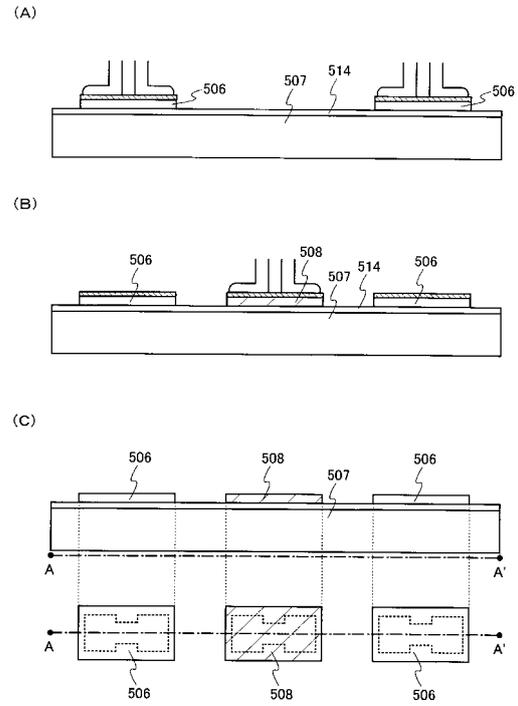
【図4】



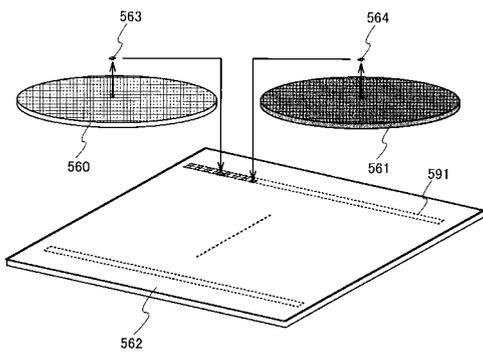
【 図 5 】



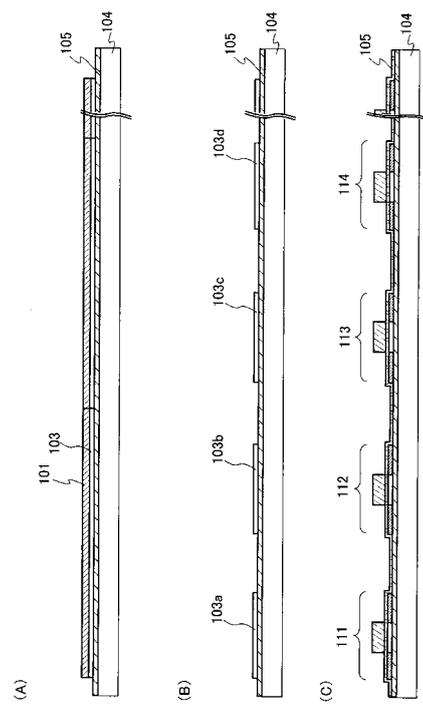
【 図 6 】



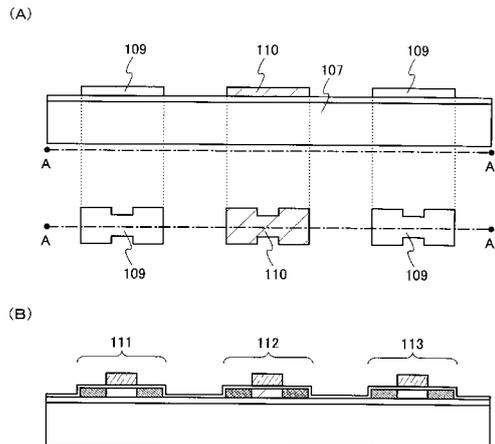
【 図 7 】



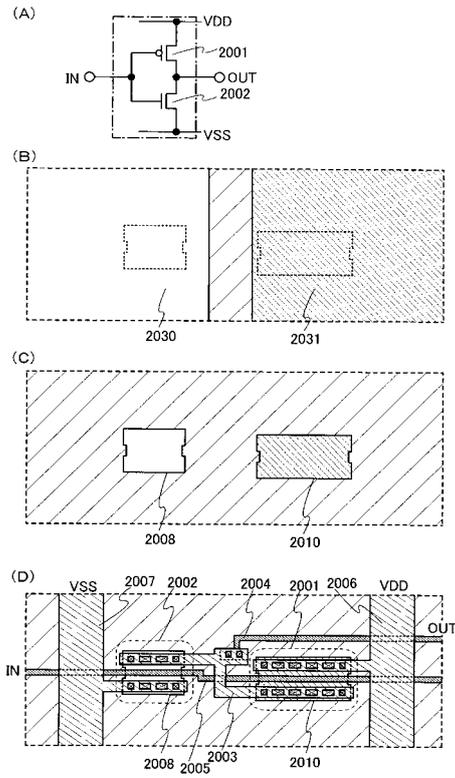
【 図 9 】



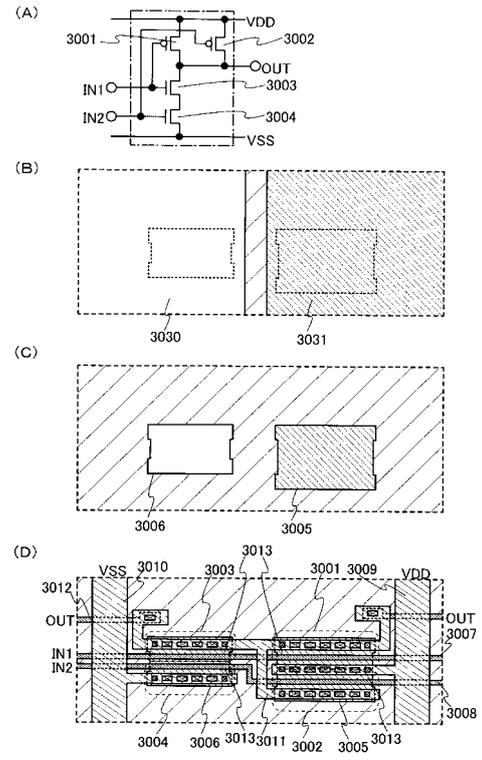
【 図 8 】



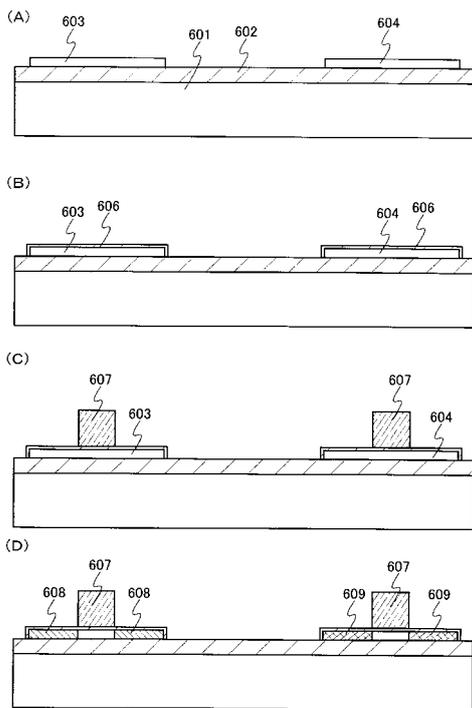
【 図 1 0 】



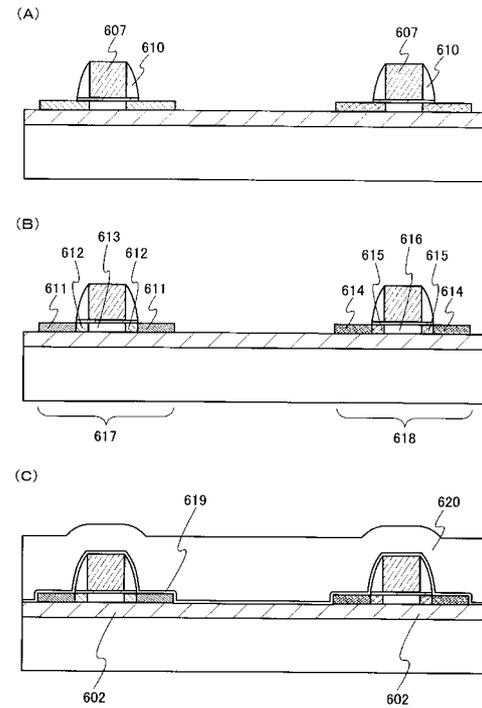
【 図 1 1 】



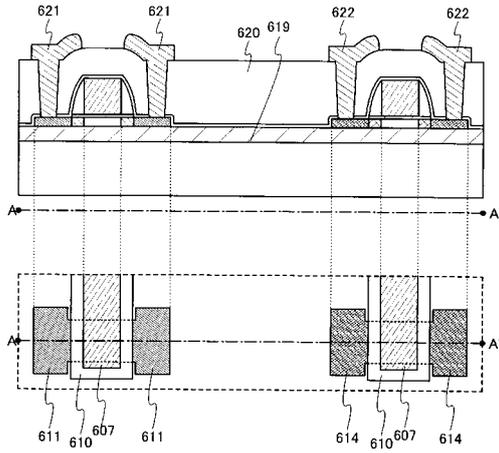
【 図 1 2 】



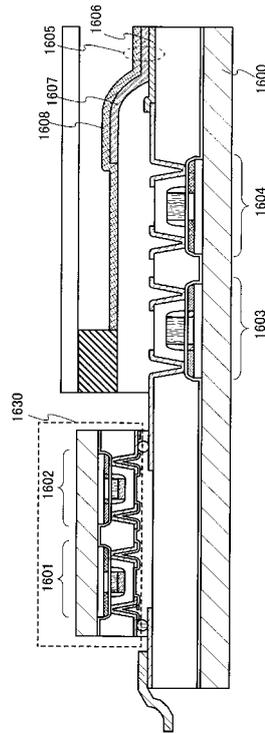
【 図 1 3 】



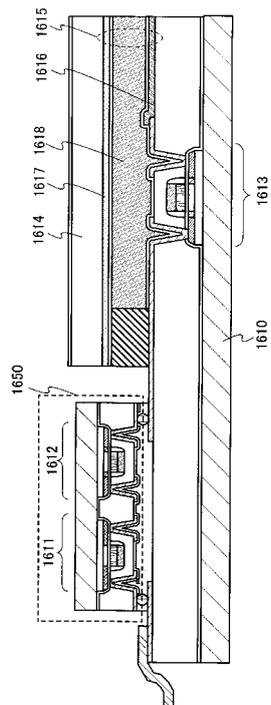
【図14】



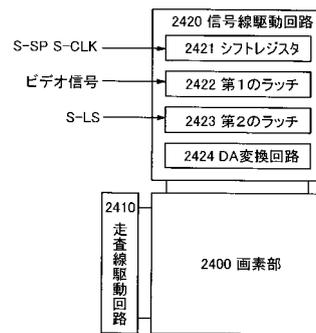
【図15】



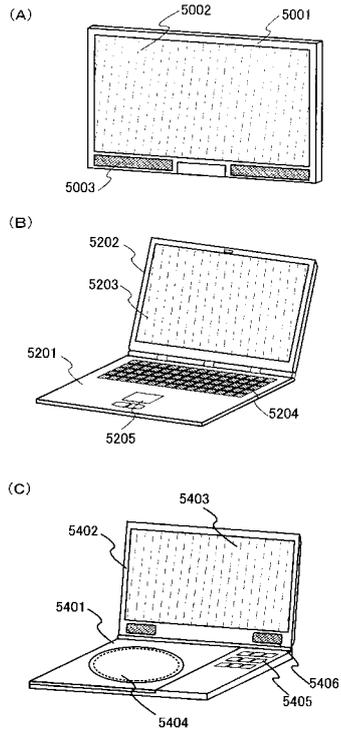
【図16】



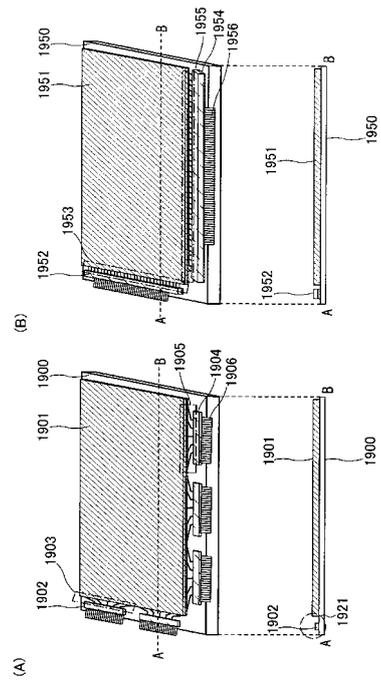
【図17】



【 18 】



【 19 】



フロントページの続き

- (56)参考文献 特開平09 - 127352 (JP, A)
特開2005 - 026472 (JP, A)
特開2006 - 080237 (JP, A)
特開2007 - 013106 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G09F 9/00 - 9/46
G02F 1/1343 - 1/1368
H01L 51/50
H05B 33/00 - 33/28