

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4113170号
(P4113170)

(45) 発行日 平成20年7月9日(2008.7.9)

(24) 登録日 平成20年4月18日(2008.4.18)

(51) Int. Cl.

F I

HO2M	3/07	(2006.01)	HO2M	3/07	
HO1L	21/822	(2006.01)	HO1L	27/04	G
HO1L	27/04	(2006.01)	G11C	11/34	354F
G11C	11/4074	(2006.01)	G11C	17/00	632A
G11C	16/06	(2006.01)	G11C	17/00	632B

請求項の数 5 (全 17 頁)

(21) 出願番号 特願2004-261345 (P2004-261345)
 (22) 出願日 平成16年9月8日(2004.9.8)
 (65) 公開番号 特開2006-81277 (P2006-81277A)
 (43) 公開日 平成18年3月23日(2006.3.23)
 審査請求日 平成17年3月23日(2005.3.23)

(73) 特許権者 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100058479
 弁理士 鈴江 武彦
 (74) 代理人 100091351
 弁理士 河野 哲
 (74) 代理人 100088683
 弁理士 中村 誠
 (74) 代理人 100108855
 弁理士 蔵田 昌俊
 (74) 代理人 100075672
 弁理士 峰 隆司
 (74) 代理人 100109830
 弁理士 福原 淑弘

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

2段よりも多い段数の半導体チャージポンプを含む半導体装置であって、出力側の最終段のノードの電位を上げ下げするポンピングキャパシタが、並列に接続された2つのキャパシタを含み、他の段のノードの電位を上げ下げするポンピングキャパシタの2倍もしくはそれ以上の容量をもつことを特徴とする半導体装置。

【請求項2】

前記半導体装置は、直列に接続された複数のダイオード素子と、位相が180度異なる第1のクロック信号および第2のクロック信号をそれぞれ出力する出力回路と、

前記第2のクロック信号が一方の電極に供給され、前記複数のダイオード素子のうちの、奇数段目のダイオード素子の第1の端子と偶数段目のダイオード素子の第2の端子との接続点に他方の電極が接続された、少なくとも1つ以上の第1のポンピングキャパシタと

、前記第1のクロック信号が一方の電極に供給され、前記複数のダイオード素子のうちの、偶数段目のダイオード素子の第1の端子と奇数段目のダイオード素子の第2の端子との接続点に他方の電極が接続された、少なくとも1つ以上の第2のポンピングキャパシタを含むことを特徴とする請求項1に記載の半導体装置。

【請求項3】

前記複数のダイオード素子は、ダイオード接続されたNチャネルMOS (Metal Oxide Semiconductor) トランジスタを用いて構成されることを特徴とする請求項2に記載の半導体装置。

【請求項4】

前記複数のダイオード素子は、ダイオード接続されたPチャネルMOS (Metal Oxide Semiconductor) トランジスタを用いて構成されることを特徴とする請求項2に記載の半導体装置。

【請求項5】

前記第1および第2のポンピングキャパシタは、MOS (Metal Oxide Semiconductor) キャパシタを用いて構成されることを特徴とする請求項2に記載の半導体装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置に関するもので、特に、多段に構成されたディクソン (Dickson) 型のチャージポンプに関する。

【背景技術】

【0002】

近年、素子の微細化にともなってゲート酸化膜の膜厚が薄くなるにつれ、ゲート酸化膜に印加される電圧の緩和が強く求められている。この要求に答え、ロジックゲート電源は急激に低電圧化されている。たとえば、ゲート長 $0.25\mu\text{m}$ 世代のCMOS (Complementary Metal Oxide Semiconductor) 技術では電源電圧として 2.5V が用いられていた。ところが、ゲート長 70nm 世代のCMOS技術では電源電圧として 1.2V が用いられている。

20

【0003】

一方、DRAM (Dynamic Random Access Memory) のワード線昇圧電源、EEPROM (Electrically Erasable Programmable Read Only Memory) の書き込み動作電源、アンチフューズ (anti-fuse) の書き込み電源、および、VT (Vacuum Treatment) - CMOS に用いられるバックゲート電源のように、ロジックゲート電源よりも高電圧または負電圧を求める回路ブロックが存在する。これらの回路ブロックは、トランジスタのカットオフ特性または半導体のバンドギャップまたはバックゲート特性などの、素子の微細化効果を受けにくい特性を利用している。そのため、電源電圧の低電圧化は上述のロジックゲート電源のようには進んでいない。たとえば、上記したDRAMのワード線昇圧電源としては、 $0.25\mu\text{m}$ 世代で 3.5V 、 90nm 世代で 3.0V が用いられている。また、上記EEPROMの書き込み動作電源は、ほぼ 10.0V で一定である。さらに、上記VT - CMOSのバックゲート電源の場合、十分なカットオフ電流削減効果を得るためには、ロジックゲート電源に対して 1.0V 以上の昇圧および -1.0V 以下の負電圧が必要である。

30

【0004】

このような高電圧 (昇圧) 電源または負電圧電源を得るために、昇圧電源回路も集積回路内に実装される。通常、集積回路内に実装される昇圧電源回路には、省スペース化が困難なインダクターを必要としない、チャージポンプが用いられることが多い。さらに、ロジックゲート電源の低電圧化が進み、それにしただって供給電源電圧は低電圧化される一方で、求められる出力電圧の低電圧化は進んでいない。供給電源電圧に対して、2倍かもしくはそれ以上の出力電圧が求められる場面が多くなる。このような要求に対して、Dickson型のチャージポンプが有効である (たとえば、非特許文献1参照)。

40

【0005】

供給電源電圧と出力電圧との差が大きくなるにしたがって、チャージポンプの多段化が進む。ところが、Dickson型のチャージポンプには、多段化されるにしたがって効

50

率が低下する（出力電流が小さくなり、電源回路の消費電流が大きくなる）という問題がある（たとえば、非特許文献2参照）。さらに、上記したEEPROMの書き込み動作電源およびanti-fuseの書き込み電源のように、たとえば10.0Vという極端に高い出力電圧が求められる場合、昇圧電源回路を構成する素子、特に、素子面積の大きいポンピングキャパシタの耐圧が問題となる。

【0006】

図8は、従来のDickson型のチャージポンプの構成例を示すものである。ここでは、4段構造のチャージポンプを例に、2.5Vの供給電源電圧に対して、6.0V程度の出力電圧（昇圧電圧）を得ることができるように構成した場合について説明する。

【0007】

この例の場合、高電位側の電源（外部電源）111と出力電源（端子）113との間に、5つのダイオード素子115a~115eが直列に接続されている。ダイオード素子115a~115eは、それぞれ、順方向に接続されている。ダイオード素子115a~115eにおいて、一方のダイオード素子のカソード端子と他方のダイオード素子のアノード端子との接続点には、それぞれ、ポンピングキャパシタ117a~117dの一方の電極が接続されている。各ポンピングキャパシタ117a~117dのサイズ（容量c）は、同一とされている。上記ポンピングキャパシタ117a~117dのうち、ポンピングキャパシタ117b, 117dの他方の電極には、それぞれ、第1のクロック信号1が印加される。また、ポンピングキャパシタ117a, 117cの他方の電極には、それぞれ、第2のクロック信号2が印加される。上記第1のクロック信号1は、矩形クロック信号を入力とするCMOSインバータ回路119aによって、上記第2のクロック信号2は、上記第1のクロック信号1を入力とするCMOSインバータ回路119bによって、それぞれ生成される。一方、上記出力電源113とグランド電位121の間には、2つのキャパシタ123a, 123bが二段（直列）に接続されている。また、上記キャパシタ123a, 123bの相互の接続点には、外部電源111が接続されている。

【0008】

図9は、図8に示した構成のチャージポンプの動作を説明するために示すものである。ここでは、平易な表現で説明するため、5つのダイオード素子115a~115eを閘門にたとえ、外部電源111の供給電源電圧およびダイオード素子115a~115eの中間ノードおよび出力電源113の電位（出力電圧）を、それぞれ、閘門により仕切られる閘室の水位にたとえて説明する。

【0009】

まず、step1（図9（a）参照）では、外部電源111に接続された第1のダイオード素子115aに相当する第1の閘門115a'が開けられている。これにより、第1の閘門115a'と第2のダイオード素子115bに相当する第2の閘門115b'とによって仕切られる第1の閘室116aの水位は、外部電源111の供給電源電圧（2.5V）と同じ高さとなる。同様に、第3のダイオード素子115cに相当する第3の閘門115c'も開けられていて、第2の閘室116bおよび第3の閘室116cの水位は同じ高さになる。第2の閘室116bおよび第3の閘室116cの水位は、容易に想像できるように、外部電源111の供給電源電圧（2.5V）と出力電源113の電位（6.0V）との中間の電位（4.25V）になる。同様に、出力電源113に接続される第5（最終段）のダイオード素子115eに相当する第5の閘門115e'が開けられている。これにより、第5の閘門115e'と第4のダイオード素子115dに相当する第4の閘門115d'とによって仕切られる第4の閘室116dの水位は、出力電源113の電位（6.0V）と同じ高さになる。

【0010】

ここで、第2の閘室116bの水底および第4の閘室116dの水底が底上げされている。これは、図8に示した第1のクロック信号1の電位が2.5Vであることを示している。したがって、それぞれの閘室116a, 116b, 116c, 116dの水底から水面までの高さが、図8に示したポンピングキャパシタ117a, 117b, 117c,

10

20

30

40

50

117dに印加される電圧に対応する。すなわち、step1の動作状態において、第1のポンピングキャパシタ117aには2.5Vの電圧が、第2のポンピングキャパシタ117bには1.75Vの電圧が、第3のポンピングキャパシタ117cには4.25Vの電圧が、第4のポンピングキャパシタ117dには3.5Vの電圧が、それぞれ印加されることになる。

【0011】

次のstep2(図9(b)参照)には、第1のクロック信号1の電位が0V、第2のクロック信号2の電位が2.5Vになった瞬間の電位状態を示している。理解を容易にするため、5つのダイオード素子115a~115eに相当するすべての閘門115a'~115e'は閉ざされており、すべての閘室116a~116dが隔離された状態で
10
の水位を示している。ただし、図8に示した構成のチャージポンプは、受動素子であるダイオード素子115a~115eによって構成される。そのため、step2で示されるような電位状態になる間もなく、step3の状態へと推移する。

【0012】

次のstep3(図9(c)参照)には、第1のクロック信号1の電位が0V、第2のクロック信号2の電位が2.5Vになり、十分に時間が経ち、安定した後の電位状態を示している。このとき、第4の閘門115d'が開き、第3の閘室116cの水位と第4の閘室116dの水位は同じ高さ(5.13V)になる。また、第2の閘門115b'が開き、第1の閘室116aの水位と第2の閘室116bの水位は同じ高さ(3.38V)となる。この時、第4の閘室116d、つまり、第4のポンピングキャパシタ117d
20
に最高電圧5.13Vが印加される。

【0013】

その後、step4(図9(d)参照)に示されるように、第1のクロック信号1の電位が2.5V、第2のクロック信号2の電位が0Vになり、再び、step1に示される電位状態で安定する。

【0014】

ところで、最近の集積回路では、膜厚の異なる二種類のトランジスタを同一チップ上に形成する技術を用いる場合がある。たとえば、ロジックゲート(図示していない)は薄い酸化膜のトランジスタで構成され、電源電圧が1.2V程度に低電圧化されている。一方、DRAMやEEPROMなどのメモリ素子やアナログ回路またはI/O(入出力)回路
30
は、厚い酸化膜のトランジスタで構成される。しかし、この厚い酸化膜のトランジスタにおいても、得られる耐圧は高々2.5Vないしは3.3Vである。6.0Vなどという高電圧を、直接、ゲート酸化膜に印加するとゲート酸化膜を破壊する危険がある。その危険を防ぐ方法として、たとえば図8に示したように、出力電源113に2つのキャパシタ123a, 123bを直列に接続する方法が考えられている。

【0015】

上記キャパシタ123aは、出力負荷として設けられる電源間デカプリングキャパシタである。通常、デカプリングキャパシタは、出力電源113とグラウンド電位121との間に設けられる。だが、この例の場合には、出力電源113と外部電源111との間にキャパシタ123aが設けられている。また、電源間デカプリングキャパシタは、MOSキャ
40
パシタによって構成されるのが一般的である。この対策により、本来ならばゲート酸化膜に求められる6.0V以上の耐圧を、3.5V(=6.0V-2.5V)にまで緩和することができる。

【0016】

また、外部電源111とグラウンド電位121の間には、上記キャパシタ(デカプリングキャパシタ)123bが設けられている。これにより、出力電源113は、上記キャパシタ123a, 123bを介して、グラウンド電位121との間に強い結合を持つことができる。その結果、出力電圧のノイズは軽減され、電位が安定する。

【0017】

ところが、外部電源111とグラウンド電位121との間のキャパシタ123bをMOS
50

キャパシタにより構成し、それを集積回路内に実装するようにした場合には、キャパシタ 123a を直接グランド電位 121 に接続する場合に比べ、結合力が半分以下になってしまう。しかし、多くの場合は、キャパシタ 123b の容量を外付けのキャパシタにより補うことも可能であるし、集積回路内に実装された他の回路がもつ寄生容量により補うことも可能である。したがって、極端にノイズが大きくなったり、デカプリングキャパシタの面積が大きくなるなどという問題は発生しない。

【0018】

図8に示した構成のチャージポンプにおいて、外部供給電圧を2.5Vとし、出力電圧が6.0Vになるように制御した場合、最終段のポンピングキャパシタ117dには最大で5.13Vの電圧が印加される。したがって、ポンピングキャパシタをMOSキャパシタにより構成する場合には、ゲート酸化膜に印加される電圧の緩和が必要となる。そこで、たとえば図10に示すように、最終段のポンピングキャパシタ117dを、直列に接続された2つのMOSキャパシタ(容量c)117d₁, 117d₂を用いて構成することが考えられる。

10

【0019】

しかしながら、ポンピングキャパシタ117dの両端の電圧は、第1のクロック信号1によって上がり下がりする。そのため、直列に接続された2つのMOSキャパシタ117d₁, 117d₂の中間ノードの電圧を補償するのが難しい。つまり、漏れ電流や寄生容量の影響により、直列に接続された2つのMOSキャパシタ117d₁, 117d₂の中間ノードの電位は中間電位にはならず、ゲート酸化膜に印加される電圧の緩和の効果が期待できない。さらに、直列接続により、ポンピングキャパシタ117dとしての実効的な容量は半減する。したがって、チャージポンプの電流供給能力が低下する。それを補うためには、さらに倍の面積のMOSキャパシタが必要となる。これは、レイアウト面積を増大させるばかりでなく、寄生容量が大きくなることにより消費電力の増大を招く。

20

【0020】

上記したように、最高電圧が印加される最終段のポンピングキャパシタをMOSキャパシタにより構成する場合には、ゲート酸化膜に印加される電圧を緩和する必要があり、そのための有効な方法が模索されていた。

【非特許文献1】J. F. Dickson, "On-chip high-voltage generation in MNOS integrated circuits using an improved voltage multiplier technique," IEEE J. Solid-State Circuits, vol. SC-11, pp. 374-378, June 1976.

30

【非特許文献2】Toru Tanzawa and Tomoharu Tanaka, "A Dynamic Analysis of the Dickson Charge Pump Circuit," IEEE Journal of solid-state circuits, vol. 32, No. 8, August 1997, pp. 1231-1240.

【発明の開示】

【発明が解決しようとする課題】

40

【0021】

本発明は、上記の問題点を解決すべくなされたもので、その目的は、ポンピングキャパシタをMOSキャパシタにより構成する場合にも、最終段のポンピングキャパシタに印加される最大電界を緩和でき、ゲート酸化膜が破壊されるのを防ぐことが可能な半導体装置を提供することにある。

【課題を解決するための手段】

【0022】

本願発明の一態様によれば、2段よりも多い段数の半導体チャージポンプを含む半導体装置であって、出力側の最終段のノードの電位を上げ下げするポンピングキャパシタが、並列に接続された2つのキャパシタを含み、他の段のノードの電位を上げ下げするポンピ

50

ングキャパシタの2倍もしくはそれ以上の容量をもつことを特徴とする半導体装置が提供される。

【発明の効果】

【0023】

上記の構成により、最終段のポンピングキャパシタの実効的な容量を倍増できるようになる結果、ポンピングキャパシタをMOSキャパシタにより構成する場合にも、最終段のポンピングキャパシタに印加される最大電界を緩和でき、ゲート酸化膜が破壊されるのを防ぐことが可能な半導体装置を提供できる。

【発明を実施するための最良の形態】

【0024】

以下、本発明の実施の形態について図面を参照して説明する。

【0025】

[第1の実施形態]

図1は、この発明の第1の実施形態にしたがった、多段(半導体)チャージポンプの基本構成を示すものである。なお、ここでは、4段構造のDickson型チャージポンプ電源回路を例に説明する。また、0Vの第1の電源電圧および2.5Vの第2の電源電圧の供給に対して、6.0V程度の出力電圧(昇圧電圧)を得ることができるよう構成した場合について説明する。

【0026】

第2の電源電圧である高電位側の電源(以下、外部電源)11には、5つのダイオード素子15a, 15b, 15c, 15d, 15eが直列に接続されている。すなわち、外部電源11には、奇数段目の第1のダイオード素子15aのアノード端子(第2の端子)が接続されている。第1のダイオード素子15aのカソード端子(第1の端子)は、偶数段目の第2のダイオード素子15bのアノード端子に接続されている。第2のダイオード素子15bのカソード端子は、奇数段目の第3のダイオード素子15cのアノード端子に接続されている。第3のダイオード素子15cのカソード端子は、偶数段目の第4のダイオード素子15dのアノード端子に接続されている。第4のダイオード素子15dのカソード端子は、奇数段目の第5(最終段)のダイオード素子15eのアノード端子に接続されている。第5のダイオード素子15eのカソード端子は、出力電源(端子)13に接続されている。

【0027】

また、上記第1のダイオード素子15aのカソード端子および上記第2のダイオード素子15bのアノード端子には、第1のポンピングキャパシタ(少なくとも1つ以上の第1のポンピングキャパシタ)17aの一方の電極が接続されている。同様に、上記第2のダイオード素子15bのカソード端子および上記第3のダイオード素子15cのアノード端子には、第2のポンピングキャパシタ(少なくとも1つ以上の第2のポンピングキャパシタ)17bの一方の電極が接続されている。同様に、上記第3のダイオード素子15cのカソード端子および上記第4のダイオード素子15dのアノード端子には、第3のポンピングキャパシタ(少なくとも1つ以上の第1のポンピングキャパシタ)17cの一方の電極が接続されている。そして、上記第4のダイオード素子15dのカソード端子および上記第5のダイオード素子15eのアノード端子には、第4(最終段)のポンピングキャパシタ(少なくとも1つ以上の第2のポンピングキャパシタ)17dの一方の電極が接続されている。

【0028】

本実施形態の場合、上記第4のポンピングキャパシタ17dは、並列に接続された2つのMOSキャパシタ $17d_{.1}$, $17d_{.2}$ によって構成されている。また、各MOSキャパシタ $17d_{.1}$, $17d_{.2}$ のサイズ(容量c)は、上記ポンピングキャパシタ17a, 17b, 17cと同一とされている。つまり、上記第4のポンピングキャパシタ17dは、たとえばMOSキャパシタからなる、上記第1, 第2, 第3のポンピングキャパシタ17a, 17b, 17cの倍の容量(2c)を有している。

10

20

30

40

50

【0029】

上記ポンピングキャパシタ17a, 17b, 17c, 17dのうち、ポンピングキャパシタ17b, 17dの他方の電極には、それぞれ、第1のクロック信号1が印加される。また、上記ポンピングキャパシタ17a, 17cの他方の電極には、それぞれ、第2のクロック信号2が印加される。上記第1のクロック信号1は、矩形クロック信号を入力とするCMOSインバータ回路(第1の出力回路)19aによって、上記第2のクロック信号2は、上記第1のクロック信号1を入力とするCMOSインバータ回路(第2の出力回路)19bによって、それぞれ生成される。つまり、上記第1, 第2のクロック信号1, 2は、矩形クロック信号を入力とする、互いに180°位相がずれた二相クロック信号として生成される。

10

【0030】

ここで、上記矩形クロック信号は、第1の電源電圧である低電位側の電源(以下、グランド電位)21と上記外部電源11との間の電位を有するとともに、図示していない制御回路により、上記出力電源13の電位が設定電位(ここでは、6.0Vとする)よりも低いときに発振され、設定電位よりも高いときには高電位または低電位に固定される。なお、本実施形態の場合、上記グランド電位21は0Vであり、上記外部電源11は2.5Vである。

【0031】

一方、上記出力電源13には、負荷容量23a, 23bが直列(二段)に接続されている。たとえば、上記負荷容量23aの一方の電極は、上記出力電源13に接続されている。上記負荷容量23aの他方の電極は、外部電源11に接続されるとともに、上記負荷容量23bの一方の電極に接続されている。上記負荷容量23bの他方の電極は、上記グランド電位21に接続されている。これら負荷容量23a, 23bは、チャージポンプの動作により発生するノイズの低減、および、電圧制御回路(図示していない)の遅延により生じるリップルの低減を可能にする。ただし、上記出力電源13に接続される回路の寄生容量または集積回路の外部に接続されるデカップリングキャパシタも同様な役割を果たすため、必須な構成要件ではない。

20

【0032】

図2は、上記した構成のDickson型チャージポンプ電源回路の動作を説明するために示すものである。ここでは、平易な表現で説明するため、5つのダイオード素子15a~15eを閘門にたとえ、外部電源11の供給電源電圧およびダイオード素子15a~15eの中間ノードおよび出力電源13の電位(出力電圧)を、それぞれ、閘門により仕切られる閘室の水位にたとえて説明する。

30

【0033】

まず、step1(図2(a)参照)では、外部電源11に接続された第1のダイオード素子15aに相当する第1の閘門15a'が開けられている。これにより、第1の閘門15a'と第2のダイオード素子15bに相当する第2の閘門15b'とによって仕切られる第1の閘室16aの水位は、外部電源11の供給電源電圧(2.5V)と同じ高さとなる。同様に、第3のダイオード素子15cに相当する第3の閘門15c'も開けられていて、第2の閘室16bおよび第3の閘室16cの水位は同じ高さになる。第2の閘室16bおよび第3の閘室16cの水位は、簡単な計算により、3.78Vと求めることができる。同様に、出力電源13に接続される第5(最終段)のダイオード素子15eに相当する第5の閘門15e'が開けられている。これにより、第5の閘門15e'と第4のダイオード素子15dに相当する第4の閘門15d'とによって仕切られる第4の閘室16dの水位は、出力電源13の電位(6.0V)と同じ高さになる。

40

【0034】

ここで、第2の閘室16bの水底および第4の閘室16dの水底が底上げされている。これは、図1に示した第1のクロック信号1の電位が2.5Vであることを示している(第2のクロック信号2の電位は0V)。したがって、それぞれの閘室16a, 16b, 16c, 16dの水底から水面までの高さが、図1に示したポンピングキャパシタ17

50

a, 17b, 17c, 17dに印加される電圧に対応する。すなわち、step 1の動作状態において、第1のポンピングキャパシタ17aには2.5Vの電圧が、第2のポンピングキャパシタ17bには1.28Vの電圧が、第3のポンピングキャパシタ17cには3.78Vの電圧が、第4のポンピングキャパシタ17dには3.5Vの電圧が、それぞれ印加されることになる。

【0035】

次のstep 2(図2(b)参照)には、第1のクロック信号 1の電位が0V、第2のクロック信号 2の電位が2.5Vになった瞬間の電位状態を示している。理解を容易にするため、5つのダイオード素子15a~15eに相当するすべての閘門15a'~15e'は閉ざされており、すべての閘室16a~16dが隔離された状態での水位を示している。ただし、図1に示した構成のチャージポンプは、受動素子であるダイオード素子15a~15eによって構成される。そのため、step 2で示されるような電位状態になる間もなく、step 3の状態へと推移する。

10

【0036】

次のstep 3(図2(c)参照)には、第1のクロック信号 1の電位が0V、第2のクロック信号 2の電位が2.5Vになり、十分に時間が経ち、安定した後の電位状態を示している。このとき、第4の閘門15d'が開き、第3の閘室16cの水位と第4の閘室16dの水位は同じ高さ(4.43V)になる。また、第2の閘門15b'が開き、第1の閘室16aの水位と第2の閘室16bの水位は同じ高さ(3.14V)となる。この時、第4の閘室16d、つまり、第4のポンピングキャパシタ17dに最高電圧4.43Vが印加される。

20

【0037】

その後、step 4(図2(d)参照)に示されるように、第1のクロック信号 1の電位が2.5V、第2のクロック信号 2の電位が0Vになり、再び、step 1に示される電位状態で安定する。

【0038】

本実施形態の場合、たとえば図2(a)~(d)に示すように、第4の閘室16dの広さが、その他の閘室16a~16cの広さの2倍、つまり、第4のポンピングキャパシタ17dの容量が、他のポンピングキャパシタ17a~17cの容量の2倍になっている。これにより、第4の閘室16dの水位が5.13Vであった従来例(たとえば、図9(c)参照)に対し、第4の閘室16dの水位を4.43Vにまで下げることが可能となる。したがって、最終段のポンピングキャパシタ17dに印加される最高電圧(最大電界)を0.7Vも緩和できる。

30

【0039】

なお、最終段のポンピングキャパシタ17dに印加される最高電圧は、そのポンピングキャパシタ17dの容量を他のポンピングキャパシタ17a~17cの容量の2倍よりも大きくすることによって、さらに小さく抑えることができる。たとえば、容量比を3倍に設定すると、最終段のポンピングキャパシタ17dに印加される最高電圧は4.15Vとなる。また、容量比を4倍に設定すると、最終段のポンピングキャパシタ17dに印加される最高電圧は4.0Vとなる。しかし、最終段のポンピングキャパシタ17dに印加される電圧緩和の効果は、電圧緩和量と面積増加量とのトレードオフになる。そのため、最終段のポンピングキャパシタ17dの容量は、他のポンピングキャパシタ17a~17cの容量の2倍から4倍が適当である。

40

【0040】

また、本実施形態の効果として、電流供給能力の増加が上げられる。すなわち、最終段のポンピングキャパシタ17dの容量を他のポンピングキャパシタ17a~17cの容量の2倍にすると、電流供給能力は従来例(図8参照)の14%増しになる。また、3倍にすると電流供給能力は20%増しに、4倍にすると電流供給能力は23%増しになる。たとえば、2つのMOSキャパシタ117d₁, 117d₂を直列に接続することにより電圧緩和を図る従来例(図10参照)の場合には、電流供給能力が20%減少するのに対し

50

、本実施形態における電流供給能力の増加の効果は大きいと言える。

【0041】

このように、本実施形態の構成によれば、4段構造のDickson型チャージポンプ電源回路において、最終段のポンピングキャパシタ17dに印加される電圧（従来は5.13V）を、4.43Vにまで緩和させることが可能である。また、電流供給能力についても改善できる。

【0042】

なお、本実施形態においては、ダイオード素子をMOSトランジスタによって置換してもよく（詳細については後述する）、同様の効果が期待できる。

【0043】

[第2の実施形態]

図3は、この発明の第2の実施形態にしたがった、多段（半導体）チャージポンプの基本構成を示すものである。なお、ここでは、負電圧電源回路を例に説明する。また、図1と同一部分には同一符号を付し、詳しい説明は割愛する。

【0044】

本実施形態の場合、第1～第5のダイオード素子15a～15eの接続の向きを除けば、図1に示したDickson型のチャージポンプ電源回路とほぼ同じ構成となっている。すなわち、奇数段目の第1のダイオード素子15aのカソード端子（第2の端子）には、第1の電源電圧である低電位側の電源（以下、グランド電位）21が接続されている。第1のダイオード素子15aのアノード端子（第1の端子）は、偶数段目の第2のダイオード素子15bのカソード端子に接続されている。第2のダイオード素子15bのアノード端子は、奇数段目の第3のダイオード素子15cのカソード端子に接続されている。第3のダイオード素子15cのアノード端子は、偶数段目の第4のダイオード素子15dのカソード端子に接続されている。第4のダイオード素子15dのアノード端子は、奇数段目の第5（最終段）のダイオード素子15eのカソード端子に接続されている。第5のダイオード素子15eのアノード端子は、出力電源（端子）13に接続されている。上記出力電源13は、負荷容量23aを介して、上記グランド電位21に接続されている。

【0045】

また、上記第1のダイオード素子15aのアノード端子および上記第2のダイオード素子15bのカソード端子には、第1のポンピングキャパシタ（少なくとも1つ以上の第1のポンピングキャパシタ）17aの一方の電極が接続されている。同様に、上記第2のダイオード素子15bのアノード端子および上記第3のダイオード素子15cのカソード端子には、第2のポンピングキャパシタ（少なくとも1つ以上の第2のポンピングキャパシタ）17bの一方の電極が接続されている。同様に、上記第3のダイオード素子15cのアノード端子および上記第4のダイオード素子15dのカソード端子には、第3のポンピングキャパシタ（少なくとも1つ以上の第1のポンピングキャパシタ）17cの一方の電極が接続されている。そして、上記第4のダイオード素子15dのアノード端子および上記第5のダイオード素子15eのカソード端子には、第4（最終段）のポンピングキャパシタ（少なくとも1つ以上の第2のポンピングキャパシタ）17dの一方の電極が接続されている。上記第4のポンピングキャパシタ17dは、並列に接続された2つのMOSキャパシタ17d₋₁、17d₋₂によって構成されている。また、各MOSキャパシタ17d₋₁、17d₋₂のサイズ（容量c）は、たとえばMOSキャパシタからなる、上記ポンピングキャパシタ17a、17b、17cと同一とされている。

【0046】

本実施形態においては、たとえば、上記グランド電位21を0Vとし、第2の電源電圧である高電位側の電源（以下、外部電源）11から2.5Vの供給電源電圧を与えることにより、-3.5V程度の負電圧（出力電圧）を生成する負電圧電源回路を構成することができる。

【0047】

ここで、最終段のポンピングキャパシタ17dの容量が他のポンピングキャパシタ17

10

20

30

40

50

a ~ 17c の容量の 2 倍（または、それ以上）の大きさとされることにより、最終段のポンピングキャパシタ 17d に印加される最高電圧（最大電界）は、第 1 の実施形態の場合と同様に、5.13V 以下に緩和される。ただし、第 4 のポンピングキャパシタ 17d に最高電圧が印加される状態になるのは、第 1 のクロック信号 1 の電位が 2.5V、第 2 のクロック信号 2 の電位が -1.93V のときである。

【0048】

このように、本実施形態によっても、上述した第 1 の実施形態の場合とほぼ同様な効果を得ることが可能である。つまり、負電圧電源回路において、最終段のポンピングキャパシタ 17d に印加される電圧（従来は 5.13V）を、4.43V にまで緩和させることが可能である。また、電流供給能力についても同様に改善できる。

10

【0049】

なお、本実施形態においては、ダイオード素子を MOS トランジスタによって置換してもよく、同様の効果が期待できる。

【0050】

[第 3 の実施形態]

図 4 は、この発明の第 3 の実施形態にしたがった、多段（半導体）チャージポンプの基本構成を示すものである。なお、ここでは、2 段構造のチャージポンプからなる昇圧電源回路を例に説明する。特に、0V の第 1 の電源電圧および 2.5V の第 2 の電源電圧の供給に対して、通常の負荷条件下において、4.0V 程度の出力電圧（昇圧電圧）を得ることができるように構成した場合について説明する。また、図 1 と同一部分には同一符号を付し、詳しい説明は割愛する。

20

【0051】

すなわち、第 2 の電源電圧である高電位側の電源（以下、外部電源）11 と出力電源（端子）13 との間に、3 つのダイオード素子 15a, 15b, 15c が直列に接続されている。たとえば、上記外部電源 11 には、奇数段目の第 1 のダイオード素子 15a のアノード端子（第 2 の端子）が接続されている。第 1 のダイオード素子 15a のカソード端子（第 1 の端子）は、偶数段目の第 2 のダイオード素子 15b のアノード端子に接続されている。第 2 のダイオード素子 15b のカソード端子は、奇数段目の第 3（最終段）のダイオード素子 15c のアノード端子に接続されている。第 3 のダイオード素子 15c のカソード端子は、上記出力電源 13 に接続されている。

30

【0052】

また、上記第 1 のダイオード素子 15a のカソード端子および上記第 2 のダイオード素子 15b のアノード端子には、第 1 のポンピングキャパシタ（少なくとも 1 つ以上の第 1 のポンピングキャパシタ）17a の一方の電極が接続されている。同様に、上記第 2 のダイオード素子 15b のカソード端子および上記第 3 のダイオード素子 15c のアノード端子には、第 2（最終段）のポンピングキャパシタ（少なくとも 1 つ以上の第 2 のポンピングキャパシタ）17b の一方の電極が接続されている。

【0053】

本実施形態の場合、上記第 2 のポンピングキャパシタ 17b は、並列に接続された 2 つの MOS キャパシタ 17b₋₁, 17b₋₂ によって構成されている。また、各 MOS キャパシタ 17b₋₁, 17b₋₂ のサイズ（容量 c）は、上記ポンピングキャパシタ 17a と同一とされている。つまり、上記第 2 のポンピングキャパシタ 17b は、たとえば MOS キャパシタからなる、上記第 1 のポンピングキャパシタ 17a の倍の容量（2c）を有している。

40

【0054】

上記ポンピングキャパシタ 17b の他方の電極には、第 1 のクロック信号 1 が印加される。また、上記ポンピングキャパシタ 17a の他方の電極には、第 2 のクロック信号 2 が印加される。上記第 1 のクロック信号 1 は、矩形クロック信号を入力とする CMOS インバータ回路 19a によって、上記第 2 のクロック信号 2 は、上記第 1 のクロック信号 1 を入力とする CMOS インバータ回路 19b によって、それぞれ生成される。

50

【 0 0 5 5 】

図5は、上記した構成の昇圧電源回路の動作を説明するために示すものである。ここでは、平易な表現で説明するため、3つのダイオード素子15a～15cを閘門にたとえ、外部電源11の供給電源電圧およびダイオード素子15a～15cの中間ノードおよび出力電源13の電位（出力電圧）を、それぞれ、閘門により仕切られる閘室の水位にたとえて説明する。

【 0 0 5 6 】

まず、step1（図5（a）参照）では、外部電源11に接続された第1のダイオード素子15aに相当する第1の閘門15a'が開けられている。これにより、第1の閘門15a'と第2のダイオード素子15bに相当する第2の閘門15b'とによって仕切られる第1の閘室16aの水位は、外部電源11の供給電源電圧（2.5V）と同じ高さとなる。同様に、出力電源13に接続される第3（最終段）のダイオード素子15cに相当する第3の閘門15c'も開けられている。これにより、第2の閘門15b'と第3の閘門15c'とによって仕切られる第2の閘室16bの水位は、出力電源13の電位（4.0V）と同じ高さになる。

【 0 0 5 7 】

ここで、第2の閘室16bの水底が底上げされている。これは、図4に示した第1のクロック信号1の電位が2.5Vであることを示している（第2のクロック信号2の電位は0V）。したがって、それぞれの閘室16a, 16bの水底から水面までの高さが、図4に示したポンピングキャパシタ17a, 17bに印加される電圧に対応する。すなわち、step1の動作状態において、第1のポンピングキャパシタ17aには2.5Vの電圧が、第2のポンピングキャパシタ17bには1.5Vの電圧が、それぞれ印加されることになる。

【 0 0 5 8 】

次のstep2（図5（b）参照）には、第1のクロック信号1の電位が0V、第2のクロック信号2の電位が2.5Vになった瞬間の電位状態を示している。理解を容易にするため、3つのダイオード素子15a～15cに相当するすべての閘門15a'～15c'は閉ざされており、すべての閘室16a, 16bが隔離された状態での水位を示している。ただし、図4に示した構成の昇圧電源回路は、受動素子であるダイオード素子15a～15cによって構成される。そのため、step2で示されるような電位状態になる間もなく、step3の状態へと推移する。

【 0 0 5 9 】

次のstep3（図5（c）参照）には、第1のクロック信号1の電位が0V、第2のクロック信号2の電位が2.5Vになり、十分に時間が経ち、安定した後の電位状態を示している。このとき、第2の閘門15b'が開き、第1の閘室16aの水位と第2の閘室16bの水位は同じ高さ（2.67V）になる。この時、第2のポンピングキャパシタ17dに最高電圧2.67Vが印加される。

【 0 0 6 0 】

その後、step4（図5（d）参照）に示されるように、第1のクロック信号1の電位が2.5V、第2のクロック信号2の電位が0Vになり、再び、step1に示される電位状態で安定する。

【 0 0 6 1 】

本実施形態の場合、たとえば図5（a）～（d）に示すように、第2の閘室16bの広さが、第1の閘室16aの広さの2倍、つまり、第2のポンピングキャパシタ17bの容量が、第1のポンピングキャパシタ17aの容量の2倍になっている。これにより、第2の閘室16bの広さを第1の閘室16aの広さと同じ、つまり、第2のポンピングキャパシタ17bの容量を第1のポンピングキャパシタ17aの容量と同じにした場合に比較し、第2の閘室16bの水位を3.25Vから2.67Vにまで下げることが可能となる。したがって、最終段のポンピングキャパシタ17dに印加される最高電圧（最大電界）を0.58Vも緩和できる。

10

20

30

40

50

【 0 0 6 2 】

このように、本実施形態の構成によれば、2段構造のチャージポンプからなる昇圧電源回路において、最終段のポンピングキャパシタ17bに印加される電圧を、2.67Vにまで緩和させることが可能である。また、電流供給能力についても上述した第1の実施形態の場合と同様に改善できる。

【 0 0 6 3 】

なお、最終段のポンピングキャパシタ17bに印加される最高電圧は、そのポンピングキャパシタ17bの容量を他のポンピングキャパシタ17aの容量の2倍よりも大きくすることによって、さらに小さく抑えることができる。ただし、最終段のポンピングキャパシタ17bの容量は、他のポンピングキャパシタ17aの容量の2倍から4倍が適当である。

10

【 0 0 6 4 】

また、本実施形態においては、2段構造のチャージポンプからなる昇圧電源回路に適用した場合を例に説明した。これに限らず、たとえば3段構造またはそれよりも多い段数のチャージポンプからなる昇圧電源回路に対しても、本実施形態は適用可能である。

【 0 0 6 5 】

さらには、本実施形態の場合にも、ダイオード素子をMOSトランジスタによって置換することができる。

【 0 0 6 6 】

[第4の実施形態]

図6は、この発明の第4の実施形態にしたがった、多段(半導体)チャージポンプの基本構成を示すものである。なお、ここでは、図1に示した4段構造のDickson型チャージポンプ電源回路において、ダイオード素子を、ダイオード接続されたNチャネルMOSトランジスタで構成した場合について説明する。また、図1と同一部分には同一符号を付し、詳しい説明は割愛する。

20

【 0 0 6 7 】

すなわち、第2の電源電圧である高電位側の電源(以下、外部電源)11と出力電源(端子)13との間に、ダイオード接続されたNチャネルMOSトランジスタNa, Nb, Nc, Nd, Neからそれぞれなる、5つのダイオード素子15a~15eが直列に接続されている。

30

【 0 0 6 8 】

本実施形態の構成においても、最終段のポンピングキャパシタ17dの容量が他のポンピングキャパシタ17a~17cの容量の2倍(または、それ以上)の大きさとされることにより、最終段のポンピングキャパシタ17dに印加される最高電圧(最大電界)を緩和させることが可能となる。

【 0 0 6 9 】

[第5の実施形態]

図7は、この発明の第5の実施形態にしたがった、多段(半導体)チャージポンプの基本構成を示すものである。なお、ここでは、図1に示した4段構造のDickson型チャージポンプ電源回路において、ダイオード素子を、ダイオード接続されたPチャネルMOSトランジスタで構成した場合について説明する。また、図1と同一部分には同一符号を付し、詳しい説明は割愛する。

40

【 0 0 7 0 】

すなわち、第2の電源電圧である高電位側の電源(以下、外部電源)11と出力電源(端子)13との間に、ダイオード接続されたPチャネルMOSトランジスタPa, Pb, Pc, Pd, Peからそれぞれなる、5つのダイオード素子15a~15eが直列に接続されている。

【 0 0 7 1 】

本実施形態の構成においても、最終段のポンピングキャパシタ17dの容量が他のポンピングキャパシタ17a~17cの容量の2倍(または、それ以上)の大きさとされるこ

50

とにより、最終段のポンピングキャパシタ 17d に印加される最高電圧（最大電界）を緩和させることが可能となる。

【0072】

その他、本願発明は、上記（各）実施形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。さらに、上記（各）実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出され得る。たとえば、（各）実施形態に示される全構成要件からいくつかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題（の少なくとも1つ）が解決でき、発明の効果の欄で述べられている効果（の少なくとも1つ）が得られる場合には、その構成要件が削除された構成が発明として抽出され得る。

10

【図面の簡単な説明】

【0073】

【図1】本発明の第1の実施形態にしたがった、Dickson型チャージポンプ電源回路の構成を示す回路図。

【図2】図1に示したチャージポンプ電源回路の動作を説明するために示す図。

【図3】本発明の第2の実施形態にしたがった、負電圧電源回路の構成を示す回路図。

【図4】本発明の第3の実施形態にしたがった、2段構造のチャージポンプからなる昇圧電源回路の構成を示す回路図。

【図5】図4に示した昇圧電源回路の動作を説明するために示す図。

20

【図6】本発明の第4の実施形態にしたがった、Dickson型チャージポンプ電源回路を、ダイオード接続されたNチャネルMOSトランジスタを用いて構成した場合を例に示す回路図。

【図7】本発明の第5の実施形態にしたがった、Dickson型チャージポンプ電源回路を、ダイオード接続されたPチャネルMOSトランジスタを用いて構成した場合を例に示す回路図。

【図8】従来技術とその問題点を説明するために示す、Dickson型のチャージポンプの回路構成図。

【図9】図8に示したチャージポンプの動作を説明するために示す図。

【図10】従来のDickson型のチャージポンプの他の構成を示す回路図。

30

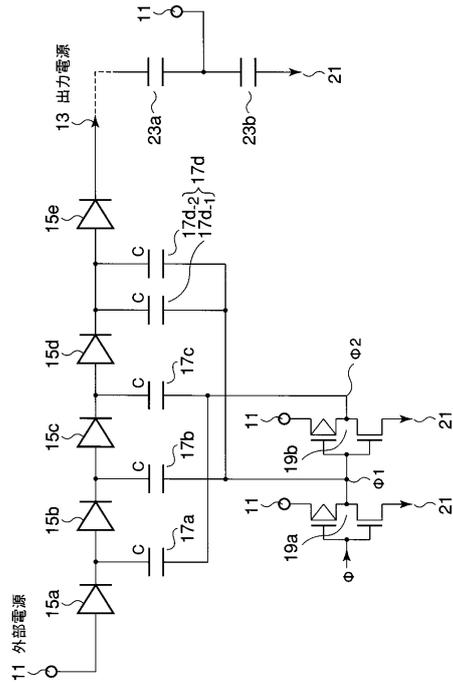
【符号の説明】

【0074】

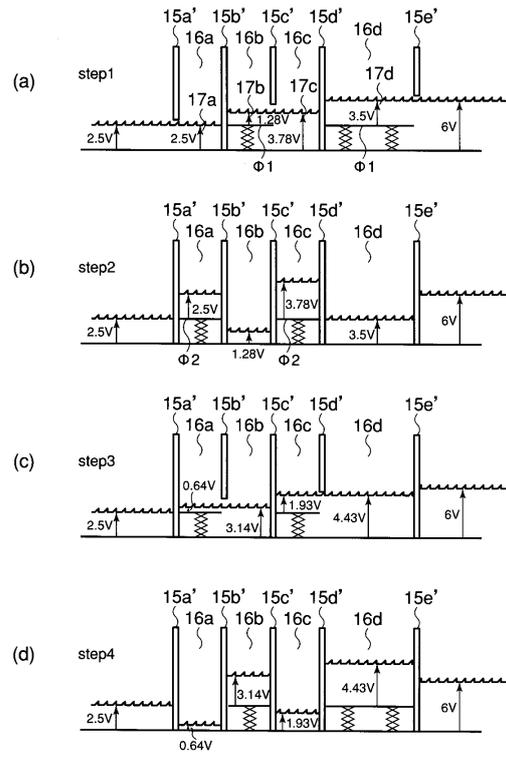
11...外部電源、13...出力電源（端子）、15a, 15b, 15c, 15d, 15e...ダイオード素子、15a', 15b', 15c', 15d', 15e'...閘門、16a, 16b, 16c, 16d...閘室、17a, 17b, 17c, 17d...ポンピングキャパシタ、17d₋₁, 17d₋₂...MOSキャパシタ、19a, 19b...CMOSインバータ回路、21...グランド電位、23a, 23b...負荷容量、...矩形クロック信号、1...第1のクロック信号、2...第2のクロック信号、Na, Nb, Nc, Nd, Ne...NチャネルMOSトランジスタ、Pa, Pb, Pc, Pd, Pe...PチャネルMOSトランジスタ。

40

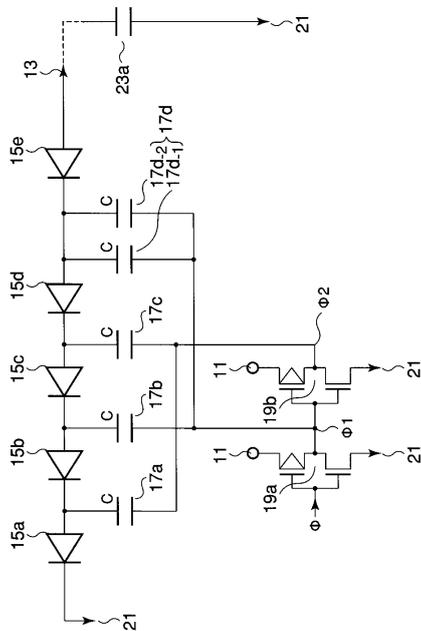
【図1】



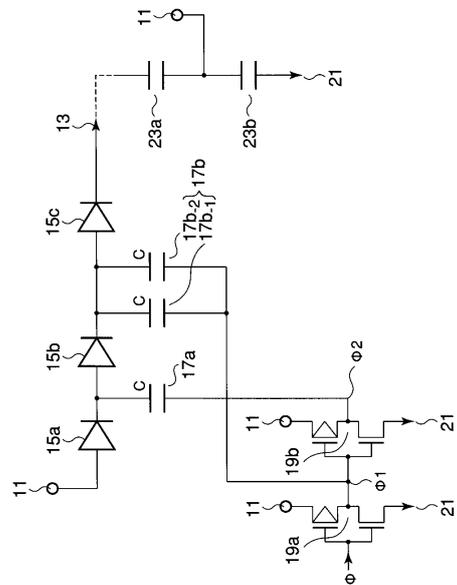
【図2】



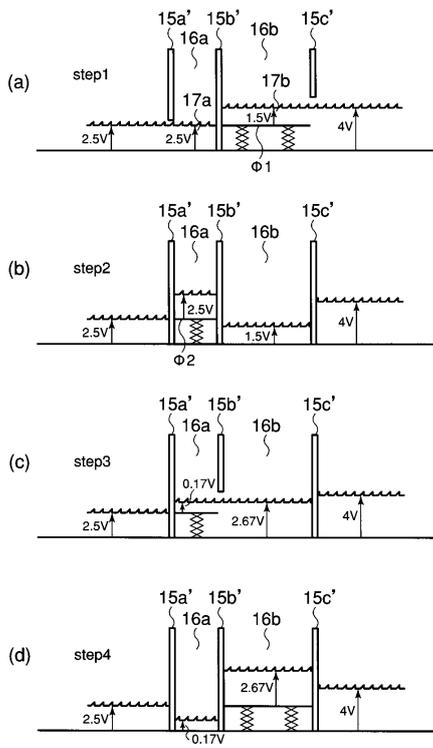
【図3】



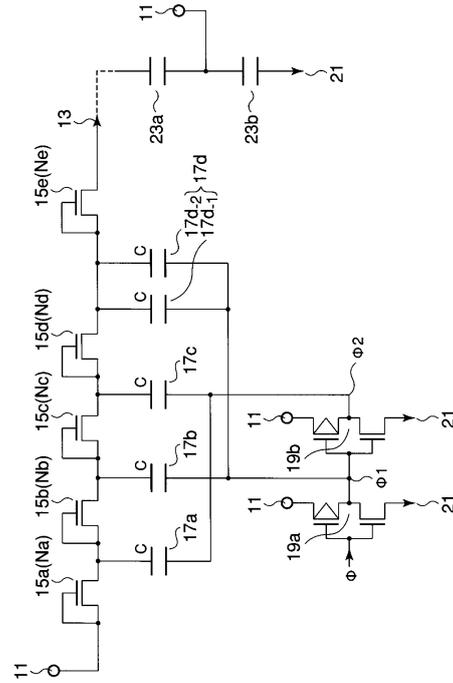
【図4】



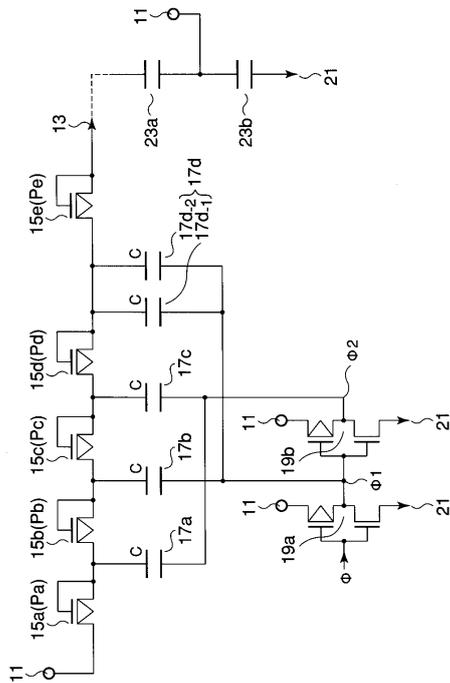
【 図 5 】



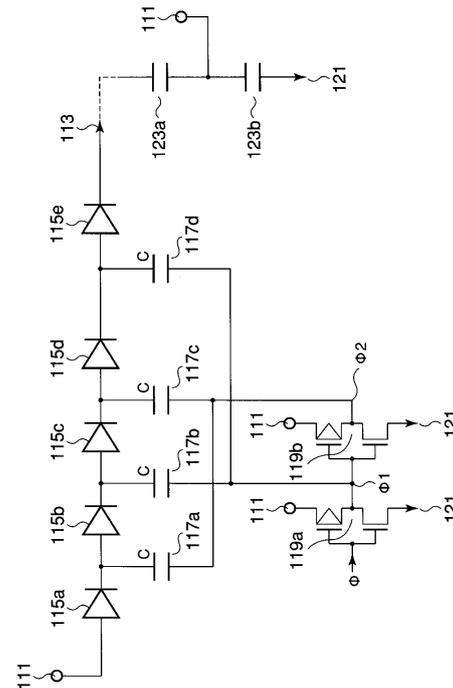
【 図 6 】



【 図 7 】



【 図 8 】



フロントページの続き

(74)代理人 100084618

弁理士 村松 貞男

(74)代理人 100092196

弁理士 橋本 良郎

(72)発明者 行川 敏正

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(72)発明者 伊藤 洋

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

審査官 安池 一貴

(56)参考文献 特開平08-306870(JP,A)

(58)調査した分野(Int.Cl., DB名)

H02M 3/07

G11C 11/4074

G11C 16/06

H01L 21/822

H01L 27/04