



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I782435 B

(45)公告日：中華民國 111 (2022) 年 11 月 01 日

(21)申請案號：110107486

(22)申請日：中華民國 110 (2021) 年 03 月 03 日

(51)Int. Cl. : H01L21/8239(2006.01)

H01L27/10 (2006.01)

H01L21/78 (2006.01)

(30)優先權：2020/08/07 南韓

10-2020-0099201

(71)申請人：南韓商三星電子股份有限公司(南韓) SAMSUNG ELECTRONICS CO., LTD. (KR)
南韓(72)發明人：崔賢根 CHOI, HYUNGEUN (KR)；文鐘湔 MOON, JONG-HO (KR)；俞瀚植 YOO,
HAN-SIK (KR)；李基碩 LEE, KISEOK (KR)；張誠桓 JANG, SUNG-HWAN
(KR)；鄭承宰 JUNG, SEUNGJAE (KR)；鄭義撤 JEONG, EUICHUL (KR)；安泰
炫 AN, TAEHYUN (KR)；韓相然 HAN, SANGYEON (KR)；黃有商 HWANG,
YOOSANG (KR)

(74)代理人：林孟閱；盧嫻君；陳怡如

(56)參考文獻：

TW 201005954A

TW 201924030A

CN 111295757A

US 2017/0179028A1

US 2019/0057898A1

審查人員：黃淑萍

申請專利範圍項數：10 項 圖式數：14 共 57 頁

(54)名稱

半導體記憶體元件

(57)摘要

一種半導體記憶體元件可包括：周邊電路結構，包括在第一區中整合於半導體基板上的周邊電路及設置於第二區中的第一小鍵盤；堆疊，設置於周邊電路結構的第一區上，所述堆疊包括多條第一導電線，所述多條第一導電線在第一方向上延伸且垂直地堆疊；上部絕緣層，覆蓋堆疊；內連層，設置於上部絕緣層上；穿透插塞，與堆疊間隔開且被設置成穿透上部絕緣層以將內連層連接至周邊電路結構的周邊電路；模塑結構，設置於周邊電路結構的第二區上且在第一方向上與堆疊間隔開；以及穿透結構，被設置成穿透模塑結構且在垂直方向上與第一小鍵盤交疊。

A semiconductor memory device may include a peripheral circuit structure including peripheral circuits integrated on a semiconductor substrate in a first region and a first keypad disposed in a second region; a stack provided on the first region of the peripheral circuit structure, the stack including a plurality of first conductive lines extending in a first direction and are vertically stacked; an upper insulating layer covering the stack; an interconnection layer provided on the upper insulating layer; a penetration plug spaced apart from the stack and is provided to penetrate the upper insulating layer to connect the interconnection layer to the peripheral circuits of the peripheral circuit structure; a molding structure provided on the second region of the peripheral circuit structure and spaced apart from the stack in the first direction; and a penetration structure provided to penetrate the molding structure and vertically overlap with the first keypad.

280b:底表面

280c:側表面

300:內連層

311:第一內連絕緣層

313:第二內連絕緣層

315:第三內連絕緣層

317:第四內連絕緣層

319:第五內連絕緣層

325:接觸通孔

330:第一內連線

335:第一通孔

340:第二內連線

345:第二通孔

350:第三內連線

360:內連結構

C:區

D1:第一方向

D2:第二方向

D3:第三方向

PTR:周邊電路

R1:第一區/第一行

R2:第二區/第二行

W1:寬度



I782435

【發明摘要】

【中文發明名稱】半導體記憶體元件

【英文發明名稱】SEMICONDUCTOR MEMORY DEVICE

【中文】一種半導體記憶體元件可包括：周邊電路結構，包括在第一區中整合於半導體基板上的周邊電路及設置於第二區中的第一小鍵盤；堆疊，設置於周邊電路結構的第一區上，所述堆疊包括多條第一導電線，所述多條第一導電線在第一方向上延伸且垂直地堆疊；上部絕緣層，覆蓋堆疊；內連層，設置於上部絕緣層上；穿透插塞，與堆疊間隔開且被設置成穿透上部絕緣層以將內連層連接至周邊電路結構的周邊電路；模塑結構，設置於周邊電路結構的第二區上且在第一方向上與堆疊間隔開；以及穿透結構，被設置成穿透模塑結構且在垂直方向上與第一小鍵盤交疊。

【英文】A semiconductor memory device may include a peripheral circuit structure including peripheral circuits integrated on a semiconductor substrate in a first region and a first keypad disposed in a second region; a stack provided on the first region of the peripheral circuit structure, the stack including a plurality of first conductive lines extending in a first direction and are vertically stacked; an upper insulating layer covering the stack; an interconnection layer provided on the upper insulating layer; a

penetration plug spaced apart from the stack and is provided to penetrate the upper insulating layer to connect the interconnection layer to the peripheral circuits of the peripheral circuit structure; a molding structure provided on the second region of the peripheral circuit structure and spaced apart from the stack in the first direction; and a penetration structure provided to penetrate the molding structure and vertically overlap with the first keypad.

【指定代表圖】圖3A。

【代表圖之符號簡單說明】

10:半導體基板

15:元件隔離圖案

20:周邊絕緣層

21:第一周邊絕緣層

22:周邊通孔

23:第二周邊絕緣層

24:周邊線

25:周邊源極/汲極區 / 源極/汲極區

26:周邊閘極間隔件

27:周邊閘極絕緣層

28:周邊閘極電極

29:周邊頂蓋圖案

- 30:第二下部小鍵盤
- 40:第一小鍵盤
- 50:導電接墊
- 100:周邊電路結構
- 110:第一緩衝層
- 210:第二緩衝層
- 220:堆疊
- 221:第一層間絕緣層
- 223:第一導電線
- 230:上部絕緣層
- 240:接觸件
- 250:穿透插塞
- 251:絕緣圖案
- 253:絕緣襯墊
- 255:分隔結構
- 260:模塑結構
- 260a:頂表面/第一表面
- 261:第一層
- 263:第二層
- 270:第二上部小鍵盤
- 280:穿透結構
- 280a:頂表面



280b:底表面

280c:側表面

300:內連層

311:第一內連絕緣層

313:第二內連絕緣層

315:第三內連絕緣層

317:第四內連絕緣層

319:第五內連絕緣層

325:接觸通孔

330:第一內連線

335:第一通孔

340:第二內連線

345:第二通孔

350:第三內連線

360:內連結構

C:區

D1:第一方向

D2:第二方向

D3:第三方向

PTR:周邊電路

R1:第一區/第一行

R2:第二區/第二行

W1:寬度

【特徵化學式】

無

【發明說明書】

【中文發明名稱】半導體記憶體元件

【英文發明名稱】SEMICONDUCTOR MEMORY DEVICE

[相關申請案的交叉參考]

【0001】 本申請案基於並主張在 2020 年 8 月 7 日在韓國智慧財產局提出申請的韓國專利申請案第 10-2020-0099201 號的優先權，所述韓國專利申請案的揭露內容全文併入本案供參考。

【技術領域】

【0002】 本揭露是有關於一種半導體元件，且具體而言是有關於一種高度整合的三維半導體記憶體元件。

【先前技術】

【0003】 為滿足消費者對優異效能及較低價格的需求，需要半導體元件的較高積體度。在半導體元件的情形中，由於半導體元件的積體度是決定產品價格的重要因素，因此尤其需要增大的積體度。在二維半導體元件或平面半導體元件的情形中，由於二維半導體元件或平面半導體元件的積體度主要由單位記憶體胞元佔據的面積決定，因此精細圖案形成技術的水平會大大影響積體度。然而，為達成最精細的圖案，需要極其昂貴的製程設備來增大圖案精細度且對二維半導體元件或平面半導體元件的增大積體度設定了實際限制。為克服此種限制，近來已提出包括三維排列的記憶體胞元的三維半導體記憶體元件。

【發明內容】

【0004】 本揭露的一或多個實施例提供一種高度整合的半導體記憶體元件。

【0005】 根據示例性實施例，一種半導體記憶體元件包括：周邊電路結構，包括在第一區中整合於半導體基板上的周邊電路及設置於第二區中的第一小鍵盤；堆疊，設置於所述周邊電路結構的所述第一區上，所述堆疊包括多條第一導電線，所述多條第一導電線在第一方向上延伸且在與所述第一方向垂直的第三方向上垂直地堆疊；上部絕緣層，覆蓋所述堆疊；內連層，設置於所述上部絕緣層上；穿透插塞，與所述堆疊間隔開且被設置成穿透所述上部絕緣層以將所述內連層連接至所述周邊電路結構的所述周邊電路；模塑結構，設置於所述周邊電路結構的所述第二區上且在所述第一方向上與所述堆疊間隔開；以及穿透結構，被設置成穿透所述模塑結構且在垂直方向上與所述第一小鍵盤交疊。

【0006】 根據示例性實施例，一種半導體記憶體元件包括：周邊電路結構，包括在第一區中整合於半導體基板上的周邊電路及設置於第二區中的第一小鍵盤，所述第二區包圍所述第一區；堆疊，設置於所述周邊電路結構的所述第一區上，所述堆疊包括多條第一導電線，所述多條第一導電線在第一方向上延伸且在與所述第一方向垂直的第三方向上垂直地堆疊；上部絕緣層，覆蓋所述堆疊；內連層，設置於所述上部絕緣層上；穿透插塞，設置於所述周邊電路結構的所述第一區上且與所述堆疊間隔開；模塑結構，

設置於所述周邊電路結構的所述第二區上且在所述第一方向上與所述堆疊間隔開；以及穿透結構，被設置成穿透所述模塑結構且在垂直方向上與所述第一小鍵盤交疊，其中所述多條第一導電線中的最下部第一導電線的端部與所述穿透結構間隔開且較所述多條第一導電線中的最上部第一導電線的端部更靠近所述穿透結構。

【0007】 根據示例性實施例，一種半導體記憶體元件包括：周邊電路結構，包括在第一區中整合於半導體基板上的周邊電路及設置於第二區中的第一小鍵盤，所述第二區包圍所述第一區；堆疊，設置於所述周邊電路結構的所述第一區上，所述堆疊包括多條第一導電線，所述多條第一導電線在第一方向上延伸且在與所述第一方向垂直的第三方向上垂直地堆疊；上部絕緣層，覆蓋所述堆疊；內連層，設置於所述上部絕緣層上，所述內連層包括多個內連絕緣層及被所述多個內連絕緣層包圍的多個通孔及多條內連線；穿透插塞，設置於所述周邊電路結構的所述第一區上且與所述堆疊間隔開；接觸件，設置於所述堆疊的所述多條第一導電線上且穿透所述上部絕緣層以將所述多條第一導電線連接至所述多個通孔；模塑結構，設置於所述周邊電路結構的所述第二區上且在所述第一方向上與所述堆疊間隔開；分隔結構，夾置於所述模塑結構與所述上部絕緣層之間，所述分隔結構包括絕緣圖案及包圍所述絕緣圖案的絕緣襯墊；以及穿透結構，被設置成穿透所述模塑結構且在垂直方向上與所述第一小鍵盤交疊，其中所述多條

第一導電線中的最下部第一導電線的端部在所述第一方向上與所述穿透結構間隔開且較所述多條第一導電線中的最上部第一導電線的端部更靠近所述穿透結構。

【圖式簡單說明】

【0008】 藉由結合附圖的以下說明，本揭露的某些實施例的以上及其他態樣、特徵及優點將更顯而易見。附圖表示本文中闡述的非限制性示例性實施例。

【0009】 圖 1 是示出根據實施例的半導體記憶體元件的平面圖。

【0010】 圖 2 是示出根據實施例的圖 1 所示區 A 的放大透視圖。

【0011】 圖 3A 是根據實施例的沿著圖 2 所示線 I-I' 截取的剖視圖。

【0012】 圖 3B 是根據實施例的沿著圖 2 所示線 II-II' 截取的剖視圖。

【0013】 圖 4 是示出根據實施例的圖 2 所示區 C 的放大剖視圖。

【0014】 圖 5 是示出根據實施例的圖 2 所示區 B 的放大平面圖。

【0015】 圖 6 至圖 13 是示出根據實施例的製作半導體記憶體元件的方法的剖視圖。

【0016】 圖 14 是示出根據實施例的沿著圖 2 所示線 I-I' 截取的半導體記憶體元件的剖視圖。

【實施方式】

【0017】 應理解，當稱一部件或層位於另一部件或層「之上 (over)」、位於另一部件或層「上方 (above)」、位於另一部件或

層「上 (on)」、位於另一部件或層「下方 (below)」、位於另一部件或層「之下 (under)」、位於另一部件或層「下 (beneath)」、「連接至 (connected to)」另一部件或層或者「耦合至 (coupled to)」另一部件或層時，所述部件或層可直接位於所述另一部件或層之上、直接位於所述另一部件或層上方、直接位於所述另一部件或層上、直接位於所述另一部件或層下方、直接位於所述另一部件或層之下、直接位於所述另一部件或層下、直接連接至所述另一部件或層或者直接耦合至所述另一部件或層，或者可存在中間部件或層。反之，當稱一部件「直接」位於另一部件或層「之上」、「直接」位於另一部件或層「上方」、「直接」位於另一部件或層「上」、「直接」位於另一部件或層「下方」、「直接」位於另一部件或層「之下」、「直接」位於另一部件或層「下」、「直接連接至」另一部件或層或者「直接耦合至」另一部件或層時，則不存在中間部件或層。通篇中相同的編號指代相同的部件。

【0018】 為簡明起見，在本文中可詳細闡述或可不詳細闡述半導體記憶體元件的傳統部件。然而，除非某個部件被陳述為包括於所主張的半導體元件中，否則即使在本揭露中的半導體元件中闡述或示出所述部件，所述部件亦可不包括於所主張的半導體記憶體元件中。

【0019】 圖 1 是示出根據實施例的半導體記憶體元件的平面圖。圖 2 是示出根據實施例的圖 1 所示區 A 的放大透視圖。圖 3A 是根據實施例的沿著圖 2 所示線 I-I' 截取的剖視圖。圖 3B 是根據實

施例的沿著圖 2 所示線 II-II' 截取的剖視圖。圖 4 是示出根據實施例的圖 2 所示區 C 的放大剖視圖。

【0020】 參照圖 1、圖 2、圖 3A、圖 3B 及圖 4，周邊電路結構 100 可包括第一區 R1 及第二區 R2。周邊電路結構 100 可包括半導體基板 10、周邊絕緣層 20、周邊電路 PTR、周邊通孔 22、周邊線 24 及第一小鍵盤 40。

【0021】 第一區 R1 可為半導體元件的中心區，且第二區 R2 可為半導體元件的邊緣區。第二區 R2 可包圍第一區 R1。第一區 R1 可為其中設置有周邊電路 PTR 的區。周邊電路 PTR 可不設置於第二區 R2 中。作為實例，第一區 R1 與第二區 R2 可藉由分隔結構 255 而彼此隔開。

【0022】 半導體基板 10 可為矽基板、矽鍺基板、鍺基板或生長於單晶矽基板上的單晶磊晶層。半導體基板 10 可具有由元件隔離圖案 15 界定的主動區。

【0023】 周邊電路 PTR 可設置於半導體基板 10 上。周邊電路 PTR 可設置於第一區 R1 上，但不設置於第二區 R2 上。周邊電路 PTR 中的每一者可包括周邊源極/汲極區 25、周邊閘極間隔件 26、周邊閘極絕緣層 27、周邊閘極電極 28 及周邊頂蓋圖案 29。周邊閘極絕緣層 27 可設置於周邊閘極電極 28 與半導體基板 10 之間。周邊頂蓋圖案 29 可設置於周邊閘極電極 28 上。周邊閘極間隔件 26 可覆蓋周邊閘極電極 28 的側表面、周邊閘極絕緣層 27 的側表面及周邊頂蓋圖案 29 的側表面。周邊源極/汲極區 25 可設置於半導體

基板 10 的與周邊閘極電極 28 的兩側相鄰的部分中。周邊線 24 可經由周邊通孔 22 電性連接至周邊電路 PTR。周邊線 24 及周邊通孔 22 中的每一者可由導電材料中的至少一者形成或包含導電材料中的至少一者。舉例而言，導電接墊 50 可由鋁、銅、鎢及/或鈷中的至少一者形成或包含鋁、銅、鎢及/或鈷中的至少一者。半導體基板 10 上的周邊電路 PTR 可為例如 n 型金屬氧化物半導體 (n-type metal oxide semiconductor, NMOS) 電晶體、p 型金屬氧化物半導體 (p-type metal oxide semiconductor, PMOS) 電晶體或環繞式閘極 (gate-all-around) 電晶體。

【0024】 導電接墊 50 可設置於周邊電路結構 100 的第一區 R1 上。更具體而言，導電接墊 50 可設置於穿透插塞 250 與周邊通孔 22 之間。導電接墊 50 可由導電材料中的至少一者形成或包含導電材料中的至少一者。舉例而言，導電接墊 50 可由鋁、銅、鎢及/或鈷中的至少一者形成或包含鋁、銅、鎢及/或鈷中的至少一者。導電接墊 50 可經由周邊通孔 22 連接至周邊電路 PTR。導電接墊 50 可用於界定將設置穿透插塞 250 的位置。以下將更詳細地闡述導電接墊 50。

【0025】 周邊絕緣層 20 可設置於半導體基板 10 上。周邊絕緣層 20 可覆蓋半導體基板 10 上的周邊電路 PTR、周邊通孔 22 及周邊線 24。周邊絕緣層 20 可由以下中的至少一者形成或包含以下中的至少一者：氧化矽、氮化矽、氮氧化矽及/或低介電常數介電材料。周邊絕緣層 20 可具有其中堆疊有多個絕緣層的多層式結構。舉例

而言，周邊絕緣層 20 可包括第一周邊絕緣層 21 及第二周邊絕緣層 23。第二周邊絕緣層 23 可堆疊於第一周邊絕緣層 21 上。第一周邊絕緣層 21 可覆蓋周邊電路 PTR，但可暴露出周邊電路 PTR 的周邊頂蓋圖案 29 的頂表面。第二周邊絕緣層 23 可被設置成覆蓋第一周邊絕緣層 21 的頂表面及周邊頂蓋圖案 29 的被暴露出的頂表面。第二周邊絕緣層 23 可被設置成包圍周邊線 24 及周邊通孔 22。

【0026】 第一小鍵盤 40 可設置於半導體基板 10 上。更具體而言，第一小鍵盤 40 可設置於第二周邊絕緣層 23 上及周邊電路結構 100 的第二區 R2 中。第一小鍵盤 40 的頂表面 40a 可自第二周邊絕緣層 23 暴露出。第一小鍵盤 40 可由金屬材料（例如，鋁、銅、鎢及/或鈷）中的至少一者形成或包含金屬材料（例如，鋁、銅、鎢及/或鈷）中的至少一者。第一小鍵盤 40 可在垂直方向上與穿透結構 280 交疊。亦即，第一小鍵盤 40 可在第三方向 D3 上與穿透結構 280 交疊。

【0027】 周邊電路結構 100 可更包括第二下部小鍵盤 30。第二下部小鍵盤 30 可設置於周邊電路結構 100 的第二區 R2 上。第二下部小鍵盤 30 可在水平方向上與第一小鍵盤 40 間隔開。舉例而言，第二下部小鍵盤 30 可夾置於第一小鍵盤 40 與導電接墊 50 之間。第二下部小鍵盤 30 可設置於第二周邊絕緣層 23 上。更具體而言，第二下部小鍵盤 30 的側表面及底表面可被第二周邊絕緣層 23 覆蓋。另外，第二下部小鍵盤 30 的頂表面 30a 可自第二周邊絕緣層

23 暴露出。第二下部小鍵盤 30 的頂表面 30a 可與第二周邊絕緣層 23 的頂表面 23a 共面。第二下部小鍵盤 30 可在垂直方向上與第二上部小鍵盤 270 交疊。亦即，第二下部小鍵盤 30 可在第三方向 D3 上與第二上部小鍵盤 270 交疊。第二下部小鍵盤 30 可由金屬材料（例如，鋁、銅、鎢及/或鈷）中的至少一者形成或包含金屬材料（例如，鋁、銅、鎢及/或鈷）中的至少一者。

【0028】 在周邊電路結構 100 的頂表面上可設置有緩衝層。緩衝層可包括第一緩衝層 110 及第二緩衝層 210。第一緩衝層 110 可設置於周邊電路結構 100 的頂表面上。更具體而言，第一緩衝層 110 可覆蓋第二周邊絕緣層 23 的頂表面 23a、周邊線 24 的頂表面、導電接墊 50 的頂表面 50a、第二下部小鍵盤 30 的頂表面 30a 及第一小鍵盤 40 的頂表面 40a。第一緩衝層 110 可由絕緣材料中的至少一者形成或包含絕緣材料中的至少一者。舉例而言，第一緩衝層 110 可由以下中的至少一者形成或包含以下中的至少一者：氮化矽、氧化矽、氮氧化矽及/或含碳氮化矽。

【0029】 第二緩衝層 210 可設置於第一緩衝層 110 的頂表面上。第二緩衝層 210 可具有與第一緩衝層 110 的頂表面接觸的底表面。第二緩衝層 210 可覆蓋第一緩衝層 110 的頂表面且可覆蓋堆疊 220 的底表面、上部絕緣層 230 的底表面、分隔結構 255 的底表面、模塑結構 260 的底表面、第二上部小鍵盤 270 的底表面及穿透結構 280 的底表面。第二緩衝層 210 可由與第一緩衝層 110 相同的材料形成或包含與第一緩衝層 110 相同的材料。在此種情

形中，與圖式中所示的情形不同，在第二緩衝層 210 與第一緩衝層 110 之間可不存在可觀察到的介面。

【0030】 參照圖 2、圖 3A 及圖 3B，在第二緩衝層 210 的頂表面上可設置有單位胞元結構 SS。單位胞元結構 SS 可設置於周邊電路結構 100 的第一區 R1 上。單位胞元結構 SS 可藉由夾置於單位胞元結構 SS 與周邊電路結構 100 之間的第一緩衝層 110 及第二緩衝層 210 而在垂直方向上與周邊電路結構 100 間隔開。單位胞元結構 SS 中的每一者可包括堆疊 220、半導體圖案 SP、絕緣層 IL、資料儲存部件 DS、第二導電線 225 及第三導電線 227，且此處，半導體圖案 SP 與絕緣層 IL 可交替堆疊於第二緩衝層 210 上。

【0031】 單位胞元結構 SS 可包括胞元區 CAR 及接觸區 CTR。胞元區 CAR 可為其中設置有半導體圖案 SP 的區，且接觸區 CTR 可為其中未設置半導體圖案 SP 的區。

【0032】 垂直地堆疊（即，在第三方向 D3 上堆疊）的半導體圖案 SP 可藉由絕緣層 IL 而在垂直方向上彼此間隔開。絕緣層 IL 可夾置於在垂直方向上彼此相鄰的每一對半導體圖案 SP 之間。絕緣層 IL 可包括氧化矽層、氮化矽層、氮氧化矽層、含碳氧化矽層、含碳氮化矽層及/或含碳氮氧化矽層中的至少一者。

【0033】 半導體圖案 SP 中的每一者可為在第二方向 D2 上延伸的線形圖案、條形圖案或柱形圖案。半導體圖案可由例如矽、鍺、矽鍺或氧化銦鎵鋅（indium gallium zinc oxide，IGZO）中的至少一者形成或包含矽、鍺、矽鍺或氧化銦鎵鋅（IGZO）中的至少一

者。半導體圖案 SP 中的每一者可包括第一雜質區、第二雜質區及通道區。通道區可設置於第一雜質區與第二雜質區之間。第一雜質區及第二雜質區可具有第一導電類型（例如，n 型）。通道區可不摻雜雜質或可具有與第一導電類型不同的第二導電類型（例如，p 型）。

【0034】 半導體圖案 SP 可排列成第一行 R1 至第四行 R4。第一行 R1 至第四行 R4 中的每一者可包括垂直地堆疊且在垂直方向上彼此交疊的半導體圖案 SP。舉例而言，如圖式中所示，第一行 R1 至第四行 R4 中的每一者中的半導體圖案 SP 的數目可為六個，但所述一或多個實施例並非僅限於此。第一行 R1 至第四行 R4 可被排列成在第一方向 D1 上彼此間隔開。第一方向 D1 與第二方向 D2 可平行於半導體基板 10 的頂表面，但可不彼此平行。第三方向 D3 可為與第一方向 D1 及第二方向 D2 二者垂直的方向。

【0035】 單位胞元結構 SS 中的每一者可包括堆疊 220。堆疊 220 可包括交替堆疊的第一層間絕緣層 221 與第一導電線 223。垂直地堆疊的第一導電線 223 可藉由第一層間絕緣層 221 而在垂直方向上彼此間隔開。第一層間絕緣層 221 可夾置於在垂直方向上彼此相鄰的每一對第一導電線 223 之間。

【0036】 第一導電線 223 可為在第一方向 D1 上延伸的線形圖案或條形圖案。第一導電線 223 可自單位胞元結構 SS 的胞元區 CAR 延伸至接觸區 CTR。

【0037】 第一導電線 223 中的每一者可直接接觸半導體圖案

SP。作為實例，第一導電線 223 中的每一者可位於與半導體圖案 SP 實質上相同的水準處。第一導電線 223 中的每一者可連接至半導體圖案 SP 的第一雜質區。第一行 R1 至第四行 R4 的半導體圖案 SP 可在保持與第一導電線 223 中的對應一者相同的水準的同時在第二方向 D2 上自第一導電線 223 中的所述對應一者延伸。

【0038】 參照圖 2，堆疊 220 中的每一者可在單位胞元結構 SS 的接觸區 CTR 上具有階梯結構 (stepwise structure)。舉例而言，相鄰的一對第一導電線 223 可在第一方向 D1 上具有相同的長度，但最頂部的一對第一導電線 223 的長度可短於最底部的一對第一導電線 223 的長度。因此，最底部的一對第一導電線 223 的端部可較最頂部的一對第一導電線 223 的端部更靠近周邊電路結構 100 的第二區 R2。

【0039】 作為另一實例，堆疊於接觸區 CTR 上的第一導電線 223 在第一方向 D1 上的長度可隨著距第二緩衝層 210 的頂表面的距離增大而減小。舉例而言，第一導電線 223 中的最底部第一導電線 223 的長度可長於第一導電線 223 中的其餘第一導電線 223 的長度。第一導電線 223 中的最頂部第一導電線 223 的長度可短於第一導電線 223 中的其餘第一導電線 223 的長度。

【0040】 第一導電線 223 可由導電材料中的至少一者形成或包含導電材料中的至少一者。舉例而言，導電材料可包括經摻雜的半導體材料 (例如，經摻雜的矽、經摻雜的鍺等)、導電金屬氮化物 (例如，氮化鈦、氮化鉬等)、金屬 (例如，鎢、鈦、鉬等) 及金

屬半導體化合物（例如，矽化鎢、矽化鈷、矽化鈦等）。第一層間絕緣層 221 可由絕緣材料中的至少一者形成或包含絕緣材料中的至少一者。絕緣材料可包括例如氧化矽、氮化矽及/或氮氧化矽。

【0041】 參照圖 3A 及圖 3B，單位胞元結構 SS 中的每一者可更包括垂直地堆疊的資料儲存部件 DS。垂直地堆疊的資料儲存部件 DS 可藉由絕緣層 IL 而在垂直方向上彼此間隔開。資料儲存部件 DS 中的每一者可在第二方向 D2 上自半導體圖案 SP 中的對應一者延伸。

【0042】 資料儲存部件 DS 中的每一者可直接接觸半導體圖案 SP 中的對應一者。作為實例，資料儲存部件 DS 中的每一者可位於與半導體圖案 SP 中的對應一者實質上相同的水準處。資料儲存部件 DS 中的每一者可連接至半導體圖案 SP 中的對應一者的第二雜質區。

【0043】 第二導電線 225 可設置於單位胞元結構 SS 中的每一者的胞元區 CAR 中，以穿透單位胞元結構 SS。第二導電線 225 中的每一者可為在與周邊電路結構 100 的頂表面垂直的第三方向 D3 上延伸的柱形圖案或條形圖案。第二導電線 225 可排列於第一方向 D1 上。第二導電線 225 可被設置成分別與半導體圖案 SP 的第一行 R1 至第四行 R4 相鄰。

【0044】 作為實例，穿透單位胞元結構 SS 的第二導電線 225 中的第一第二導電線 225 可與構成第一行 R1 的半導體圖案 SP 的側表面相鄰。第二導電線 225 中的第一第二導電線 225 可在垂直方

向上在構成第一行 R1 的半導體圖案 SP 的側表面上延伸。穿透單位胞元結構 SS 的第二導電線 225 中的第二第二導電線 225 可與構成第二行 R2 的半導體圖案 SP 的側表面相鄰。第二導電線 225 中的第二第二導電線 225 可在垂直方向上在構成第二行 R2 的半導體圖案 SP 的側表面上延伸。在第二導電線 225 中的第一第二導電線 225 與第二行 R2 的半導體圖案 SP 之間可夾置有垂直絕緣圖案 VIP。垂直絕緣圖案 VIP 可包括氧化矽層。

【0045】 在第二導電線 225 與半導體圖案 SP 的通道區 CH 之間可設置有閘極絕緣層 GI。閘極絕緣層 GI 可由高介電常數介電材料、氧化矽、氮化矽或氮氧化矽中的至少一者形成或包含高介電常數介電材料、氧化矽、氮化矽或氮氧化矽中的至少一者，且可具有單層式結構或多層式結構。在實施例中，高介電常數介電材料可包括氧化鉛、氧化矽鉛、氧化鏷、氧化鋯、氧化鋯矽、氧化鈮、氧化鈦、氧化鋇鋇鈦、氧化鋇鈦、氧化鋇鈦、氧化鋇、氧化鋁、氧化鉛鈦鈦或鋯酸鉛鋅中的至少一者。第二導電線 225 可由導電材料中的至少一者形成或包含導電材料中的至少一者，且導電材料可包括經摻雜的半導體材料、導電金屬氮化物、金屬及金屬半導體化合物。

【0046】 第三導電線 227 可設置於單位胞元結構 SS 的胞元區 CAR 中且在第一方向 D1 上與堆疊 220 平行地延伸。第三導電線 227 可由導電材料中的至少一者形成或包含導電材料中的至少一者，且導電材料可為經摻雜的半導體材料、導電金屬氮化物、金

屬及金屬半導體化合物中的一者。第三導電線 227 中的至少一者可用作參照圖 1 闡述的共用接地線。

【0047】 上部絕緣層 230 可設置於第二緩衝層 210 的頂表面上。上部絕緣層 230 可設置於周邊電路結構 100 的第一區 R1 上。上部絕緣層 230 可覆蓋堆疊 220 的頂表面及端部部分。上部絕緣層 230 可由絕緣材料（例如，氧化矽、氮化矽及/或氮氧化矽）中的至少一者形成或包含絕緣材料（例如，氧化矽、氮化矽及/或氮氧化矽）中的至少一者。

【0048】 接觸件 240 可接觸第一導電線 223 且設置於堆疊 220 上。接觸件 240 可穿透上部絕緣層 230 以將內連層 300 電性連接至第一導電線 223。接觸件 240 可設置於單位胞元結構 SS 的接觸區 CTR 中及堆疊 220 的階梯結構上。因此，接觸件 240 的底表面的水準可隨著距胞元區 CAR 的一個端部的距離在第一方向 D1 上減小而升高。接觸件 240 可由導電材料中的至少一者形成或包含導電材料中的至少一者。舉例而言，接觸件 240 可由鋁、銅、鎢及/或鈷中的至少一者形成或包含鋁、銅、鎢及/或鈷中的至少一者。

【0049】 模塑結構 260 可設置於周邊電路結構 100 的第二區 R2 上。模塑結構 260 可包括交替堆疊的第一層 261 與第二層 263。垂直地堆疊的第一層 261 可藉由第二層 263 而在垂直方向上彼此間隔開。更具體而言，第二層 263 可夾置於相鄰的每一對第一層 261 之間。第一層 261 中的每一者可設置於與堆疊 220 的第一導電線 223 中的對應一者相同的水準處。第二層 263 中的每一者可分別設

置於與堆疊 220 的第一層間絕緣層 221 中的對應一者相同的水準處。第一層 261 及第二層 263 可由矽形成或包含矽。作為實例，第一層 261 可為矽層，且第二層 263 可為矽-鍍層。模塑結構 260 的底表面可接觸第二緩衝層 210 的頂表面，且模塑結構 260 的頂表面 260a 可接觸內連層 300。

【0050】 分隔結構 255 可夾置於模塑結構 260 與上部絕緣層 230 之間。分隔結構 255 可包括絕緣圖案 251 及包圍絕緣圖案 251 的絕緣襯墊 253。絕緣圖案 251 及絕緣襯墊 253 可由絕緣材料(例如，氧化矽、氮化矽及/或氮氧化矽)中的至少一者形成或包含絕緣材料(例如，氧化矽、氮化矽及/或氮氧化矽)中的至少一者。上部絕緣層 230 與模塑結構 260 可在水平方向上彼此間隔開，其中分隔結構 255 夾置於上部絕緣層 230 與模塑結構 260 之間。因此，分隔結構 255 可具有分別與上部絕緣層 230 及模塑結構 260 接觸的相對的側表面。作為另一實例，分隔結構 255 可充當周邊電路結構 100 的第一區 R1 與第二區 R2 之間的邊界。然而，可省略分隔結構 255。

【0051】 穿透插塞 250 可設置於周邊電路結構 100 的第一區 R1 上。穿透插塞 250 可穿透上部絕緣層 230、第二緩衝層 210 及第一緩衝層 110 且可將內連層 300 連接至周邊電路結構 100。更具體而言，穿透插塞 250 可接觸周邊電路結構 100 的導電接墊 50 的頂表面 50a。作為實例，穿透插塞 250 可設置於分隔結構 255 與堆疊 220 之間。穿透插塞 250 可與堆疊 220 間隔開，且上部絕緣層 230

可夾置於穿透插塞 250 與堆疊 220 之間。穿透插塞 250 可由與接觸件 240 相同的材料形成或包含與接觸件 240 相同的材料。舉例而言，穿透插塞 250 可由鋁、銅、鎢及/或鈷中的至少一者形成或包含鋁、銅、鎢及/或鈷中的至少一者。

【0052】 第二上部小鍵盤 270 可設置於第二緩衝層 210 的頂表面上。第二上部小鍵盤 270 可設置於周邊電路結構 100 的第二區 R2 上。更具體而言，第二上部小鍵盤 270 可夾置於模塑結構 260 與第二緩衝層 210 之間。第二上部小鍵盤 270 的頂表面及側表面可被模塑結構 260 覆蓋，且第二上部小鍵盤 270 的底表面可不被模塑結構 260 覆蓋。第二上部小鍵盤 270 的底表面可與模塑結構 260 的底表面共面。第二上部小鍵盤 270 可與穿透結構 280 間隔開。舉例而言，第二上部小鍵盤 270 可設置於分隔結構 255 與穿透結構 280 之間。第二上部小鍵盤 270 可由金屬材料（例如，鋁、銅、鎢及/或鈷）中的至少一者形成或包含金屬材料（例如，鋁、銅、鎢及/或鈷）中的至少一者。第二上部小鍵盤 270 可在垂直方向上與周邊電路結構 100 的第二下部小鍵盤 30 交疊。

【0053】 進一步參照圖 2 及圖 3A，穿透結構 280 可設置於第二緩衝層 210 的頂表面上。穿透結構 280 可設置於周邊電路結構 100 的第二區 R2 上。穿透結構 280 可被設置成穿透模塑結構 260。因此，穿透結構 280 的底表面 280b 可接觸第二緩衝層 210 的頂表面，且穿透結構 280 的頂表面 280a 可接觸內連層 300 的底表面。穿透結構 280 的頂表面可與模塑結構 260 的頂表面共面。穿透結構 280

可被塑形成如在垂直方向上穿透模塑結構 260 的多邊形柱。然而，穿透結構 280 的結構並非僅限於此。穿透結構 280 可具有適合於穿透模塑結構 260 的任何形狀。

【0054】 穿透結構 280 的側表面 280c 可相對於第二緩衝層 210 的頂表面傾斜一角度。穿透結構 280 的側表面 280c 與第二緩衝層 210 的頂表面 210a 之間的第一角度 θ_1 可為銳角。舉例而言，第一角度 θ_1 可介於約 50 度至 90 度的範圍內。穿透結構 280 在第一方向 D1 上的寬度 W1 可隨著距第二緩衝層 210 的頂表面的距離在第三方向 D3 上增大而減小。因此，穿透結構 280 的底表面 280b 的寬度可大於穿透結構 280 的頂表面 280a 的寬度。穿透結構 280 可在垂直方向上與周邊電路結構 100 的第一小鍵盤 40 交疊。

【0055】 穿透結構 280 可與堆疊 220 間隔開。舉例而言，自堆疊 220 至穿透結構 280 的距離 W4 可介於約 1 微米至 10 微米的範圍內。距離 W4 可為第一導電線 223 與穿透結構 280 之間的最短距離（即，在穿透結構 280 與第一導電線 223 中的最靠近穿透結構 280 的一者的端部部分之間）。

【0056】 參照圖 3A 及圖 4，穿透插塞 250 可設置於導電接墊 50 的頂表面 50a 上。穿透插塞 250 的底表面 250b 可接觸導電接墊 50 的頂表面 50a。穿透插塞 250 可在垂直方向上與導電接墊 50 交疊。穿透插塞 250 的底表面 250b 在第一方向 D1 上的寬度 W3 可小於導電接墊 50 的頂表面 50a 在第一方向 D1 上的寬度 W2。更具體而言，穿透插塞 250 的底表面 250b 在第一方向 D1 上的寬度 W3 與

導電接墊 50 的頂表面 50a 在第一方向 D1 上的寬度 W2 之差可介於約 10 奈米至 30 奈米的範圍內。

【0057】 結合圖 3A 參照圖 4，第一小鍵盤 40 可設置於第二周邊絕緣層 23 上。第一小鍵盤 40 的側表面及底表面可被第二周邊絕緣層 23 覆蓋。第一小鍵盤 40 的頂表面 40a 可不被第二周邊絕緣層 23 覆蓋且可與第二周邊絕緣層 23 共面。在實施例中，可設置多個第一小鍵盤 40。舉例而言，當在平面圖中觀察時，第一小鍵盤 40 中的每一者可為矩形形狀，且第一小鍵盤 40 中的一些第一小鍵盤 40 可在第一方向 D1 或第二方向 D2 上彼此對準。然而，第一小鍵盤 40 的形狀並非僅限於圖式中所示的矩形形狀且可被進行各種改變以改變成例如多邊形形狀及/或圓形形狀，且第一小鍵盤 40 的排列並非僅限於圖 4 中所示的實例且可進行各種修改。第一小鍵盤 40 可在垂直方向上與穿透結構 280 交疊。在形成穿透插塞 250 的製程中第一小鍵盤 40 可用作用於確定穿透插塞 250 的位置的參照點。將參照稍後闡述的製作方法更詳細地闡述第一小鍵盤 40 的作用。

【0058】 返回參照圖 2，內連層 300 可設置於堆疊 220、上部絕緣層 230、模塑結構 260 及穿透結構 280 上。內連層 300 可分別包括接觸通孔 325、內連結結構 360 以及第一內連絕緣層 311、第二內連絕緣層 313、第三內連絕緣層 315、第四內連絕緣層 317 及第五內連絕緣層 319。內連結結構 360 可分別包括第一內連線 330、第二內連線 340 及第三內連線 350 以及第一通孔 335 及第二通孔 345。

【0059】 第一內連絕緣層 311 可設置於上部絕緣層 230 的頂表面及模塑結構 260 的頂表面上。第一內連絕緣層 311 可設置於周邊電路結構 100 的第一區 R1 及第二區 R2 上。更具體而言，第一內連絕緣層 311 可覆蓋上部絕緣層 230 的頂表面、接觸件 240 的頂表面、分隔結構 255 的頂表面、模塑結構 260 的頂表面及穿透結構 280 的頂表面 280a。

【0060】 接觸通孔 325 可分別設置於接觸件 240 及穿透插塞 250 上。接觸通孔 325 可設置於第一內連絕緣層 311 中以穿透第一內連絕緣層 311。接觸通孔 325 可分別耦合至接觸件 240 及穿透插塞 250，以將堆疊 220 連接至內連層 300。

【0061】 第二內連絕緣層 313 可設置於第一內連絕緣層 311 上。第二內連絕緣層 313 可覆蓋第一內連絕緣層 311 的頂表面。第一內連線 330 可設置於第二內連絕緣層 313 中。第一內連線 330 可與接觸通孔 325 接觸，且因此內連結構 360 可連接至接觸件 240 及穿透插塞 250。

【0062】 第三內連絕緣層 315 及第四內連絕緣層 317 可設置於第一內連絕緣層 311 及第二內連絕緣層 313 上。第三內連絕緣層 315 可覆蓋第一內連線 330 的頂表面。第一通孔 335 可設置於第三內連絕緣層 315 中。第一通孔 335 可接觸第一內連線 330。第三內連絕緣層 315 可由與第四內連絕緣層 317 不同的材料形成或包含與第四內連絕緣層 317 不同的材料，且因此在形成內連層 300 期間可用作蝕刻停止層。

【0063】 第四內連絕緣層 317 可設置於第三內連絕緣層 315 上。第四內連絕緣層 317 可覆蓋第三內連絕緣層 315 的頂表面。第二內連線 340 可設置於第四內連絕緣層 317 中。第二內連線 340 可接觸第一通孔 335。

【0064】 第五內連絕緣層 319 可設置於第二內連線 340 及第四內連絕緣層 317 上。第二通孔 345 及第三內連線 350 可設置於第五內連絕緣層 319 中。第三內連線 350 可連接至第二通孔 345。

【0065】 接觸通孔 325、第一內連線 330、第二內連線 340 及第三內連線 350 以及第一通孔 335 及第二通孔 345 可由金屬材料(例如，鋁、銅、鎢及/或鈷)中的至少一者形成或包含金屬材料(例如，鋁、銅、鎢及/或鈷)中的至少一者。第一內連絕緣層 311、第二內連絕緣層 313、第三內連絕緣層 315、第四內連絕緣層 317 及第五內連絕緣層 319 可由絕緣材料(例如，氧化矽、氮化矽及/或氮氧化矽)中的至少一者形成或包含絕緣材料(例如，氧化矽、氮化矽及/或氮氧化矽)中的至少一者。與圖式中所示的情形不同，在第一內連絕緣層 311、第二內連絕緣層 313、第三內連絕緣層 315、第四內連絕緣層 317 及第五內連絕緣層 319 之間可不存在可觀察到的介面，但所述一或多個實施例並非僅限於此。

【0066】 圖 6 至圖 13 是示出根據實施例的製作半導體記憶體元件的方法的剖視圖。

【0067】 參照圖 6，可形成周邊電路結構 100。形成周邊電路結構 100 可包括：製備半導體基板 10，在半導體基板 10 上形成周邊

電路 PTR，形成連接至周邊電路 PTR 的周邊通孔 22 及周邊線 24，形成周邊絕緣層 20 以包圍周邊通孔 22 及周邊線 24，且形成頂表面未被周邊絕緣層 20 覆蓋的第一小鍵盤 40 及第二下部小鍵盤 30。

【0068】 此處，半導體基板 10 可由以下中的至少一者形成或包含以下中的至少一者：矽(Si)、鍺(Ge)、矽鍺(SiGe)、鎵砷(GaAs)、銦鎵砷(InGaAs)、鋁鎵砷(AlGaAs)或其組合。半導體基板 10 可包含經摻雜的半導體材料及/或未經摻雜的半導體材料或本征半導體材料中的至少一者且可具有單晶結構、非晶結構及多晶結構中的一種晶體結構。

【0069】 在實施例中，周邊電路 PTR 可包括其中半導體基板 10 用作通道區的金屬氧化物半導體(metal oxide semiconductor, MOS)電晶體。作為實例，形成周邊電路 PTR 可包括：在半導體基板 10 中形成元件隔離圖案 15 以界定主動區，在半導體基板 10 上依序形成周邊閘極絕緣層 27 與周邊閘極電極 28，且執行雜質注入製程以在半導體基板 10 中在周邊閘極電極 28 的兩側處形成源極/汲極區 25。可在周邊閘極電極 28 的側表面上形成周邊閘極間隔件 26。可在周邊電路結構 100 的第一區 R1 上形成周邊電路 PTR。

【0070】 周邊絕緣層 20 可包括覆蓋周邊電路 PTR 的單個絕緣層或多個堆疊的絕緣層。周邊絕緣層 20 可包括例如氧化矽層、氮化矽層、氮氧化矽層及/或低介電常數介電層。

【0071】 可在周邊絕緣層 20 的頂表面上形成第一小鍵盤 40 及第二下部小鍵盤 30。更具體而言，可在周邊電路結構 100 的第二區

R2 上設置第一小鍵盤 40 及第二下部小鍵盤 30。可藉由在周邊絕緣層 20 的頂表面中形成溝渠且使用導電材料填充所述溝渠來形成第一小鍵盤 40 及第二下部小鍵盤 30。第一小鍵盤 40 及第二下部小鍵盤 30 可由金屬材料（例如，鋁、銅、鎢及/或鈷）中的至少一者形成或包含金屬材料（例如，鋁、銅、鎢及/或鈷）中的至少一者。

【0072】 形成周邊通孔 22 及周邊線 24 可包括：形成周邊通孔 22 以穿透周邊絕緣層 20 的一些部分且形成連接至周邊通孔 22 的周邊線 24。

【0073】 可在周邊電路結構 100 上形成第一緩衝層 110。可藉由沈積絕緣材料來形成第一緩衝層 110。第一緩衝層 110 可由以下中的至少一者形成或包含以下中的至少一者：氮化矽、氧化矽、氮氧化矽及/或含碳氮化矽。

【0074】 參照圖 7，可製備其中第一層 261 與第二層 263 交替堆疊的模塑結構 260。模塑結構 260 可為含矽基板。更具體而言，模塑結構 260 的第一層 261 可為矽層，且第二層 263 可為矽-鍍層。模塑結構 260 可具有彼此相對的第一表面 260a 與第二表面 260b。可對模塑結構 260 進行蝕刻以形成第一溝渠 TR1 及第二溝渠 TR2。第一溝渠 TR1 可被形成為與第二溝渠 TR2 間隔開。第一溝渠 TR1 的深度可小於第二溝渠 TR2 的深度。更具體而言，第一溝渠 TR1 的底表面 TR1b 可較第二溝渠 TR2 的底表面 TR2b 更靠近模塑結構 260 的第一表面 260a。

【0075】 參照圖 8，可藉由使用導電材料填充第一溝渠 TR1 來形成第二上部小鍵盤 270。第二上部小鍵盤 270 可由金屬材料（例如，鋁、銅、鎢及/或鈷）中的至少一者形成或包含金屬材料（例如，鋁、銅、鎢及/或鈷）中的至少一者。可藉由使用絕緣材料填充第二溝渠 TR2 來形成穿透結構 280。穿透結構 280 的絕緣材料可包括氧化矽、氮化矽及/或氮氧化矽。可對模塑結構 260 的第一表面 260a 執行平坦化製程，且因此，模塑結構 260 的頂表面 260a、第二上部小鍵盤 270 的頂表面及穿透結構 280 的頂表面可彼此共面。此後，可在模塑結構 260 的第一表面 260a 上形成第二緩衝層 210。可使用與形成第一緩衝層 110 的方法實質上相同的方法來形成第二緩衝層 210。第二緩衝層 210 可被形成為覆蓋模塑結構 260 的第一表面 260a、第二上部小鍵盤 270 及穿透結構 280 且可具有被暴露至外部的第一表面 210a。

【0076】 參照圖 9，可將模塑結構 260 以固定的方式放置於周邊電路結構 100 上。將模塑結構 260 放置於周邊電路結構 100 上可包括：在第一緩衝層 110 的頂表面 110a 上設置模塑結構 260，使得第二上部小鍵盤 270 在垂直方向上與第二下部小鍵盤 30 交疊，且接著執行熱處理製程以將第一緩衝層 110 貼合至第二緩衝層 210。

【0077】 可將其中形成有第二上部小鍵盤 270 及穿透結構 280 的模塑結構 260 設置於周邊電路結構 100 上。此處，可將模塑結構 260 放置成使得第二緩衝層 210 的第一表面 210a 面對周邊電路結

構 100。更具體而言，可對第二下部小鍵盤 30 及第二上部小鍵盤 270 的位置進行核查，且接著可將模塑結構 260 放置成使得第二上部小鍵盤 270 在垂直方向上與第二下部小鍵盤 30 交疊。因此，第二上部小鍵盤 270 與第二下部小鍵盤 30 可在垂直方向上彼此交疊且優選地在第三方向 D3 上彼此對準。第二緩衝層 210 的第一表面 210a 可接觸第一緩衝層 110 的頂表面 110a。第二上部小鍵盤 270 及第二下部小鍵盤 30 可用作確定將設置模塑結構 260 的位置的參照點。

【0078】 作為對第一緩衝層 110 及第二緩衝層 210 進行熱處理製程的結果，第一緩衝層 110 與第二緩衝層 210 可貼合至彼此。因此，可將模塑結構 260 緊固或固定至周邊電路結構 100。作為熱處理製程的結果，第一緩衝層 110 與第二緩衝層 210 可在位於第一緩衝層 110 與第二緩衝層 210 之間的介面處在化學上結合至彼此或在實體上結合至彼此。與圖式中所示的情形不同，第一緩衝層 110 與第二緩衝層 210 之間的介面可不為可觀察到的。

【0079】 結合圖 9 參照圖 10，可在模塑結構 260 中形成分隔結構 255。形成分隔結構 255 可包括：形成穿透模塑結構 260 的溝渠，形成絕緣襯墊 253 以覆蓋溝渠的內表面，且形成絕緣圖案 251 以填充溝渠的其餘部分。絕緣襯墊 253 及絕緣圖案 251 可由絕緣材料（例如，氧化矽、氮化矽及/或氮氧化矽）中的至少一者形成或包含絕緣材料（例如，氧化矽、氮化矽及/或氮氧化矽）中的至少一者。分隔結構 255 可形成於周邊電路結構 100 的第一區 R1 與第

二區 R2 之間的邊界上。然而，所述一或多個實施例並非僅限於此，且可省略分隔結構 255 的形成。

【0080】 可對模塑結構 260 的第二表面 260b 執行蝕刻製程，以移除模塑結構 260 的上部部分及分隔結構 255 的上部部分。可執行蝕刻製程直至穿透結構 280 的頂表面 280a 被暴露出為止。因此，模塑結構 260 的第二表面 260b、分隔結構 255 的頂表面及穿透結構 280 的頂表面可彼此共面。

【0081】 參照圖 11，可在周邊電路結構 100 的第一區 R1 上形成堆疊 220。形成堆疊 220 可包括：對模塑結構 260 進行蝕刻以形成初步堆疊，對初步堆疊執行替換製程以形成堆疊 220，且形成上部絕緣層 230 以覆蓋堆疊 220。

【0082】 可對模塑結構 260 進行蝕刻以形成初步堆疊。更具體而言，可對設置於周邊電路結構 100 的第一區 R1 上的模塑結構 260 進行蝕刻以形成階梯結構中的初步堆疊。初步堆疊可包括交替堆疊的第一層 261 與第二層 263。初步堆疊的第一層 261 可為矽層，且第二層 263 可為矽-鍺層。

【0083】 所述替換製程可包括：移除初步堆疊的第一層 261 以形成第一空區，使用導電材料填充第一空區以形成第一導電線 223，移除第二層 263 以形成第二空區，且使用絕緣材料填充第二空區以形成第一層間絕緣層 221。在實施例中，導電材料可包括經摻雜的半導體材料（例如，經摻雜的矽、經摻雜的鍺等）、導電金屬氮化物（例如，氮化鈦、氮化鉬等）、金屬（例如，鎢、鈦、鉭等）

及金屬半導體化合物（例如，矽化鎢、矽化鈷、矽化鈦等）中的至少一者。絕緣材料可包括氧化矽、氮化矽及/或氮氧化矽中的至少一者。因此，可形成堆疊 220。

【0084】 可在周邊電路結構 100 的第一區 R1 上形成上部絕緣層 230 以覆蓋堆疊 220。可藉由沈積絕緣材料來形成上部絕緣層 230。絕緣材料可包括例如氧化矽、氮化矽及/或氮氧化矽中的至少一者。上部絕緣層 230 可被形成為填充自其中移除模塑結構 260 的區。更具體而言，上部絕緣層 230 可被形成為覆蓋堆疊 220 的頂表面及側表面且填充分隔結構 255 與堆疊 220 之間間隙區。

【0085】 參照圖 12，可在堆疊 220 的第一導電線 223 的頂表面上形成接觸件 240。可藉由形成穿透上部絕緣層 230 的穿透孔且使用導電材料填充所述穿透孔來形成接觸件 240。穿透孔可形成於堆疊 220 的階梯結構上，以暴露出第一導電線 223 的頂表面。導電材料可包括鋁、銅、鎢及/或鈷。

【0086】 參照圖 13，可將穿透插塞 250 形成為穿透上部絕緣層 230、第二緩衝層 210 及第一緩衝層 110。形成穿透插塞 250 可包括：將第一光 L 照射至穿透結構 280 的頂表面上以獲得關於第一小鍵盤 40 的位置的資訊，在將基於關於第一小鍵盤 40 的位置的資訊形成穿透插塞 250 的位置處形成穿透孔，且使用導電材料填充所述穿透孔以形成穿透插塞 250。

【0087】 更具體而言，可將第一光 L 照射至穿透結構 280 的頂表面上。穿透結構 280 對第一光 L 的透射率可高於模塑結構 260 對

第一光 L 的透射率。第一光 L 可為可見光、紅外光及/或紫外光，但所述一或多個實施例並非僅限於該些實例。可使用第一光 L 來核查第一小鍵盤 40 的位置。可使用第一小鍵盤 40 的位置來計算穿透插塞 250 的位置。此後，可在計算出的位置處形成用於穿透插塞 250 的穿透孔。舉例而言，計算出的位置可為形成導電接墊 50 的位置。可藉由使用導電材料填充穿透孔來形成穿透插塞 250。導電材料可包括鋁、銅、鎢及/或鈷中的至少一者。

【0088】 在藉由依序形成或堆疊多個層及多個圖案的方法製作半導體元件的情形中，可更輕易地使圖案在垂直方向上彼此對準。反之，在藉由將獨立製備的上部板與下部板貼合至彼此的方法製作半導體元件的情形中，可能難以使上部板與下部板精確地對準。具體而言，當圖案被形成為穿透上部板及下部板時，在下部板的期望的區（例如，搭接接墊）上精密地形成穿過上部板的圖案可能非常困難。為減少製作製程中的該些困難或未對準問題，可將與穿透圖案接觸的搭接接墊形成為具有增大的寬度，所述寬度足夠大以防止接觸失效。然而，若搭接接墊的寬度增大，則難以增大半導體元件的積體密度。根據實施例，穿透結構 280 可被設置成在垂直方向上與第一小鍵盤 40 交疊。可使用第二上部小鍵盤 270 及第二下部小鍵盤 30 將周邊電路結構 100 與堆疊 220 貼合至彼此，且接著可使用穿過穿透結構 280 的第一光 L 來核查第一小鍵盤 40 的位置。基於核查到的第一小鍵盤 40 的位置，可更精確地計算穿透插塞 250 的位置。因此，可減小與穿透插塞 250

接觸的導電接墊 50 的寬度，且進而使得可增大半導體記憶體元件的積體密度。

【0089】 返回參照圖 3A，可在上部絕緣層 230、模塑結構 260 及穿透結構 280 上形成內連層 300。形成內連層 300 可包括：形成接觸通孔 325、內連結構 360 以及第一內連絕緣層 311、第二內連絕緣層 313、第三內連絕緣層 315、第四內連絕緣層 317 及第五內連絕緣層 319。因此，半導體記憶體元件可被製作成具有圖 3A 所示結構。

【0090】 圖 14 是示出根據實施例的沿著圖 2 所示線 I-I' 截取的半導體記憶體元件的剖視圖。在以下說明中，先前參照圖 1、圖 2、圖 3A、圖 3B、圖 4 及圖 5 闡述的部件可由相同的參考編號標識，而不再對其重複說明予以贅述。

【0091】 參照圖 14，在第二半導體基板 200 上可設置有堆疊 220、接觸件 240、上部絕緣層 230、分隔結構 255 及模塑結構 260。第二半導體基板 200 可實質上相同於參照圖 1、圖 2、圖 3A 及圖 3B 闡述的半導體基板 10，且堆疊 220、接觸件 240、上部絕緣層 230、分隔結構 255 及模塑結構 260 可被配置成具有與參照圖 1、圖 2、圖 3A 及圖 3B 闡述的堆疊 220、接觸件 240、上部絕緣層 230、分隔結構 255 及模塑結構 260 實質上相同的特徵。

【0092】 第二半導體基板 200 可具有第一區 R1 及第二區 R2。第二半導體基板 200 的第一區 R1 及第二區 R2 可實質上相同於參照圖 1、圖 2、圖 3A 及圖 3B 闡述的周邊電路結構 100 的第一區 R1

及第二區 R2。

【0093】 第一緩衝層 110 可覆蓋上部絕緣層 230 的頂表面、分隔結構 255 的頂表面、模塑結構 260 的頂表面、第一小鍵盤 40' 的頂表面及第二下部小鍵盤 30' 的頂表面。第一緩衝層 110 可包含與參照圖 1、圖 2、圖 3A 及圖 3B 闡述的第一緩衝層 110 相同的材料。在第一緩衝層 110 的頂表面上可設置有第二緩衝層 210。第二緩衝層 210 可由與第一緩衝層 110 相同的材料形成或包含與第一緩衝層 110 相同的材料。

【0094】 第一小鍵盤 40' 及第二下部小鍵盤 30' 可設置於模塑結構 260 的上部部分中。更具體而言，第一小鍵盤 40' 及第二下部小鍵盤 30' 可設置於第二半導體基板 200 的第二區 R2 上。模塑結構 260 可覆蓋第一小鍵盤 40' 的底表面及側表面以及第二下部小鍵盤 30' 的底表面及側表面。此處，第一小鍵盤 40' 的頂表面及第二下部小鍵盤 30' 的頂表面可不被模塑結構 260 覆蓋且可接觸第一緩衝層 110。

【0095】 第一半導體基板 10 可設置於第二緩衝層 210 的頂表面上。第一半導體基板 10 可被配置成具有與參照圖 1、圖 2、圖 3A 及圖 3B 闡述的半導體基板 10 實質上相同的特徵。在第一半導體基板 10 上可設置有周邊電路 PTR、周邊通孔 22、周邊線 24 及覆蓋周邊電路 PTR 的周邊絕緣層 20。周邊電路 PTR、周邊通孔 22、周邊線 24 及周邊絕緣層 20 可被配置成具有與圖 1、圖 2、圖 3A 及圖 3B 中的周邊電路 PTR、周邊通孔 22、周邊線 24 及周邊絕緣

層 20 實質上相同的特徵。

【0096】 在第一半導體基板 10 的下部部分中可設置有第二上部小鍵盤 270'。第二上部小鍵盤 270'的頂表面及側表面可被第一半導體基板 10 覆蓋。第二上部小鍵盤 270'的底表面可不被第一半導體基板 10 覆蓋且可接觸第二緩衝層 210。第二上部小鍵盤 270'可在垂直方向上與第二下部小鍵盤 30'交疊。

【0097】 在第一半導體基板 10 上可設置有穿透結構 280。更具體而言，穿透結構 280 可被設置成穿透第一周邊絕緣層 21。穿透結構 280 的頂表面可與第一周邊絕緣層 21 的頂表面 21a 共面，且穿透結構 280 的底表面可與第一周邊絕緣層 21 的底表面共面。穿透結構 280 的側表面可相對於第一半導體基板 10 的頂表面傾斜一角度。作為實例，穿透結構 280 的頂表面的寬度可小於穿透結構 280 的底表面的寬度。穿透結構 280 可在垂直方向上與第一小鍵盤 40'交疊。

【0098】 穿透插塞 250 被可設置成穿透周邊絕緣層 20、第一緩衝層 110 及第二緩衝層 210 且可連接至接觸件 240。更具體而言，穿透插塞 250 可將內連層 300 的內連結構 360 電性連接至堆疊 220 的第一導電線 223。

【0099】 在周邊絕緣層 20 及周邊線 24 上可形成有內連層 300。內連層 300 可被配置成具有與圖 1、圖 2、圖 3A 及圖 3B 中的內連層 300 實質上相同的特徵。內連結構 360 可電性連接至周邊線 24。

【0100】 根據本發明概念的實施例，半導體記憶體元件可包括穿

透結構，所述穿透結構在垂直方向上與第一小鍵盤交疊。第一小鍵盤可用作精確地計算將形成穿透插塞的位置的參照，且因此可減小與穿透插塞接觸的導電接墊的寬度。因此，可增大半導體記憶體元件的積體密度。

【0101】 儘管已具體示出並闡述了本發明概念的示例性實施例，然而此項技術中具有通常知識者應理解，在不背離隨附申請專利範圍的精神及範圍的條件下，可對本文進行形式及細節上的變化。

【符號說明】

【0102】

10:半導體基板

15:元件隔離圖案

20:周邊絕緣層

21:第一周邊絕緣層

21a、23a、30a、40a、50a、110a、280a:頂表面

22:周邊通孔

23:第二周邊絕緣層

24:周邊線

25:周邊源極/汲極區 / 源極/汲極區

26:周邊閘極間隔件

27:周邊閘極絕緣層

28:周邊閘極電極

29:周邊頂蓋圖案
30、30':第二下部小鍵盤
40、40':第一小鍵盤
50:導電接墊
100:周邊電路結構
110:第一緩衝層
200:第二半導體基板
210:第二緩衝層
210a、260a:頂表面/第一表面
220:堆疊
221:第一層間絕緣層
223:第一導電線
225:第二導電線
227:第三導電線
230:上部絕緣層
240:接觸件
250:穿透插塞
250b、280b、TR1b、TR2b:底表面
251:絕緣圖案
253:絕緣襯墊
255:分隔結構
260:模塑結構

260b:第二表面
261:第一層
263:第二層
270、270':第二上部小鍵盤
280:穿透結構
280c:側表面
300:內連層
311:第一內連絕緣層
313:第二內連絕緣層
315:第三內連絕緣層
317:第四內連絕緣層
319:第五內連絕緣層
325:接觸通孔
330:第一內連線
335:第一通孔
340:第二內連線
345:第二通孔
350:第三內連線
360:內連結構
A、B、C:區
CAR:胞元區
CH:通道區

CTR:接觸區

D1:第一方向

D2:第二方向

D3:第三方向

DS:資料儲存部件

GI:閘極絕緣層

I-I'、II-II':線

IL:絕緣層

L:第一光

PTR:周邊電路

R1:第一區/第一行

R2:第二區/第二行

R3:第三行

R4:第四行

SP:半導體圖案

SS:單位胞元結構

TR1:第一溝渠

TR2:第二溝渠

VIP:垂直絕緣圖案

W1、W2、W3:寬度

W4:距離

$\theta 1$:第一角度

【發明申請專利範圍】

【請求項1】 一種半導體記憶體元件，包括：

周邊電路結構，包括在第一區中整合於半導體基板上的周邊電路及設置於第二區中的第一小鍵盤；

堆疊，設置於所述周邊電路結構的所述第一區上，所述堆疊包括多條第一導電線，所述多條第一導電線在第一方向上延伸且在與所述第一方向垂直的第三方向上垂直地堆疊；

上部絕緣層，覆蓋所述堆疊；

內連層，設置於所述上部絕緣層上；

穿透插塞，與所述堆疊間隔開且被設置成穿透所述上部絕緣層以將所述內連層連接至所述周邊電路結構的所述周邊電路；

模塑結構，設置於所述周邊電路結構的所述第二區上且在所述第一方向上與所述堆疊間隔開；以及

穿透結構，被設置成穿透所述模塑結構且在垂直方向上與所述第一小鍵盤交疊。

【請求項2】 如請求項1所述的半導體記憶體元件，更包括：

第一緩衝層，設置於所述周邊電路結構的頂表面上；以及

第二緩衝層，設置於所述堆疊的底表面上，

其中所述第一緩衝層與所述第二緩衝層相互接觸。

【請求項3】 如請求項2所述的半導體記憶體元件，其中所述穿透插塞被設置成穿透所述第二緩衝層及所述第一緩衝層。

【請求項4】 如請求項1所述的半導體記憶體元件，更包括：

第二緩衝層，覆蓋所述堆疊的底表面及所述穿透結構的底表面；以及

第二上部小鍵盤，夾置於所述第二緩衝層與所述模塑結構之間，

其中所述周邊電路結構更包括設置於所述周邊電路結構的所述第二區上的第二下部小鍵盤，且

所述第二上部小鍵盤與所述第二下部小鍵盤在垂直方向上彼此交疊。

【請求項5】 如請求項 1 所述的半導體記憶體元件，其中所述周邊電路結構更包括與所述穿透插塞的底表面接觸的導電接墊，

所述穿透插塞的所述底表面具有第一寬度，

所述導電接墊具有第二寬度，且

所述第一寬度與所述第二寬度之差介於約 10 奈米至 30 奈米的範圍內。

【請求項6】 如請求項 1 所述的半導體記憶體元件，更包括覆蓋所述穿透結構的底表面的第二緩衝層，

其中所述穿透結構的側表面相對於所述第二緩衝層的頂表面傾斜一角度。

【請求項7】 如請求項 1 所述的半導體記憶體元件，其中所述穿透結構包含氧化矽或氮化矽。

【請求項8】 如請求項 1 所述的半導體記憶體元件，其中在所述第一方向上自所述多條第一導電線中的一者至所述穿透結構的最

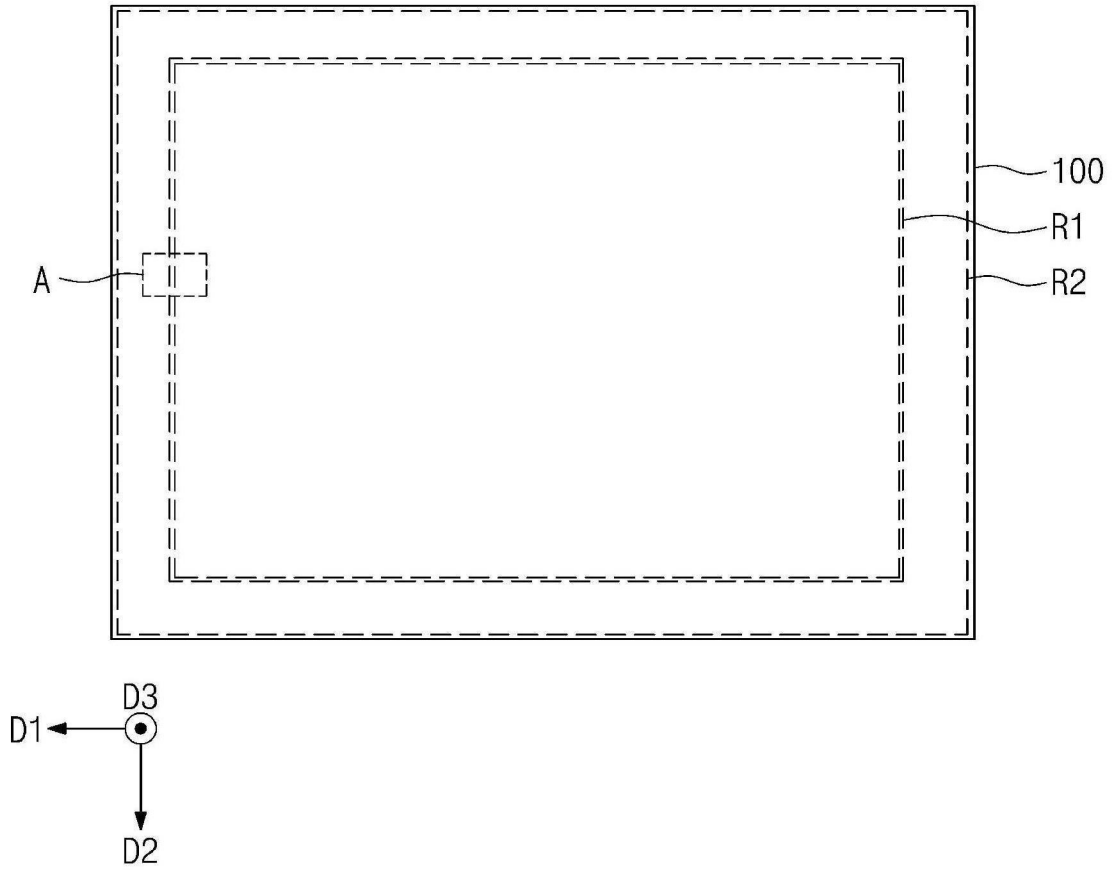
短距離介於約 1 微米至 10 微米的範圍內。

【請求項9】 如請求項 1 所述的半導體記憶體元件，更包括夾置於所述模塑結構與所述上部絕緣層之間的分隔結構。

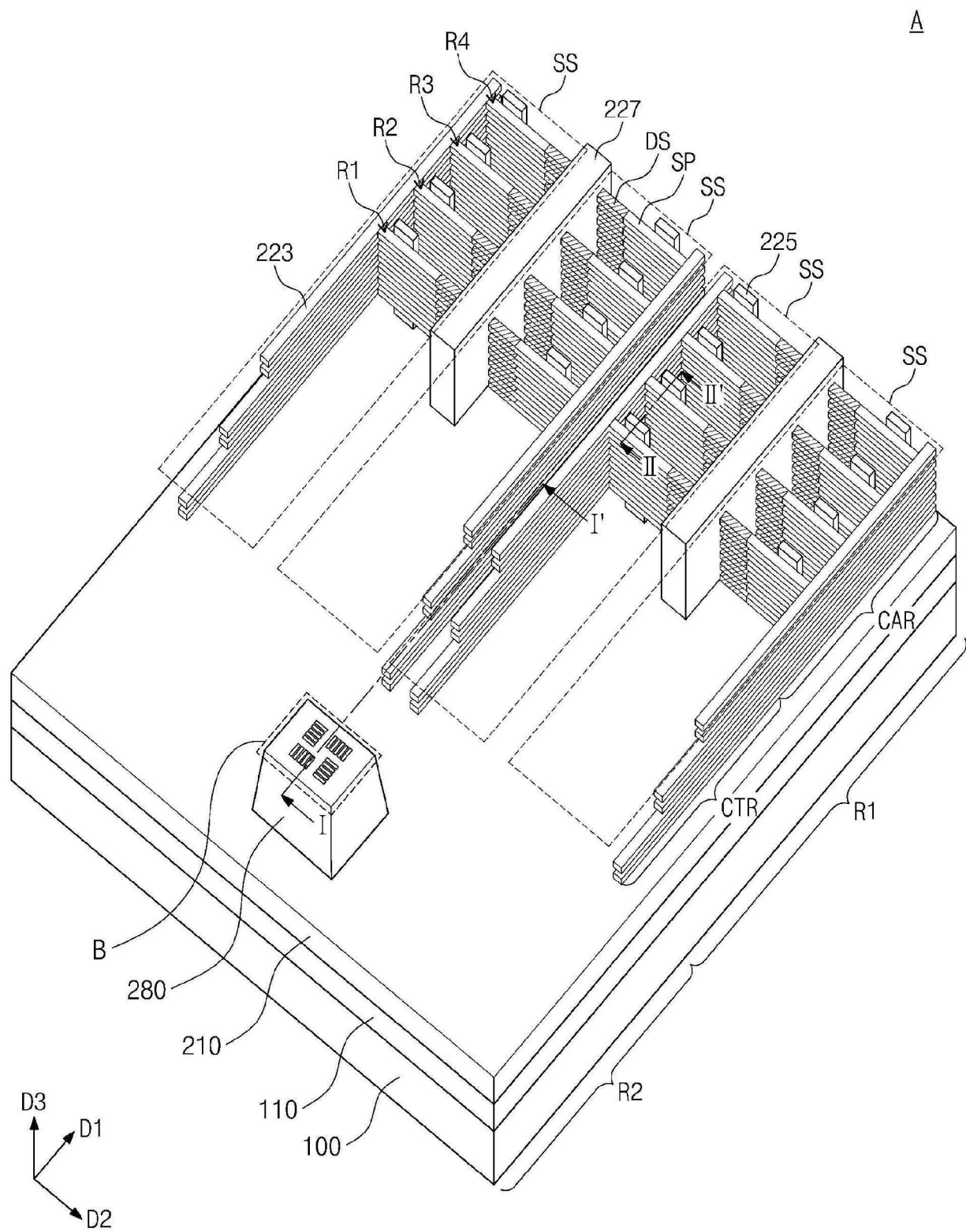
【請求項10】 如請求項 1 所述的半導體記憶體元件，其中所述周邊電路結構更包括包圍所述周邊電路的第一周邊絕緣層及設置於所述第一周邊絕緣層上的第二周邊絕緣層，且

所述第一小鍵盤的頂表面與所述第二周邊絕緣層的頂表面共面。

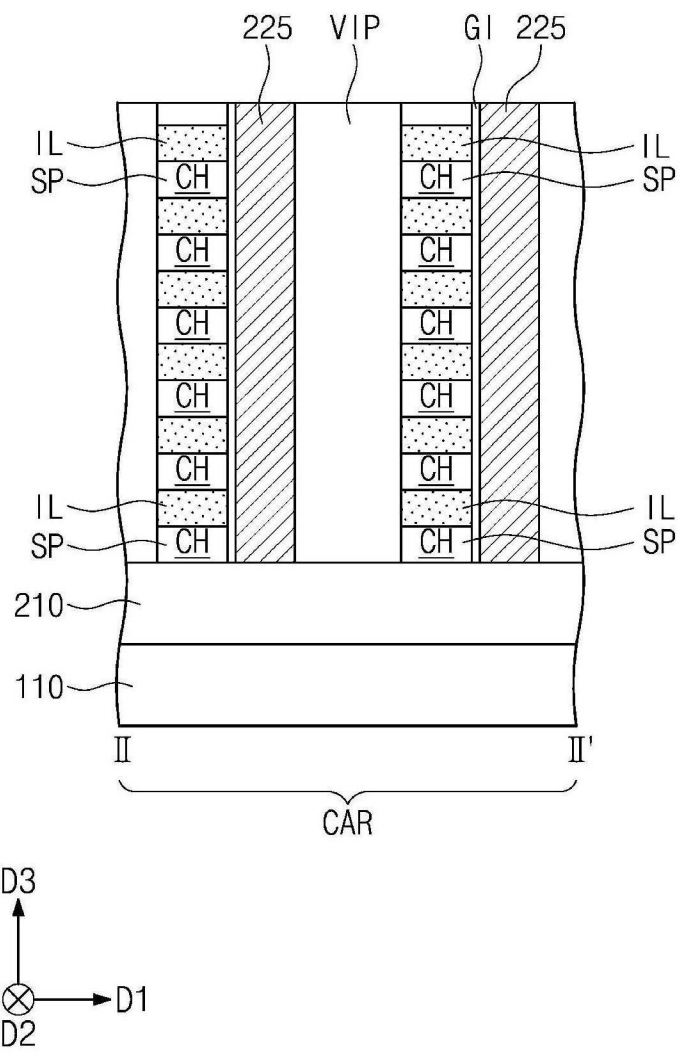
【發明圖式】



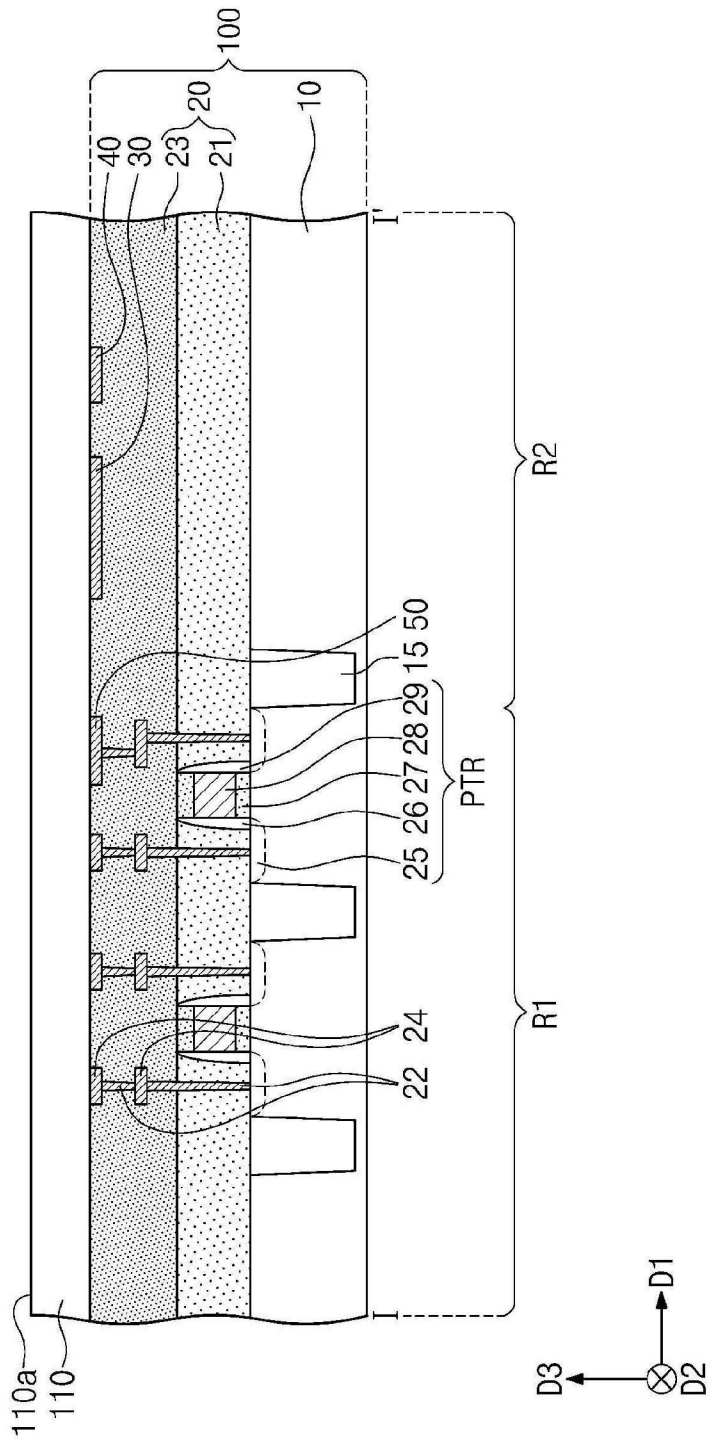
【圖1】



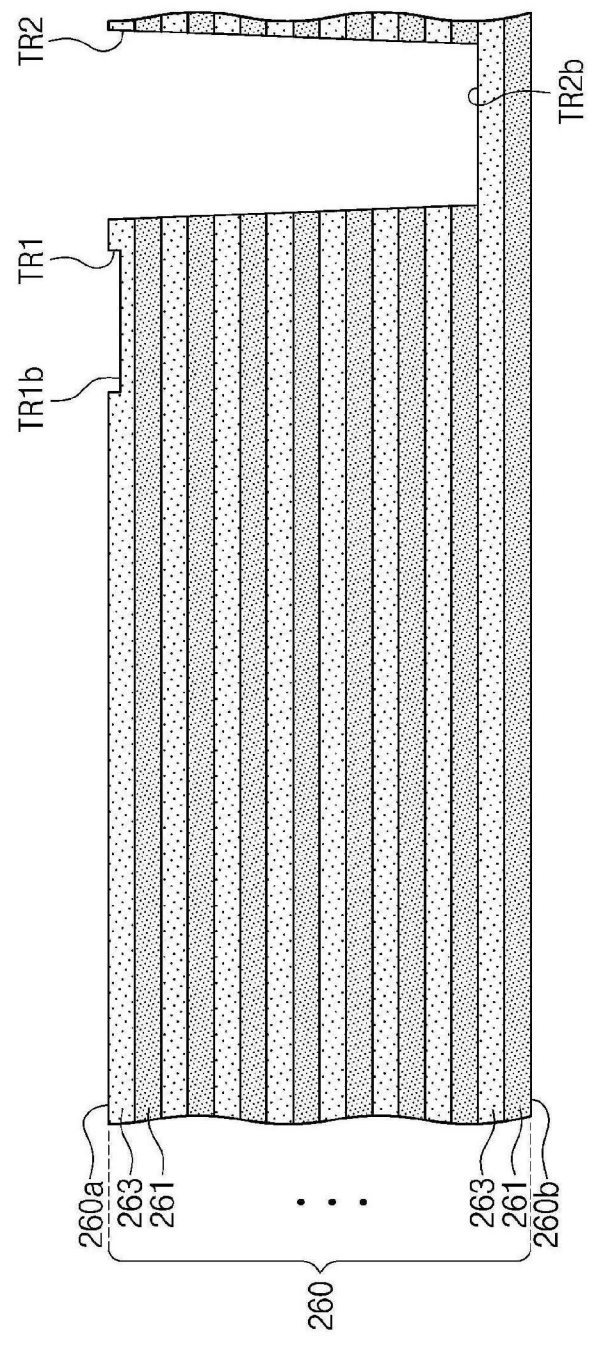
【圖2】



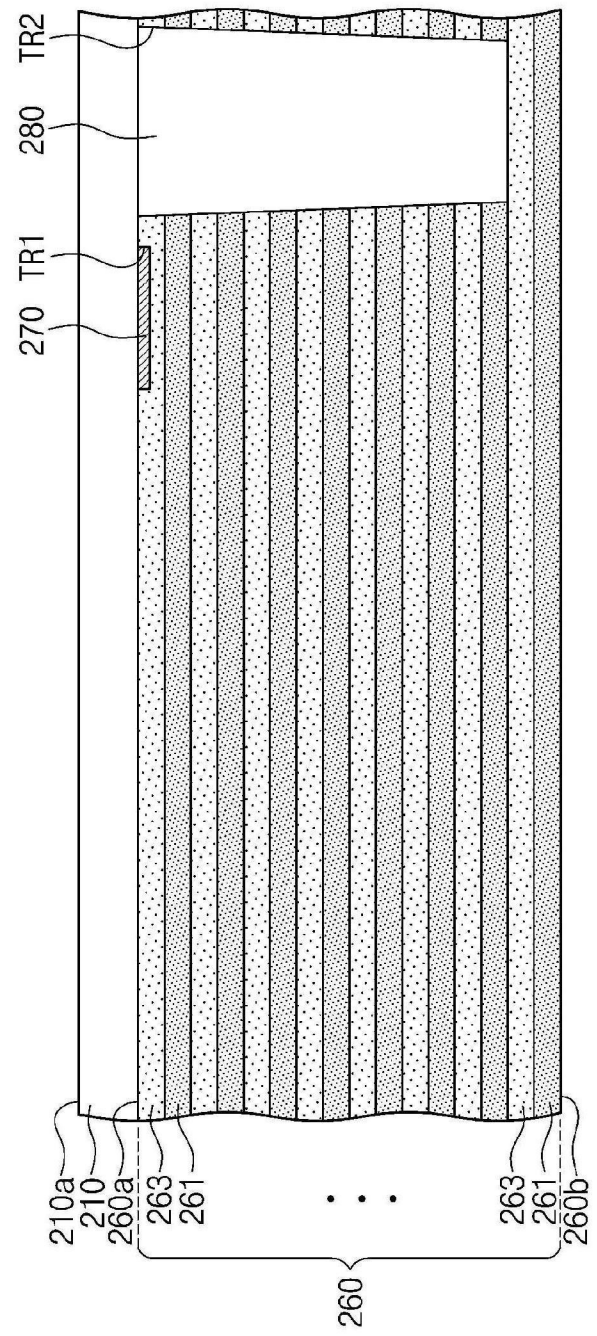
【圖3B】



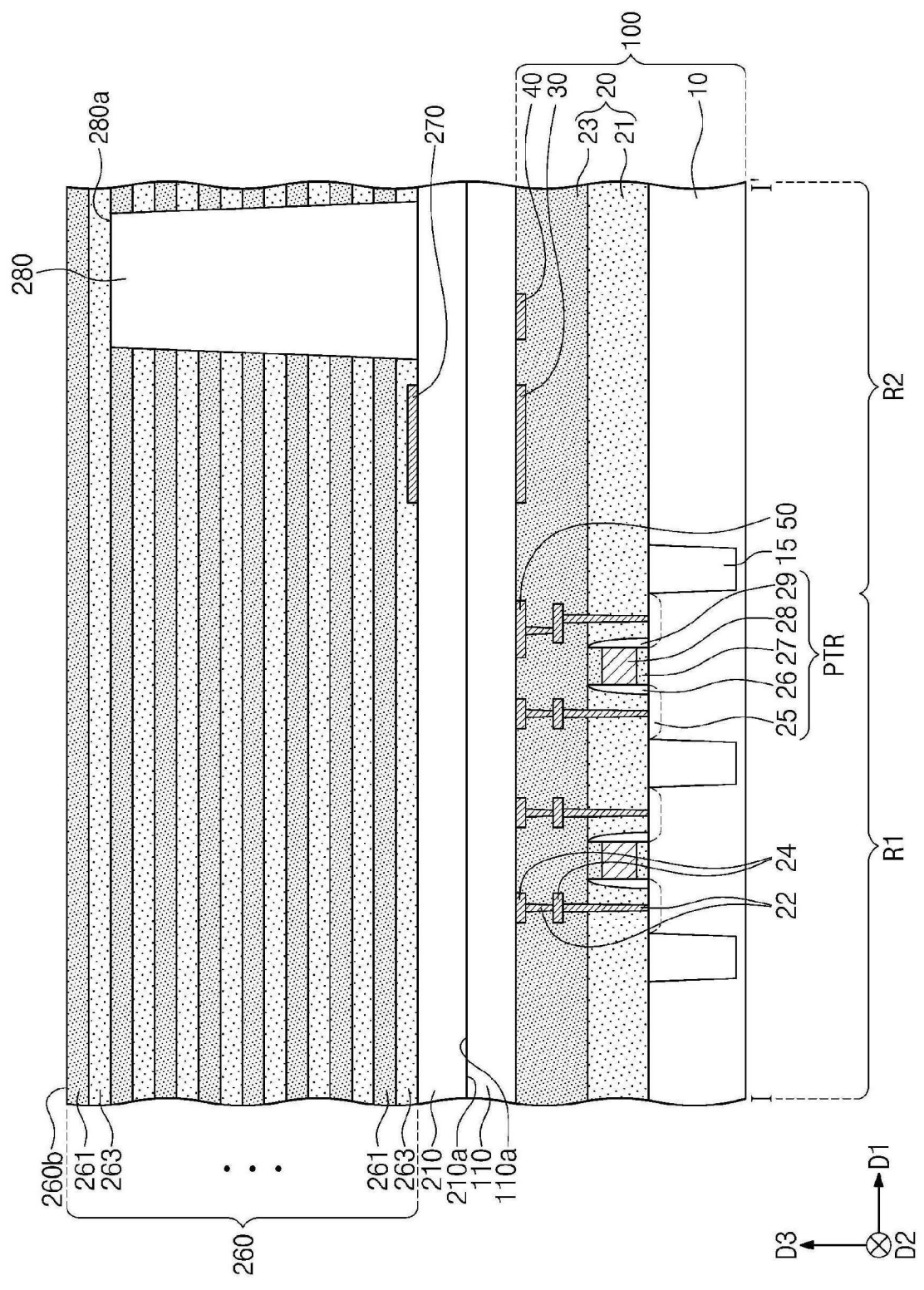
【圖6】



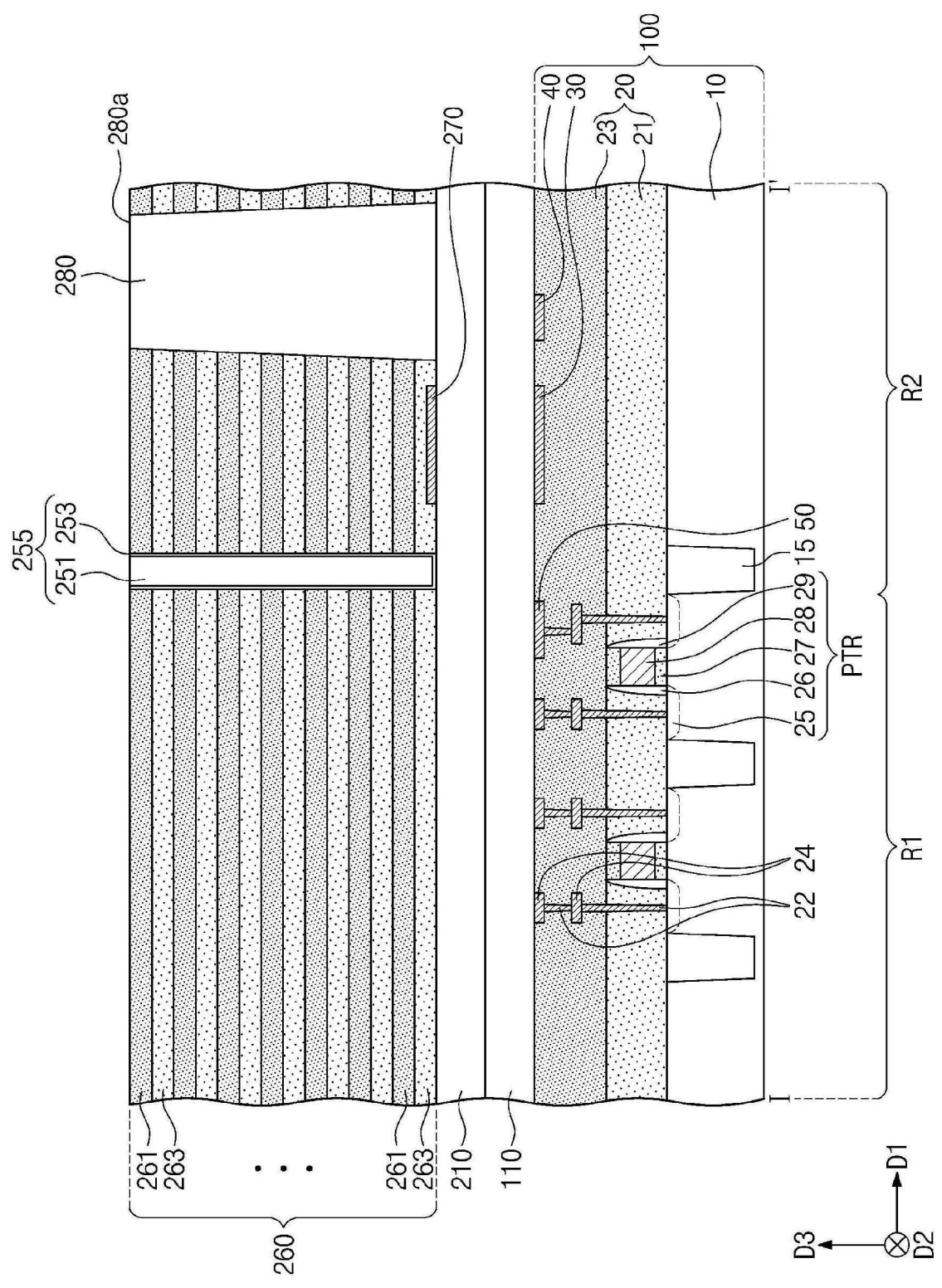
【圖7】



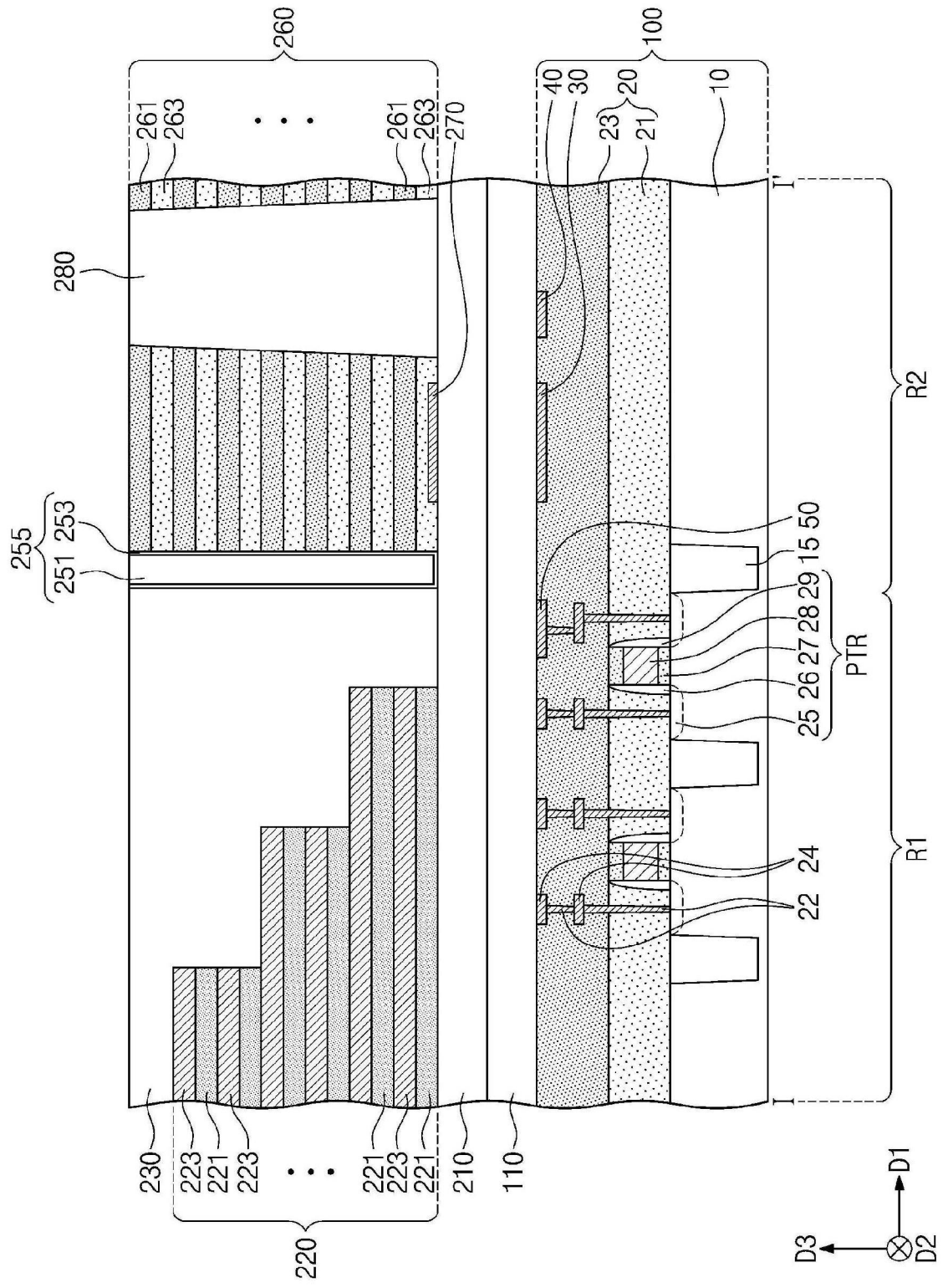
【圖8】



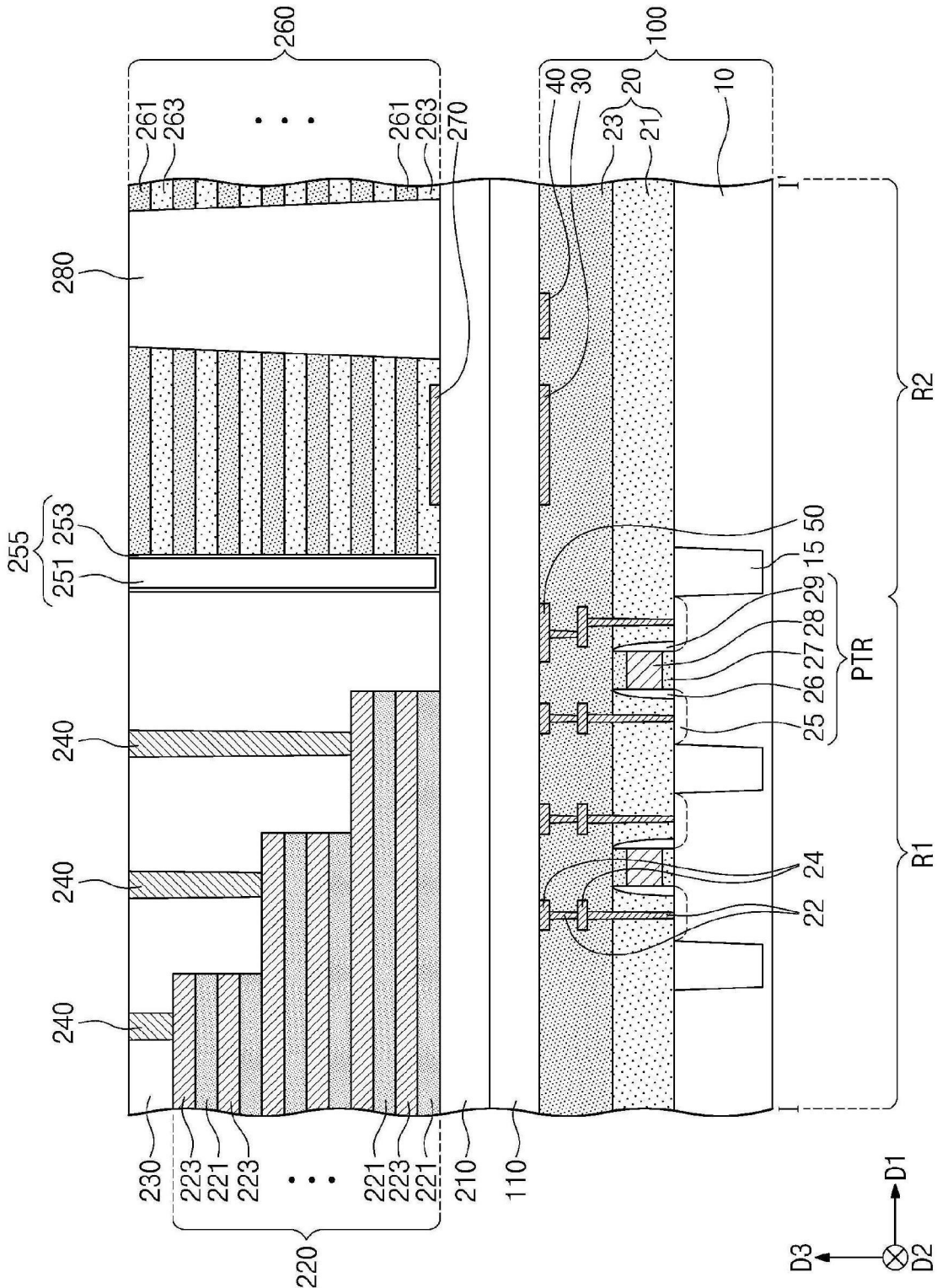
【圖9】



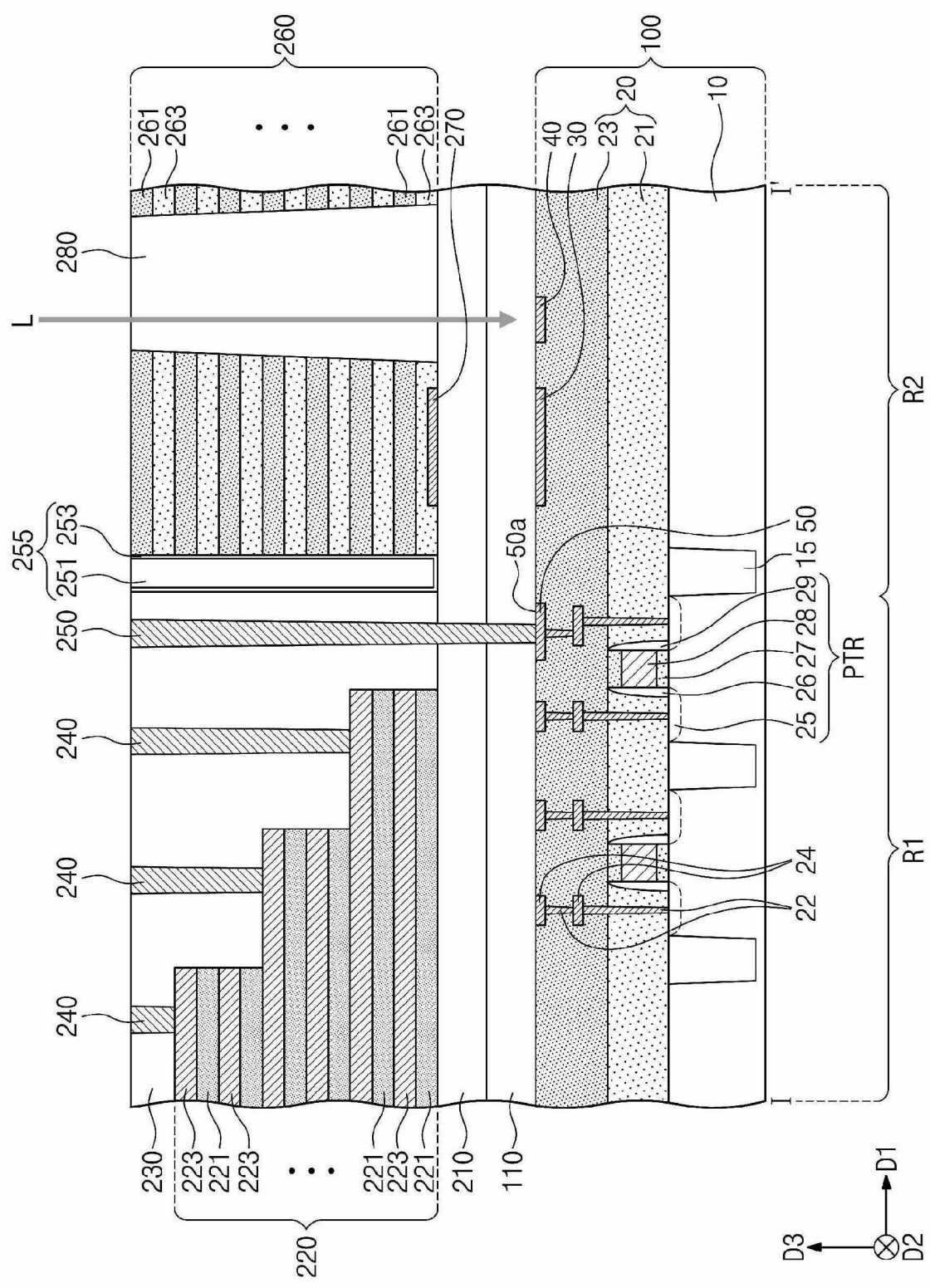
【圖10】



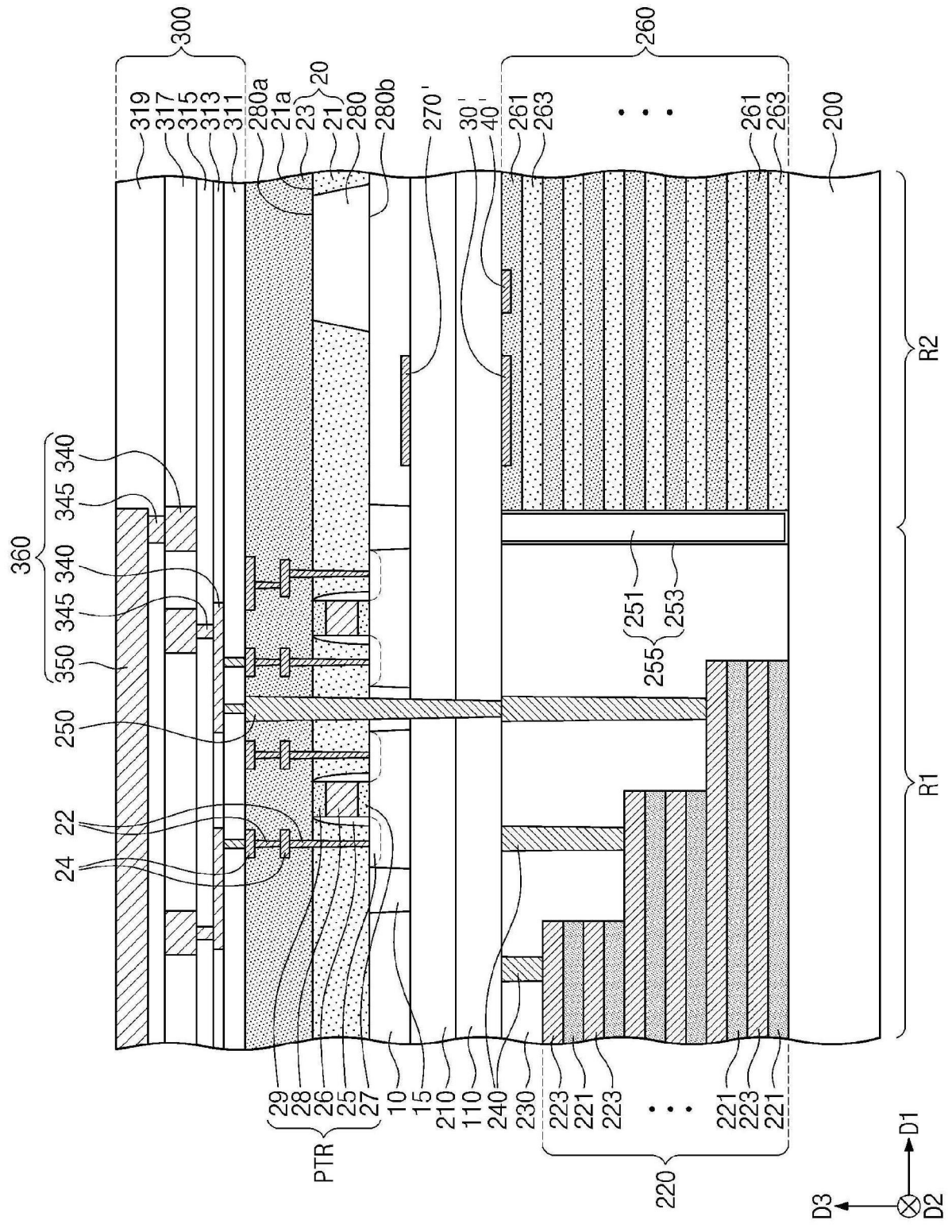
【圖11】



【圖12】



【圖13】



【圖14】