



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0019181
(43) 공개일자 2022년02월16일

(51) 국제특허분류(Int. Cl.)
H01L 27/11573 (2017.01) H01L 27/11575 (2017.01)
H01L 27/11582 (2017.01)
(52) CPC특허분류
H01L 27/11573 (2013.01)
H01L 27/11575 (2013.01)
(21) 출원번호 10-2020-0099201
(22) 출원일자 2020년08월07일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
최현근
경기도 수원시 영통구 도청로17번길 23(이의동, 자연엔자이) 5303동 802호
문중호
서울특별시 강남구 선릉로 221
(뒷면에 계속)
(74) 대리인
특허법인 고려

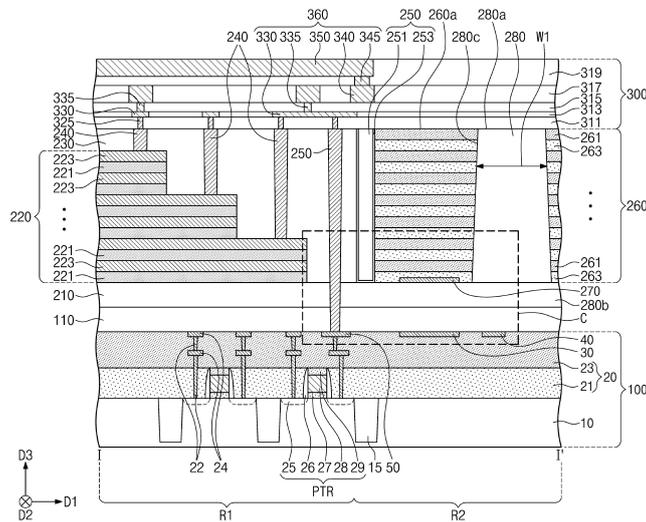
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 반도체 메모리 소자

(57) 요약

본 발명의 개념에 따른, 반도체 메모리 소자는, 반도체 기판 상에 집적된 주변 회로들 및 제1 키패드를 포함하는 주변 회로 구조체, 상기 주변 회로 구조체는 상기 주변 회로들이 배치되는 제1 영역 및 상기 제1 키패드가 제공되는 제2 영역을 갖고; 상기 주변 회로 구조체의 상기 제1 영역 상에 제공되며, 제1 방향으로 연장되어 수직으로 적층된 복수의 제1 도전 라인들을 포함하는 적층 구조체; 상기 적층 구조체를 덮는 상부 절연층; 상기 상부 절연층 상에 제공되는 배선층; 상기 적층 구조체와 이격되고, 상기 상부 절연층을 관통하여 상기 배선층 및 상기 주변 회로 구조체의 상기 주변 회로들을 연결하는 관통 플러그; 상기 주변 회로 구조체의 상기 제2 영역 상에 제공되고, 상기 적층 구조체와 상기 제1 방향으로 이격되는 몰딩 구조체; 및 상기 몰딩 구조체를 관통하며, 상기 제1 키패드와 수직으로 중첩되는 관통 구조체를 포함할 수 있다.

대표도



(52) CPC특허분류

H01L 27/11582 (2013.01)

(72) 발명자

유한식

경기도 성남시 분당구 구미동 무지개마을LG아파트
211동 1204호

이기석

경기도 화성시 동탄시범한빛길 10 (반송동, 시범한
빛마을한화꿈에그린아파트) 236동 2102호

장성환

경기도 부천시 신흥로96번길 25 (십곡동)

정승재

경기도 수원시 장안구 만석로20번길 25, 622동 70
1호 (정자3동, 청솔마을SK한화아파트)

정의철

경기도 용인시 수지구 동천로153번길 79 동천파크
자이APT 102동 803호

안태현

서울특별시 용산구 이촌로87길 14 (이촌동, 강촌아
파트) 106-1104호

한상연

경기도 수원시 장안구 경수대로976번길 22번지 한
일타운 APT 126-1704호

황유상

경기도 용인시 기흥구 서그내로16번길 14

명세서

청구범위

청구항 1

반도체 기판 상에 집적된 주변 회로들 및 제1 키패드를 포함하는 주변 회로 구조체, 상기 주변 회로 구조체는 상기 주변 회로들이 배치되는 제1 영역 및 상기 제1 키패드가 제공되는 제2 영역을 갖고;

상기 주변 회로 구조체의 상기 제1 영역 상에 제공되며, 제1 방향으로 연장되어 수직으로 적층된 복수의 제1 도전 라인들을 포함하는 적층 구조체;

상기 적층 구조체를 덮는 상부 절연층;

상기 상부 절연층 상에 제공되는 배선층;

상기 적층 구조체와 이격되고, 상기 상부 절연층을 관통하여 상기 배선층 및 상기 주변 회로 구조체의 상기 주변 회로들을 연결하는 관통 플러그;

상기 주변 회로 구조체의 상기 제2 영역 상에 제공되고, 상기 적층 구조체와 상기 제1 방향으로 이격되는 몰딩 구조체; 및

상기 몰딩 구조체를 관통하며, 상기 제1 키패드와 수직으로 중첩되는 관통 구조체를 포함하는 반도체 메모리 소자.

청구항 2

제1 항에 있어서,

상기 주변 회로 구조체의 상면 상에 제공되는 제1 버퍼층 및 상기 적층 구조체의 하면 상에 제공되는 제2 버퍼층을 더 포함하되,

상기 제1 버퍼층 및 상기 제2 버퍼층은 서로 접촉하는 반도체 메모리 소자.

청구항 3

제2 항에 있어서,

상기 관통 플러그는 상기 제2 버퍼층 및 상기 제1 버퍼층을 관통하는 반도체 메모리 소자.

청구항 4

제1 항에 있어서,

상기 적층 구조체의 하면 및 상기 관통 구조체의 하면을 덮는 제2 버퍼층 및 상기 제2 버퍼층과 상기 몰딩 구조체 사이에 개재된 제2 상부 키패드를 더 포함하되,

상기 주변 회로 구조체는 상기 주변 회로 구조체의 상기 제2 영역에 배치되는 제2 하부 키패드를 더 포함하고,

상기 제2 상부 키패드 및 제2 하부 키패드는 수직으로 중첩되는 반도체 메모리 소자.

청구항 5

제1 항에 있어서,

상기 주변 회로 구조체는 상기 관통 플러그의 하면과 접촉하는 도전 패드를 더 포함하되,
상기 관통 플러그의 하면은 제1 폭을 갖고,
상기 도전 패드는 제2 폭을 갖되,
상기 제1 폭과 상기 제2 폭의 차이는 10nm 이상 30nm 이하인 반도체 메모리 소자.

청구항 6

제1 항에 있어서,
상기 관통 구조체의 하면을 덮는 제2 버퍼층을 더 포함하되,
상기 관통 구조체의 측면은 상기 제2 버퍼층에 상면에 대해 경사진 반도체 메모리 소자.

청구항 7

제1 항에 있어서,
상기 관통 구조체는 실리콘 산화물 또는 실리콘 질화물을 포함하는 반도체 메모리 소자.

청구항 8

제1 항에 있어서,
상기 제1 도전 라인들 중 상기 관통 구조체와 최인접한 제1 도전 라인의 일 단부로부터 상기 관통 구조체까지의 상기 제1 방향으로의 이격 거리는 $1\mu\text{m}$ 이상 $10\mu\text{m}$ 이하인 반도체 메모리 소자.

청구항 9

제1 항에 있어서,
분리 구조체를 더 포함하되,
상기 몰딩 구조체는 상기 분리 구조체를 사이에 두고 상기 상부 절연층과 이격되는 반도체 메모리 소자.

청구항 10

제1 항에 있어서,
상기 주변 회로 구조체는 상기 주변 회로들을 둘러싸는 제1 주변 절연층 및 상기 제1 주변 절연층 상에 제공되는 제2 주변 절연층을 더 포함하되,
상기 제1 키패드의 상면은 상기 제2 주변 절연층의 상면과 공면(coplanar)을 이루는 반도체 메모리 소자.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 소자에 관한 것으로서, 더욱 상세하게는 집적도가 향상된 3차원 반도체 메모리 소자에 관한 것이다.

배경 기술

[0002] 소비자가 요구하는 우수한 성능 및 저렴한 가격을 충족시키기 위해 반도체 소자의 집적도를 증가시키는 것이 요구되고 있다. 반도체 소자의 경우, 그 집적도는 제품의 가격을 결정하는 중요한 요인이기 때문에, 특히 증가된 집적도가 요구되고 있다. 종래의 2차원 또는 평면적 반도체 소자의 경우, 그 집적도는 단위 메모리 셀이 점유하는 면적에 의해 주로 결정되기 때문에, 미세 패턴 형성 기술의 수준에 크게 영향을 받는다. 하지만, 패턴의 미세화를 위해서는 초고가의 장비들이 필요하기 때문에, 2차원 반도체 소자의 집적도는 증가하고는 있지만 여전히 제한적이다. 이에 따라, 3차원적으로 배열되는 메모리 셀들을 구비하는 3차원 반도체 메모리 소자들이 제안되고 있다.

발명의 내용

해결하려는 과제

[0003] 본 발명이 해결하고자 하는 과제는 집적도가 향상된 반도체 메모리 소자를 제공하는 것이다.

과제의 해결 수단

[0004] 본 발명의 개념에 따른, 반도체 메모리 소자는, 반도체 기판 상에 집적된 주변 회로들 및 제1 키패드를 포함하는 주변 회로 구조체, 상기 주변 회로 구조체는 상기 주변 회로들이 배치되는 제1 영역 및 상기 제1 키패드가 제공되는 제2 영역을 갖고; 상기 주변 회로 구조체의 상기 제1 영역 상에 제공되며, 제1 방향으로 연장되어 수직으로 적층된 복수의 제1 도전 라인들을 포함하는 적층 구조체; 상기 적층 구조체를 덮는 상부 절연층; 상기 상부 절연층 상에 제공되는 배선층; 상기 적층 구조체와 이격되고, 상기 상부 절연층을 관통하여 상기 배선층 및 상기 주변 회로 구조체의 상기 주변 회로들을 연결하는 관통 플러그; 상기 주변 회로 구조체의 상기 제2 영역 상에 제공되고, 상기 적층 구조체와 상기 제1 방향으로 이격되는 몰딩 구조체; 및 상기 몰딩 구조체를 관통하며, 상기 제1 키패드와 수직으로 중첩되는 관통 구조체를 포함할 수 있다.

[0005] 본 발명의 다른 개념에 따른, 반도체 메모리 소자는, 반도체 기판 상에 집적된 주변 회로들 및 제1 키패드를 포함하는 주변 회로 구조체, 상기 주변 회로 구조체는 상기 주변 회로들이 배치되는 제1 영역 및 상기 제1 영역을 둘러싸되 상기 제1 키패드가 제공되는 제2 영역을 갖고; 상기 주변 회로 구조체의 상기 제1 영역 상에 제공되며, 제1 방향으로 연장되어 수직으로 적층된 복수의 제1 도전 라인들을 포함하는 적층 구조체; 상기 적층 구조체를 덮는 상부 절연층; 상기 상부 절연층 상에 제공되는 배선층; 상기 주변 회로 구조체의 상기 제1 영역 상에 제공되며, 상기 적층 구조체와 이격되어 배치되는 관통 플러그; 상기 주변 회로 구조체의 상기 제2 영역 상에 제공되고, 상기 적층 구조체와 상기 제1 방향으로 이격되는 몰딩 구조체; 및 상기 몰딩 구조체를 관통하며, 상기 제1 키패드와 수직으로 중첩되는 관통 구조체를 포함하되, 상기 제1 도전 라인들 중 최하부 제1 도전 라인의 일 단부는 상기 제1 도전 라인들 중 최상부 제1 도전 라인의 일 단부보다 상기 관통 구조체와 더 인접하고, 상기 관통 구조체는 상기 최하부 제1 도전 라인의 일 단부로부터 이격되어 배치될 수 있다.

[0006] 본 발명의 또 다른 개념에 따른, 반도체 메모리 소자는, 반도체 기판 상에 집적된 주변 회로들 및 제1 키패드를 포함하는 주변 회로 구조체, 상기 주변 회로 구조체는 상기 주변 회로들이 배치되는 제1 영역 및 상기 제1 영역을 둘러싸되 상기 제1 키패드가 제공되는 제2 영역을 갖고; 상기 주변 회로 구조체의 상기 제1 영역 상에 제공되며, 제1 방향으로 연장되어 수직으로 적층된 복수의 제1 도전 라인들을 포함하는 적층 구조체; 상기 적층 구조체를 덮는 상부 절연층; 상기 상부 절연층 상에 제공되는 배선층, 상기 배선층은 배선 절연층들 및 상기 배선 절연층들에 의해 둘러싸이는 비아들 및 배선들을 포함하고; 상기 주변 회로 구조체의 상기 제1 영역 상에 제공되며, 상기 적층 구조체와 이격되어 배치되는 관통 플러그; 상기 적층 구조체의 제1 도전 라인들 상에 제공되고, 상기 상부 절연층을 관통하여 상기 비아들과 연결되는 콘택들; 상기 주변 회로 구조체의 상기 제2 영역 상에 제공되고, 상기 적층 구조체와 상기 제1 방향으로 이격되는 몰딩 구조체; 상기 몰딩 구조체 및 상기 상부 절연층 사이에 개재되는 분리 구조체, 상기 분리 구조체는 절연 패턴 및 상기 절연 패턴을 둘러싸는 절연 라인을 포함하고; 및 상기 몰딩 구조체를 관통하며, 상기 제1 키패드와 수직으로 중첩되는 관통 구조체를 포함하되, 상기 제1 도전 라인들 중 최하부 제1 도전 라인의 일 단부는 상기 제1 도전 라인들 중 최상부 제1 도전 라인의 일 단부보다 상기 관통 구조체와 더 인접하고, 상기 관통 구조체는 상기 최하부 제1 도전 라인의 일 단부로부터 상기 제1 방향으로 이격되어 배치될 수 있다.

발명의 효과

[0007] 본 발명의 실시예들에 따른 반도체 메모리 소자는, 제1 키패드와 수직으로 중첩하는 관통 구조체를 포함할 수

있다. 이에 따라, 제1 키패드를 기준으로 관통 플러그가 형성되는 위치를 정확하게 계산하여, 관통 플러그와 접촉하는 도전 패드의 폭을 좁게 형성할 수 있다. 이에 따라, 집적도가 향상된 반도체 메모리 소자가 제공될 수 있다.

도면의 간단한 설명

- [0008] 도 1은 본 발명의 실시예들에 따른 반도체 메모리 소자를 설명하기 위한 평면도이다.
- 도 2는 도 1의 A영역을 확대하여 도시한 사시도이다.
- 도 3a는 도 2의 I-I'선을 따라 자른 단면도이다.
- 도 3b는 도 2의 II-II'선을 따라 자른 단면도이다.
- 도 4는 도 2의 C영역을 확대 도시한 도면이다.
- 도 5는 도 2의 B영역을 확대 도시한 평면도이다.
- 도 6 내지 도 13은 본 발명의 실시예들에 따른 반도체 메모리 소자의 제조 방법을 설명하기 위한 단면도들이다.
- 도 14는 본 발명의 실시예들에 따른 반도체 메모리 소자를 설명하기 위한 것으로, 도 2의 I-I'선을 따라 자른 단면에 대응된다.

발명을 실시하기 위한 구체적인 내용

- [0009] 도 1은 본 발명의 실시예들에 따른 반도체 메모리 소자를 설명하기 위한 평면도이다. 도 2는 도 1의 A영역을 확대하여 도시한 사시도이다. 도 3a는 도 2의 I-I'선을 따라 자른 단면도이다. 도 3b는 도 2의 II-II'선을 따라 자른 단면도이다. 도 4는 도 2의 C영역을 확대 도시한 도면이다.
- [0010] 도 1, 도 2, 도 3a 및 도 3b를 참조하면, 제1 영역(R1) 및 제2 영역(R2)을 포함하는 주변 회로 구조체(100)가 제공될 수 있다. 주변 회로 구조체(100)는 반도체 기판(10), 주변 절연층(20), 주변 회로들(PTR), 주변 비아들(22), 주변 배선들(24), 및 제1 키패드(40)를 포함할 수 있다.
- [0011] 제1 영역(R1)은 반도체 소자의 센터 영역일 수 있고, 제2 영역(R2)은 반도체 소자의 엣지 영역일 수 있다. 제2 영역(R2)은 제1 영역(R1)을 둘러쌀 수 있다. 제1 영역(R1)은 주변 회로들(PTR)이 배치되는 영역일 수 있다. 제2 영역(R2)에는 주변 회로들(PTR)이 배치되지 않는 영역일 수 있다. 일 예로, 제1 영역(R1) 및 제2 영역(R2)은 분리 구조체(253)에 의해 구분될 수 있다.
- [0012] 반도체 기판(10)이 제공될 수 있다. 반도체 기판(10)은 실리콘 기판, 실리콘-게르마늄 기판, 게르마늄 기판, 또는 단결정(monocrystalline) 실리콘 기판에 성장된 단결정 에피택시얼층(epitaxial layer)일 수 있다. 반도체 기판(10)은 소자 분리 패턴(15)에 의해 정의된 활성 영역들을 가질 수 있다.
- [0013] 반도체 기판(10) 상에 주변 회로들(PTR)이 제공될 수 있다. 주변 회로들(PTR)은 제1 영역(R1) 상에 제공되며, 제2 영역(R2) 상에 제공되지 않을 수 있다. 주변 회로들(PTR) 각각은 주변 소오스/드레인 영역들(25), 주변 게이트 스페이서(26), 주변 게이트 절연층(27), 주변 게이트 전극(28), 및 주변 캡핑 패턴(29)을 포함할 수 있다. 주변 게이트 절연층(27)은 주변 게이트 전극(28)과 반도체 기판(10) 사이에 제공될 수 있다. 주변 캡핑 패턴(29)은 주변 게이트 전극(28) 상에 제공될 수 있다. 주변 게이트 스페이서(26)는 주변 게이트 전극(28), 주변 게이트 절연층(27), 및 주변 캡핑 패턴(29)의 측면들을 덮을 수 있다. 주변 소오스/드레인 영역들(25)은 주변 게이트 전극(28) 양측에 인접하는 반도체 기판(10)의 내부에 제공될 수 있다. 주변 배선들(24)이 주변 비아들(22)을 통해 주변 회로들(PTR)과 전기적으로 연결될 수 있다. 주변 배선들(24) 및 주변 비아들(22) 각각은 도전성 물질을 포함할 수 있다. 예를 들어, 도전 패드(50)는 알루미늄, 구리, 텅스텐, 및/또는 코발트를 포함할 수 있다. 반도체 기판(10) 상의 주변 회로들(PTR)은 예를 들어, NMOS, PMOS 트랜지스터 또는 게이트-올-어라운드(gate-all-around) 트랜지스터일 수 있다.
- [0014] 도전 패드(50)가 주변 회로 구조체(100)의 제1 영역(R1) 상에 제공될 수 있다. 보다 구체적으로, 도전 패드(50)는 관통 플러그(250) 및 주변 비아들(22) 사이에 제공될 수 있다. 도전 패드(50)는 도전성 물질을 포함할 수 있다. 예를 들어, 도전 패드(50)는 알루미늄, 구리, 텅스텐, 및/또는 코발트를 포함할 수 있다. 도전 패드(50)는 주변 비아들(22)에 의해 주변 회로들(PTR)과 연결될 수 있다. 도전 패드(50)는 관통 플러그(250)가 제공되는 위치를 정의할 수 있다. 도전 패드(50)에 관한 상세한 내용은 후술한다.

- [0015] 주변 절연층(20)이 반도체 기판(10) 상에 제공될 수 있다. 주변 절연층(20)은 반도체 기판(10) 상에서 주변 회로들(PTR), 주변 비아들(22) 및 주변 배선들(24)을 덮을 수 있다. 주변 절연층(20)은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물 및/또는 저유전 물질을 포함할 수 있다. 주변 절연층(20)은 다층으로 적층된 절연층들을 포함할 수 있다. 예를 들어, 주변 절연층(20)은 제1 주변 절연층(21) 및 제1 주변 절연층(21) 상에 적층된 제2 주변 절연층(23)을 포함할 수 있다. 제1 주변 절연층(21)은 주변 회로들(PTR)을 덮되, 주변 회로들(PTR)의 주변 캡핑 패턴들(29)의 상면들을 노출시킬 수 있다. 제2 주변 절연층(23)은 제1 주변 절연층(21)의 상면 및 상기 노출된 주변 캡핑 패턴들(29)의 상면들을 덮을 수 있다. 제2 주변 절연층(23)은 주변 배선들(24) 및 주변 비아들(22)을 둘러쌀 수 있다.
- [0016] 제1 키패드(40)가 반도체 기판(10) 상에 제공될 수 있다. 보다 구체적으로 제1 키패드(40)는 주변 회로 구조체(100)의 제2 영역(R2) 상에서, 제2 주변 절연층(23) 상에 제공될 수 있다. 제1 키패드(40)의 상면은 제2 주변 절연층(23)에 의해 노출될 수 있다. 제1 키패드(40)는 금속 물질 예를 들어, 알루미늄, 구리, 텅스텐, 및/또는 코발트를 포함할 수 있다. 제1 키패드(40)는 관통 구조체(280)와 수직으로 중첩될 수 있다.
- [0017] 주변 회로 구조체(100)는 제2 하부 키패드(30)를 더 포함할 수 있다. 제2 하부 키패드(30)는 주변 회로 구조체(100)의 제2 영역(R2) 상에 제공될 수 있다. 제2 하부 키패드(30)는 제1 키패드(40)와 수평으로 이격되어 배치될 수 있다. 예를 들어, 제2 하부 키패드(30)는 제1 키패드(40)와 도전 패드(50) 사이에 개재될 수 있다. 제2 하부 키패드(30)는 제2 주변 절연층(23) 상에 제공될 수 있다. 보다 구체적으로, 제2 하부 키패드(30)의 측면 및 하면은 제2 주변 절연층(23)에 의해 덮힐 수 있다. 이에 따라, 제2 하부 키패드(30)의 상면은 제2 주변 절연층(23)에 의해 노출될 수 있다. 제2 하부 키패드(30)의 상면은 제2 주변 절연층(23)의 상면과 공면을 이룰 수 있다. 제2 하부 키패드(30)는 제2 상부 키패드(270)와 수직으로 중첩될 수 있다. 제2 하부 키패드(30)는 금속 물질 예를 들어, 알루미늄, 구리, 텅스텐, 및/또는 코발트를 포함할 수 있다.
- [0018] 버퍼층(110, 210)이 주변 회로 구조체(100)의 상면 상에 제공될 수 있다. 버퍼층(110, 210)은 제1 버퍼층(110) 및 제2 버퍼층(210)을 포함할 수 있다. 제1 버퍼층(110)이 주변 회로 구조체(100)의 상면 상에 제공될 수 있다. 보다 구체적으로, 제1 버퍼층(110)은 제2 주변 절연층(23)의 상면, 주변 배선들(24)의 상면들, 도전 패드(50)의 상면, 제2 하부 키패드(30)의 상면, 및 제1 키패드(40)의 상면들을 덮을 수 있다. 제1 버퍼층(110)은 절연성 물질을 포함할 수 있다. 예를 들어, 제1 버퍼층(110)은 실리콘 질화물, 실리콘 산화물, 실리콘 산질화물 및/또는 탄소 함유 실리콘 질화물을 포함할 수 있다.
- [0019] 제2 버퍼층(210)이 제1 버퍼층(110)의 상면 상에 제공될 수 있다. 제2 버퍼층(210)의 하면은 제1 버퍼층(110)의 상면과 접촉할 수 있다. 제2 버퍼층(210)은 제1 버퍼층(110)의 상면들을 덮되, 적층 구조체(220)의 하면, 상부 절연층(230)의 하면, 분리 구조체(255)의 하면, 몰딩 구조체(260)의 하면, 제2 상부 키패드(270)의 하면, 및 관통 구조체(280)의 하면들을 덮을 수 있다. 제2 버퍼층(210)은 제1 버퍼층(110)과 동일한 물질을 포함할 수 있다. 도시된 바와 달리, 제2 버퍼층(210) 및 제1 버퍼층(110)의 경계면은 구분되지 않을 수 있다.
- [0020] 도 2, 도 3a 및 도 3b를 함께 참조하면, 단위 셀 구조체들(SS)이 제2 버퍼층(210)의 상면 상에 제공될 수 있다. 단위 셀 구조체들(SS)은 주변 회로 구조체(100)의 제1 영역(R1) 상에 제공될 수 있다. 단위 셀 구조체들(SS)은 제1 버퍼층(110) 및 제2 버퍼층(210)을 사이에 두고 주변 회로 구조체(100)와 수직적으로 이격될 수 있다. 단위 셀 구조체들(SS) 각각은 적층 구조체(220), 서로 교번적으로 적층된 반도체 패턴들(SP) 및 절연층들(IL), 정보 저장 요소들(DS), 제2 도전 라인들(225), 및 제3 도전 라인들(227)을 포함할 수 있다.
- [0021] 단위 셀 구조체들(SS)은 셀 영역(CAR) 및 콘택 영역(CTR)을 포함할 수 있다. 셀 영역(CAR)은 반도체 패턴들(SP)이 제공되는 영역이고, 콘택 영역(CTR)은 반도체 패턴들(SP)이 제공되지 않는 영역일 수 있다.
- [0022] 수직적으로 적층된 반도체 패턴들(SP)은 절연층들(IL)에 의해 서로 수직적으로 이격될 수 있다. 서로 수직적으로 인접하는 한 쌍의 반도체 패턴들(SP) 사이에 절연층(IL)이 개재될 수 있다. 절연층들(IL)은 실리콘 산화막, 실리콘 질화막, 실리콘 산화질화막, 탄소 함유 실리콘 산화막, 탄소 함유 실리콘 질화막 및/또는 탄소 함유 실리콘 산화질화막을 포함할 수 있다.
- [0023] 각각의 반도체 패턴들(SP)은 제2 방향(D2)으로 연장되는 라인 형태, 바(bar) 형태 또는 기둥 형태를 가질 수 있다. 일 예로, 반도체 패턴들(SP)은 실리콘, 게르마늄, 실리콘-게르마늄 또는 IGZO(Indium Gallium Zinc Oxide)를 포함할 수 있다. 도시되진 않았으나, 각각의 반도체 패턴들(SP)은 제1 불순물 영역, 제2 불순물 영역 및 채널 영역을 포함할 수 있다. 채널 영역은 제1 불순물 영역 및 제2 불순물 영역 사이에 배치될 수 있다. 제1 및 제2 불순물 영역들은 제1 도전형(예를 들어, n형)을 가질 수 있다. 채널 영역은 도핑되지 않거나, 제1 도전형과

는 다른 제2 도전형(예를 들어, p형)을 가질 수 있다.

- [0024] 반도체 패턴들(SP)은 제1 내지 제4 열들(R1-R4)의 반도체 패턴들(SP)을 포함할 수 있다. 제1 내지 제4 열들(R1-R4) 각각은, 수직적으로 적층되어 서로 중첩되는 반도체 패턴들(SP)을 포함할 수 있다. 일 예로, 제1 내지 제4 열들(R1-R4) 각각의 반도체 패턴들(SP)의 개수는 6개로 예시되었지만, 이에 특별히 제한되는 것은 아니다. 제1 내지 제4 열들(R1-R4)은 제1 방향(D1)을 따라 서로 이격되어 배열될 수 있다. 제1 방향(D1)은 반도체 기판(10)의 상면과 평행한 방향일 수 있고, 제2 방향(D2)은 반도체 기판(10)의 상면과 평행하되, 상기 제1 방향(D1)과 교차하는 방향일 수 있다. 제3 방향(D3)은 제1 방향(D1) 및 제2 방향(D2)과 수직한 방향일 수 있다.
- [0025] 각각의 단위 셀 구조체들(SS)은 적층 구조체(220)를 포함할 수 있다. 적층 구조체(220)는 교대로 적층된 제1 층간 절연층들(221) 및 제1 도전 라인들(223)을 포함할 수 있다. 수직적으로 적층된 제1 도전 라인들(223)은 제1 층간 절연층들(221)에 의해 서로 수직적으로 이격될 수 있다. 서로 수직적으로 인접하는 한 쌍의 제1 도전 라인들(223) 사이에 제1 층간 절연층(221)이 개재될 수 있다.
- [0026] 제1 도전 라인들(223)은 제1 방향(D1)으로 연장되는 라인 형태 또는 바 형태를 가질 수 있다. 제1 도전 라인들(223)은 단위 셀 구조체(SS)의 셀 영역(CAR)으로부터 콘택 영역(CTR)까지 연장될 수 있다.
- [0027] 각각의 제1 도전 라인들(223)은 반도체 패턴들(SP)과 직접 접촉할 수 있다. 일 예로, 각각의 제1 도전 라인들(223)은 반도체 패턴들(SP)과 실질적으로 동일한 레벨에 위치할 수 있다. 각각의 제1 도전 라인들(223)은 반도체 패턴들(SP)의 제1 불순물 영역들과 각각 연결될 수 있다. 각각의 제1 도전 라인들(223)로부터, 그와 동일한 레벨에 위치하는 제1 내지 제4 열들(R1-R4)의 반도체 패턴들(SP)이 제2 방향(D2)으로 연장될 수 있다.
- [0028] 도 2를 참조하면, 단위 셀 구조체(SS)의 콘택 영역(CTR) 상의 적층 구조체들(220) 각각은 계단식 구조를 가질 수 있다. 보다 구체적으로, 일 예로, 서로 인접한 한 쌍의 제1 도전 라인(223)의 제1 방향(D1)으로의 길이는 동일할 수 있고, 제1 도전 라인들(223) 중 최상부에 배치되는 한 쌍의 제1 도전 라인들(223)의 길이는 제1 도전 라인들(223) 중 최하부에 배치되는 한 쌍의 제1 도전 라인들(223)의 길이보다 짧을 수 있다. 이에 따라, 최하부에 배치되는 한 쌍의 제1 도전 라인들(223)의 단부들은 최상부에 배치되는 한 쌍의 제1 도전 라인들(223)의 단부들보다 주변 회로 구조체(100)의 제2 영역(R2)과 인접할 수 있다.
- [0029] 다른 예로, 콘택 영역(CTR) 상에 적층된 제1 도전 라인들(223)의 제1 방향(D1)으로의 길이는, 제2 버퍼층(210)의 상면으로부터 멀어질수록 감소될 수 있다. 예를 들어, 적층된 제1 도전 라인들(223) 중 최하부의 제1 도전 라인(223)의 길이가 나머지 제1 도전 라인들(223) 각각의 길이보다 더 길 수 있다. 적층된 제1 도전 라인들(223) 중 최상부의 제1 도전 라인(223)의 길이가 나머지 제1 도전 라인들(223) 각각의 길이보다 더 짧을 수 있다.
- [0030] 제1 도전 라인들(223)은 도전 물질을 포함할 수 있다. 일 예로 상기 도전 물질은 도핑된 반도체 물질(도핑된 실리콘, 도핑된 게르마늄 등), 도전성 금속질화물(질화티타늄, 질화탄탈륨 등), 금속(텅스텐, 티타늄, 탄탈륨 등), 및 금속-반도체 화합물(텅스텐 실리사이드, 코발트 실리사이드, 티타늄 실리사이드 등) 중 어느 하나일 수 있다. 제1 층간 절연층들(221)은 절연성 물질을 포함할 수 있다. 상기 절연성 물질은 예를 들어, 실리콘 산화물, 실리콘 질화물, 및/또는 실리콘 산화질화물을 포함할 수 있다.
- [0031] 도 3a 및 도 3b를 참조하면, 각각의 단위 셀 구조체들(SS)은, 수직적으로 적층된 정보 저장 요소들(DS)을 더 포함할 수 있다. 수직적으로 적층된 정보 저장 요소들(DS)은 절연층들(IL)에 의해 서로 수직적으로 이격될 수 있다. 각각의 정보 저장 요소들(DS)은, 각각의 반도체 패턴들(SP)로부터 제2 방향(D2)으로 연장될 수 있다.
- [0032] 각각의 정보 저장 요소들(DS)은 각각의 반도체 패턴들(SP)과 직접 접촉할 수 있다. 일 예로, 각각의 정보 저장 요소들(DS)은 각각의 반도체 패턴들(SP)과 실질적으로 동일한 레벨에 위치할 수 있다. 각각의 정보 저장 요소들(DS)은 반도체 패턴들(SP) 각각의 제2 불순물 영역과 연결될 수 있다.
- [0033] 각각의 단위 셀 구조체(SS)의 셀 영역(CAR) 상에, 단위 셀 구조체들(SS)을 관통하는 제2 도전 라인들(225)이 제공될 수 있다. 제2 도전 라인들(225)은 주변 회로 구조체(100)의 상면에 수직한 방향(즉, 제3 방향(D3))으로 연장되는 기둥 형태 또는 바 형태를 가질 수 있다. 각각의 제2 도전 라인들(225)은, 제1 방향(D1)으로 배열될 수 있다. 제2 도전 라인들(225)은 반도체 패턴들(SP)의 제1 내지 제4 열들(R1-R4)에 각각 인접하여 배치될 수 있다.
- [0034] 일 예로, 단위 셀 구조체(SS)를 관통하는 첫 번째 제2 도전 라인(225)은, 제1 열(P1)의 반도체 패턴들(SP)의 측벽들과 인접할 수 있다. 첫 번째 제2 도전 라인(CL2)은, 제1 열(P1)의 반도체 패턴들(SP)의 측벽들 상에서 수직

하게 연장될 수 있다. 단위 셀 구조체(SS)를 관통하는 두 번째 제2 도전 라인(225)은, 제2 열(P2)의 반도체 패턴들(SP)의 측벽들과 인접할 수 있다. 두 번째 제2 도전 라인(225)은, 제2 열(P2)의 반도체 패턴들(SP)의 측벽들 상에서 수직하게 연장될 수 있다. 첫 번째 제2 도전 라인(CL2)과 제2 열(P2)의 반도체 패턴들(SP) 사이에 수직 절연 패턴(VIP)이 개재될 수 있다. 수직 절연 패턴(VIP)은 실리콘 산화막을 포함할 수 있다.

[0035] 제2 도전 라인(225)과 반도체 패턴들(SP)의 채널 영역들(CH) 사이에 게이트 절연층(GI)이 배치될 수 있다. 게이트 절연층(GI)은 고유전막, 실리콘 산화막, 실리콘 질화막, 및 실리콘 산화질화막 중 선택된 하나의 단일막 또는 이들의 조합을 포함할 수 있다. 일 예로, 상기 고유전막은 하프늄 산화물, 하프늄 실리콘 산화물, 란탄 산화물, 지르코늄 산화물, 지르코늄 실리콘 산화물, 탄탈 산화물, 티타늄 산화물, 바륨 스트론튬 티타늄 산화물, 바륨 티타늄 산화물, 스트론튬 티타늄 산화물, 리튬 산화물, 알루미늄 산화물, 납 스칸듐 탄탈 산화물, 및 납 아연 니오브산염 중 적어도 하나를 포함할 수 있다. 제2 도전 라인들(225)은 도전 물질을 포함할 수 있고, 상기 도전 물질은 도핑된 반도체 물질, 도전성 금속질화물, 금속 및 금속-반도체 화합물 중 어느 하나일 수 있다.

[0036] 셀 단위 구조체(SS)의 셀 영역(CAR) 내에, 적층 구조체들(220)과 평행하게 제1 방향(D1)으로 연장되는 제3 도전 라인들(227)이 제공될 수 있다. 제3 도전 라인들(227)은 도전 물질을 포함할 수 있고, 상기 도전 물질은 도핑된 반도체 물질, 도전성 금속질화물, 금속 및 금속-반도체 화합물 중 어느 하나일 수 있다. 제3 도전 라인들(227)은 도 1을 참조하여 설명한 공통 접지 배선일 수 있다.

[0037] 상부 절연층(230)이 제2 버퍼층(210)의 상면 상에 제공될 수 있다. 상부 절연층(230)은 주변 회로 구조체(100)의 제1 영역(R1) 상에 제공될 수 있다. 상부 절연층(230)은 적층 구조체들(220)의 상면들 및 단부들을 덮을 수 있다. 상부 절연층(230)은 절연성 물질, 예를 들어, 실리콘 산화물, 실리콘 질화물 및/또는 실리콘 산화질화물을 포함할 수 있다.

[0038] 적층 구조체(220) 상에 제1 도전 라인들(223)과 접촉하는 콘택들(240)이 제공될 수 있다. 콘택들(240)은 상부 절연층(230)을 관통하여 배선층(300)과 제1 도전 라인들(223)을 전기적으로 연결할 수 있다. 콘택들(240)은 셀 단위 구조체(SS)의 콘택 영역(CTR) 상에 제공될 수 있고, 적층 구조체(220)의 계단식 구조 상에 배치될 수 있다. 따라서, 콘택들(240)은 셀 영역(CAR)에 가까워질수록 그의 바닥면들의 레벨이 상승할 수 있다. 콘택들(240)은 도전성 물질을 포함할 수 있다. 예를 들어, 콘택들(240)은 알루미늄, 구리, 텅스텐, 및/또는 코발트를 포함할 수 있다.

[0039] 주변 회로 구조체(100)의 제2 영역(R2) 상에 몰딩 구조체(260)가 제공될 수 있다. 몰딩 구조체(260)는 교대로 적층된 제1 층들(261) 및 제2 층들(263)을 포함할 수 있다. 수직적으로 적층된 제1 층들(261)은 제2 층(263)에 의해 서로 수직적으로 이격될 수 있다. 보다 구체적으로, 서로 인접한 한 쌍의 제1 층(261) 사이에 제2 층(263)이 개재될 수 있다. 제1 층들(261)은 적층 구조체(220)의 제1 도전 라인들(223)과 각각 동일한 레벨에 제공될 수 있다. 제2 층들(263)은 적층 구조체(220)의 제1 층간 절연층들(221)과 각각 동일한 레벨에 제공될 수 있다. 제1 층들(261) 및 제2 층들(263)은 실리콘을 포함할 수 있다. 일 예로, 제1 층들(261)은 실리콘막일 수 있고, 제2 층들(263)은 실리콘-게르마늄막일 수 있다. 몰딩 구조체(260)의 하면은 제2 버퍼층(210)의 상면과 접촉할 수 있고, 몰딩 구조체(260)의 상면(260a)은 배선층(300)과 접촉할 수 있다.

[0040] 분리 구조체(255)가 몰딩 구조체(260)와 상부 절연층(230) 사이에 개재될 수 있다. 분리 구조체(255)는 절연 패턴(251) 및 절연 패턴(251)을 둘러싸는 절연 라이너(253)를 포함할 수 있다. 절연 패턴(251) 및 절연 라이너(253)는 절연 물질 예를 들 실리콘 산화물, 실리콘 질화물, 및/또는 실리콘 산화질화물을 포함할 수 있다. 상부 절연층(230) 및 몰딩 구조체(260)는 분리 구조체(255)를 사이에 두고 수평으로 이격되어 배치될 수 있다. 이에 따라, 분리 구조체(255)의 일 측면은 상부 절연층(230)과 접촉하고, 상기 일 측면에 대향하는 타 측면은 몰딩 구조체(260)와 접촉할 수 있다. 다른 예로, 분리 구조체(255)는 주변 회로 구조체(100)의 제1 영역(R1) 및 제2 영역(R2)의 경계일 수 있다. 도시된 바와 다르게 분리 구조체(255)는 생략될 수 있다.

[0041] 관통 플러그(250)가 주변 회로 구조체(100)의 제1 영역(R1) 상에 제공될 수 있다. 관통 플러그(250)는 상부 절연층(230), 제2 버퍼층(210) 및 제1 버퍼층(110)을 관통하여 배선층(300)과 주변 회로 구조체(100)를 연결할 수 있다. 보다 구체적으로, 관통 플러그(250)는 주변 회로 구조체(100)의 도전 패드(50)의 상면과 접촉할 수 있다. 관통 플러그(250)는 일 예로, 분리 구조체(255)와 적층 구조체(220) 사이에 제공될 수 있다. 관통 플러그(250)는 적층 구조체(220)와 이격되어 배치될 수 있고, 관통 플러그(250)와 적층 구조체(220) 사이에 상부 절연층(230)이 개재될 수 있다. 관통 플러그(250)는 콘택들(240)과 동일한 물질을 포함할 수 있다. 예를 들어, 관통 플러그(250)는 알루미늄, 구리, 텅스텐, 및/또는 코발트를 포함할 수 있다.

- [0042] 제2 상부 키패드(270)가 제2 버퍼층(210)의 상면 상에 제공될 수 있다. 제2 상부 키패드(270)가 주변 회로 구조체(100)의 제2 영역(R2) 상에 제공될 수 있다. 보다 구체적으로, 제2 상부 키패드(270)는 몰딩 구조체(260)와 제2 버퍼층(210) 사이에 개재될 수 있다. 제2 상부 키패드(270)의 상면 및 측면들은 몰딩 구조체(260)에 의해 덮힐 수 있고, 제2 상부 키패드(270)의 하면은 몰딩 구조체(260)에 의해 노출될 수 있다. 제2 상부 키패드(270)의 하면은 몰딩 구조체(260)의 하면과 공면(coplanar)을 이룰 수 있다. 제2 상부 키패드(270)는 관통 구조체(280)와 이격되어 배치될 수 있다. 예를 들어, 제2 상부 키패드(270)는 분리 구조체(255) 및 관통 구조체(280) 사이에 배치될 수 있다. 제2 상부 키패드(270)는 금속 물질 예를 들어, 알루미늄, 구리, 텅스텐, 및/또는 코발트를 포함할 수 있다. 제2 상부 키패드(270)는 주변 회로 구조체(100)의 제2 하부 키패드(30)와 수직적으로 중첩될 수 있다.
- [0043] 도 2 및 도 3a를 함께 참조하면, 관통 구조체(280)가 제2 버퍼층(210)의 상면 상에 제공될 수 있다. 관통 구조체(280)는 주변 회로 구조체(100)의 제2 영역(R2) 상에 제공될 수 있다. 관통 구조체(280)는 몰딩 구조체(260)를 관통할 수 있다. 이에 따라, 관통 구조체(280)의 하면(280b)은 제2 버퍼층(210)의 상면과 접촉할 수 있고, 관통 구조체(280)의 상면(280a)은 배선층(300)과 접촉할 수 있다. 관통 구조체(280)의 상면은 몰딩 구조체(260)의 상면과 공면을 이룰 수 있다. 관통 구조체(280)는 몰딩 구조체(260)를 수직으로 관통하는 다각 기둥의 형태일 수 있다. 그러나, 관통 구조체(280)는 도시된 바에 제한되지 않고 몰딩 구조체(260)를 관통하는 다양한 형태로 변형될 수 있다.
- [0044] 관통 구조체(280)의 측면(280c)은 제2 버퍼층(210)의 상면에 대해 경사질 수 있다. 관통 구조체(280)의 일 측면(280c)과 제2 버퍼층(210)의 상면(210a) 사이의 제1 각도(θ_1)는 예각일 수 있다. 예를 들어, 상기 제1 각도(θ_1)는 50도 이상 90도 미만일 수 있다. 관통 구조체(280)의 제1 방향(D1)으로의 폭(W1)은 제2 버퍼층(210)의 상면과 인접할수록 증가할 수 있다. 이에 따라, 관통 구조체(280)의 하면(280b)의 폭은 관통 구조체(280)의 상면(280a)의 폭 보다 클 수 있다. 관통 구조체(280)는 주변 회로 구조체(100)의 제1 키패드(40)와 수직적으로 중첩될 수 있다.
- [0045] 관통 구조체(280)는 적층 구조체(220)와 이격되어 배치될 수 있다. 예를 들어, 적층 구조체(220)로부터 관통 구조체(280) 사이의 이격 거리(W4)는 $1\mu\text{m}$ 이상 $10\mu\text{m}$ 이하일 수 있다. 상기 이격 거리(W4)는 적층 구조체(220)의 제1 도전 라인들(223) 중 상기 관통 구조체(280)와 최인접한 제1 도전 라인(223)의 일 단부로부터 관통 구조체(280)까지의 이격 거리일 수 있다.
- [0046] 도 3a를 계속 참조하면, 관통 플러그(250)가 도전 패드(50)의 상면(50a) 상에 제공될 수 있다. 관통 플러그(250)의 하면(250b)은 도전 패드(50)의 상면(50a)과 접촉할 수 있다. 관통 플러그(250)는 도전 패드(50)와 수직으로 중첩될 수 있다. 관통 플러그(250)의 하면(250b)의 제1 방향(D1)으로의 폭(W3)은 도전 패드(50)의 상면(50a)의 제1 방향(D1)으로의 폭(W2)보다 작을 수 있다. 보다 구체적으로, 관통 플러그(250)의 하면(250b)의 제1 방향(D1)으로의 폭(W3)과 도전 패드(50)의 상면(50a)의 제1 방향(D1)으로의 폭(W2)의 차이는 10nm 이상 30nm 이하일 수 있다.
- [0047] 도 4를 도 3a와 함께 참조하면, 제1 키패드(40)가 제2 주변 절연층(23) 상에 제공될 수 있다. 제1 키패드(40)의 측면들 및 하면은 제2 주변 절연층(23)에 의해 덮힐 수 있다. 제1 키패드(40)의 상면(40a)은 제2 주변 절연층(23)에 의해 노출될 수 있고, 제2 주변 절연층(23)과 공면을 이룰 수 있다. 제1 키패드(40)는 복수 개가 제공될 수 있다. 예를 들어, 제1 키패드들(40) 각각은 평면적 관점에서 사각형의 형태일 수 있고, 제1 키패드들(40) 중 일부들은 제1 방향(D1) 또는 제2 방향(D2)으로 정렬될 수 있다. 그러나, 제1 키패드들(40)은 도시된 바와 달리, 사각형의 형태에 제한되지 않고, 다양한 형태(예를 들어, 다각형 및/또는 원형)로 변형될 수 있으며, 제1 키패드들(40)의 배치도 도 4에 도시된 바에 제한되지 않고 변형될 수 있다. 제1 키패드들(40)은 관통 구조체(280)와 수직적으로 중첩될 수 있다. 제1 키패드들(40)은 관통 플러그(250)를 형성하는 공정에서, 관통 플러그(250)의 위치를 결정하는 기준점 역할을 할 수 있다. 제1 키패드들(40)의 역할은 후술하는 제조 방법에서 상세히 서술한다.
- [0048] 도 2를 다시 참조하면, 배선층(300)이 적층 구조체(220), 상부 절연층(230), 몰딩 구조체(260), 및 관통 구조체(280) 상에 제공될 수 있다. 배선층(300)은 콘택 비아들(325), 배선 구조체(360), 및 제1 내지 제5 배선 절연층들(311, 313, 315, 317, 319)를 포함할 수 있다. 배선 구조체(360)는 제1 내지 제3 배선들(330, 340, 350) 및 제1 내지 제2 비아들(335, 345)을 포함할 수 있다.
- [0049] 제1 배선 절연층(311)이 상부 절연층(230) 및 몰딩 구조체(260)의 상면들 상에 제공될 수 있다. 제1 배선 절연층(311)은 주변 회로 구조체(100)의 제1 영역(R1) 및 제2 영역(R2) 상에 제공될 수 있다. 보다 구체적으로 제1

배선 절연층(311)은 상부 절연층(230)의 상면, 콘택들(240)의 상면들, 분리 구조체(255)의 상면, 몰딩 구조체(260)의 상면 및 관통 구조체(280)의 상면(280a)을 덮을 수 있다.

- [0050] 콘택 비아들(325)이 콘택들(240) 및 관통 플러그(250) 상에 각각 제공될 수 있다. 콘택 비아들(325)은 제1 배선 절연층(311)을 관통하여, 제1 배선 절연층(311) 내에 제공될 수 있다. 콘택 비아들(325)은 콘택들(240) 및 관통 플러그(250)에 각각 접속하여, 적층 구조체(220)를 배선층(300)과 연결할 수 있다.
- [0051] 제2 배선 절연층(313)은 제1 배선 절연층(311) 상에 제공될 수 있다. 제2 배선 절연층(313)은 제1 배선 절연층(311)의 상면을 덮을 수 있다. 제2 배선 절연층(313)의 내부에 제1 배선들(330)이 제공될 수 있다. 제1 배선들(330)은 콘택 비아들(325)과 접촉하여, 배선 구조체(360)와 콘택들(240) 및 관통 플러그(250)를 연결할 수 있다.
- [0052] 제3 배선 절연층(315) 및 제4 배선 절연층(317)이 제1 및 제2 배선 절연층들(311, 313) 상에 제공될 수 있다. 제3 배선 절연층(315)은 제1 배선들(330)의 상면을 덮을 수 있다. 제3 배선 절연층(315) 내부에 제1 비아들(335)이 제공될 수 있다. 제1 비아들(335)은 제1 배선들(330)과 접촉할 수 있다. 제3 배선 절연층(315)은 제4 배선 절연층(317)과 다른 물질을 포함하여, 배선층(300)을 형성시 식각 정지막으로 기능할 수 있다.
- [0053] 제4 배선 절연층(317)이 제3 배선 절연층(315) 상에 제공될 수 있다. 제4 배선 절연층(317)은 제3 배선 절연층(315)의 상면을 덮을 수 있다. 제4 배선 절연층(317) 내부에 제2 배선들(340)이 제공될 수 있다. 제2 배선들(340)은 제1 비아들(335)과 접촉할 수 있다.
- [0054] 제2 배선들(340) 및 제4 배선 절연층(317) 상에 제5 배선 절연층(319)이 제공될 수 있다. 제5 배선 절연층(319) 내부에 제2 비아들(345) 및 제3 배선들(350)이 제공될 수 있다. 제3 배선들(350)은 제2 비아들(345)과 연결될 수 있다.
- [0055] 콘택 비아들(325) 및 제1 내지 제3 배선들(330, 340, 350) 및 제1 내지 제2 비아들(335, 345)은 금속 물질 예를 들어, 알루미늄, 구리, 텅스텐, 및/또는 코발트를 포함할 수 있다. 제1 내지 제5 배선 절연층들(311, 313, 315, 317, 319)은 절연 물질, 예를 들어 실리콘 산화물, 실리콘 질화물, 및/또는 실리콘 산화질화물을 포함할 수 있다. 도식된 바와 달리, 제1 내지 제5 배선 절연층들(311, 313, 315, 317, 319)의 경계는 구분되지 않을 수 있으나, 이에 제한되지 않는다.
- [0056] 도 6 내지 도 13은 본 발명의 실시예들에 따른 반도체 메모리 소자의 제조 방법을 설명하기 위한 단면도들이다.
- [0057] 도 6을 참조하면, 주변 회로 구조체(100)가 형성될 수 있다. 주변 회로 구조체(100)를 형성하는 것은 반도체 기판(10)을 준비하는 것, 반도체 기판(10) 상에 주변 회로들(PTR)을 형성하는 것, 주변 회로들(PTR)과 연결되는 주변 비아들(22) 및 주변 배선들(24)을 형성하는 것, 주변 비아들(22) 및 주변 배선들(24)을 둘러싸는 주변 절연층(20)을 형성하는 것, 및 주변 절연층(20)에 의해 상면이 노출되는 제1 키패드(40) 및 제2 하부 키패드(30)를 형성하는 것을 포함할 수 있다.
- [0058] 여기서, 반도체 기판(10)은 실리콘(Si), 게르마늄(Ge), 실리콘 게르마늄(SiGe), 갈륨비소(GaAs), 인듐갈륨비소(InGaAs), 알루미늄갈륨비소(AlGaAs), 또는 이들의 혼합물 중 적어도 하나를 포함할 수 있다. 반도체 기판(10)은 불순물이 도핑된 반도체 및/또는 불순물이 도핑되지 않은 상태의 진성 반도체(intrinsic semiconductor)를 포함할 수 있고, 단결정, 비정질(amorphous), 및 다결정(polycrystalline) 중에서 선택된 적어도 어느 하나를 포함하는 결정 구조를 가질 수 있다.
- [0059] 주변 회로들(PTR)은 반도체 기판(10)을 채널로 사용하는 MOS 트랜지스터들을 포함할 수 있다. 일 예로, 주변 회로들(PTR)을 형성하는 것은, 활성 영역들을 정의하는 소자 분리 패턴(15)을 반도체 기판(10) 내에 형성하는 것, 반도체 기판(10) 상에 차례로 주변 게이트 절연층(27) 및 주변 게이트 전극(28)을 형성하고, 주변 게이트 전극(28)의 양측의 반도체 기판(10)에 불순물을 주입하여 소오스/드레인 영역들(25)을 형성하는 것을 포함할 수 있다. 주변 게이트 스페이서(26)가 주변 게이트 전극(28)의 측벽에 형성될 수 있다. 주변 회로들(PTR)은 주변 회로 구조체(100)의 제1 영역(R1) 상에 형성될 수 있다.
- [0060] 주변 절연층(20)은 주변 회로들(PTR)을 덮는 하나의 절연층 또는 적층된 복수의 절연층들을 포함할 수 있다. 주변 절연층(20)은, 예를 들어, 실리콘 산화막, 실리콘 질화막, 실리콘 산질화막 및/또는 저유전막을 포함할 수 있다.
- [0061] 주변 절연층(20)의 상면 상에 제1 키패드(40) 및 제2 하부 키패드(30)를 형성할 수 있다. 보다 구체적으로, 제1 키패드(40) 및 제2 하부 키패드(30)는 주변 회로 구조체(100)의 제2 영역(R2) 상에 제공될 수 있다. 제1 키패드

(40) 및 제2 하부 키패드(30)는 주변 절연층(20)의 상면 상에 트렌치를 형성한 후 도전 물질을 채워서 형성할 수 있다. 제1 키패드(40) 및 제2 하부 키패드(30)는 금속 물질, 예를 들어, 알루미늄, 구리, 텅스텐, 및/또는 코발트를 포함할 수 있다.

[0062] 주변 비아들(22) 및 주변 배선들(24)을 형성하는 것은 주변 절연층(20)의 일부분들을 관통하는 주변 비아들(22)을 형성하는 것 및 주변 비아들(22)과 연결되는 주변 배선들(24)을 형성하는 것을 포함할 수 있다.

[0063] 주변 회로 구조체(100) 상에 제1 버퍼층(110)이 형성될 수 있다. 제1 버퍼층(110)은 절연성 물질을 증착하여 형성될 수 있다. 제1 버퍼층(110)은 실리콘 질화물, 실리콘 산화물, 실리콘 산질화물 및/또는 탄소 함유 실리콘 질화물을 포함할 수 있다.

[0064] 도 7을 참조하면, 제1 층(261) 및 제2 층(264)이 교대로 적층된 몰딩 구조체(260)가 준비될 수 있다. 몰딩 구조체(260)는 실리콘을 포함하는 기판일 수 있다. 보다 구체적으로, 몰딩 구조체(260)의 제1 층(261)은 실리콘층일 수 있고, 제2 층(263)은 실리콘-게르마늄층일 수 있다. 몰딩 구조체(260)는 서로 대향하는 제1 면(260a) 및 제2 면(260b)을 가질 수 있다. 몰딩 구조체(260)를 식각하여 제1 트렌치(TR1) 및 제2 트렌치(TR2)를 형성할 수 있다. 제1 트렌치(TR1)는 제2 트렌치(TR2)와 이격되어 배치될 수 있다. 제1 트렌치(TR1)의 깊이는 제2 트렌치(TR2)의 깊이보다 얇을 수 있다. 보다 구체적으로, 제1 트렌치(TR1)의 바닥면(TR1b)의 레벨은 제2 트렌치(TR2)의 바닥면(TR2b)의 레벨보다 몰딩 구조체(260)의 제1 면(260a)과 인접할 수 있다.

[0065] 도 8을 참조하면, 제1 트렌치(TR1)의 내부에 도전 물질을 채워 제2 상부 키패드(270)를 형성할 수 있다. 제2 상부 키패드(270)는 금속 물질, 예를 들어, 알루미늄, 구리, 텅스텐, 및/또는 코발트를 포함할 수 있다. 제2 트렌치(TR2)의 내부에 절연 물질을 채워 관통 구조체(280)를 형성할 수 있다. 관통 구조체(280)는 상기 절연 물질은 실리콘 산화물, 실리콘 질화물, 및/또는 실리콘 산화질화물을 포함할 수 있다. 몰딩 구조체(260)의 제1 면(260a) 상에 평탄화 공정이 수행되어 몰딩 구조체(260)의 상면(260a), 제2 상부 키패드(270)의 상면, 및 관통 구조체(280)의 상면이 공면을 이룰 수 있다. 이후, 몰딩 구조체(260)의 제1 면(260a) 상에 제2 버퍼층(210)이 형성될 수 있다. 제2 버퍼층(210)의 형성은 제1 버퍼층(110)의 형성과 실질적으로 동일할 수 있다. 제2 버퍼층(210)은 몰딩 구조체(260)의 제1 면(260a), 제2 상부 키패드(270), 및 관통 구조체(280)를 덮고, 외부로 노출된 제1 면(210a)을 가질 수 있다.

[0066] 도 9를 참조하면, 주변 회로 구조체(100) 상에 몰딩 구조체(260)를 고정시킬 수 있다. 주변 회로 구조체(100) 상에 몰딩 구조체(260)를 고정시키는 것은 제2 상부 키패드(270)가 제2 하부 키패드(30)와 수직으로 중첩되도록 몰딩 구조체(260)를 제1 버퍼층(110)의 상면(110a) 상에 제공하는 것 및 열처리 공정을 수행하여 제1 버퍼층(110)과 제2 버퍼층(210)을 서로 부착시키는 것을 포함할 수 있다.

[0067] 그 내부에 제2 상부 키패드(270) 및 관통 구조체(280)가 형성된 몰딩 구조체(260)를 주변 회로 구조체(100) 상에 제공할 수 있다. 이 때, 몰딩 구조체(260)는 제2 버퍼층(210)의 제1 면(210a)이 주변 회로 구조체(100)를 향하도록 배치될 수 있다. 보다 구체적으로, 제2 하부 키패드(30) 및 제2 상부 키패드(270)의 위치를 읽어내어, 제2 하부 키패드(30) 및 제2 상부 키패드(270)가 서로 수직으로 중첩되도록 몰딩 구조체(260)가 제공될 수 있다. 이에 따라, 제2 상부 키패드(270)와 제2 하부 키패드(30)는 수직으로 중첩될 수 있고, 바람직하게는 서로 수직으로 정렬될 수 있다. 제2 버퍼층(210)의 제1 면(210a)은 제1 버퍼층(110)의 상면(110a)과 접촉할 수 있다. 제2 상부 키패드(270) 및 제2 하부 키패드(30)는 몰딩 구조체(260)가 제공되는 위치를 결정하는 기준점 역할을 할 수 있다.

[0068] 제1 버퍼층(110) 및 제2 버퍼층(210)에 열처리 공정이 수행되어 제1 버퍼층(110) 및 제2 버퍼층(210)이 서로 부착될 수 있다. 이에 따라, 몰딩 구조체(260)가 주변 회로 구조체(100) 상에 고정될 수 있다. 일 예로, 제1 버퍼층(110) 및 제2 버퍼층(210)은 상기 열처리 공정에 의해 계면에서 서로 화학적 또는 물리적으로 결합할 수 있다. 제1 버퍼층(110) 및 제2 버퍼층(210)의 계면은 도시된 바와 달리, 서로 구분되지 않을 수 있다.

[0069] 도 10을 도 9와 함께 참조하면, 분리 구조체(255)가 몰딩 구조체(260)의 내부에 형성될 수 있다. 분리 구조체(255)를 형성하는 것은 몰딩 구조체(260)를 관통하는 트렌치를 형성하는 것, 상기 트렌치의 내벽을 채우는 절연 라이너(251)를 형성하는 것 및 상기 트렌치의 나머지 부분을 채우는 절연 패턴(251)을 형성하는 것을 포함할 수 있다. 상기 절연 라이너(251) 및 절연 패턴(251)은 절연성 물질, 예를 들어 실리콘 산화물, 실리콘 질화물, 및/또는 실리콘 산화질화물을 포함할 수 있다. 상기 분리 구조체(255)는 주변 회로 구조체(100)의 제1 영역(R1) 및 제2 영역(R2) 사이의 경계 상에 형성될 수 있다. 그러나 이에 제한되지 않고, 분리 구조체(255)의 형성은 생략될 수도 있다.

- [0070] 몰딩 구조체(260)의 제2 면(260b) 상에 식각 공정이 수행되어 몰딩 구조체(260)의 상부 및 분리 구조체(255)의 상부가 제거될 수 있다. 상기 식각 공정은 관통 구조체(280)의 상면(280a)이 노출될 때까지 수행될 수 있다. 이에 따라, 몰딩 구조체(260)의 제2 면(260b), 분리 구조체(255)의 상면 및 관통 구조체(280)의 상면은 서로 공면을 이룰 수 있다.
- [0071] 도 11을 참조하면, 주변 회로 구조체(100)의 제1 영역(R1) 상에 적층 구조체(220)가 형성될 수 있다. 적층 구조체(220)를 형성하는 것은 몰딩 구조체(260)를 식각하여 예비 적층 구조체를 형성하는 것, 예비 적층 구조체에 치환 공정을 수행하여 적층 구조체(220)를 형성하는 것, 및 적층 구조체(220)를 덮는 상부 절연층(230)을 형성하는 것을 포함할 수 있다.
- [0072] 몰딩 구조체(260)를 식각하여 예비 적층 구조체를 형성할 수 있다. 보다 구체적으로, 주변 회로 구조체(100)의 제1 영역(R1) 상에 제공되는 몰딩 구조체(260)를 식각하여 계단식 구조를 갖는 예비 적층 구조체를 형성할 수 있다. 예비 적층 구조체는 교대로 적층된 제1 층들(261) 및 제2 층들(263)을 포함할 수 있다. 예비 적층 구조체의 제1 층들(261)은 실리콘층일 수 있고, 제2 층들(263)은 실리콘-게르마늄층일 수 있다.
- [0073] 예비 적층 구조체에 치환 공정을 수행하여 적층 구조체(220)를 형성하는 것은, 예비 적층 구조체의 제1 층들(261)을 제거하고, 도전 물질로 대체하여 제1 도전 라인들(223)을 형성하는 것 및 제2 층들(263)을 제거하고, 절연성 물질로 대체하여 제1 층간 절연층들(221)을 형성하는 것을 포함할 수 있다. 상기 도전 물질은 예를 들어, 도핑된 반도체 물질(도핑된 실리콘, 도핑된 게르마늄 등), 도전성 금속질화물(질화티타늄, 질화탄탈륨 등), 금속(텅스텐, 티타늄, 탄탈륨 등), 및 금속-반도체 화합물(텅스텐 실리사이드, 코발트 실리사이드, 티타늄 실리사이드 등) 중 어느 하나일 수 있다. 상기 절연성 물질은 예를 들어, 실리콘 산화물, 실리콘 질화물, 및/또는 실리콘 산화질화물을 포함할 수 있다. 이에 따라, 적층 구조체(220)가 형성될 수 있다.
- [0074] 주변 회로 구조체(100)의 제1 영역(R1) 상에 적층 구조체(220)를 덮는 상부 절연층(230)이 형성될 수 있다. 상부 절연층(230)은 절연 물질을 증착하여 형성될 수 있다. 상기 절연 물질은 예를 들어, 실리콘 산화물, 실리콘 질화물, 및/또는 실리콘 산화질화물을 포함할 수 있다. 상기 상부 절연층(230)은 상기 몰딩 구조체(260)가 식각된 영역을 채울 수 있다. 보다 구체적으로, 상기 상부 절연층(230)은 적층 구조체(220)의 상면 및 측면들을 덮을 수 있고, 분리 구조체(255) 및 적층 구조체(220) 사이의 갭 영역을 채울 수 있다.
- [0075] 도 12를 참조하면, 적층 구조체(220)의 제1 도전 라인들(223)의 상면 상에 콘택들(240)이 형성될 수 있다. 콘택들(240)은 상부 절연층(230)을 관통하는 관통홀을 형성한 후 도전 물질을 채워서 형성할 수 있다. 상기 관통홀은 적층 구조체(220)의 계단식 구조 상에 형성될 수 있고, 제1 도전 라인들(223)의 상면들을 노출시킬 수 있다. 상기 도전 물질은 알루미늄, 구리, 텅스텐 및/또는 코발트를 포함할 수 있다.
- [0076] 도 13을 참조하면, 상부 절연층(230), 제2 버퍼층(210) 및 제1 버퍼층(110)을 관통하는 관통 플러그(250)를 형성할 수 있다. 관통 플러그(250)를 형성하는 것은 관통 구조체(280)의 상면 상에 제1 광(L)을 조사하여 제1 키패드(40)의 위치를 읽는 것, 제1 키패드(40)의 위치를 기준으로 관통 플러그(250)가 형성될 위치에 관통홀을 형성하는 것 및 상기 관통홀을 도전 물질로 채워 관통 플러그(250)를 형성하는 것을 포함할 수 있다.
- [0077] 보다 구체적으로, 관통 구조체(280)의 상면 상에 제1 광(L)이 조사될 수 있다. 제1 광(L)에 대한 관통 구조체(280)의 제1 광(L)에 대한 투과율은 몰딩 구조체(260)의 제1 광(L)에 대한 투과율보다 높을 수 있다. 상기 제1 광(L)은 가시광선, 적외선 및/또는 자외선일 수 있으나, 이에 제한되지 않는다. 상기 제1 광(L)을 이용하여, 제1 키패드(40)의 위치를 읽을 수 있다. 제1 키패드(40)의 위치를 기준으로 관통 플러그(250)가 형성될 위치를 계산할 수 있다. 이에 따라, 상기 계산된 위치에 관통홀을 형성할 수 있다. 예를 들어, 상기 계산된 위치는 도전 패드(50)가 제공되는 위치일 수 있다. 상기 관통홀에 도전 물질을 채워 관통 플러그(250)를 형성할 수 있다. 상기 도전 물질은 예를 들어, 알루미늄, 구리, 텅스텐, 및/또는 코발트를 포함할 수 있다.
- [0078] 일 방향으로 복수 개의 층들 및 패턴들을 순서대로 형성하여 반도체 소자를 제조하는 방법의 경우, 패턴들의 수직 정렬이 어긋나는 편차가 크지 않을 수 있다. 반면, 각각 형성된 상판 및 하판을 서로 부착하여 반도체 소자를 제조하는 방법의 경우, 상판과 하판을 부착하는 공정에서 정렬이 크게 어긋날 확률이 높을 수 있다. 특히, 상판과 하판을 관통하는 패턴들을 형성하는 경우, 상판을 관통하여 하판의 원하는 위치(예를 들어, 랜딩 패드 등)에 관통하는 패턴들을 형성하는 것은 어려운 공정일 수 있다. 이에 따라, 오정렬(miss-alignment)을 회피하기 위해 관통하는 패턴들과 접촉하는 랜딩 패드들의 폭을 넓게 형성하여 접촉 불량 등을 개선했었다. 하지만, 랜딩 패드들의 폭을 넓게 형성하는 경우, 반도체 소자의 집적화를 저하하는 단점이 존재한다. 본 발명의 실시예들에 따르면, 제1 키패드(40)와 수직으로 중첩되는 관통 구조체(280)가 제공될 수 있다. 제2 상부 키패드(270)

및 제2 하부 키패드(30)를 이용하여 주변 회로 구조체(100) 및 적층 구조체(220)를 부착한 후, 상기 관통 구조체(280)를 투과하는 제1 광(L)을 이용하여 제1 키패드(40)의 위치를 읽을 수 있다. 상기 읽어낸 제1 키패드(40)의 위치를 기준으로 관통 플러그(250)가 형성되는 위치를 보다 정확하게 계산할 수 있다. 이에 따라, 관통 플러그(250)와 접촉하는 도전 패드(50)의 폭을 좁게 형성하여, 반도체 메모리 소자의 집적도를 향상시킬 수 있다.

- [0079] 다시 도 3a를 참조하면, 상부 절연층(230), 몰딩 구조체(260), 및 관통 구조체(280) 상에 배선층(300)이 형성될 수 있다. 배선층(300)을 형성하는 것은 콘택비아들(325), 배선 구조체(360), 및 제1 내지 제5 배선 절연층들(311, 313, 315, 317, 319)을 형성하는 것을 포함할 수 있다. 이에 따라, 도 3a에서 설명한 반도체 메모리 소자가 제조될 수 있다.
- [0080] 도 14는 본 발명의 실시예들에 따른 반도체 메모리 소자를 설명하기 위한 것으로, 도 2의 I-I'선을 따라 자른 단면에 대응된다. 본 실시예에서는 도 1, 도 2, 도 3a 및 도 3b, 도 4, 및 도 5를 참조하여 설명한 것과 중복되는 기술적 특징에 대한 상세한 설명은 생략하고, 차이점에 대해 상세히 설명한다.
- [0081] 도 14를 참조하면, 제2 반도체 기판(200) 상에 적층 구조체(220), 콘택들(240), 상부 절연층(230), 분리 구조체(255), 및 몰딩 구조체(260)가 제공될 수 있다. 제2 반도체 기판(200)은 도 1, 도 2, 도 3a 및 도 3b를 참조하여 설명한 반도체 기판(10)과 실질적으로 동일할 수 있고, 적층 구조체(220), 콘택들(240), 상부 절연층(230), 분리 구조체(255), 및 몰딩 구조체(260)는 도 1, 도 2, 도 3a 및 도 3b에서 설명한 내용과 실질적으로 동일할 수 있다.
- [0082] 제2 반도체 기판(200)은 제1 영역(R1) 및 제2 영역(R2)을 가질 수 있다. 상기 제1 영역(R1) 및 제2 영역(R2)은 도 1, 도 2, 도 3a 및 도 3b를 참조하여 설명한, 주변 회로 구조체(100)의 제1 영역(R1) 및 제2 영역(R2)과 실질적으로 동일할 수 있다.
- [0083] 제1 버퍼층(110)이 상부 절연층(230)의 상면, 분리 구조체(255)의 상면, 몰딩 구조체(260)의 상면, 제1 키패드(40')의 상면 및 제2 하부 키패드(30')의 상면을 덮을 수 있다. 제1 버퍼층(110)은 도 1, 도 2, 도 3a 및 도 3b를 참조하여 설명한 제1 버퍼층(110)과 동일한 물질을 포함할 수 있다. 제2 버퍼층(210)이 제1 버퍼층(110)의 상면 상에 제공될 수 있다. 제2 버퍼층(210)은 제1 버퍼층(110)과 동일한 물질을 포함할 수 있다.
- [0084] 몰딩 구조체(260)의 상부에 제1 키패드(40') 및 제2 하부 키패드(30')가 제공될 수 있다. 보다 구체적으로, 제1 키패드(40') 및 제2 하부 키패드(30')가 제2 반도체 기판(200)의 제2 영역(R2) 상에 제공될 수 있다. 몰딩 구조체(260)는 제1 키패드(40')의 하면과 측면들 및 제2 하부 키패드(30')의 하면과 측면들을 덮을 수 있다. 이에 따라, 제1 키패드(40') 및 제2 하부 키패드(30')의 상면들은 몰딩 구조체(260)에 의해 노출될 수 있고, 제1 버퍼층(110)과 접촉할 수 있다.
- [0085] 제2 버퍼층(210)의 상면 상에 제1 반도체 기판(10)이 제공될 수 있다. 제1 반도체 기판(10)은 도 1, 도 2, 도 3a 및 도 3b를 참조하여 설명한 반도체 기판(10)과 실질적으로 동일할 수 있다. 제1 반도체 기판(10) 상에 주변 회로들(PTR), 주변비아들(22), 주변 배선들(24), 및 상기 주변 회로들(PTR)을 덮는 주변 절연층(20)이 제공될 수 있다. 주변 회로들(PTR), 주변비아들(22), 주변 배선들(24), 및 주변 절연층(20)은 도 1, 도 2, 도 3a 및 도 3b를 참조하여 설명한 내용과 동일할 수 있다.
- [0086] 제1 반도체 기판(10)의 하부에 제2 상부 키패드(270')가 제공될 수 있다. 제2 상부 키패드(270')의 상면 및 측면들은 제1 반도체 기판(10)에 의해 덮힐 수 있다. 제2 상부 키패드(270')의 하면은 제1 반도체 기판(10)에 의해 노출되어 제1 버퍼층(110)과 접촉할 수 있다. 제2 상부 키패드(270')는 제2 하부 키패드(30')와 수직으로 중첩될 수 있다.
- [0087] 관통 구조체(280)가 제1 반도체 기판(10) 상에 제공될 수 있다. 보다 구체적으로, 관통 구조체(280)가 제1 주변 절연층(21)을 관통할 수 있다. 관통 구조체(280)의 상면은 제1 주변 절연층(21)의 상면과 공면을 이룰 수 있고, 관통 구조체(280)의 하면은 제1 주변 절연층(21)의 하면과 공면을 이룰 수 있다. 관통 구조체(280)의 측면은 제1 반도체 기판(10)의 상면에 대해 경사질 수 있다. 일 예로, 관통 구조체(280)의 상면의 폭은 관통 구조체(280)의 하면의 폭보다 작을 수 있다. 관통 구조체(280)는 제1 키패드(40')와 수직으로 중첩될 수 있다.
- [0088] 관통 플러그(250)가 주변 절연층(20), 제1 버퍼층(110), 및 제2 버퍼층(210)을 관통하여 콘택들(240)과 접속할 수 있다. 보다 구체적으로, 관통 플러그(250)는 배선층(300)의 배선 구조체(360)와 적층 구조체(220)의 제1 도전 라인들(223)을 전기적으로 연결할 수 있다.
- [0089] 주변 절연막 및 주변 배선들(24) 상에 배선층(300)이 형성될 수 있다. 배선층(300)은 도 1, 도 2, 도 3a 및 도

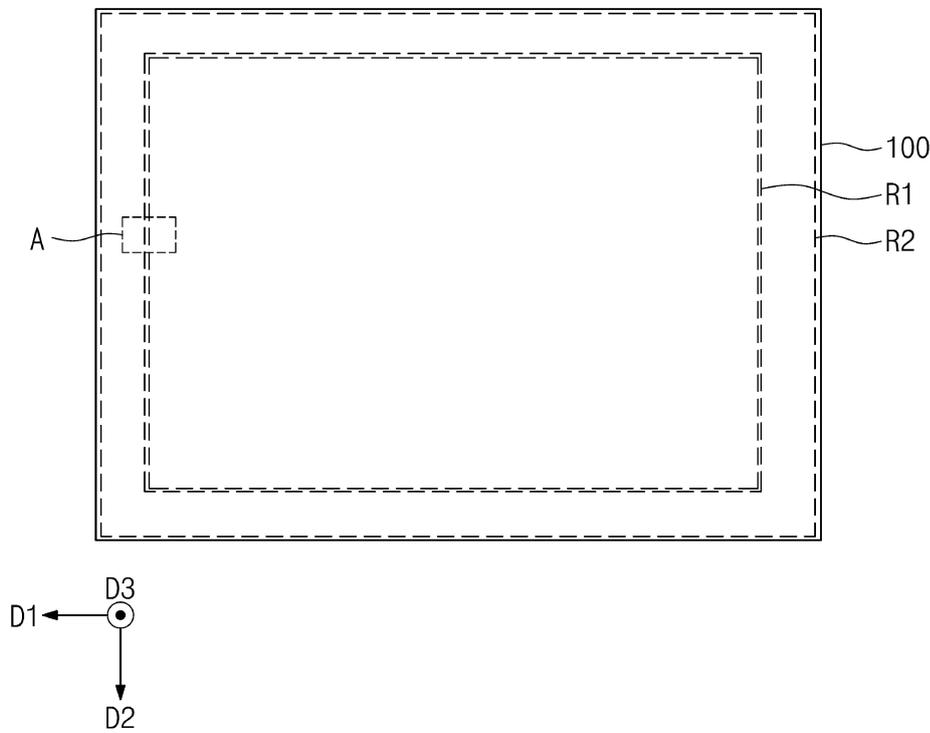
3b에서 설명한 배선층(300)과 실질적으로 동일할 수 있다. 배선 구조체(360)는 주변 배선들(24)과 전기적으로 연결될 수 있다.

[0091]

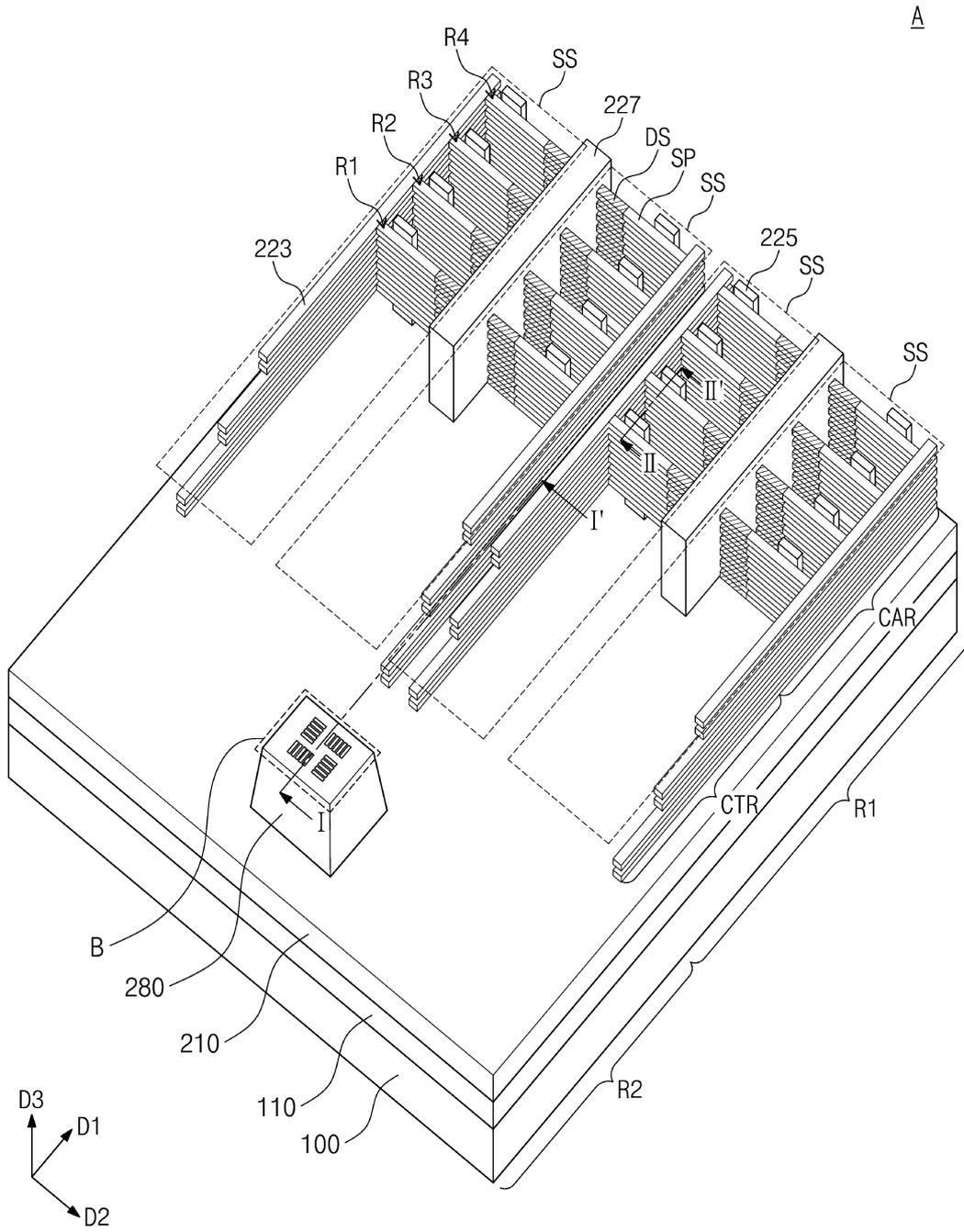
이상, 첨부된 도면들을 참조하여 본 발명의 실시예들을 설명하였지만, 본 발명은 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수도 있다. 그러므로 이상에서 기술한 실시 예들에는 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야 한다.

도면

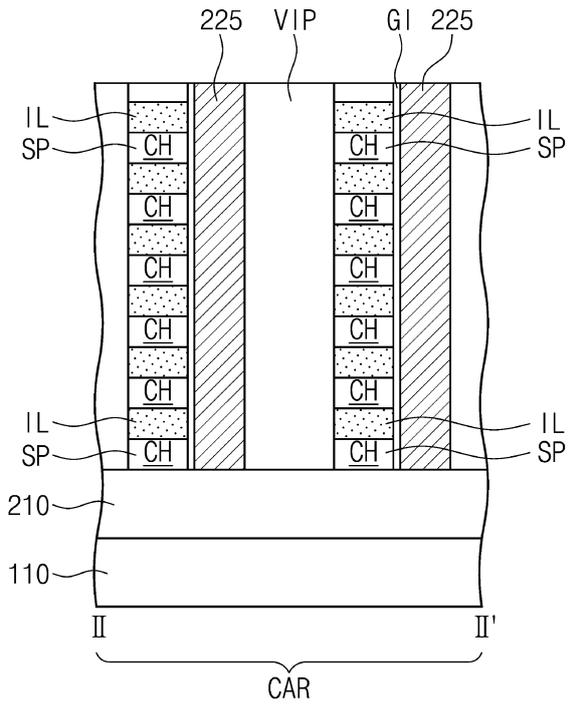
도면1



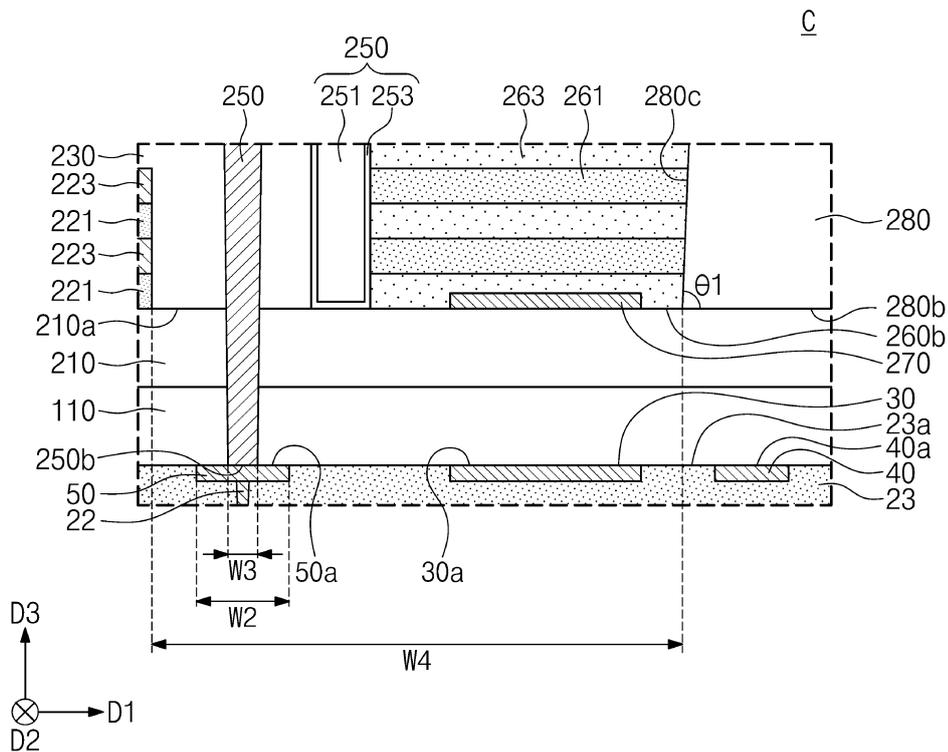
도면2



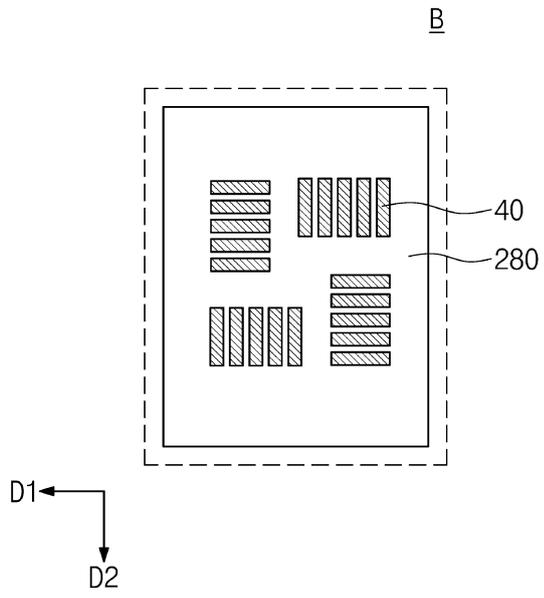
도면3b



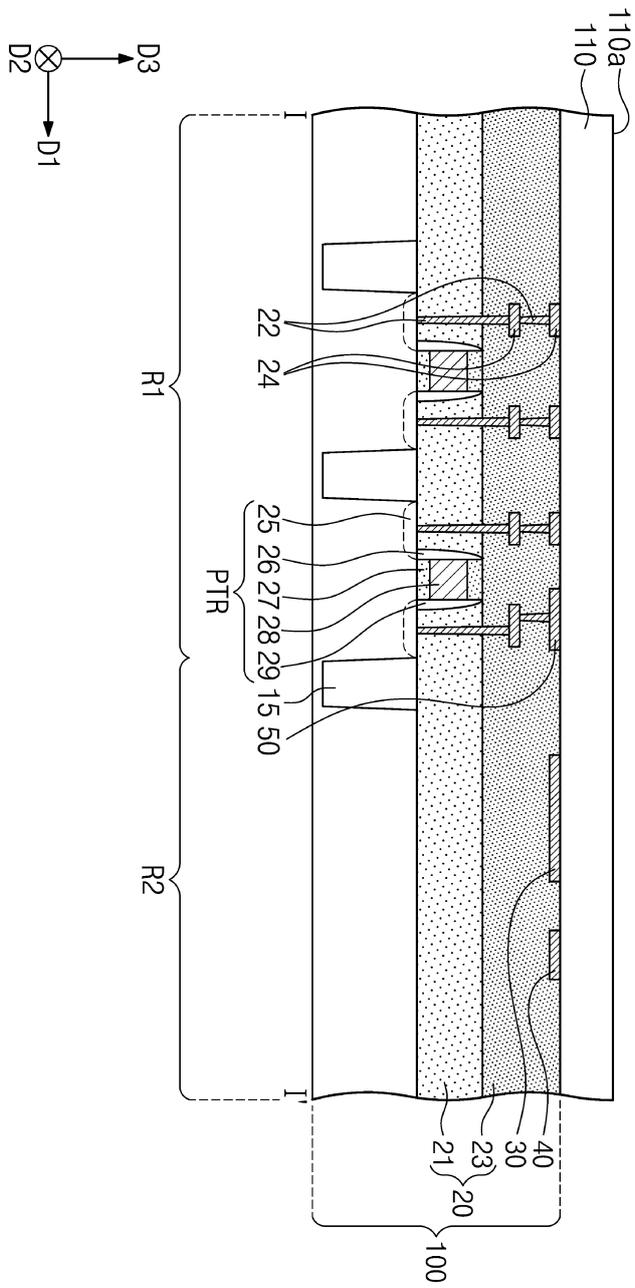
도면4



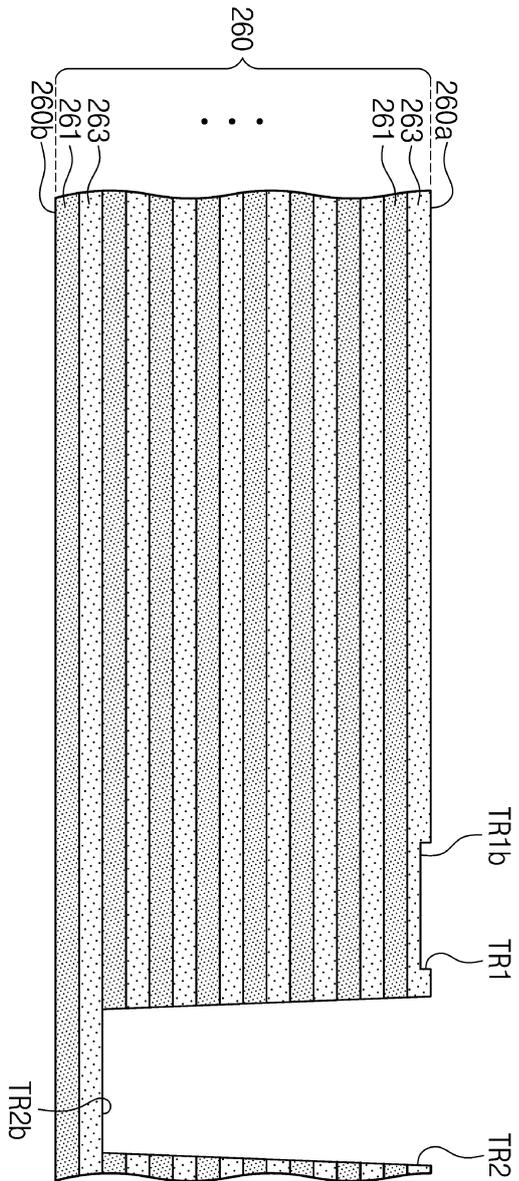
도면5



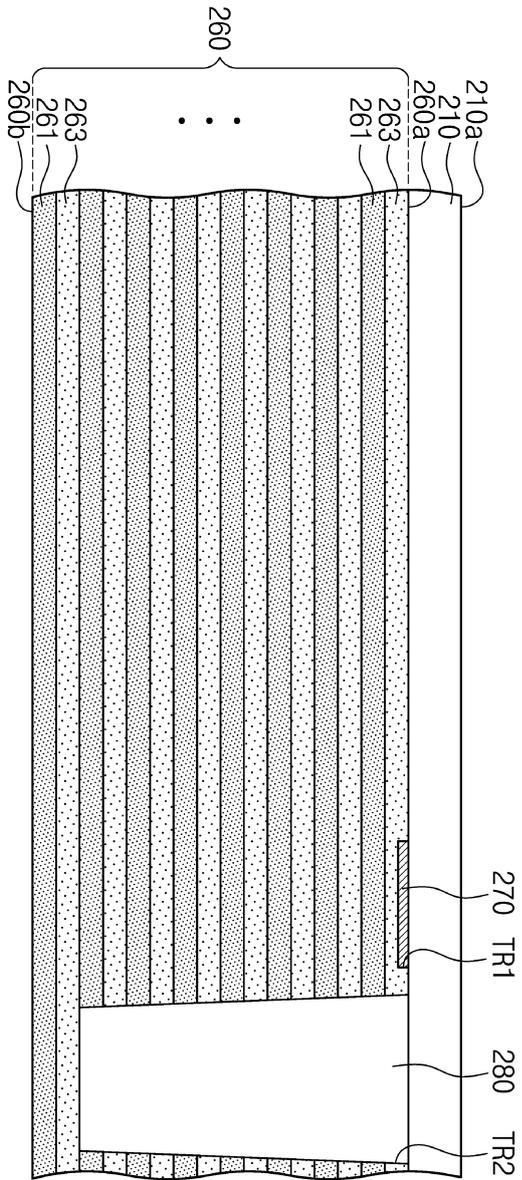
도면6



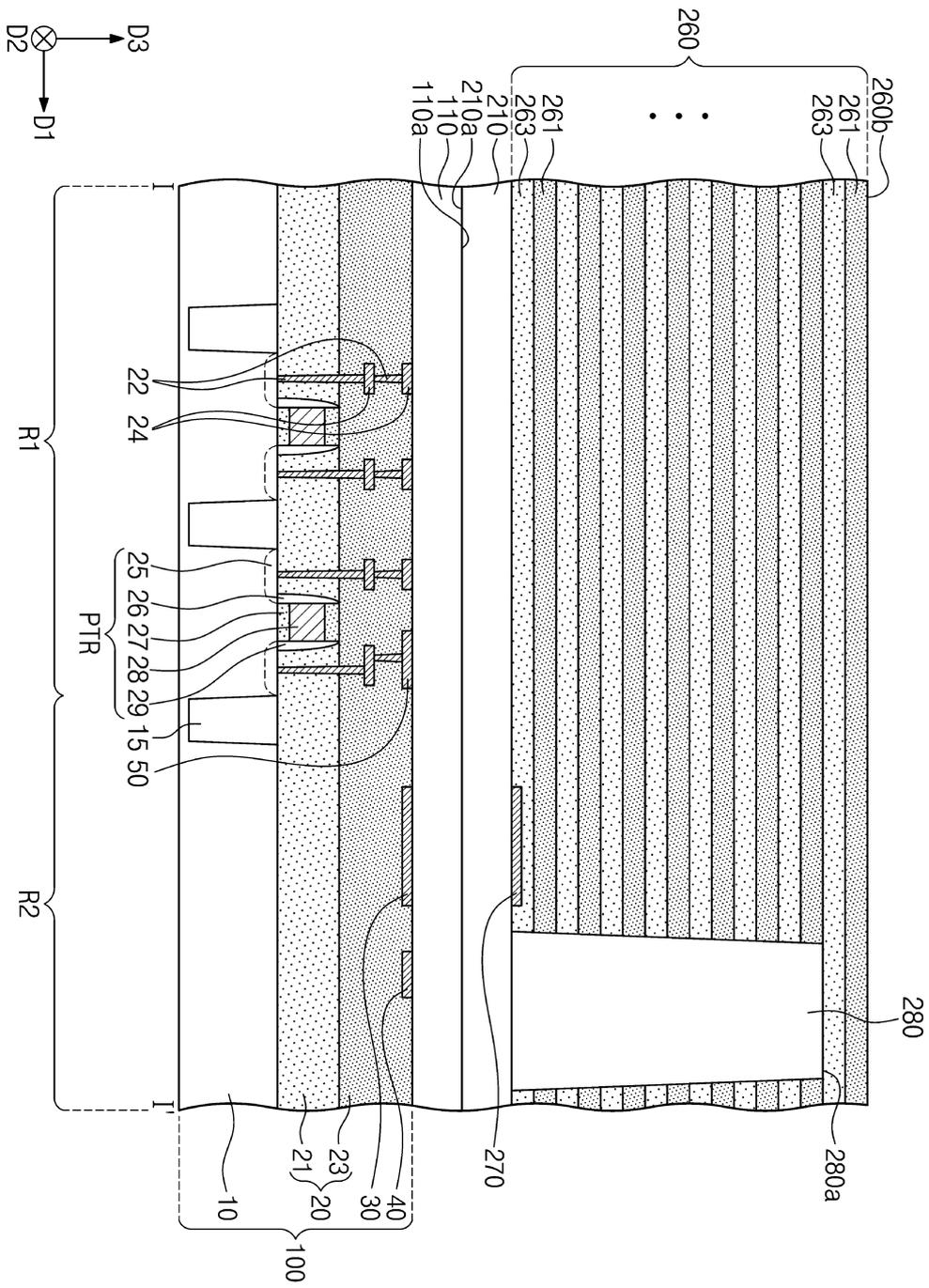
도면7



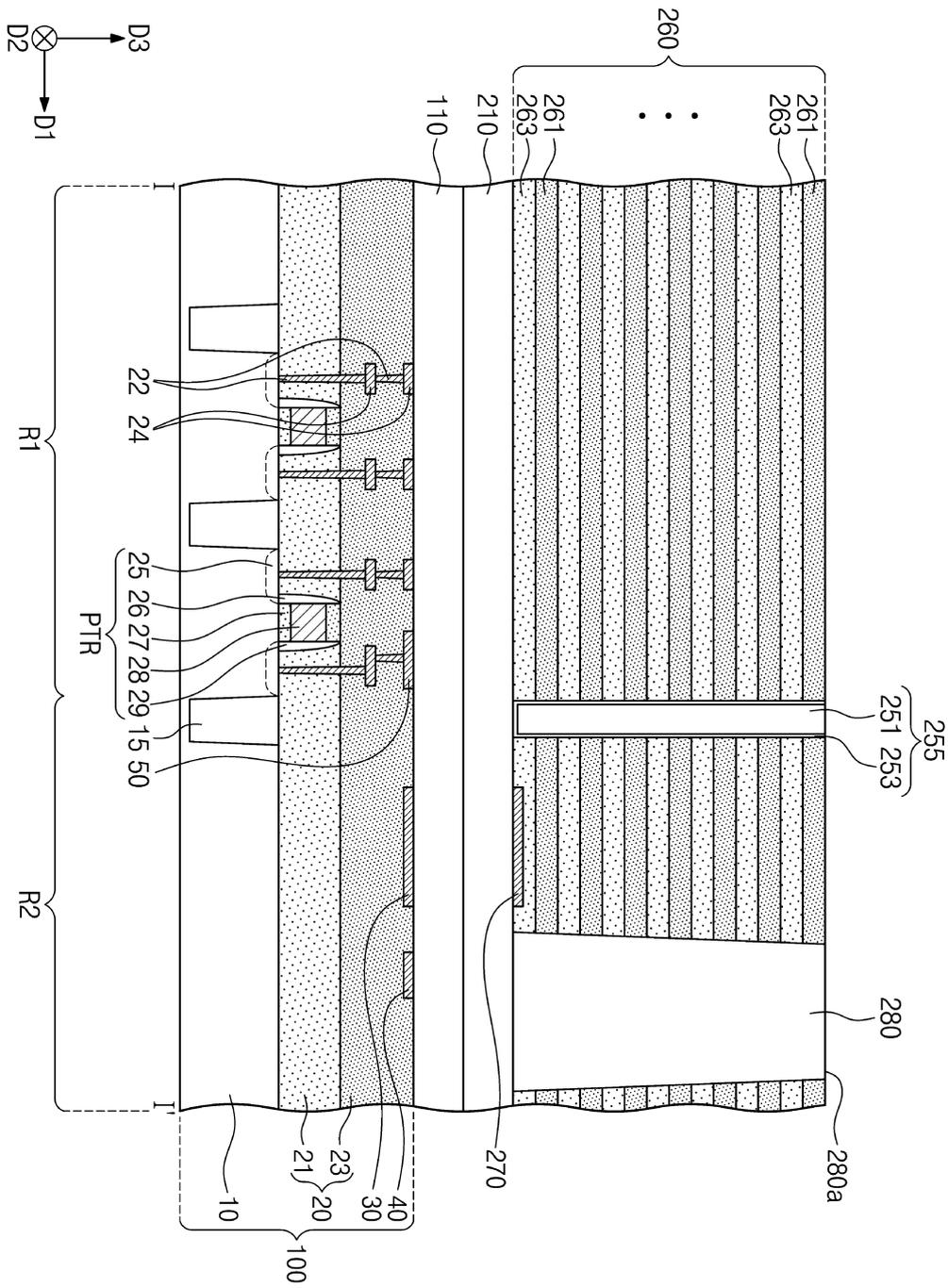
도면8



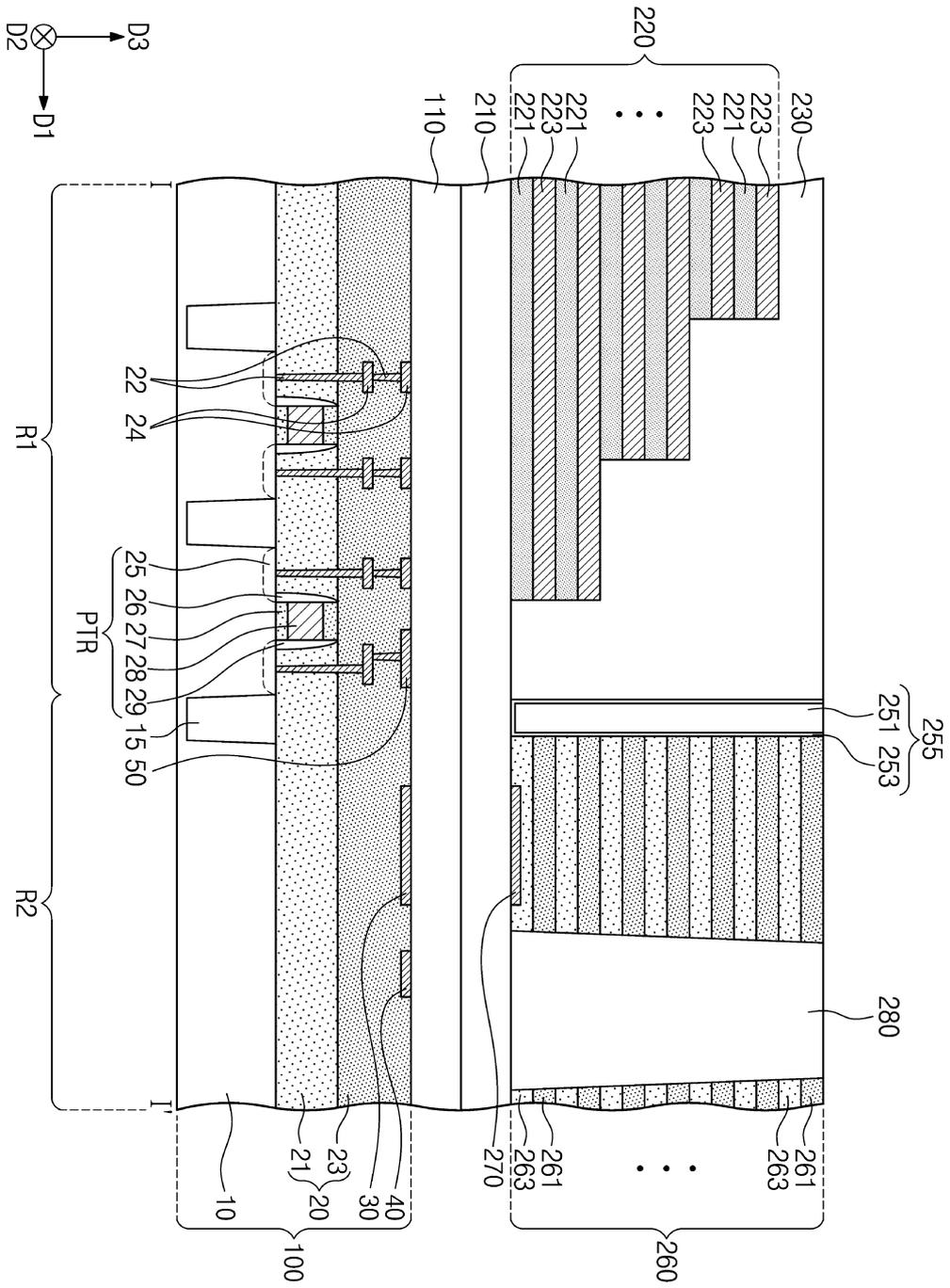
도면9



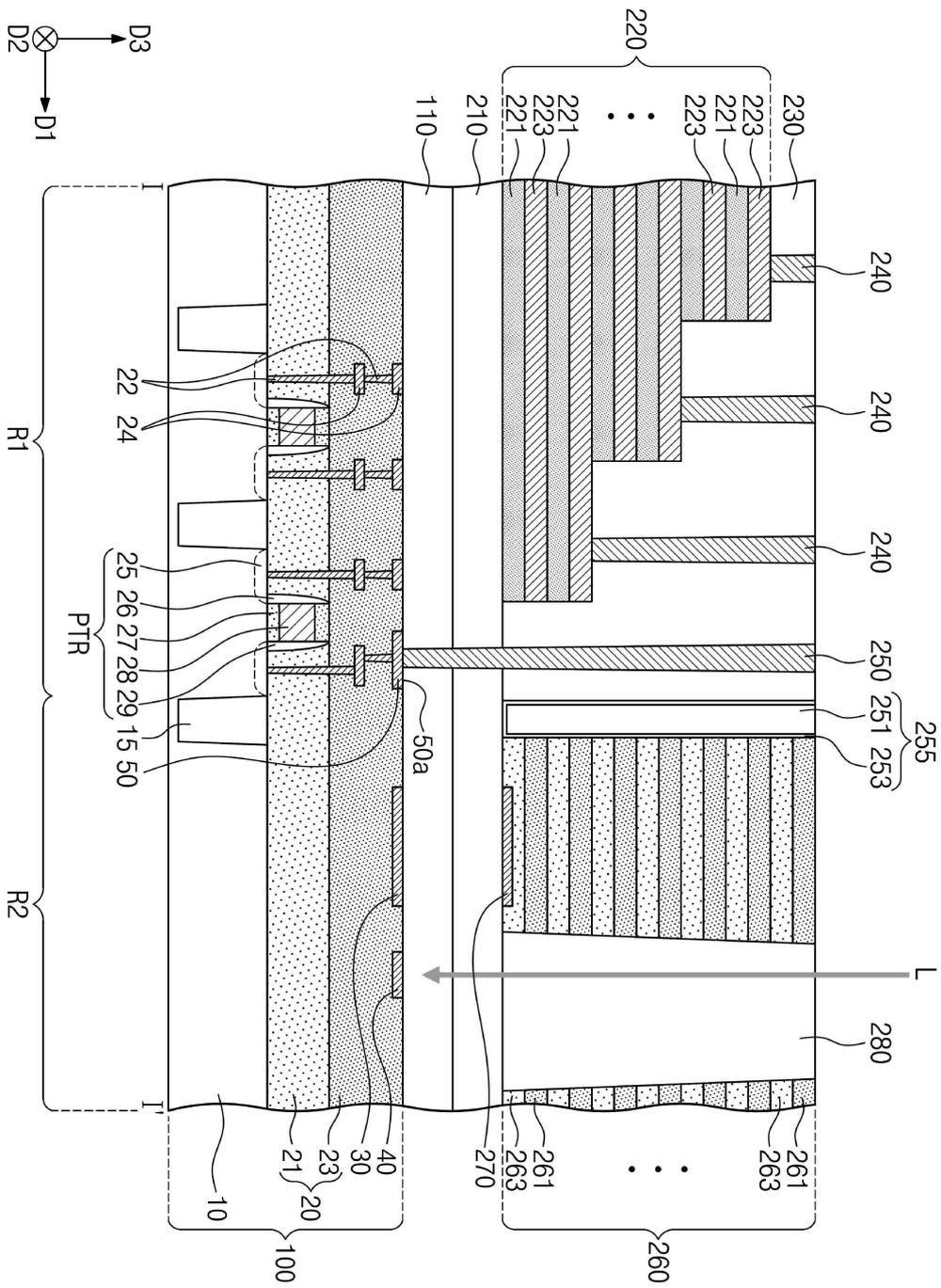
도면10



도면11



도면13



도면14

