

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4536618号
(P4536618)

(45) 発行日 平成22年9月1日(2010.9.1)

(24) 登録日 平成22年6月25日(2010.6.25)

(51) Int.Cl.

G06F 15/80 (2006.01)

F I

G06F 15/80

請求項の数 10 (全 23 頁)

(21) 出願番号	特願2005-224208 (P2005-224208)	(73) 特許権者	308014341
(22) 出願日	平成17年8月2日(2005.8.2)		富士通セミコンダクター株式会社
(65) 公開番号	特開2007-41781 (P2007-41781A)		神奈川県横浜市港北区新横浜二丁目10番
(43) 公開日	平成19年2月15日(2007.2.15)		23
審査請求日	平成20年7月4日(2008.7.4)	(74) 代理人	100094525
			弁理士 土井 健二
		(74) 代理人	100094514
			弁理士 林 恒徳
		(72) 発明者	笠間 一郎
			神奈川県川崎市中原区上小田中4丁目1番
			1号 富士通株式会社内
		(72) 発明者	鶴田 徹
			神奈川県川崎市中原区上小田中4丁目1番
			1号 富士通株式会社内

最終頁に続く

(54) 【発明の名称】 リコンフィグ可能な集積回路装置

(57) 【特許請求の範囲】

【請求項1】

コンフィグレーションデータに基づいて任意の演算状態に動的に構築されるリコンフィグ可能な集積回路装置において、

それぞれ演算器を有する複数の演算プロセッサエレメントと、外部メモリとデータ転送を行うメモリを有するメモリプロセッサエレメントと、前記演算プロセッサエレメントとメモリプロセッサエレメントとを任意の状態に接続するプロセッサエレメント間スイッチ群とを有する複数のクラスタと、

前記クラスタ間のデータバスを任意の状態に構築するクラスタ間スイッチ群と、

前記クラスタ間スイッチ群とは別に設けられ、前記メモリプロセッサエレメントと前記外部メモリとでデータ転送を行う外部メモリバスとを有し、

前記コンフィグレーションデータに基づいて前記演算プロセッサエレメントと、メモリプロセッサエレメントと、プロセッサエレメント間スイッチ群と、クラスタ間スイッチ群とが動的に変更可能であり、

さらに、前記複数のクラスタのメモリプロセッサエレメントからのアクセス要求に応じて、前記メモリプロセッサエレメントと外部メモリとの間で前記外部メモリバスを介してダイレクトメモリアクセスによるデータ転送を実行させるダイレクトメモリアクセス制御部を有することを特徴とするリコンフィグ可能な集積回路装置。

【請求項2】

請求項1において、

10

20

前記クラスタは、さらに、前記コンフィグレーションデータを格納するコンフィグレーションデータメモリと、前記演算プロセッサエレメント及びメモリプロセッサエレメントからの終了信号に応答して前記コンフィグレーションデータメモリから次の演算状態を構築するコンフィグレーションデータを出力させるシーケンサとを有するリコンフィグ可能な集積回路装置。

【請求項 3】

請求項 1 において、

さらに、複数のメモリプロセッサエレメントに共通に設けられ、当該複数のメモリプロセッサエレメントからのダイレクトメモリアクセス要求を受け付け、前記ダイレクトメモリアクセス制御部に前記複数のメモリプロセッサエレメントに対して同期したダイレクトメモリアクセス要求を指令するデータフロー制御部を有するリコンフィグ可能な集積回路装置。

10

【請求項 4】

請求項 1 において、

さらに、複数のメモリプロセッサエレメントに共通に設けられ、当該複数のメモリプロセッサエレメントからのダイレクトメモリアクセス要求を受け付け、前記ダイレクトメモリアクセス制御部に前記複数のメモリプロセッサエレメントに対して同期したダイレクトメモリアクセス要求を指令するデータフロー制御部を有し、

前記データフロー制御部は、単一のメモリプロセッサエレメントからのダイレクトメモリアクセス要求を受け付けた時は、当該受付に응答して前記ダイレクトメモリアクセス制御部に当該ダイレクトメモリアクセス要求を指令するリコンフィグ可能な集積回路装置。

20

【請求項 5】

請求項 1 において、

前記メモリプロセッサエレメントは、前記プロセッサエレメント間スイッチ群に接続される内部バスとの内部側インターフェースと、前記外部メモリバスとの外部側インターフェースとを有し、前記外部側インターフェースを介して前記外部メモリにダイレクトメモリアクセスしながら、前記内部側インターフェースを介して前記演算プロセッサエレメントからアクセスされることを特徴とするリコンフィグ可能な集積回路装置。

【請求項 6】

請求項 5 において、

前記メモリプロセッサエレメントは、第 1 及び第 2 のメモリバンクを有し、前記コンフィグレーションデータに基づいて前記第 1 及び第 2 のメモリバンクが前記内部側及び外部側インターフェースに交互に接続されることを特徴とするリコンフィグ可能な集積回路装置。

30

【請求項 7】

請求項 6 において、

前記メモリプロセッサエレメントは、前記外部メモリと前記第 1 または第 2 のメモリバンクとのデータ転送が完了した後に、前記演算プロセッサエレメントと前記第 1 または第 2 のメモリバンクとのデータ転送を許可し、前記外部メモリと前記第 1 及び第 2 のメモリバンクのいずれとのデータ転送も完了しない場合は、前記複数の演算プロセッサエレメントに動作停止を指示するストール信号をアサートし、前記外部メモリと前記第 1 または第 2 のメモリバンクのいずれとのデータ転送が完了すると前記ストール信号をネゲートすることを特徴とするリコンフィグ可能な集積回路装置。

40

【請求項 8】

請求項 1 において、

前記メモリプロセッサエレメントは、前記外部メモリとのダイレクトメモリアクセスによるデータ転送を行いながら、前記演算プロセッサエレメントとのデータ転送を受け付け、前記ダイレクトメモリアクセスによるデータ転送が前記演算プロセッサエレメントとのデータ転送に追従できなくなるときに、前記複数の演算プロセッサエレメントの動作を停止するストール信号をアサートし、追従できるときに前記ストール信号をネゲートすること

50

を特徴とするリコンフィグ可能な可能な集積回路装置。

【請求項 9】

請求項 1 において、

前記メモリプロセッサエレメントは、第 1 及び第 2 のメモリバンクを有し、

前記メモリプロセッサエレメントは、起動時において、前記コンフィグレーションデータに基づいて、前記第 1 または第 2 のメモリバンクの一方を前記外部メモリバス側にアクセス可能状態にし、前記アクセス要求を出力することを特徴とするリコンフィグ可能な集積回路装置。

【請求項 10】

コンフィグレーションデータに基づいて所定の演算状態に動的に構築されるリコンフィグ可能な集積回路装置において、

演算器を有する演算プロセッサエレメントと、外部メモリとデータ転送を行うメモリを有するメモリプロセッサエレメントと、前記演算プロセッサエレメントとメモリプロセッサエレメントとを任意の状態とで接続するプロセッサエレメント間スイッチ群とを有する複数のクラスタと、

前記クラスタ間のデータバスを任意の状態とで構築するクラスタ間スイッチ群と、

前記クラスタ間スイッチ群とは別に設けられ、前記メモリプロセッサエレメントと前記外部メモリとでデータ転送を行う外部メモリバスとを有し、

前記コンフィグレーションデータに基づいて前記演算プロセッサエレメントと、メモリプロセッサエレメントと、プロセッサエレメント間スイッチ群と、クラスタ間スイッチ群とが動的に変更可能であり、

さらに、前記複数のクラスタのメモリプロセッサエレメントからのアクセス要求にตอบสนองして、前記メモリプロセッサエレメントと外部メモリとの間で前記外部メモリバスを介してダイレクトメモリアクセスによるデータ転送を実行させるダイレクトメモリアクセス制御部を有し、

前記メモリプロセッサエレメントは、第 1 及び第 2 のメモリバンクを有し、当該第 1 または第 2 のメモリバンクの一方が前記外部メモリとの間で前記外部メモリバスを介してダイレクトメモリアクセスによるデータ転送中に、前記第 1 または第 2 のメモリバンクの他方が前記演算プロセッサエレメントとデータ転送を行うことを特徴とするリコンフィグ可能な集積回路装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、再構築可能（リコンフィギュラブル、以下単にリコンフィグ可能と称する。）な集積回路装置に関し、特に、リコンフィグ可能な集積回路装置内に設けられ外部メモリとデータ転送を行う内部メモリの新規な構成に関する。

【背景技術】

【0002】

リコンフィグ可能な集積回路装置は、複数のプロセッサエレメントと、当該プロセッサエレメント間を接続するネットワークとを有し、外部または内部のイベントにตอบสนองして、シーケンサがプロセッサエレメントとネットワークにコンフィグレーションデータを与え、当該コンフィグレーションデータに応じてプロセッサエレメントとネットワークにより任意の演算状態または演算回路を構築する。従来の伝統的なプログラム可能なマイクロプロセッサは、メモリに記憶されている命令を順番に読み出し逐次的に処理する。このようにマイクロプロセッサは、1 つのプロセッサで同時に実行できる命令は数個に限定されるため、処理能力に一定の限界がある。

【0003】

それに対して、近年において提案されているリコンフィグ可能な集積回路装置は、加算器、乗算器、比較器などの機能を有する ALU や、遅延回路、カウンタなどの複数種類のプロセッサエレメントを複数個あらかじめ設けておき、プロセッサエレメント間を接続す

10

20

30

40

50

るネットワークを設け、複数のプロセッサエレメントとネットワークを、シーケンサを有する状態遷移制御部からのコンフィグレーションデータによって所望の構成に再構築し、その演算状態で所定の演算を実行する。一つの演算状態におけるデータ処理が完了すると、別のコンフィグレーションデータにより別の演算状態が構築され、その状態で異なるデータ処理が行われる。

【0004】

このように、異なる演算状態を動的に構築することで、大量のデータに対するデータ処理能力を向上させ、全体の処理効率を高めることができる。かかるリコンフィグ可能な集積回路装置については、例えば特許文献1に記載されている。

【特許文献1】特開2001-312481号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

上記従来のリコンフィグ可能な集積回路装置では、複数のプロセッサエレメントのレイをプロセッサ間を接続するスイッチ群で囲み、状態遷移管理部がプロセッサエレメントやスイッチ群にコンフィグレーションデータを供給して任意の演算状態にする。また、プロセッサエレメント群には、外部メモリからデータが入力され、演算状態にされたプロセッサエレメント群が入力データに対して所定のデータ処理を実行し、それにより得られたデータが出力される。

【0006】

上記の集積回路装置では、外部メモリからデータ処理に必要なデータが一括して読み出されて内部メモリに格納され、その後、ある演算状態にされたプロセッサエレメント群とスイッチ群とが読み出された全てのデータに対してデータ処理を行っている。

【0007】

しかしながら、リコンフィグ可能な集積回路装置は、動的にコンフィグレーションされた所定の数のプロセッサエレメントにより、異なるアプリケーションを実行する。そのため、各プロセッサエレメントには必要とするタイミングで必要な量のデータを外部メモリから読み出し、また書き込むことが求められる。ところが、従来技術では、データ転送はプロセッサエレメント間を接続するスイッチ群によるデータパスを利用して行われ、画一的なタイミングでしか外部メモリとのデータ転送ができない。

【0008】

また、外部メモリから読み出したデータや外部メモリに書き込むデータを格納する内部メモリが、複数のプロセッサエレメントに対して所定数設けられているが、ユーザにより構築される演算状態は千差万別であり、いかなる数の内部メモリが必要か、いかなる入出力特性の内部メモリが必要かなどは、予測困難である。したがって、リコンフィグ可能な集積回路装置では、内部メモリの構成と動作により柔軟性の高いものが求められる。

【0009】

そこで、本発明の目的は、柔軟性の高い内部メモリの構成と動作を可能にするリコンフィグ可能な集積回路装置を提供することにある。

【課題を解決するための手段】

【0010】

上記の目的を達成するために、本発明の第1の側面によれば、コンフィグレーションデータに基づいて任意の演算状態に動的に構築されるリコンフィグ可能な集積回路装置において、

それぞれ演算器を有する複数の演算プロセッサエレメントと、外部メモリとデータ転送を行うメモリを有するメモリプロセッサエレメントと、前記演算プロセッサエレメントとメモリプロセッサエレメントとを任意の状態に接続するプロセッサエレメント間スイッチ群とを有する複数のクラスタと、

前記クラスタ間のデータパスを任意の状態に構築するクラスタ間スイッチ群と、

前記メモリプロセッサエレメントと前記外部メモリとでデータ転送を行う外部メモリバ

10

20

30

40

50

ストを有し、

前記コンフィグレーションデータに基づいて前記演算プロセッサエレメントと、メモリプロセッサエレメントと、プロセッサエレメント間スイッチ群と、クラスタ間スイッチ群とが動的に変更可能であり、

さらに、前記複数のクラスタのメモリプロセッサエレメントからのアクセス要求にตอบสนองして、前記メモリプロセッサエレメントと外部メモリとの間でダイレクトメモリアクセスによるデータ転送を実行させるダイレクトメモリアクセス制御部を有することを特徴とする。

【0011】

上記の第1の側面によれば、クラスタ内に設けられるメモリプロセッサエレメントが、クラスタ間のスイッチ群とは異なる外部メモリバスを介して外部メモリとダイレクトメモリアクセスによりデータ転送をすることができ、リコンフィグされる演算状態に適したタイミングで外部メモリ内のデータに対してリコンフィグされた演算を実行することができる。

10

【0012】

上記第1の側面において、好ましい態様によれば、前記クラスタは、さらに、前記コンフィグレーションデータを格納するコンフィグレーションデータメモリと、前記演算プロセッサエレメント及びメモリプロセッサエレメントからの終了信号にตอบสนองして前記コンフィグレーションデータメモリから次の演算状態を構築するコンフィグレーションデータを出力させるシーケンサとを有する。

20

【0013】

上記第1の側面において、別の好ましい態様によれば、さらに、複数のメモリプロセッサエレメントに共通に設けられ、当該複数のメモリプロセッサエレメントからのダイレクトメモリアクセス要求を受け付け、前記ダイレクトメモリアクセス制御部に前記複数のメモリプロセッサエレメントに対して同期したダイレクトメモリアクセス要求を指令するデータフロー制御部を有する。かかるデータフロー制御部により、複数のメモリプロセッサエレメントからのアクセス要求を同期して実行することができる。

【0014】

上記第1の側面において、別の好ましい態様によれば、前記メモリプロセッサエレメントは、前記プロセッサエレメント間スイッチ群に接続される内部バスとの内部側インターフェースと、前記外部メモリバスとの外部側インターフェースとを有し、前記外部側インターフェースを介して前記外部メモリにダイレクトメモリアクセスしながら、前記内部側インターフェースを介して前記演算プロセッサエレメントからアクセスされることを特徴とする。この態様によれば、外部メモリと演算プロセッサエレメントとの間でシームレスなデータ転送を行うことができる。

30

【0015】

上記第1の側面において、さらに別の好ましい態様によれば、前記メモリプロセッサエレメントは、前記外部メモリとのダイレクトメモリアクセスによるデータ転送を行いながら、前記演算プロセッサエレメントとのデータ転送を受け付け、前記ダイレクトメモリアクセスによるデータ転送が前記演算プロセッサエレメントとのデータ転送に追従できなくなるとときに、前記複数の演算プロセッサエレメントの動作を停止するストール信号をアサートし、追従できるときに前記ストール信号をネゲートすることを特徴とする。この態様によれば、外部メモリと演算プロセッサエレメントとの間でシームレスなデータ転送ができなくなると、演算プロセッサエレメントでの動作を停止させて、誤動作を回避することができる。

40

【0016】

上記の目的を達成するために、本発明の第2の側面によれば、コンフィグレーションデータに基づいて所定の演算状態に動的に構築されるリコンフィグ可能な集積回路装置において、

演算器を有する演算プロセッサエレメントと、外部メモリとデータ転送を行うメモリを

50

有するメモリプロセッサエレメントと、前記演算プロセッサエレメントとメモリプロセッサエレメントとを任意の状態に接続するプロセッサエレメント間スイッチ群とを有する複数のクラスタと、

前記クラスタ間のデータパスを任意の状態に構築するクラスタ間スイッチ群と、

前記メモリプロセッサエレメントと前記外部メモリとでデータ転送を行う外部メモリバスとを有し、

前記コンフィグレーションデータに基づいて前記演算プロセッサエレメントと、メモリプロセッサエレメントと、プロセッサエレメント間スイッチ群と、クラスタ間スイッチ群とが動的に変更可能であり、

さらに、前記複数のクラスタのメモリプロセッサエレメントからのアクセス要求にตอบสนองして、前記メモリプロセッサエレメントと外部メモリとの間でダイレクトメモリアクセスによるデータ転送を実行させるダイレクトメモリアクセス制御部を有し、

前記メモリプロセッサエレメントは、第1及び第2のメモリバンクを有し、当該第1または第2のメモリバンクの一方が前記外部メモリとの間でダイレクトメモリアクセスによるデータ転送中に、前記第1または第2のメモリバンクの他方が前記演算プロセッサエレメントとデータ転送を行うことを特徴とする。

【0017】

上記第2の側面によれば、クラスタ間スイッチ群とは別の外部メモリバスを介して、外部メモリと演算プロセッサエレメントとの間でシームレスなデータ転送を任意のタイミングで行うことができる。

【発明の効果】

【0018】

上記の発明によれば、各クラスタ内に設けられたメモリプロセッサエレメントが、クラスタ間のデータパスとは別に外部メモリへのダイレクトメモリアクセスによるデータ転送を可能にするので、リコンフィグ可能な集積回路装置におけるメモリプロセッサエレメントへのデータ転送の柔軟性を高くし、データ転送の効率化を図ることができる。

【発明を実施するための最良の形態】

【0019】

以下、図面にしたがって本発明の実施の形態について説明する。但し、本発明の技術的範囲はこれらの実施の形態に限定されず、特許請求の範囲に記載された事項とその均等物まで及ぶものである。

【0020】

図1は、本実施の形態におけるリコンフィグ可能な集積回路装置の一部を構成するクラスタの構成図である。クラスタ10は、状態管理を行うシーケンサSEQと、コンフィグレーションデータCDを格納するコンフィグレーションデータメモリ14と、コンフィグレーションデータCDにより任意の回路構成に構築(コンフィグレーション)されるプロセッサエレメントネットワーク部16とを有する。コンフィグレーションデータメモリ14には、図示しないコンフィグレーションデータロード部からコンフィグレーションデータCDがロードされる。

【0021】

プロセッサエレメントネットワーク部16は、複数のプロセッサエレメント(以下しばしばPEと称する)PE0~PE5と、PE間を接続するセレクタなどのスイッチ群からなるPE間スイッチ群20と、他のクラスタとのデータ転送するためのインターフェースとして、入力ポート部22と出力ポート部24とを有する。これらの入力・出力ポート部22, 24は、クラスタ間スイッチ群30に接続されている。図1の例によれば、プロセッサエレメントPE0~PE3は全て演算PEであり、ALU, 加算器, 比較器などを内部に有する。また、プロセッサエレメントPE4は遅延回路やカウンタなどの他のPEであり、プロセッサエレメントPE5はRAMを内蔵するメモリPEである。

【0022】

これらのプロセッサエレメントPE0~PE5には、コンフィグレーションデータメモ

10

20

30

40

50

リ 1 4 からコンフィグレーションデータ C D 0 ~ C D 5 が供給され、それら P E 内の図示しないレジスタにコンフィグレーションデータが格納される。そして、このレジスタに設定されたコンフィグレーションデータ C D 0 ~ C D 5 に基づいて、各 P E 内の回路構成が動的に構築される。同様に、P E 間スイッチ群 2 0 にもコンフィグレーションデータメモリ 1 4 からコンフィグレーションデータ C D s が供給され、そのデータに基づいて内蔵するスイッチ群の構成が構築されて P E 間のデータパスが動的に構築される。クラスタ間スイッチ群 3 0 も同様にコンフィグレーションデータ C D c に基づいて動的に構築され、クラスタ間のデータパスが構築される。

【 0 0 2 3 】

クラスタ内のメモリプロセッサエレメント P E 5 は、P E 間スイッチ群 2 0 を介して各 P E 0 ~ P E 4 とデータ転送可能にされる。そのために、メモリプロセッサエレメント P E 5 は内部バス I - B U S に接続される。一方、メモリプロセッサエレメント P E 5 は、外部メモリ E - M E M と外部バス E - B U S 1 , E - B U S 2 を介して直接データ転送可能にされ、かかるメモリアクセスは、ダイレクトメモリアクセス制御部 D M A C による制御により、クラスタ間スイッチ群 3 0 とは別のバス経路で直接行われる。したがって、メモリプロセッサエレメント P E 5 は、外部メモリ E - M E M との間で、直接データ転送を行うことができ、クラスタ間のデータパスの動作と独立したタイミングでデータ転送を行うことができる。

【 0 0 2 4 】

また、各プロセッサエレメント P E 0 ~ P E 5 からは終了信号 C S 0 ~ C S 5 が出力され、この終了信号に基づいて切替信号生成部 1 2 が適宜切替信号 S W 1 を出力する。この切替信号 S W 1 に応答して、シーケンサ S E Q がコンフィグレーションデータメモリ 1 4 に新たなアドレスと切替信号 S W 2 を出力し、それに応答して、新たなコンフィグレーションデータが出力され、P E ネットワーク部 1 6 内の回路構成が新たに構築される。

【 0 0 2 5 】

図 2 は、本実施の形態における P E ネットワーク部の構成例を示す図である。演算プロセッサエレメント P E 0 ~ P E 3 と、メモリプロセッサエレメント P E 5 と、それ以外のプロセッサエレメント P E 4 とは、P E 間スイッチ群 2 0 内のスイッチであるセクタ 4 1 を介して接続可能に構成されている。各プロセッサエレメント P E 0 ~ P E 5 は、コンフィグレーションデータ C D 0 ~ C D 5 に基づいて任意の構成に構築可能であり、また、P E 間スイッチ群 2 0 内のセクタ 4 1 (4 1 a , 4 1 b , 4 1 c) も、コンフィグレーションデータ C D s に基づいて任意の構成に構築可能である。

【 0 0 2 6 】

セクタ 4 1 は、図中左下に一例として示されるとおり、コンフィグレーションデータ C D を格納するレジスタ 4 2 と、レジスタ 4 2 のデータに応じて入力を選択するセクタ回路 4 3 と、セクタ回路 4 3 の出力をクロック C K に同期してラッチするフリップフロップ 4 4 とで構成される。

【 0 0 2 7 】

図 3 , 図 4 は、本実施の形態における P E ネットワーク部のコンフィグレーションデータにより構築された回路構成例を示す図である。これらの図には、演算回路を動的に構築可能な演算プロセッサエレメント P E 0 ~ P E 3 , P E 6 が、P E 間スイッチ群 2 0 により接続されて、所定の演算を高速に行う専用演算回路に構築される。なお、プロセッサエレメント P E 6 は、図 1 , 2 には示していない。

【 0 0 2 8 】

図 3 の例は、入力データ a , b , c , d , e , f に対して、以下の演算式を実行する専用演算回路に構築された例である。

$$(a + b) + (c - d) + (e + f)$$

このコンフィグレーションの例によれば、プロセッサエレメント P E 0 は、 $A = a + b$ の演算回路に構築され、プロセッサエレメント P E 1 は、 $B = c - d$ の演算回路に構築され、プロセッサエレメント P E 2 は $C = e + f$ の演算回路に構築され、プロセッサエレメン

10

20

30

40

50

ト P E 3 は $D = A + B$ の演算回路に構築され、プロセッサエレメント P E 6 は $E = D + C$ の演算回路に構築される。各データ $a \sim f$ は、図示しないメモリプロセッサエレメントや外部のクラスタから供給され、プロセッサエレメント P E 6 の出力が演算結果 E としてメモリプロセッサエレメントや外部のクラスタに出力される。

【 0 0 2 9 】

プロセッサエレメント P E 0 , P E 1 , P E 2 が平行して演算処理し、その演算結果に対してプロセッサエレメント P E 3 が $D = A + B$ の演算処理し、最後にプロセッサエレメント P E 6 が $E = D + C$ の演算処理を行う。このように、専用の演算回路を構築することで、並列演算を可能にし、演算処理の効率を高めることができる。

【 0 0 3 0 】

各演算プロセッサエレメントは、内部に A L U , 加算器 , 乗算器 , 比較器などを内蔵し、コンフィグレーションデータ D C に基づいて任意の演算回路に再構築可能である。そして、図 3 のように構築することで、上記の演算を専用に行う専用演算回路を構築することができる。かかる専用演算回路を構築することで、複数の演算を並行して実行することができ、演算効率を高めることができる。

【 0 0 3 1 】

図 4 の例は、入力データ $a \sim d$ に対して、 $(a + b) * (c + d)$ の演算を実行する専用演算回路に構築された例である。プロセッサエレメント P E 0 が $A = a + b$ の演算回路に構築され、プロセッサエレメント P E 1 が $B = c - d$ の演算回路に構築され、プロセッサエレメント P E 3 が $C = A * B$ の演算回路に構築され、演算結果 C がメモリプロセッサエレメントまたは外部のクラスタに出力される。この場合も、プロセッサエレメント P E 0 , P E 1 が並列に演算処理し、その演算結果 A , B に対してプロセッサエレメント P E 3 が $C = A * B$ の演算処理を行う。よって、専用演算回路に構築することで、上記の演算効率を高めることができ、大量のデータに対する演算効率を高めることができる。

【 0 0 3 2 】

図 5 は、本実施の形態におけるリコンフィグ可能な集積回路装置の構成図である。図 5 には、複数のクラスタ C L S 0 ~ C L S 3 が設けられ、それらクラスタ間の接続を行うクラスタ間スイッチ群 3 0 がクラスタ間の領域に配置されている。このクラスタ間スイッチ群 3 0 をコンフィグレーションデータ C D により構築することで、複数のクラスタを組み合わせた任意の演算回路を動的に構築することができる。

【 0 0 3 3 】

図 5 の例では、各クラスタ C L S 0 ~ C L S 3 内にメモリプロセッサエレメント P E - R A M が設けられている。クラスタ内には複数のメモリプロセッサエレメントが設けられる場合もあり、メモリプロセッサエレメントが設けられない場合もある。これらのメモリ P E は、外部バス E - B U S 1 を介してダイレクトメモリアクセス制御部 D M A C に接続され、このアクセス制御部 D M A C を介して外部メモリ E - M E M とダイレクトメモリアクセスによるデータ転送を行う。この外部メモリ E - M E M は、高速メモリの一例として例えば D D R - S D R A M (Double Data Rate Synchronous DRAM) が使用されている。さらに、複数のメモリプロセッサエレメント P E - R A M に対して、共通のデータフロー制御部 4 0 が設けられている。各メモリプロセッサエレメントは、アクセス要求 D R 0 ~ D R 3 を発行し、このアクセス要求に応答してデータフロー制御部 4 0 が制御部 D M A C にアクセスコマンドを与えて、アクセス要求を出したメモリプロセッサエレメントとの D M A によるデータ転送を実行させる。

【 0 0 3 4 】

データフロー制御部 4 0 は、複数のメモリプロセッサエレメントからのアクセス要求を受け付け、それら複数のメモリプロセッサエレメントと外部メモリとの D M A データ転送を同期して実行させることができる。つまり、アクセス制御部 D M A C は、データフロー制御部 4 0 からのアクセスコマンド A C M D に基づいて、複数のメモリプロセッサエレメントとの D M A データ転送を、ラウンドロビン形式で順次同期して実行する。

【 0 0 3 5 】

10

20

30

40

50

このように、クラスタ内のメモリプロセッサエレメントは、クラスタ内の演算プロセッサエレメントにより構築された演算回路が処理するデータを外部メモリ E - MEM から DMA 転送し、演算処理されたデータを外部メモリ E - MEM に DMA 転送する。また、この DMA 転送は、クラスタ間を接続するクラスタ間スイッチ群 30 とは別の外部バス E - BUS 1, E - BUS 2 を介して直接行われる。よって、リコンフィグ可能な集積回路装置の場合、クラスタ間スイッチ群 30 が動的にその接続構造を変更されても、各メモリプロセッサエレメントと外部メモリとの間には、クラスタ間スイッチ群 30 とは別の経路で、且つ各メモリプロセッサエレメントの必要とするタイミングでデータ転送をすることができ、動的に構築されるクラスタ及び複数クラスタに最適なデータ転送を実現することができる。

10

【 0 0 3 6 】

図 6 は、本実施の形態におけるメモリプロセッサエレメントの一例を示す構成図である。メモリプロセッサエレメントは、外部メモリとクラスタ内の演算プロセッサエレメントとの間でシームレスなデータ転送を可能にするために、第 1 のメモリバンク BNK 0 と第 2 のメモリバンク BNK 1 とを有し、それらと PE 間スイッチ群 20 との間に内部側インターフェース 50 と、外部バス E - BUS 1 との間に外部側インターフェース 52 とを有する。各メモリバンク BNK 0, BNK 1 は、それぞれ 4 つの 16 ビット幅の RAM を有する。そして、内部側インターフェース 50 は PE 間スイッチ群 20 に接続される内部バス I - BUS に接続され、コンフィグレーションデータ CD に基づいて動的に異なる入出力バスインターフェース構造に構築される。また、外部側インターフェース 52 は外部バス E - BUS 1 に接続され、これもコンフィグレーションデータ CD に基づいて動的に異なる入出力バスインターフェース構造に構築される。構築される入出力バスインターフェース構造については、後に詳述する。

20

【 0 0 3 7 】

第 1 及び第 2 のメモリバンク BNK 0, BNK 1 は、一方のメモリバンクが内部の演算プロセッサエレメント PE / ALU とデータ転送しながら、他方のメモリバンクが外部メモリ E - MEM とデータ転送を行い、かつ両メモリバンクは交互にデータ転送を行うことができる。そのために、両メモリバンク BNK 0, BNK 1 と内部側及び外部側インターフェース 50, 52 との間には、セレクト SEL が設けられ、これらのセレクト SEL がコンフィグレーションデータ CD に基づいて設定される。これにより、前記第 1 及び第 2 のメモリバンクを内部側及び外部側インターフェースに交互に接続させることができる。なお、インターフェース 50, 52 と各メモリバンク BNK 0, BNK 1 との間の信号線は、16 ビットデータ線、アドレス線、その他必要な制御線を全て含むものとする。

30

【 0 0 3 8 】

メモリプロセッサエレメント内には、メモリバンクの切替制御や DMA リクエストの制御などを行うメモリ制御部 54 と、内部の演算プロセッサエレメント PE / ALU への演算実行制御などを行う演算制御部 56 とを有する。メモリ制御部 54 は、メモリバンクの状態を監視し、外部メモリと内部の演算プロセッサエレメントとのシームレスなデータ転送を行うことができるように、メモリバンクの切替制御、DMA リクエスト、演算プロセッサエレメントを動作停止するためのストール信号 STR のアサートとネゲートを行う。このストール信号 STR に応答して、演算制御部 56 は、演算プロセッサエレメントの動作の開始や停止を制御する。

40

【 0 0 3 9 】

図 7, 図 8 は、本実施の形態におけるメモリプロセッサエレメント内の 2 つのメモリバンクの切替動作を説明する図である。図中メモリプロセッサエレメント PE / RAM 内には、2 つのメモリバンク BNK 0, BNK 1 と、メモリ制御部 54 (図 6 参照) がメモリバンクの切替制御に使用するアクセス終了レジスタ END - REG とが示されている。このアクセス終了レジスタ END - REG は 2 つ設けられ、それぞれ第 1 及び第 2 のメモリバンクのアクセスの状態を示すフラグが格納され、例えばアクセスが終了して終了信号を受信した時に終了状態「0」にされ、アクセス可能状態(レディー)になった時にレディ

50

ー状態「1」にされる。そして、この2つのレジスタ値を監視することで、メモリ制御部54(図4)は2つのメモリバンクBNK0, BNK1の切替制御を行う。

【0040】

以下、図6, 7, 8を参照して起動時の初期起動以降の動作を説明する。起動時はリセット解除後にシーケンサSEQが初期起動に対応するアドレスを出力し、コンフィグレーションデータメモリ14(図6)から初期起動用のコンフィグレーションデータが出力され、クラスタ内のプロセッサエレメントPEとPE間スイッチ群20が初期回路構成に構築される。この初期起動により、図7(A)に示されるように、アクセス終了レジスタEND-REGには初期値が設定される。この例では、第1のメモリバンクBNK0のレジスタがレディー状態(フラグ「0」)、第2のバンクメモリBNK1のレジスタがアクセス終了状態(フラグ「1」)になっている。さらに、この初期起動により、第1のメモリバンクBNK0が外部側インターフェース52側に接続され、第2のメモリバンクBNK1が内部側インターフェース50に接続されるように、セクタSELの構成が構築される。

10

【0041】

この初期起動の後、メモリ制御部54は、アクセス終了レジスタを参照して、外部メモリに対するアクセス要求DMARを出力する。前述のとおり、アクセス要求DMARは、データフロー制御部40(図5)を経由して、ダイレクトメモリアクセス制御部DMACに与えられ、外部メモリE-MEMと第1のメモリバンクBNK0との間で直接データ転送が開始される。具体的には、外部メモリE-MEMから読み出されたデータが外部バスを経由して直接第1のメモリバンクBNK0に転送され書き込まれる。初期起動時のアクセス要求DMARは、前述したとおり複数のメモリプロセッサエレメントから出力されるので、複数のダイレクトメモリアクセスによるデータ転送が同期して実行される。

20

【0042】

次に、図7(B)に示されるように、外部メモリE-MEMから第1のメモリバンクBNK0へのデータ転送が終了すると、DMA制御部DMACからアクセス終了信号END1が出され、それに応答してアクセス終了レジスタEND-REGの第1のメモリバンクに対応するビットがアクセス終了状態(フラグ「1」)になる。このように両レジスタがいずれもアクセス終了状態(フラグ「1」)になったとき、メモリ制御部54は状態終了信号CSを発行し、シーケンサSEQから次のアドレスAddを出力させ、コンフィグレーションデータメモリ14から新たなコンフィグレーションデータCDを出力させ、それにより、第1及び第2のメモリバンクBNK0, BNK1を切り替える。つまり、第1のメモリバンクBNK0は外部側インターフェース52に接続され、第2のメモリバンクBNK1は内部側インターフェース50に接続される。

30

【0043】

次に、図7(C)に示されるように、メモリ制御部54は、2つのメモリバンクを切り替えると、アクセス終了レジスタEND-REGをクリアし、共にレディー状態(フラグ「0」)にする。このレディー状態に応答して、メモリ制御部54は、外部メモリへのアクセス要求DMARを出力し、それに基づき、DMA制御部DMACは外部メモリE-MEMと第2のメモリバンクBNK1との間のデータ転送を制御する。この場合のアクセス制御DMARは、初期起動時と異なりアクセスが必要となったメモリプロセッサエレメントのタイミングで発行され、オンデマンドでデータ転送が実行される。メモリ制御部54は、同時に、内部の演算プロセッサエレメントが実行可能状態であることを示す信号ALU-ENを出力し、それに応答して、演算制御部56は、内部の演算プロセッサエレメントPE/ALUに演算開始信号ALU-STを出力し、演算プロセッサエレメントの演算処理を開始させる。これにより、内部の演算プロセッサエレメントPE/ALUは、第1のメモリバンクBNK0にアクセスして、データを読み出し、読み出したデータに対して演算処理を実行する。

40

【0044】

次に、図8(A)に示されるように、第2のメモリバンクBNK1と外部メモリE-M

50

EMとのデータ転送が終了すると、アクセス終了信号END 1にตอบสนองして、アクセス終了レジスタEND - REGがアクセス終了状態(フラグ「1」)にされる。通常、外部メモリとのダイレクトメモリアクセスはデータバス幅が広く高速データ転送であり、内部の演算プロセッサエレメントとのデータ転送よりも先に終了する。

【0045】

そして、図8(B)に示されるように、やがて、内部の演算プロセッサエレメントPE / ALUからのアクセスも終了し、アクセス終了信号END 2によりアクセス終了レジスタEND - REGの残りのフラグもアクセス終了状態(フラグ「1」)にされる。これにตอบสนองして、メモリ制御部54は、状態終了信号CSを出力し、コンフィグレーションデータメモリ14から出力されるコンフィグレーションデータCDにより、第1及び第2のメモリバンクBNK 0、BNK 1の内部側と外部側のインターフェースとの接続を置き換える。

10

【0046】

そして、図8(C)に示されるように、メモリ制御部54が再度ダイレクトメモリアクセス要求DMARを出力して、第1のメモリバンクBNK 0と外部メモリE - MEMとのデータ転送を開始させ、さらに、演算制御部56が演算開始信号ALU - STを出力して、内部の演算プロセッサエレメントPE / ALUから第2のメモリバンクBNK 1へのアクセスを開始させる。

【0047】

以上のように、メモリ制御部54は、第1及び第2のメモリバンクを交互に切り替えて、外部メモリE - MEMから内部の演算プロセッサエレメントへのシームレスなデータ転送を可能にする。特に、外部メモリとのダイレクトメモリアクセスは内部の演算プロセッサエレメントによるアクセスよりも高速であるので、演算プロセッサエレメントは、シームレスでデータを読み出して演算処理することができる。

20

【0048】

図9は、本実施の形態におけるメモリプロセッサエレメント内の2つのメモリバンクの切替動作を説明する図である。ここでは、シームレスなデータ転送に支障が生じた時の制御について説明する。外部メモリとの直接データ転送は高速に行われるので、通常は、一方のメモリバンクが内部の演算PEとデータ転送を完了する前に、他方のメモリバンクの外部メモリとのデータ転送を終了する。そして、内部演算PEとのデータ転送の完了を待って、メモリバンクの切替制御が行われ、それにより外部メモリと内部の演算PEとの間のシームレスなデータ転送を可能にする。ところが、何らかの理由により内部の演算PEとのデータ転送が先に完了する場合がある。

30

【0049】

図9(A)に示されるように、第1のメモリバンクBNK 0から内部の演算PEへのデータ転送が先に完了すると、終了信号END 2によりアクセス終了レジスタEND - REGがアクセス終了状態(フラグ「1」)にされる。これにตอบสนองして、メモリ制御部54は、演算制御部56にストール信号STRをアサートし、それにより演算PEアレイはそのパイプライン処理を一旦停止する。つまり、メモリPE内からデータを読み出すことができなくなると、演算PEアレイのパイプライン処理を行うことができず、演算処理に支障をきたすからである。

40

【0050】

そして、図9(B)に示されるように、第2のメモリバンクBNK 1のデータ転送が完了すると、終了信号END 1によりアクセス終了レジスタEND - REGがアクセス終了状態にされる。その結果、メモリ制御部54は、状態終了信号CSを出力し、コンフィグレーションデータCDによりメモリバンクを切り替える。その後、図9(C)に示されるように、メモリ制御部54は、アクセス要求DMARを出力して、第1のメモリバンクBNK 0に外部メモリとのデータ転送を開始させ、ストール信号をネゲートして、内部の演算PEアレイを動作再開させ、その結果、第2のメモリバンクBNK 1は内部の演算PEとのデータ転送を開始する。

50

【 0 0 5 1 】

このように、専用の演算回路が構築されてデータの演算処理がパイプライン処理されているので、メモリ制御部 5 4 は、2つのメモリバンクのアクセス状態を監視して、データのシームレスな転送が不可能になると、内部の演算 P E に対してパイプライン処理を停止するストール信号をアサートする。これにより、パイプライン処理に支障が生じるのを未然に防ぐことができる。そして、シームレスな転送が可能になると、メモリ制御部 5 4 はストール信号をネゲートし、パイプライン処理を再開させる。

【 0 0 5 2 】

図 1 0、図 1 1 は、本実施の形態におけるメモリプロセッサエレメント内の2つのメモリバンクの切替動作を説明する図である。ここでは、内部の演算 P E から外部メモリ E - M E M へのデータ転送をメモリ P E を経由して行う例である。

10

【 0 0 5 3 】

図 1 0 (A) では、演算 P E が第 1 のメモリバンク B N K 0 にデータを書き込んでいる。図 1 0 (B) でそのデータ書き込みが完了すると終了信号 E N D 2 により、アクセス終了レジスタ E N D - R E G が共にアクセス終了状態 (フラグ「 1 」) になる。これにตอบสนองして、メモリ制御部 5 4 は、状態終了信号 C S を出力し、コンフィグレーションデータ C D に基づき2つのメモリバンクの切替を行わせる。そして、図 1 0 (C) のように、アクセス要求 D M A C により第 1 のメモリバンク B N K 0 に外部メモリと直接データ転送を開始させ、演算 P E への演算スタート信号 A L U - S T により演算 P E から第 2 のメモリバンク B N K 1 へのデータ書き込みを開始させる。

20

【 0 0 5 4 】

次に、図 1 1 (A) のように、第 1 のメモリバンク B N K 0 のデータ転送が先に完了し、図 1 1 (B) のように演算 P E からのデータ書き込みが終了する。そこで、メモリ制御部 5 4 が2つのメモリバンクを切り替えて、図 1 1 (C) のように切り替えられたメモリバンクのデータ転送がそれぞれ開始する。

【 0 0 5 5 】

以上のとおり、演算 P E から外部メモリへのデータ転送もメモリ P E を介してシームレスに行われる。さらに、途中でシームレスなデータ転送が不可能になると、ストール信号がネゲートされて、演算 P E アレイがパイプライン処理を停止し、データ転送可能になるとパイプライン処理を再開する。

30

【 0 0 5 6 】

図 1 2 は、本実施の形態におけるメモリプロセッサエレメントにおける制御部の構成図である。また、図 1 3 は、その制御部の状態遷移図である。図 1 2 の例では、同じクラスタ内にメモリユニット 6 0 に複数のメモリプロセッサエレメント R A M - P E 0 ~ P E n を有し、それぞれに対応して演算プロセッサエレメントのアレイ P E / A L U - A R R A Y が構築されている。各メモリ P E 内に、メモリ制御部 5 4 としてバンク切替制御部 5 4 1 と、D M A 転送実行判定部 5 4 2 とを有し、演算制御部 5 6 として A L U 演算実行判定部 5 6 1 を有する。また、複数のメモリ P E に共通に、演算制御部 5 6 として A L U 演算制御部 5 6 2 を有し、また、メモリ制御部 5 4 として D M A 転送制御部 5 4 3 を有する。メモリ P E 内の第 1 及び第 2 のメモリバンク B N K 0、B N K 1 は、外部バスを介してアクセス制御部 D M A C と、クラスタ内部の P E 間スイッチ群 P E - S W を介して演算プロセッサエレメントアレイ P E / A L U - A R R A Y と、それぞれ交互にデータ転送可能に構成されている。

40

【 0 0 5 7 】

図 1 3 の状態遷移図を参照しながら制御の流れを説明する。前述したとおり、まず、メモリプロセッサエレメント R A M - P E が起動し、コンフィグレーションデータ C D に基づき所望の回路構成に構築される (C 1 0)。この起動により、アクセス終了レジスタ E N D - R E G が初期値のフラグに設定され、そのフラグ状態によりメモリバンクが初期状態になる (C 1 2)。

【 0 0 5 8 】

50

また、メモリプロセッサエレメントRAM - PEの起動後の動作中、アクセス終了レジスタEND - REGの状態（両フラグ「1」）により、バンク切替制御部541がメモリバンクの切替制御を行い（C12）、それによりメモリバンクが切り替えられる（C14）。さらに、メモリバンクを切り替える時に、それに伴って演算PEの回路構成が切り替えられる場合もある（C12, C14）。

【0059】

メモリバンクの切り替えが行われると、DMA転送実行判定部542が、外部メモリに対してデータ転送が可能か否かを判定し、データ転送実行可能であれば、メモリPE外に設けられているDMA転送制御部543にDMA転送可能信号DMA - ENを出力する（C16）。このデータ転送実行可能か否かは、メモリバンクの状態を示すアクセス終了レジスタの状態によって行われる。そして、対応するDMA転送制御部543が、データフロー制御部（図示せず）を介して、アクセス制御部DMACにアクセスリクエストを出力し（C18）、データ転送が行われる（C20）。そして、外部メモリとのデータ転送が終了すると、DMA転送制御部543がデータ転送終了信号END1を受信し、同終了信号END10がバンク切り替え制御部541に与えられる。その後、アクセス終了レジスタの状態に応じて前述のバンク切替制御が行われる（C12）。

10

【0060】

一方、メモリバンクの切り替えが行われると、ALU演算実行判定部561が、メモリバンクの状態をアクセス終了レジスタに基づいて監視し、演算PEからアクセス可能か否か、つまり演算PEが演算処理を実行可能か否かを判定する（C22）。実行可能であると、ALU演算実行判定部561は、演算実行可能信号ALU - ENを出力する。

20

【0061】

全てのメモリプロセッサエレメントRAM - PE0 ~ nから演算実行可能信号ALU - ENを受信して初めて、ALU演算制御部562は、クラスタ内の演算PEアレイ全てに演算開始信号ALU - STを出力し（C24）、全ての演算PEアレイに同期して演算処理させる（C26）。つまり、クラスタ内の複数の演算PEアレイは、複数のメモリPEとデータ転送しながら演算処理を同期して行うパイプライン処理を行う必要があるため、ALU演算制御部562が複数のメモリPEに共通に1個設けられ、全てのメモリPEから演算実行可能信号ALU - ENを受信して初めて、共通のALU演算制御部562が複数の演算PEアレイに演算開始信号ALU - STを出力する。ALU演算実行判定部561は、メモリバンクの状態を監視し、データ転送がシームレスに行い得なくなると、ストール信号STRをアサートし演算PEアレイのパイプライン処理を停止させる。このストール信号STRについては、前述したとおりである。

30

【0062】

演算処理が完了すると、演算PE側のメモリバンクへのアクセスが終了するので、演算PEから終了信号END2を受信し、ALU演算実行判定部561は、演算実行可能信号ALU - ENをネゲートする。この終了信号END2によりアクセス終了レジスタEND - REGのフラグ状態が変更され、それに伴って、メモリバンクの切り替えまたは演算PEの構成変更が制御、実行される（C12, C14）。

【0063】

図13中、破線内の状態遷移はメモリPEの状態遷移を示し、その左側はDMA転送制御部543とダイレクトメモリアクセス制御部DMACの状態を示し、その右側はALU演算制御部562と演算PEアレイの状態を示す。

40

【0064】

図12、図13では、DMA転送実行判定部542が出力するDMA転送可能信号DMA - ENに基づいて、DMA転送制御部543はDMAリクエストを出力しているが、DMA転送制御部543が、ダイレクトメモリアクセス制御部DMACで受付済みのチャネルの状態をチェックし、DMA転送を実行しても良いか否か、つまりDMA転送の実行タイミングとして適切であるか否かを判定し、適切である場合にDMAリクエストを出力するようにしても良い。このようにすることで、ダイレクトメモリアクセス制御部DMAC

50

のチャンネル数が所定数を超過していてDMAリクエストを出すに適切なタイミングでない場合は、DMAリクエストをチャンネル数が所定数以下になるまで出さずに、それによりDMA転送タイミングを遅くするよう制御することができる。DMA転送可能信号DMA-ENは、あくまでもアクセス終了レジスタEND-REGの状態により生成されるので、上記のDMA転送タイミングを遅くする制御に意味がある。

【0065】

図13において、演算プロセッサエレメントアレイによる演算状態が終了すると(C26)、シーケンサにより新たなコンフィグレーションデータが出力され、演算PEのコンフィグレーションデータが変更される(C12)。このコンフィグレーションデータの切替は、必要に応じて行われる。

10

【0066】

図14は、アクセス終了レジスタのフラグ変更制御を説明する図である。図14(A)はメモリバンクBNK0/1が内部側(演算PEアレイ側)に接続されている時のフラグ変更制御を示す。メモリバンクBNKには、演算PEアレイ側からアクセスのためのアドレスAddを供給され、それに対応するアクセスが行われる。メモリ制御部54内の比較器70にも、このアクセスアドレスAddが供給される。そして、あらかじめコンフィグレーションデータによる回路構築時にアクセスすべき最終アドレスE-Addが比較器70に設定されている。比較器70は、アクセスアドレスに付随されるアドレスが有効か否かを示すアドレス有効信号Validが有効になるたびに、アクセスアドレスAddと最終アドレスE-Addとを比較し、一致すればアクセス終了レジスタEND-REGのフラグを終了状態「1」に変更する。

20

【0067】

または、別の制御方法としては、演算PEアレイからの終了信号END2に回答して、アクセス終了レジスタEND-REGのフラグを終了状態「1」に変更する場合もある。いずれの場合も、メモリバンクの内部側と外部側の切替が行われると、アクセス終了レジスタEND-REGのフラグはレディー状態「0」にされる。

【0068】

図14(B)は、メモリバンクBNK0/1が外部側(外部メモリE-MEM側)に接続されている時のフラグ変更制御を示す。この場合は、アクセス制御部DMACからアクセスアドレスAddを供給される。そして、メモリ制御部54は、アクセス制御部DMACからの終了信号END1に回答して、アクセス終了レジスタEND-REGのフラグを終了状態「1」に変更し、メモリバンクの内部側と外部側の切替が行われると、切替終了信号ENDSWに回答してアクセス終了レジスタEND-REGのフラグをレディー状態「0」にする。

30

【0069】

さらに、アクセス終了レジスタEND-REGは、リセットによっても終了状態を解除されてレディー状態にされる。

【0070】

図15、図16は、メモリPE内の外部側インターフェースについて説明する図である。外部側インターフェース52は外部バスE-BUS1に接続され、コンフィグレーションデータCDに基づいて異なる入出力バスインターフェース構造に動的に構築される。通常、ダイレクトメモリアクセスに使用される外部バスE-BUS1は広いバス幅を有する。たとえば、外部メモリE-MEMが32ビットDDR-SDRAMの場合、1クロックサイクルで2回のデータ出力が行われるので、外部バスE-BUS1のバス幅は64ビットになる。その場合、メモリバンクBNK内の4個の16ビットRAMに対して、64ビットのデータが平行に入出力するように、外部側インターフェース52の回路が構築される。

40

【0071】

図15(A)は、上記の外部バスE-BUS1のバス幅が64ビットの場合の外部側インターフェースを示している。上記の通り、64ビットのデータが平行に4個の16

50

ビットRAMに入出力される。

【0072】

図15(B)は、バス幅が32ビットの場合を示し、インターフェースは、それぞれ2個ずつの16ビットRAMからなる2組のRAMに対して、32ビットのデータが平行に入出力されるように構築される。そして、インターフェースは、各組の2個のRAMに対しては、16ビットのデータをシリアルに入出力する。

【0073】

図16は、バス幅が16ビットの場合を示し、インターフェースは、4個の16ビットRAMに対して、16ビットのデータをシリアルに入出力するように構築される。図16のインターフェース52の構成は、内部側インターフェースと同様の構成になる。つまり、内部側インターフェースは、演算PEアレイ側の内部バスが16ビットとバス幅が狭いことに対応して、図16で説明したような構成に構築される。よって、内部側インターフェース50は、16ビットのデータを4個の16ビットRAMに対してシリアルに入出力するよう構築される。

【0074】

このように、メモリPE内のインターフェース50、52がコンフィグレーションデータCDに基づいて接続されるバスの構成に適合するように構成される。

【0075】

以上説明したとおり、本実施の形態によれば、動的に回路構成を変更して構築可能な集積回路装置において、複数の演算PEとメモリPEを有するクラスタが複数組配置され、クラスタ間が動的に接続状態が変更されるスイッチ群で接続され、そのクラスタ間スイッチ群とは別に、クラスタ内のメモリPEが外部バスにより外部メモリと接続されている。そして、メモリPEが外部メモリとDMA転送可能にされる。また、メモリPEは、外部メモリと演算PE間でシームレスなデータ転送を可能にできるように、例えばダブルバッファ構成にされていて、データ転送に支障が生じた場合は、演算PEアレイのパイプライン動作が一時的に停止される。

【0076】

以上の実施の形態をまとめると、次の付記のとおりである。

【0077】

(付記1) コンフィグレーションデータに基づいて任意の演算状態に動的に構築されるリコンフィグ可能な集積回路装置において、

それぞれ演算器を有する複数の演算プロセッサエレメントと、外部メモリとデータ転送を行うメモリを有するメモリプロセッサエレメントと、前記演算プロセッサエレメントとメモリプロセッサエレメントとを任意の状態に接続するプロセッサエレメント間スイッチ群とを有する複数のクラスタと、

前記クラスタ間のデータバスを任意の状態に構築するクラスタ間スイッチ群と、

前記メモリプロセッサエレメントと前記外部メモリとでデータ転送を行う外部メモリバスとを有し、

前記コンフィグレーションデータに基づいて前記演算プロセッサエレメントと、メモリプロセッサエレメントと、プロセッサエレメント間スイッチ群と、クラスタ間スイッチ群とが動的に変更可能であり、

さらに、前記複数のクラスタのメモリプロセッサエレメントからのアクセス要求に回答して、前記メモリプロセッサエレメントと外部メモリとの間でダイレクトメモリアクセスによるデータ転送を実行させるダイレクトメモリアクセス制御部を有することを特徴とするリコンフィグ可能な集積回路装置。

【0078】

(付記2) 付記1において、

前記クラスタは、さらに、前記コンフィグレーションデータを格納するコンフィグレーションデータメモリと、前記演算プロセッサエレメント及びメモリプロセッサエレメントからの終了信号に回答して前記コンフィグレーションデータメモリから次の演算状態を構

10

20

30

40

50

築するコンフィグレーションデータを出力させるシーケンサとを有するリコンフィグ可能な集積回路装置。

【 0 0 7 9 】

(付記 3) 付記 1 において、

さらに、複数のメモリプロセッサエレメントに共通に設けられ、当該複数のメモリプロセッサエレメントからのダイレクトメモリアクセス要求を受け付け、前記ダイレクトメモリアクセス制御部に前記複数のメモリプロセッサエレメントに対して同期したダイレクトメモリアクセス要求を指令するデータフロー制御部を有するリコンフィグ可能な集積回路装置。

【 0 0 8 0 】

(付記 4) 付記 1 において、

さらに、複数のメモリプロセッサエレメントに共通に設けられ、当該複数のメモリプロセッサエレメントからのダイレクトメモリアクセス要求を受け付け、前記ダイレクトメモリアクセス制御部に前記複数のメモリプロセッサエレメントに対して同期したダイレクトメモリアクセス要求を指令するデータフロー制御部を有し、

前記データフロー制御部は、単一のメモリプロセッサエレメントからのダイレクトメモリアクセス要求を受け付けた時は、当該受付に应答して前記ダイレクトメモリアクセス制御部に当該ダイレクトメモリアクセス要求を指令するリコンフィグ可能な集積回路装置。

【 0 0 8 1 】

(付記 5) 付記 1 において、

前記メモリプロセッサエレメントは、前記プロセッサエレメント間スイッチ群に接続される内部バスとの内部側インターフェースと、前記外部メモリバスとの外部側インターフェースとを有し、前記外部側インターフェースを介して前記外部メモリにダイレクトメモリアクセスしながら、前記内部側インターフェースを介して前記演算プロセッサエレメントからアクセスされることを特徴とするリコンフィグ可能な集積回路装置。

【 0 0 8 2 】

(付記 6) 付記 5 において、

前記メモリプロセッサエレメントは、第 1 及び第 2 のメモリバンクを有し、前記コンフィグレーションデータに基づいて前記第 1 及び第 2 のメモリバンクが前記内部側及び外部側インターフェースに交互に接続されることを特徴とするリコンフィグ可能な集積回路装置。

【 0 0 8 3 】

(付記 7) 付記 6 において、

前記メモリプロセッサエレメントは、前記外部メモリと前記第 1 または第 2 のバンクとのデータ転送が完了した後に、前記演算プロセッサエレメントと前記第 1 または第 2 のメモリバンクとのデータ転送を許可し、前記外部メモリと前記第 1 及び第 2 のメモリバンクのいずれとのデータ転送も完了しない場合は、前記複数の演算プロセッサエレメントに動作停止を指示するストール信号をアサートし、前記外部メモリと前記第 1 または第 2 のメモリバンクのいずれとのデータ転送が完了すると前記ストール信号をネゲートすることを特徴とするリコンフィグ可能な集積回路装置。

【 0 0 8 4 】

(付記 8) 付記 1 において、

前記メモリプロセッサエレメントは、前記ダイレクトメモリアクセス制御部の動作状態を監視して、当該動作状態に基づいて前記アクセス要求を前記データフロー制御部に供給することを特徴とするリコンフィグ可能な集積回路装置。

【 0 0 8 5 】

(付記 9) 付記 8 において、

前記メモリプロセッサエレメントは、前記動作状態に基づいて前記アクセス要求のタイミングを可変制御することを特徴とするリコンフィグ可能な集積回路装置。

【 0 0 8 6 】

10

20

30

40

50

(付記10) 付記1において、

前記メモリプロセッサエレメントは、前記外部メモリとのダイレクトメモリアクセスによるデータ転送を行いながら、前記演算プロセッサエレメントとのデータ転送を受け、前記ダイレクトメモリアクセスによるデータ転送が前記演算プロセッサエレメントとのデータ転送に追従できなくなるときに、前記複数の演算プロセッサエレメントの動作を停止するストール信号をアサートし、追従できるときに前記ストール信号をネゲートすることを特徴とするリコンフィグ可能な集積回路装置。

【0087】

(付記11) 付記5において、

前記メモリプロセッサエレメントの外部インターフェースは、前記コンフィグレーションデータに基づいて複数のデータバス幅に対応したインターフェース状態に構築されることを特徴とするリコンフィグ可能な集積回路装置。

10

【0088】

(付記12) 付記1において、

前記メモリプロセッサエレメントは、第1及び第2のメモリバンクを有し、
前記メモリプロセッサエレメントは、起動時において、前記コンフィグレーションデータに基づいて、前記第1または第2のメモリバンクの一方を前記外部バス側にアクセス可能状態にし、前記アクセス要求を出力することを特徴とするリコンフィグ可能な集積回路装置。

【0089】

20

(付記13) 付記12において、

前記メモリプロセッサエレメントは、前記第1または第2のメモリバンクの一方が前記ダイレクトメモリアクセスによるデータ転送を完了したときに前記演算プロセッサエレメントへの演算実行可能信号をアサートして、前記演算プロセッサエレメントの演算実行を促すことを特徴とするリコンフィグ可能な集積回路装置。

【0090】

(付記14) 付記13において、

前記メモリプロセッサエレメントは、前記第1及び第2のメモリバンクが共にデータ転送可能でない状態になったとき、前記演算プロセッサエレメントの演算停止を要求するストール信号をアサートすることを特徴とするリコンフィグ可能な集積回路装置。

30

【0091】

(付記15) 付記13において、

前記クラスタは、複数のメモリプロセッサエレメントを有し、
さらに、前記複数のメモリプロセッサエレメントからの演算実行可能信号のアサートに
応答して、複数の演算プロセッサエレメントに、同期した演算実行を要求する演算実行制
御部を、前記複数のメモリプロセッサエレメントに共通して有することを特徴とするリ
コンフィグ可能な集積回路装置。

【0092】

(付記16) コンフィグレーションデータに基づいて所定の演算状態に動的に構築されるリコンフィグ可能な集積回路装置において、

40

演算器を有する演算プロセッサエレメントと、外部メモリとデータ転送を行うメモリを有するメモリプロセッサエレメントと、前記演算プロセッサエレメントとメモリプロセッサエレメントとを任意の状態に接続するプロセッサエレメント間スイッチ群とを有する複数のクラスタと、

前記クラスタ間のデータバスを任意の状態に構築するクラスタ間スイッチ群と、

前記メモリプロセッサエレメントと前記外部メモリとでデータ転送を行う外部メモリバスとを有し、

前記コンフィグレーションデータに基づいて前記演算プロセッサエレメントと、メモリプロセッサエレメントと、プロセッサエレメント間スイッチ群と、クラスタ間スイッチ群とが動的に変更可能であり、

50

さらに、前記複数のクラスタのメモリプロセッサエレメントからのアクセス要求に応答して、前記メモリプロセッサエレメントと外部メモリとの間でダイレクトメモリアクセスによるデータ転送を実行させるダイレクトメモリアクセス制御部を有し、

前記メモリプロセッサエレメントは、第1及び第2のメモリバンクを有し、当該第1または第2のメモリバンクの一方が前記外部メモリとの間でダイレクトメモリアクセスによるデータ転送中に、前記第1または第2のメモリバンクの他方が前記演算プロセッサエレメントとデータ転送を行うことを特徴とするリコンフィグ可能な集積回路装置。

【図面の簡単な説明】

【0093】

【図1】本実施の形態におけるリコンフィグ可能な集積回路装置の一部を構成するクラスタの構成図である。 10

【図2】本実施の形態におけるPEネットワーク部の構成例を示す図である。

【図3】本実施の形態におけるPEネットワーク部のコンフィグレーションデータにより構築された回路構成例を示す図である。

【図4】本実施の形態におけるPEネットワーク部のコンフィグレーションデータにより構築された回路構成例を示す図である。

【図5】本実施の形態におけるリコンフィグ可能な集積回路装置の構成図である。

【図6】本実施の形態におけるメモリプロセッサエレメントの一例を示す構成図である。

【図7】本実施の形態におけるメモリプロセッサエレメント内の2つのメモリバンクの切替動作を説明する図である。 20

【図8】本実施の形態におけるメモリプロセッサエレメント内の2つのメモリバンクの切替動作を説明する図である。

【図9】本実施の形態におけるメモリプロセッサエレメント内の2つのメモリバンクの切替動作を説明する図である。

【図10】本実施の形態におけるメモリプロセッサエレメント内の2つのメモリバンクの切替動作を説明する図である。

【図11】本実施の形態におけるメモリプロセッサエレメント内の2つのメモリバンクの切替動作を説明する図である。

【図12】本実施の形態におけるメモリプロセッサエレメントの制御部の構成図である。

【図13】本実施の形態におけるメモリプロセッサエレメントの制御部の状態遷移図である。 30

【図14】アクセス終了レジスタのフラグ変更制御を説明する図である。

【図15】メモリPE内の外部側インターフェースについて説明する図である。

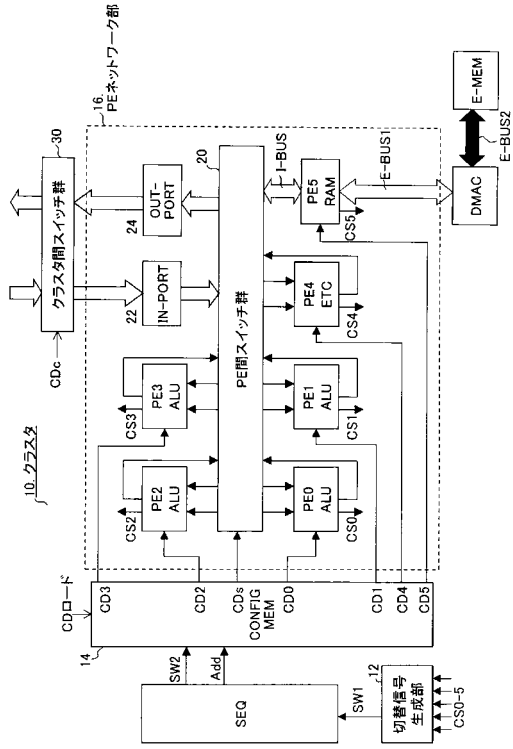
【図16】メモリPE内の外部側インターフェースについて説明する図である。

【符号の説明】

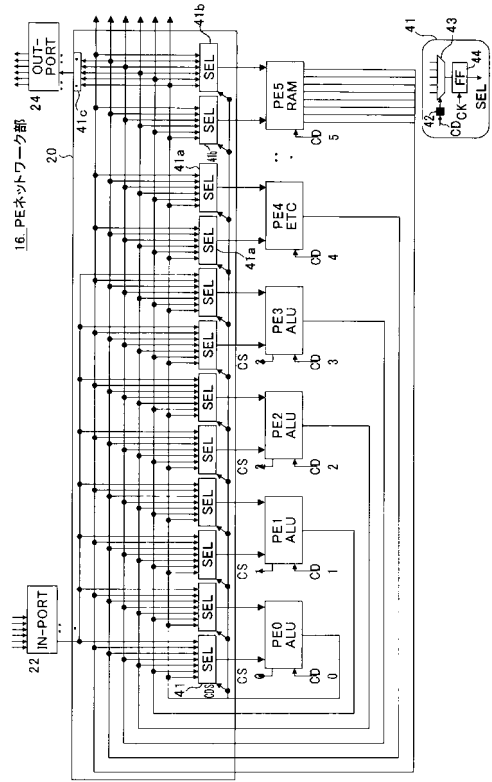
【0094】

PE0～PE5：プロセッサエレメント	SEQ：シーケンサ	
14：コンフィグレーションデータメモリ	20：PE間スイッチ群	
30：クラスタ間スイッチ群	E-BUS1：外部メモリバス	
E-MEM：外部メモリ	DMAC：ダイレクトメモリアクセス制御部	40

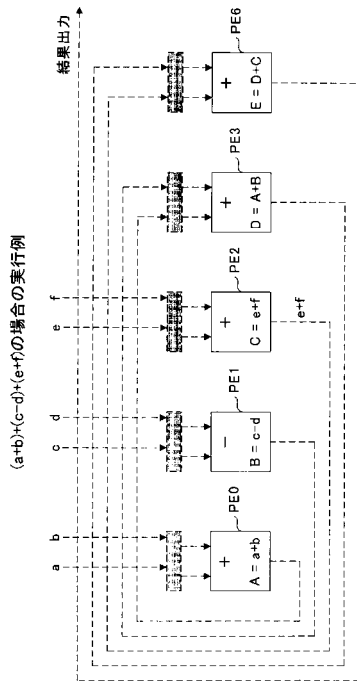
【図 1】



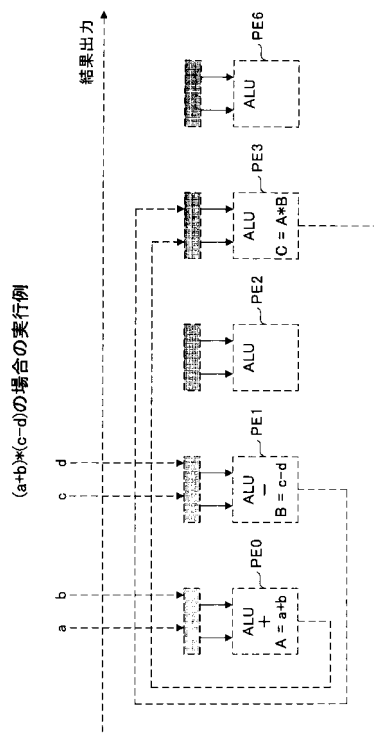
【図 2】



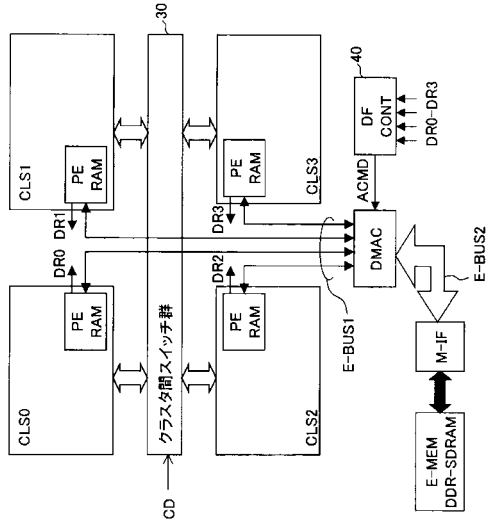
【図 3】



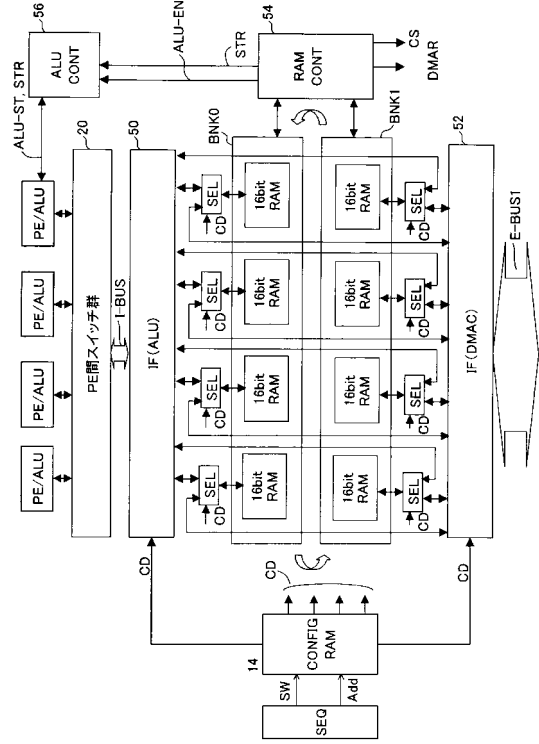
【図 4】



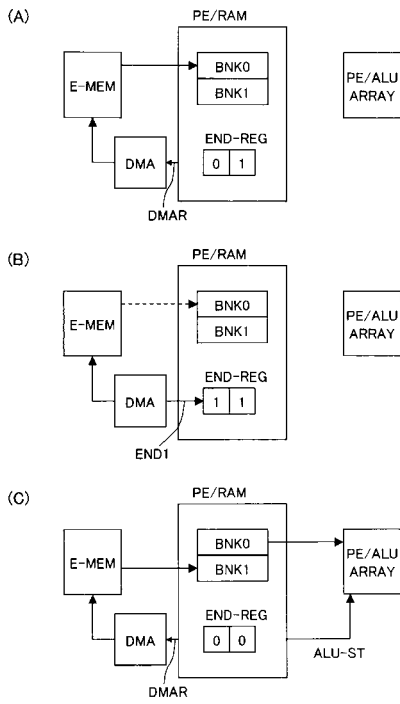
【 図 5 】



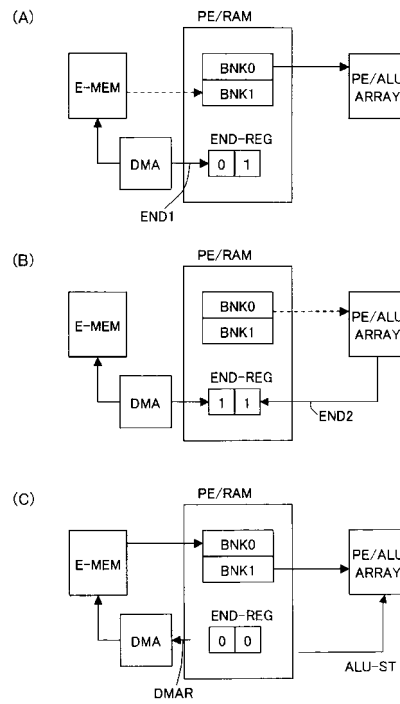
【 図 6 】



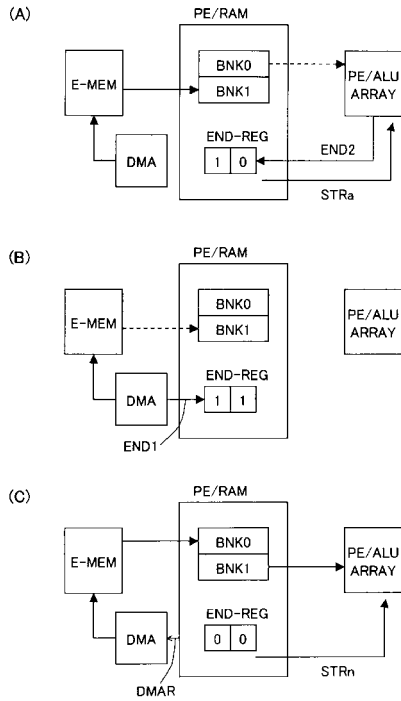
【 図 7 】



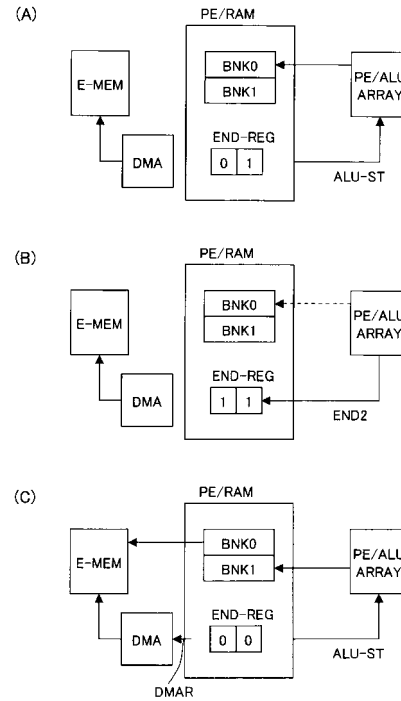
【 図 8 】



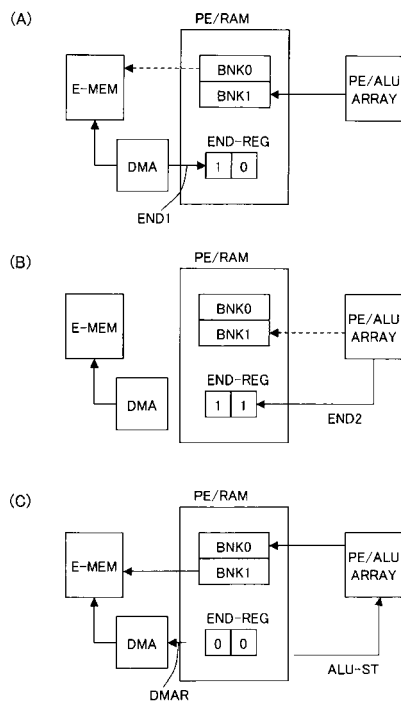
【図9】



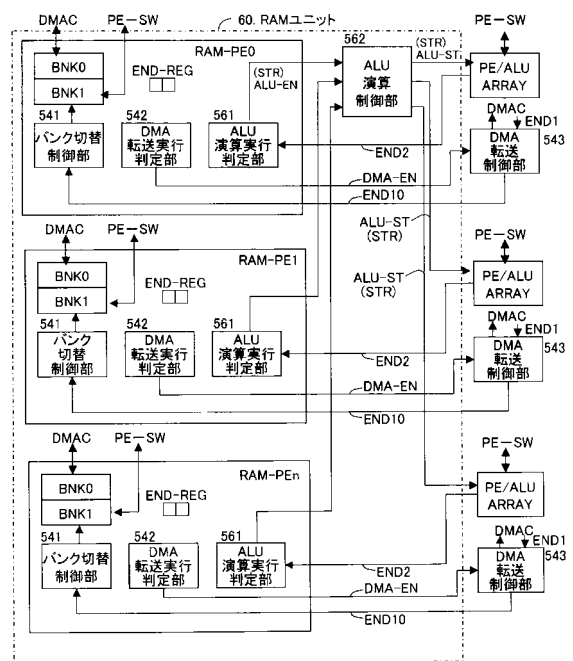
【図10】



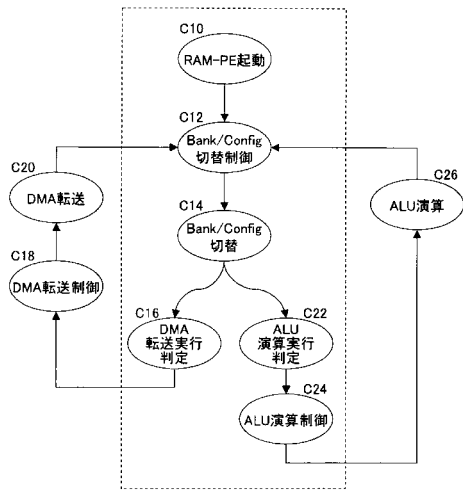
【図11】



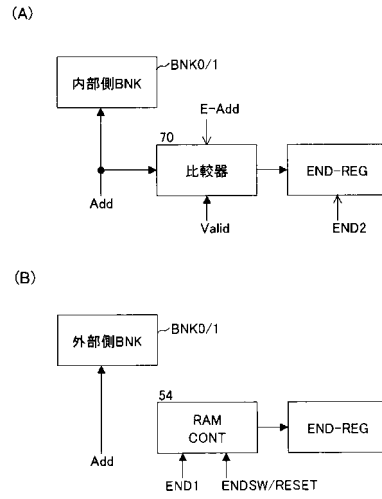
【図12】



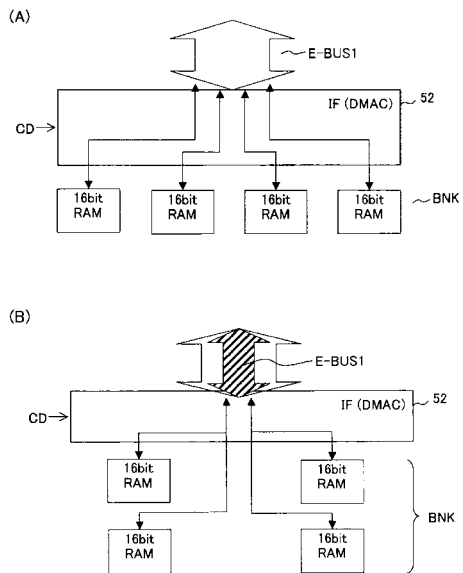
【図13】



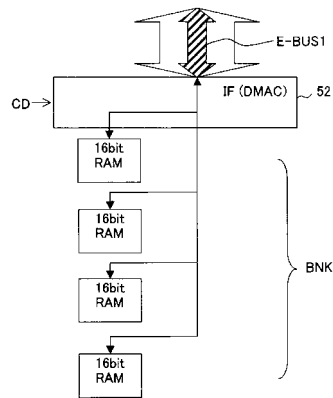
【図14】



【図15】



【図16】



フロントページの続き

(72)発明者 西田 克

福岡県福岡市早良区百道浜2丁目2番1号 富士通九州ネットワークテクノロジーズ株式会社内

審査官 高 橋 正 徳

(56)参考文献 特表2005-510778(JP,A)
特開2005-044329(JP,A)
特表2003-520360(JP,A)
特開昭60-186151(JP,A)
特開昭60-008970(JP,A)
特開2005-165435(JP,A)
特表2002-528825(JP,A)
特開2004-252990(JP,A)
米国特許第05842034(US,A)

(58)調査した分野(Int.Cl., DB名)

G06F 15/80,

G06F 15/16 - 15/177