



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0045871
(43) 공개일자 2017년04월28일

(51) 국제특허분류(Int. Cl.)
H01L 45/00 (2006.01) H01L 27/24 (2006.01)
(52) CPC특허분류
H01L 45/04 (2013.01)
H01L 27/24 (2013.01)
(21) 출원번호 10-2015-0145911
(22) 출원일자 2015년10월20일
심사청구일자 없음

(71) 출원인
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091
(72) 발명자
이재연
경기도 용인시 기흥구 죽전로43번길 15-1
(74) 대리인
특허법인신성

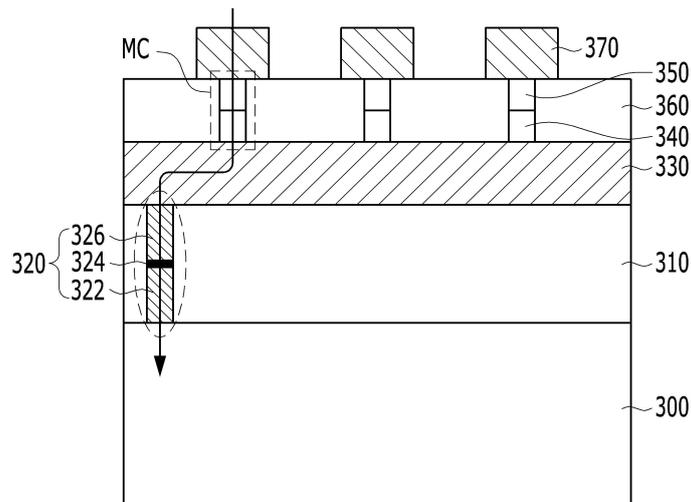
전체 청구항 수 : 총 31 항

(54) 발명의 명칭 전자 장치 및 그 제조 방법

(57) 요약

전자 장치 및 그 제조 방법이 제공된다. 본 발명의 일 실시예에 따른 전자 장치는, 반도체 메모리를 포함하는 전자 장치로서, 상기 반도체 메모리는, 제1 방향으로 연장하는 복수의 제1 배선; 상기 제1 방향과 교차하는 제2 방향으로 연장하는 복수의 제2 배선; 상기 제1 배선과 상기 제2 배선의 사이에서, 상기 제1 배선과 상기 제2 배선의 교차영역에 위치하는 복수의 가변 저항 소자; 및 상기 제1 배선 각각의 제1 부분과 접속하는 플러그를 포함하고, 상기 플러그는, 도전층 및 상기 도전층보다 높은 저항을 갖는 물질층을 포함할 수 있다.

대표도 - 도3b



(52) CPC특허분류

H01L 45/12 (2013.01)

H01L 45/122 (2013.01)

H01L 45/16 (2013.01)

명세서

청구범위

청구항 1

반도체 메모리를 포함하는 전자 장치로서,
상기 반도체 메모리는,
제1 방향으로 연장하는 복수의 제1 배선;
상기 제1 방향과 교차하는 제2 방향으로 연장하는 복수의 제2 배선;
상기 제1 배선과 상기 제2 배선의 사이에서, 상기 제1 배선과 상기 제2 배선의 교차영역에 위치하는 복수의 가변 저항 소자; 및
상기 제1 배선 각각의 제1 부분과 접속하는 플러그를 포함하고,
상기 플러그는, 도전층 및 상기 도전층보다 높은 저항을 갖는 물질층을 포함하는 전자 장치.

청구항 2

제1 항에 있어서,
상기 물질층은, 절연 물질 또는 반도체 물질을 포함하는 전자 장치.

청구항 3

제1 항에 있어서,
상기 물질층은, 상기 반도체 메모리의 동작 전류에서 옴릭 유사 거동을 보이는 전자 장치.

청구항 4

제1 항에 있어서,
상기 물질층은, 상기 반도체 메모리의 동작 전류에서 브레이크 다운되지 않는 전자 장치.

청구항 5

제1 항에 있어서,
상기 플러그는,
상기 가변 저항 소자에 데이터를 저장하는 라이트 동작시 전류 통로로 이용되는

전자 장치.

청구항 6

제1 항에 있어서,
상기 반도체 메모리는,
상기 제1 배선 각각의 제2 부분과 접속하는 도전 플러그를 더 포함하는
전자 장치.

청구항 7

제6 항에 있어서,
상기 플러그는,
상기 가변 저항 소자에 데이터를 저장하는 라이트 동작시 전류 통로로 이용되고,
상기 도전 플러그는,
상기 가변 저항 소자에 저장된 데이터를 읽는 리드 동작시 전류 통로로 이용되는
전자 장치.

청구항 8

제6 항에 있어서,
상기 플러그 및 상기 도전 플러그는,
상기 제1 방향에서, 상기 복수의 가변 저항 소자를 사이에 두고 서로 반대편에 위치하는
전자 장치.

청구항 9

제6 항에 있어서,
상기 플러그 및 상기 도전 플러그는,
상기 제1 배선, 상기 가변 저항 소자 및 상기 제2 배선이 배열되는 제3 방향에서, 상기 제1 배선을 사이에 두고
상기 가변 저항 소자의 반대편에 위치하면서 실질적으로 동일한 두께를 갖는
전자 장치.

청구항 10

제1 항에 있어서,
상기 도전층의 측벽 및 상기 물질층의 측벽은 서로 정렬된
전자 장치.

청구항 11

제1 항에 있어서,
상기 도전층은, 제1 및 제2 도전층을 포함하고,
상기 물질층은, 상기 제1 도전층과 상기 제2 도전층 사이에 개재되는
전자 장치.

청구항 12

제11 항에 있어서,
상기 물질층은, 상기 제2 도전층의 측벽 상으로 더 연장하는
전자 장치.

청구항 13

제1 항에 있어서,
상기 물질층은, 상기 플러그의 양 끝단 중 적어도 하나에 위치하는
전자 장치.

청구항 14

제1 항에 있어서,
상기 복수의 제2 배선은, 제1 및 제2 그룹으로 구분되고,
상기 복수의 제1 배선과 상기 제1 그룹의 제2 배선의 교차영역에 위치하는 가변 저항 소자를 포함하는 제1 매트
영역과, 상기 복수의 제1 배선과 상기 제2 그룹의 제2 배선의 교차 영역에 위치하는 가변 저항 소자를 포함하는
제2 매트 영역이 존재하는 경우,
상기 플러그는, 상기 제1 매트 영역과 상기 제2 매트 영역의 사이에 해당하는 제1 영역, 또는, 상기 제1 및 제2
매트 영역의 양측에 해당하는 제2 영역에 위치하는
전자 장치.

청구항 15

제14 항에 있어서,
상기 반도체 메모리는,
상기 제1 배선과 접속하는 도전 플러그를 더 포함하고,
상기 플러그가 상기 제1 영역에 위치하는 경우, 상기 도전 플러그는 상기 제2 영역에 위치하고,
상기 플러그가 상기 제2 영역에 위치하는 경우, 상기 도전 플러그는 상기 제1 영역에 위치하는
전자 장치.

청구항 16

제1 항에 있어서,

상기 전자 장치는, 마이크로프로세서를 더 포함하고,

상기 마이크로프로세서는,

상기 마이크로프로세서 외부로부터의 명령을 포함하는 신호를 수신하고, 상기 명령의 추출이나 해독 또는 상기 마이크로프로세서의 신호의 입출력 제어를 수행하는 제어부;

상기 제어부가 명령을 해독한 결과에 따라서 연산을 수행하는 연산부; 및

상기 연산을 수행하는 데이터, 상기 연산을 수행한 결과에 대응하는 데이터 또는 상기 연산을 수행하는 데이터의 주소를 저장하는 기억부를 포함하고,

상기 반도체 메모리는, 상기 마이크로프로세서 내에서 상기 기억부의 일부인

전자 장치.

청구항 17

제1 항에 있어서,

상기 전자 장치는, 프로세서를 더 포함하고,

상기 프로세서는,

상기 프로세서의 외부로부터 입력된 명령에 따라 데이터를 이용하여 상기 명령에 대응하는 연산을 수행하는 코어부;

상기 연산을 수행하는 데이터, 상기 연산을 수행한 결과에 대응하는 데이터 또는 상기 연산을 수행하는 데이터의 주소를 저장하는 캐시 메모리부; 및

상기 코어부와 상기 캐시 메모리부 사이에 연결되고, 상기 코어부와 상기 캐시 메모리부 사이에 데이터를 전송하는 버스 인터페이스를 포함하고,

상기 반도체 메모리는, 상기 프로세서 내에서 상기 캐시 메모리부의 일부인

전자 장치.

청구항 18

제1 항에 있어서,

상기 전자 장치는, 프로세싱 시스템을 더 포함하고,

상기 프로세싱 시스템은,

수신된 명령을 해석하고 상기 명령을 해석한 결과에 따라 정보의 연산을 제어하는 프로세서;

상기 명령을 해석하기 위한 프로그램 및 상기 정보를 저장하기 위한 보조기억장치;

상기 프로그램을 실행할 때 상기 프로세서가 상기 프로그램 및 상기 정보를 이용해 상기 연산을 수행할 수 있도록 상기 보조기억장치로부터 상기 프로그램 및 상기 정보를 이동시켜 저장하는 주기억장치; 및

상기 프로세서, 상기 보조기억장치 및 상기 주기억장치 중 하나 이상과 외부와의 통신을 수행하기 위한 인터페이스 장치를 포함하고,

상기 반도체 메모리는, 상기 프로세싱 시스템 내에서 상기 보조기억장치 또는 상기 주기억장치의 일부인

전자 장치.

청구항 19

제1 항에 있어서,
 상기 전자 장치는, 데이터 저장 시스템을 더 포함하고,
 상기 데이터 저장 시스템은,
 데이터를 저장하며 공급되는 전원에 관계없이 저장된 데이터가 유지되는 저장 장치;
 외부로부터 입력된 명령에 따라 상기 저장 장치의 데이터 입출력을 제어하는 컨트롤러;
 상기 저장 장치와 외부 사이에 교환되는 데이터를 임시로 저장하는 임시 저장 장치; 및
 상기 저장 장치, 상기 컨트롤러 및 상기 임시 저장 장치 중 하나 이상과 외부와의 통신을 수행하기 위한 인터페이스를 포함하고,
 상기 반도체 메모리는, 상기 데이터 저장 시스템 내에서 상기 저장 장치 또는 상기 임시 저장 장치의 일부인 전자 장치.

청구항 20

제1 항에 있어서,
 상기 전자 장치는, 메모리 시스템을 더 포함하고,
 상기 메모리 시스템은,
 데이터를 저장하며 공급되는 전원에 관계없이 저장된 데이터가 유지되는 메모리;
 외부로부터 입력된 명령에 따라 상기 메모리의 데이터 입출력을 제어하는 메모리 컨트롤러;
 상기 메모리와 외부 사이에 교환되는 데이터를 버퍼링하기 위한 버퍼 메모리; 및
 상기 메모리, 상기 메모리 컨트롤러 및 상기 버퍼 메모리 중 하나 이상과 외부와의 통신을 수행하기 위한 인터페이스를 포함하고,
 상기 반도체 메모리는, 상기 메모리 시스템 내에서 상기 메모리 또는 상기 버퍼 메모리의 일부인 전자 장치.

청구항 21

반도체 메모리를 포함하는 전자 장치의 제조 방법로서,
 기관 상에, 도전층 및 상기 도전층보다 높은 저항을 갖는 물질층을 포함하는 플러그를 형성하는 단계;
 상기 플러그 상에 제1 방향으로 연장하는 제1 배선을 형성하는 단계;
 상기 제1 배선 상에 가변 저항 소자를 형성하는 단계; 및
 상기 가변 저항 소자 상에 상기 제1 방향과 교차하는 제2 방향으로 연장하는 제2 배선을 형성하는 단계를 포함하는 전자 장치의 제조 방법.

청구항 22

제21 항에 있어서,
 상기 물질층은, 절연 물질 또는 반도체 물질을 포함하는

전자 장치의 제조 방법.

청구항 23

제21 항에 있어서,
상기 플러그 형성 단계는,
상기 기판 상에 층간 절연막을 형성하는 단계;
상기 층간 절연막을 선택적으로 식각하여 홀을 형성하는 단계;
상기 홀의 하부를 매립하는 상기 도전층을 형성하는 단계; 및
상기 홀의 나머지 공간 중 적어도 일부를 매립하는 상기 물질층을 형성하는 단계를 포함하는
전자 장치의 제조 방법.

청구항 24

제23 항에 있어서,
상기 물질층이 상기 홀의 나머지 공간 중 일부를 매립하는 경우,
상기 플러그 형성 단계는,
상기 물질층이 형성된 상기 홀을 완전히 매립하는 추가 도전층을 형성하는 단계를 더 포함하는
전자 장치의 제조 방법.

청구항 25

제24 항에 있어서,
상기 물질층은, 상기 홀의 나머지 공간의 측벽 및 저면을 따라 형성되고,
상기 추가 도전층은, 상기 물질층에 의해 측벽 및 저면이 둘러싸이는
전자 장치의 제조 방법.

청구항 26

제21 항에 있어서,
상기 플러그 형성 단계는,
상기 기판 상에 층간 절연막을 형성하는 단계;
상기 층간 절연막을 선택적으로 식각하여 홀을 형성하는 단계;
상기 홀의 하부를 매립하는 상기 물질층을 형성하는 단계; 및
상기 홀의 나머지 공간을 매립하는 상기 도전층을 형성하는 단계를 포함하는
전자 장치의 제조 방법.

청구항 27

제21 항에 있어서,

상기 기관 상에, 상기 제1 배선과 접속하는 도전 플러그를 형성하는 단계를 더 포함하는 전자 장치의 제조 방법.

청구항 28

제27 항에 있어서,
상기 플러그 및 상기 도전 플러그 형성 단계는,
기관 상에 층간 절연막을 형성하는 단계;
상기 층간 절연막을 선택적으로 식각하여 상기 플러그가 형성될 공간을 제공하는 제1 홀 및 상기 도전 플러그가 형성될 공간을 제공하는 제2 홀을 형성하는 단계;
상기 제1 및 제2 홀을 매립하는 도전 물질을 형성하는 단계;
상기 제1 홀을 노출시키는 개구부를 갖는 마스크 패턴을 형성하는 단계;
상기 제1 홀의 상기 도전 물질의 일부를 제거하는 단계; 및
상기 제1 홀의 나머지 공간 중 적어도 일부를 매립하는 상기 물질층을 형성하는 단계를 포함하는 전자 장치의 제조 방법.

청구항 29

제28 항에 있어서,
상기 개구부는, 상기 제1 홀보다 큰 폭을 갖는 전자 장치의 제조 방법.

청구항 30

제28 항에 있어서,
상기 제1 홀은, 상기 제2 방향으로 배열되는 복수의 제1 홀을 포함하고,
상기 개구부는, 상기 복수의 제1 홀을 노출시키면서 상기 제2 방향으로 연장하는 라인 형상을 갖는 전자 장치의 제조 방법.

청구항 31

제27 항에 있어서,
상기 플러그 및 상기 도전 플러그는,
상기 제1 방향에서, 상기 가변 저항 소자를 사이에 두고 서로 반대편에 위치하는 전자 장치의 제조 방법.

발명의 설명

기술 분야

본 특허 문헌은 메모리 회로 또는 장치와, 전자 장치에서의 이들의 응용에 관한 것이다.

[0001]

배경 기술

[0002] 최근 전자기기의 소형화, 저전력화, 고성능화, 다양화 등에 따라, 컴퓨터, 휴대용 통신기기 등 다양한 전자기기에서 정보를 저장할 수 있는 반도체 장치가 요구되고 있으며, 이에 대한 연구가 진행되고 있다. 이러한 반도체 장치로는 인가되는 전압 또는 전류에 따라 서로 다른 저항 상태 사이에서 스위칭하는 특성을 이용하여 데이터를 저장할 수 있는 반도체 장치 예컨대, RRAM(Resistive Random Access Memory), PRAM(Phase-change Random Access Memory), FRAM(Ferroelectric Random Access Memory), MRAM(Magnetic Random Access Memory), 이-퓨즈(E-fuse) 등이 있다.

발명의 내용

해결하려는 과제

[0003] 본 발명의 실시예들이 해결하려는 과제는, 동작 특성 및 신뢰성이 향상된 반도체 장치를 포함하는 전자 장치 및 그 제조 방법을 제공하는 것이다.

과제의 해결 수단

[0004] 상기 과제를 해결하기 위한 본 발명의 일 실시예에 따른 전자 장치는, 반도체 메모리를 포함하는 전자 장치로서, 상기 반도체 메모리는, 제1 방향으로 연장하는 복수의 제1 배선; 상기 제1 방향과 교차하는 제2 방향으로 연장하는 복수의 제2 배선; 상기 제1 배선과 상기 제2 배선의 사이에서, 상기 제1 배선과 상기 제2 배선의 교차영역에 위치하는 복수의 가변 저항 소자; 및 상기 제1 배선 각각의 제1 부분과 접속하는 플러그를 포함하고, 상기 플러그는, 도전층 및 상기 도전층보다 높은 저항을 갖는 물질층을 포함할 수 있다.

[0005] 위 실시예에서, 상기 물질층은, 절연 물질 또는 반도체 물질을 포함할 수 있다. 상기 물질층은, 상기 반도체 메모리의 동작 전류에서 옴릭 유사 거동을 보일 수 있다. 상기 물질층은, 상기 반도체 메모리의 동작 전류에서 브레이크 다운되지 않을 수 있다. 상기 플러그는, 상기 가변 저항 소자에 데이터를 저장하는 라이트 동작시 전류 통로로 이용될 수 있다. 상기 반도체 메모리는, 상기 제1 배선 각각의 제2 부분과 접속하는 도전 플러그를 더 포함할 수 있다. 상기 플러그는, 상기 가변 저항 소자에 데이터를 저장하는 라이트 동작시 전류 통로로 이용되고, 상기 도전 플러그는, 상기 가변 저항 소자에 저장된 데이터를 읽는 리드 동작시 전류 통로로 이용될 수 있다. 상기 플러그 및 상기 도전 플러그는, 상기 제1 방향에서, 상기 복수의 가변 저항 소자들 사이에 두고 서로 반대편에 위치할 수 있다. 상기 플러그 및 상기 도전 플러그는, 상기 제1 배선, 상기 가변 저항 소자 및 상기 제2 배선이 배열되는 제3 방향에서, 상기 제1 배선을 사이에 두고 상기 가변 저항 소자의 반대편에 위치하면서 실질적으로 동일한 두께를 가질 수 있다. 상기 도전층의 측벽 및 상기 물질층의 측벽은 서로 정렬될 수 있다. 상기 도전층은, 제1 및 제2 도전층을 포함하고, 상기 물질층은, 상기 제1 도전층과 상기 제2 도전층 사이에 개재될 수 있다. 상기 물질층은, 상기 제2 도전층의 측벽 상으로 더 연장할 수 있다. 상기 물질층은, 상기 플러그의 양 끝단 중 적어도 하나에 위치할 수 있다. 상기 복수의 제2 배선은, 제1 및 제2 그룹으로 구분되고, 상기 복수의 제1 배선과 상기 제1 그룹의 제2 배선의 교차영역에 위치하는 가변 저항 소자를 포함하는 제1 매트 영역과, 상기 복수의 제1 배선과 상기 제2 그룹의 제2 배선의 교차 영역에 위치하는 가변 저항 소자를 포함하는 제2 매트 영역이 존재하는 경우, 상기 플러그는, 상기 제1 매트 영역과 상기 제2 매트 영역의 사이에 해당하는 제1 영역, 또는, 상기 제1 및 제2 매트 영역의 양측에 해당하는 제2 영역에 위치할 수 있다. 상기 반도체 메모리는, 상기 제1 배선과 접속하는 도전 플러그를 더 포함하고, 상기 플러그가 상기 제1 영역에 위치하는 경우, 상기 도전 플러그는 상기 제2 영역에 위치하고, 상기 플러그가 상기 제2 영역에 위치하는 경우, 상기 도전 플러그는 상기 제1 영역에 위치할 수 있다.

[0006] 상기 전자 장치는, 마이크로프로세서를 더 포함하고, 상기 마이크로프로세서는, 상기 마이크로프로세서 외부로부터 명령을 포함하는 신호를 수신하고, 상기 명령의 추출이나 해독 또는 상기 마이크로프로세서의 신호의 입출력 제어를 수행하는 제어부; 상기 제어부가 명령을 해독한 결과에 따라서 연산을 수행하는 연산부; 및 상기 연산을 수행하는 데이터, 상기 연산을 수행한 결과에 대응하는 데이터 또는 상기 연산을 수행하는 데이터의 주소를 저장하는 기억부를 포함하고, 상기 반도체 메모리는, 상기 마이크로프로세서 내에서 상기 기억부의 일부일 수 있다.

[0007] 상기 전자 장치는, 프로세서를 더 포함하고, 상기 프로세서는, 상기 프로세서의 외부로부터 입력된 명령에 따라 데이터를 이용하여 상기 명령에 대응하는 연산을 수행하는 코어부; 상기 연산을 수행하는 데이터, 상기 연산을

수행한 결과에 대응하는 데이터 또는 상기 연산을 수행하는 데이터의 주소를 저장하는 캐시 메모리부; 및 상기 코어부와 상기 캐시 메모리부 사이에 연결되고, 상기 코어부와 상기 캐시 메모리부 사이에 데이터를 전송하는 버스 인터페이스를 포함하고, 상기 반도체 메모리는, 상기 프로세서 내에서 상기 캐시 메모리부의 일부일 수 있다.

[0008] 상기 전자 장치는, 프로세싱 시스템을 더 포함하고, 상기 프로세싱 시스템은, 수신된 명령을 해석하고 상기 명령을 해석한 결과에 따라 정보의 연산을 제어하는 프로세서; 상기 명령을 해석하기 위한 프로그램 및 상기 정보를 저장하기 위한 보조기억장치; 상기 프로그램을 실행할 때 상기 프로세서가 상기 프로그램 및 상기 정보를 이용해 상기 연산을 수행할 수 있도록 상기 보조기억장치로부터 상기 프로그램 및 상기 정보를 이동시켜 저장하는 주기억장치; 및 상기 프로세서, 상기 보조기억장치 및 상기 주기억장치 중 하나 이상과 외부와의 통신을 수행하기 위한 인터페이스 장치를 포함하고, 상기 반도체 메모리는, 상기 프로세싱 시스템 내에서 상기 보조기억장치 또는 상기 주기억장치의 일부일 수 있다.

[0009] 상기 전자 장치는, 데이터 저장 시스템을 더 포함하고, 상기 데이터 저장 시스템은, 데이터를 저장하며 공급되는 전원에 관계없이 저장된 데이터가 유지되는 저장 장치; 외부로부터 입력된 명령에 따라 상기 저장 장치의 데이터 입출력을 제어하는 컨트롤러; 상기 저장 장치와 외부 사이에 교환되는 데이터를 임시로 저장하는 임시 저장 장치; 및 상기 저장 장치, 상기 컨트롤러 및 상기 임시 저장 장치 중 하나 이상과 외부와의 통신을 수행하기 위한 인터페이스를 포함하고, 상기 반도체 메모리는, 상기 데이터 저장 시스템 내에서 상기 저장 장치 또는 상기 임시 저장 장치의 일부일 수 있다.

[0010] 상기 전자 장치는, 메모리 시스템을 더 포함하고, 상기 메모리 시스템은, 데이터를 저장하며 공급되는 전원에 관계없이 저장된 데이터가 유지되는 메모리; 외부로부터 입력된 명령에 따라 상기 메모리의 데이터 입출력을 제어하는 메모리 컨트롤러; 상기 메모리와 외부 사이에 교환되는 데이터를 버퍼링하기 위한 버퍼 메모리; 및 상기 메모리, 상기 메모리 컨트롤러 및 상기 버퍼 메모리 중 하나 이상과 외부와의 통신을 수행하기 위한 인터페이스를 포함하고, 상기 반도체 메모리는, 상기 메모리 시스템 내에서 상기 메모리 또는 상기 버퍼 메모리의 일부일 수 있다.

[0011] 또한, 상기 과제를 해결하기 위한 본 발명의 일 실시예에 따른 전자 장치의 제조 방법은, 기판 상에, 도전층 및 상기 도전층보다 높은 저항을 갖는 물질층을 포함하는 플러그를 형성하는 단계; 상기 플러그 상에 제1 방향으로 연장하는 제1 배선을 형성하는 단계; 상기 제1 배선 상에 가변 저항 소자를 형성하는 단계; 및 상기 가변 저항 소자 상에 상기 제1 방향과 교차하는 제2 방향으로 연장하는 제2 배선을 형성하는 단계를 포함할 수 있다. 상기 물질층은, 절연 물질 또는 반도체 물질을 포함할 수 있다. 상기 플러그 형성 단계는, 상기 기판 상에 층간 절연막을 형성하는 단계; 상기 층간 절연막을 선택적으로 식각하여 홀을 형성하는 단계; 상기 홀의 하부를 매립하는 상기 도전층을 형성하는 단계; 및 상기 홀의 나머지 공간 중 적어도 일부를 매립하는 상기 물질층을 형성하는 단계를 포함할 수 있다. 상기 물질층이 상기 홀의 나머지 공간 중 일부를 매립하는 경우, 상기 플러그 형성 단계는, 상기 물질층이 형성된 상기 홀을 완전히 매립하는 추가 도전층을 형성하는 단계를 더 포함할 수 있다. 상기 물질층은, 상기 홀의 나머지 공간의 측벽 및 저면을 따라 형성되고, 상기 추가 도전층은, 상기 물질층에 의해 측벽 및 저면이 둘러싸일 수 있다. 상기 플러그 형성 단계는, 상기 기판 상에 층간 절연막을 형성하는 단계; 상기 층간 절연막을 선택적으로 식각하여 홀을 형성하는 단계; 상기 홀의 하부를 매립하는 상기 물질층을 형성하는 단계; 및 상기 홀의 나머지 공간을 매립하는 상기 도전층을 형성하는 단계를 포함할 수 있다. 상기 기판 상에, 상기 제1 배선과 접속하는 도전 플러그를 형성하는 단계를 더 포함할 수 있다. 상기 플러그 및 상기 도전 플러그 형성 단계는, 기판 상에 층간 절연막을 형성하는 단계; 상기 층간 절연막을 선택적으로 식각하여 상기 플러그가 형성될 공간을 제공하는 제1 홀 및 상기 도전 플러그가 형성될 공간을 제공하는 제2 홀을 형성하는 단계; 상기 제1 및 제2 홀을 매립하는 도전 물질을 형성하는 단계; 상기 제1 홀을 노출시키는 개구부를 갖는 마스크 패턴을 형성하는 단계; 상기 제1 홀의 상기 도전 물질의 일부를 제거하는 단계; 및 상기 제1 홀의 나머지 공간 중 적어도 일부를 매립하는 상기 물질층을 형성하는 단계를 포함할 수 있다. 상기 개구부는, 상기 제1 홀보다 큰 폭을 가질 수 있다. 상기 제1 홀은, 상기 제2 방향으로 배열되는 복수의 제1 홀을 포함하고, 상기 개구부는, 상기 복수의 제1 홀을 노출시키면서 상기 제2 방향으로 연장하는 라인 형상을 가질 수 있다. 상기 플러그 및 상기 도전 플러그는, 상기 제1 방향에서, 상기 가변 저항 소자를 사이에 두고 서로 반대편에 위치할 수 있다.

발명의 효과

[0012] 상술한 본 발명의 실시예들에 의하면, 동작 특성 및 신뢰성이 향상된 반도체 장치를 포함하는 전자 장치 및 그

제조 방법을 제공할 수 있다.

도면의 간단한 설명

- [0013] 도 1a는 제1 비교예의 가변 저항 소자를 나타내는 단면도이고, 도 1b는 도 1a의 가변 저항 소자의 동작 방법 및 그 문제점을 설명하기 위한 그래프이다.
 도 2a는 제2 비교예의 가변 저항 소자를 나타내는 단면도이고, 도 2b는 도 2a의 가변 저항 소자의 동작 방법을 설명하기 위한 그래프이다.
 도 3a는 본 발명의 일 실시예에 따른 반도체 장치를 나타내는 평면도이고, 도 3b는 도 3a의 A-A' 선에 따른 단면도이다.
 도 4a는 본 발명의 다른 일 실시예에 따른 반도체 장치를 나타내는 평면도이고, 도 4b는 도 4a의 B-B' 선에 따른 단면도이고, 도 4c 내지 도 4d는 도 4a 및 도 4b의 반도체 장치를 제조하기 위한 중간 공정 단계를 나타내는 단면도이다.
 도 5는 저항성 성분을 포함하는 플러그의 일 예를 나타내는 단면도이다.
 도 6은 저항성 성분을 포함하는 플러그의 다른 일 예를 나타내는 단면도이다.
 도 7은 본 발명의 다른 일 실시예에 따른 반도체 장치를 나타내는 평면도이다.
 도 8은 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 마이크로프로세서의 구성도의 일 예이다.
 도 9는 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 프로세서의 구성도의 일 예이다.
 도 10은 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 시스템의 구성도의 일 예이다.
 도 11은 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 데이터 저장 시스템의 구성도의 일 예이다.
 도 12는 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 메모리 시스템의 구성도의 일 예이다.

발명을 실시하기 위한 구체적인 내용

- [0014] 이하에서는, 첨부된 도면을 참조하여 다양한 실시예들이 상세히 설명된다.
- [0015] 도면은 반드시 일정한 비율로 도시된 것이라 할 수 없으며, 몇몇 예시들에서, 실시예들의 특징을 명확히 보여주기 위하여 도면에 도시된 구조물 중 적어도 일부의 비례는 과장될 수도 있다. 도면 또는 상세한 설명에 둘 이상의 층을 갖는 다층 구조물이 개시된 경우, 도시된 것과 같은 층들의 상대적인 위치 관계나 배열 순서는 특정 실시예를 반영할 뿐이어서 본 발명이 이에 한정되는 것은 아니며, 층들의 상대적인 위치 관계나 배열 순서는 달라질 수도 있다. 또한, 다층 구조물의 도면 또는 상세한 설명은 특정 다층 구조물에 존재하는 모든 층들을 반영하지 않을 수도 있다(예를 들어, 도시된 두 개의 층 사이에 하나 이상의 추가 층이 존재할 수도 있다). 예컨대, 도면 또는 상세한 설명의 다층 구조물에서 제1 층이 제2 층 상에 있거나 또는 기판상에 있는 경우, 제1 층이 제2 층 상에 직접 형성되거나 또는 기판상에 직접 형성될 수 있음을 나타낼 뿐만 아니라, 하나 이상의 다른 층이 제1 층과 제2 층 사이 또는 제1 층과 기판 사이에 존재하는 경우도 나타낼 수 있다.
- [0016] 본 발명의 실시예들을 설명하기에 앞서, 먼저 비교예의 가변 저항 소자 및 그 동작 방법과 그 문제점에 관하여 설명하기로 한다.
- [0017] 도 1a는 제1 비교예의 가변 저항 소자를 나타내는 단면도이고, 도 1b는 도 1a의 가변 저항 소자의 동작 방법 및 그 문제점을 설명하기 위한 그래프이다.
- [0018] 도 1a를 참조하면, 제1 비교예의 가변 저항 소자는, 제1 전극(11), 제1 전극(11)과 이격하여 형성된 제2 전극(14), 제1 전극(11)과 제2 전극(14) 사이에 개재되는 가변 저항층(12), 및 가변 저항층(12)과 제2 전극(14) 사이에 개재되는 선택 소자층(13)을 포함할 수 있다.
- [0019] 여기서, 제1 전극(11) 및 제2 전극(14)은 가변 저항 소자에 양단에 위치하여 전압 또는 전류를 공급받기 위한 것으로서, 금속, 금속 질화물 또는 이들의 조합 등 다양한 도전 물질로 형성될 수 있다.
- [0020] 가변 저항층(12)은 제1 전극(11) 및 제2 전극(14)을 통하여 공급되는 전압 또는 전류에 따라 서로 다른 저항 상태 사이에서 스위칭하는 가변 저항 특성을 가질 수 있다. 가변 저항층(12)은 RRAM, PRAM, FRAM, MRAM 등에 이용

되는 다양한 물질 예컨대, 전이 금속 산화물, 페로브스카이트(perovskite)계 물질 등과 같은 금속 산화물, 칼코게나이드(chalcogenide)계 물질 등과 같은 상변화 물질, 강유전 물질, 강자성 물질 등을 포함하는 단일막 구조 또는 다중막 구조를 가질 수 있다. 특히, 가변 저항층(12)은 자신의 내부의 도전성 경로의 생성 또는 소멸에 의해 그 저항이 변화할 수 있다. 즉, 가변 저항층(12) 내에 가변 저항층(12)을 관통하는 도전성 경로가 생성된 경우, 가변 저항층(12)은 저저항 상태를 가질 수 있다. 반대로, 이 도전성 경로가 소멸된 경우, 가변 저항층(12)은 고저항 상태를 가질 수 있다. 예컨대, 가변 저항층(12)이 다량의 산소 공공을 함유하는 금속 산화물을 포함하는 경우, 산소 공공의 거동에 의한 도전성 경로가 가변 저항층(12) 내에서 생성 또는 소멸될 수 있다. 그러나, 도전성 경로는 가변 저항층(12)의 종류나, 막 구조, 동작 특성에 따라, 다양한 방식으로 형성될 수 있다.

[0021] 선택 소자층(13)은, 가변 저항층(12)의 일단과 접촉하여 가변 저항층(12)으로의 접근(access)을 제어할 수 있다. 선택 소자층(13)은, 제1 전극(12) 및 제2 전극(14)을 통하여 공급되는 전압 또는 전류의 크기가 소정 임계값 미만인 경우 전류 흐름을 실질적으로 차단하다가, 임계값 이상에서 공급되는 전압 또는 전류의 크기에 실질적으로 비례하여 급격히 증가하는 전류를 흘리는 문턱 스위칭 특성을 가질 수 있다. 선택 소자층(13)은 다이오드, 칼코게나이드계 물질 등과 같은 OTS(Ovonic Threshold Switching) 물질, 금속 함유 칼코게나이드계 물질 등과 같은 MIEC(Mixed Ionic Electronic Conducting) 물질, NbO₂, VO₂ 등과 같은 MIT(Metal Insulator Transition) 물질, SiO₂, Al₂O₃ 등과 같이 상대적으로 넓은 밴드 갭을 갖는 터널링 절연층 등을 포함할 수 있다. 제1 비교예에서 선택 소자층(13)은 가변 저항층(12)과 제2 전극(14)의 사이에 개재되고 있으나, 이와는 달리, 가변 저항층(12)과 제1 전극(11)의 사이에 개재될 수도 있다. 또는, 선택 소자층(13)은 생략될 수도 있다.

[0022] 위와 같은 가변 저항 소자의 전류-전압 곡선은 도 1b에 예시적으로 나타내었다.

[0023] 도 1b를 참조하면, 초기에 가변 저항 소자는 고저항 상태(HRS)에 있다가, 인가되는 전압이 소정 크기의 제1 극성의 전압 예컨대, 양전압에 도달하면 가변 저항 소자의 저항 상태가 고저항 상태(HRS)에서 저저항 상태(LRS)로 변하는 셋 동작이 수행될 수 있다. 셋 동작시의 전압을 이하, 셋 전압(Vset)이라 하기로 한다.

[0024] 가변 저항 소자의 저저항 상태(LRS)는 전압이 감소하여도 유지되다가, 소정 크기의 제2 극성의 전압 예컨대, 음전압에서 다시 고저항 상태(HRS)로 변하는 리셋 동작이 수행될 수 있다. 리셋 동작시의 전압을 이하, 리셋 전압(Vreset)이라 하기로 한다.

[0025] 이와 같은 방식으로 가변 저항 소자는 고저항 상태(HRS)와 저저항 상태(LRS) 사이에서 반복적으로 스위칭할 수 있다. 따라서, 가변 저항 소자는, 저항 상태에 따라 서로 다른 데이터를 저장하면서 전원이 제거되어도 저장된 데이터를 유지하는 비휘발성 메모리 셀로 기능할 수 있다. 또한, 가변 저항 소자에 저장된 데이터를 리드하는 리드 동작시, 셋 전압(Vset)과 리셋 전압(Vreset) 사이의 리드 전압(Vread)이 인가될 수 있다. 리드 동작시 직전 동작에 따라 가변 저항 소자의 저항 상태가 다르므로, 동일한 리드 전압(Vread)에서 서로 다른 데이터가 읽힐 수 있다.

[0026] 한편, 최초의 셋 동작을 포밍 동작이라 할 수 있다. 포밍 동작시의 포밍 전압(Vforming)은 셋 전압(Vset)보다 클 수 있다. 이는 가변 저항층(12) 내에 도전성 경로를 최초로 생성하는 동작이 그 후의 도전성 경로 생성 동작보다 더 큰 전압을 필요로 하기 때문이다. 포밍 동작 이후의 셋 동작 및 리셋 동작에서 셋 전압(Vset) 및 리셋 전압(Vreset) 각각은 거의 일정하게 유지될 수 있다.

[0027] 그런데, 위와 같은 제1 비교예의 가변 저항 소자에서는 포밍 동작 및/또는 셋 동작과 같이 저저항 상태(LRS)로 바뀌는 동작시, 과도한 오버슈팅(overshooting) 전류가 발생하는 문제가 있다(① 참조). 오버슈팅 전류의 크기는 컴플라이언스 전류(CC)보다 훨씬 더 큰 수준일 수 있다. 이러한 오버슈팅 전류는 가변 저항층(12) 내에 형성되는 도전성 경로의 사이즈를 증가시켜 가변 저항 소자의 오프 전류 상승을 초래할 수 있다. 가변 저항 소자의 오프 전류가 증가하면, 가변 저항 소자를 통한 전류 누설이 증가하고, 온 전류와의 차이 감소로 데이터 리드 마진이 감소하는 문제가 발생할 수 있다.

[0028] 도 2a는 제2 비교예의 가변 저항 소자를 나타내는 단면도이고, 도 2b는 도 2a의 가변 저항 소자의 동작 방법을 설명하기 위한 그래프이다. 제2 비교예는 제1 비교예의 문제를 해결하고자 제공된 것이다. 본 도면의 설명에서, 제1 비교예와 실질적으로 동일한 부분에 대해서는 그 상세한 설명을 생략하기로 한다.

[0029] 도 2a를 참조하면, 제2 비교예의 가변 저항 소자는, 제1 전극(21), 제1 전극(21)과 이격하여 형성된 제2 전극(24), 제1 전극(21)과 제2 전극(24) 사이에 개재되는 가변 저항층(22), 및 가변 저항층(22)과 제2 전극(24) 사

이에 개재되는 선택 소자층(23)을 포함할 수 있다.

- [0030] 여기서, 제1 전극(21)은, 제1 서브 전극(21A), 제1 서브 전극(21A)과 이격하여 형성된 제2 서브 전극(21C), 및 제1 서브 전극(21A)과 제2 서브 전극(21C) 사이에 개재된 물질층(21B)을 포함할 수 있다. 제1 서브 전극(21A), 물질층(21B) 및 제2 서브 전극(21C)의 배열 방향은, 제1 전극(21), 가변 저항층(22), 선택 소자층(23) 및 제2 전극(24)의 배열 방향과 동일할 수 있다.
- [0031] 제1 서브 전극(21A) 및 제2 서브 전극(21C)은 금속, 금속 질화물 또는 이들의 조합 등 다양한 도전 물질로 형성될 수 있다.
- [0032] 물질층(21B)은 가변 저항 소자의 동작시 일종의 저항성 성분으로 기능하기 위한 것으로서, 제1 서브 전극(21A) 및 제2 서브 전극(21C)보다 저항이 큰 물질을 포함할 수 있다. 예컨대, 물질층(21B)은 금속 산화물, 실리콘 산화물 등과 같은 산화물, 실리콘 질화물 등과 같은 질화물, 또는 이들의 조합 등 다양한 절연 물질을 포함할 수 있다. 또는, 물질층(21B)은 상대적으로 작은 밴드갭을 갖는 반도체 물질을 포함할 수도 있다. 이때, 물질층(21B)은 가변 저항 소자의 동작 전류에서, 전압이 증가할수록 전류가 증가하는 옴릭 유사 거동(ohmic-like behavior)을 보여줄 수 있는 얇은 두께로 형성될 수 있다. 물질층(21B)의 두께가 얇을수록 물질의 종류와 관계없이 저항이 감소하여 리키한(leaky) 특성을 갖기 때문이다. 만약, 물질층(21B)의 두께가 소정 임계값 이상이면 동작 전류에서 브레이크 다운되어 도전 특성을 갖게 된다. 다시 말하면, 물질층(21B)은 더 이상 저항성 성분으로서의 기능을 수행할 수 없다. 단, 얇음의 의미는 상대적이어서, 식각에 부담을 줄 수 있는 정도의 두께일 수도 있다.
- [0033] 제2 비교예에서는 제1 전극(21)이 제1 서브 전극(21A), 물질층(21B) 및 제2 서브 전극(21C)의 적층 구조를 갖는 경우가 도시되어 있으나, 제1 전극(21) 대신 제2 전극(24)이 서브 전극/절연층 또는 반도체층/서브 전극의 적층 구조를 가질 수 있다. 또는, 제1 및 제2 전극(21, 24)이 서브 전극/절연층 또는 반도체층/서브 전극의 적층 구조를 가질 수도 있다.
- [0034] 위와 같은 가변 저항 소자의 전류-전압 곡선은 도 2b에 예시적으로 나타내었다.
- [0035] 도 2b를 참조하면, 제2 비교예의 전류-전압 곡선은 도 1b의 전류-전압 곡선(도 2b에서 점선으로 표시)과 유사할 수 있다. 다만, 0V와 셋 전압(Vset) 사이의 전압 구간 및/또는 0V와 포밍 전압(Vforming) 사이의 전압 구간에서, 곡선이 소정 정도 하향되어 있음을 알 수 있다(아래 방향의 화살표 참조). 이는 제2 비교예의 가변 저항 소자의 고저항 상태(HRS)에서 흐르는 전류 즉, 오프 전류가 제1 비교예에 비하여 더 감소하였음을 보여준다.
- [0036] 위와 같이, 제2 비교예의 가변 저항 소자에서 오프 전류가 감소하는 것은, 포밍 동작, 셋 동작 등과 같이 저저항 상태(LRS)로 변하는 동작시 오버슈팅 전류가 크게 감소하여 컴플라이언스 전류(CC)와 유사한 수준으로 한정될 수 있기 때문이다. 이러한 오버슈팅 전류의 감소는, 제1 전극(21) 내에 일종의 저항성 성분인 얇은 절연층 또는 반도체층의 삽입으로 가변 저항 소자 양단의 기생 캐패시턴스(parasitic capacitance)가 감소하기 때문이다. 오버슈팅 전류의 감소는 가변 저항층(22) 내에 흐르는 도전성 경로의 사이즈를 감소시켜 가변 저항 소자의 오프 전류를 감소시킬 수 있다. 결과적으로, 가변 저항 소자를 통한 전류 누설이 감소하고 가변 저항 소자의 데이터 리드 마진이 증가하는 등, 가변 저항 소자의 동작 특성이 향상될 수 있다. 또한, 오버슈팅 전류의 감소는 가변 저항층(22) 내의 물리적 결함(physical defect)도 감소시키므로, 가변 저항 소자의 스위칭 동작의 신뢰성, 즉, 내구성(endurance) 및 리텐션(retention) 특성도 개선될 수 있다.
- [0037] 그러나, 제2 비교예의 가변 저항 소자에서는 저항성 성분인 물질층(21B)이 가변 저항 소자에 포함되기 때문에, 제1 비교예에 비하여 가변 저항 소자의 패터닝 공정의 난이도가 증가할 수 있다.
- [0038] 게다가, 가변 저항 소자에 데이터를 저장하는 라이트 동작시에는 위와 같은 가변 저항 소자의 특성 향상을 위하여 물질층(21B)이 존재하는 것이 바람직하지만, 가변 저항 소자에 저장된 데이터를 읽는 리드 동작시에는 물질층(21B)이 존재하지 않는 것이 바람직할 수 있다. 물질층(21B)이 전류 흐름 특히, 저저항 상태(LRS)의 가변 저항 소자의 전류 흐름을 방해하여 데이터 리드 마진을 감소시킬 수 있기 때문이다. 그러나, 제2 비교예의 경우 저항성 성분인 물질층(21B)이 가변 저항 소자에 포함되기 때문에, 동작에 따라 물질층(21B)을 선택적으로 존재하게 할 수 없다.
- [0039] 본 실시예는, 제2 비교예의 가변 저항 소자의 향상된 특성을 확보할 수 있으면서, 가변 저항 소자의 패터닝 공정이 용이한 반도체 장치 및 그 제조 방법을 제공하고자 한다. 더 나아가, 동작에 따라 저항성 성분을 선택적으

로 이용할 수 있는 반도체 장치 및 그 제조 방법을 제공하고자 한다.

- [0040] 도 3a는 본 발명의 일 실시예에 따른 반도체 장치를 나타내는 평면도이고, 도 3b는 도 3a의 A-A' 선에 따른 단면도이다.
- [0041] 도 3a를 참조하면, 본 실시예의 반도체 장치는, 기판(300), 기판(300) 상에 형성되고 제1 방향으로 연장하는 복수의 제1 배선(330), 제1 배선(330) 상에 형성되고 제1 방향과 교차하는 제2 방향으로 연장하는 복수의 제2 배선(370), 제1 배선(330)과 제2 배선(370) 사이에서 이들의 교차 영역마다 형성되는 가변 저항층(340) 및 선택 소자층(350)의 적층 구조물, 및 기판(300)과 제1 배선(330)의 사이에 개재되어 이들을 서로 접속시키는 플러그(320)를 포함할 수 있다.
- [0042] 여기서, 제1 배선(330) 및 제2 배선(370)은 대응하는 가변 저항층(340) 및 T선택 소자층(350)으로 전압 또는 전류를 전달하기 위한 것으로, 금속, 금속 질화물 또는 이들의 조합 등 다양한 도전 물질로 형성될 수 있다.
- [0043] 하나의 제1 배선(330)과 하나의 제2 배선(370) 사이에 개재되는 가변 저항층(340) 및 선택 소자층(350)의 적층 구조물이 하나의 메모리 셀(MC)을 형성할 수 있다. 즉, 메모리 셀(MC)은 제1 배선(330)과 제2 배선(370)의 교차 영역마다 정의될 수 있다.
- [0044] 메모리 셀(MC) 중 가변 저항층(340)은, 도 1의 가변 저항층(12)과 실질적으로 동일한 물질로 형성될 수 있다. 또한, 메모리 셀(MC) 중 선택 소자층(350)은, 도 1의 선택 소자층(13)과 실질적으로 동일한 물질로 형성될 수 있다. 본 실시예에서 선택 소자층(350)은 가변 저항층(340)과 제2 배선(370)의 사이에 개재되고 있으나, 이와는 달리, 가변 저항층(340)과 제1 배선(330)의 사이에 개재될 수도 있다. 또는, 선택 소자층(350)은 생략될 수도 있다.
- [0045] 본 실시예에서 전극은 생략되고 제1 배선(330) 및 제2 배선(370)이 전극 역할을 수행하고 있으나, 제1 배선(330)과 가변 저항층(340) 사이 및/또는 선택 소자층(350)과 제2 배선(370) 사이에 전극이 더 개재될 수도 있다.
- [0046] 플러그(320)는 제1 배선(330)의 하면과 접속하여 제1 배선(330)으로 요구되는 전압 또는 전류를 공급할 수 있다. 플러그(320)는 제1 및 제2 방향으로 따라 메모리 셀(MC)이 배열되는 영역의 외곽에 위치할 수 있다. 예컨대, 플러그(320)는 제1 배선(330)의 단부와 중첩하도록 형성될 수 있다. 플러그(320)는 제1 도전층(322), 제1 도전층(322) 상에 위치하는 제2 도전층(326), 및 제1 도전층(322)과 제2 도전층(326) 사이에 개재되고 제1 및 제2 도전층(322, 326)보다 큰 저항을 갖는 물질층(324)을 포함할 수 있다.
- [0047] 제1 및 제2 도전층(322, 326)은 각각 금속, 금속 질화물 또는 이들의 조합 등 다양한 도전 물질로 형성될 수 있다.
- [0048] 물질층(324)은 도 2의 물질층(21B)과 실질적으로 동일한 물질로 형성되어, 반도체 장치의 동작시 일종의 저항성 성분으로 기능할 수 있다. 예컨대, 물질층(324)은 금속 산화물, 실리콘 산화물 등과 같은 산화물, 실리콘 질화물 등과 같은 질화물, 또는 이들의 조합 등 다양한 절연 물질을 포함할 수 있다. 또는, 물질층(324)은 상대적으로 작은 밴드갭을 갖는 반도체 물질을 포함할 수도 있다. 물질층(324)은 반도체 장치의 동작 전류에서, 옴릭 유사 거동을 보일 수 있는, 즉, 브레이크 다운되지 않는 얇은 두께로 형성될 수 있다. 예컨대, 물질층(324)은 제1 및 제2 도전층(322, 326) 각각의 두께보다 작은 두께를 가질 수 있다. 이러한 물질층(324)은 제1 및 제2 도전층(322, 326)과 함께 패터닝되기 때문에, 제1 및 제2 도전층(322, 326)의 측벽과 정렬된 측벽을 가질 수 있다.
- [0049] 이러한 반도체 장치에 있어서, 선택된 메모리 셀(MC)에 데이터를 저장하기 위한 라이트 동작 및/또는 선택된 메모리 셀(MC)에 저장된 데이터를 읽는 리드 동작시, 선택된 메모리 셀(MC)과 연결된 제2 배선(370), 선택된 메모리 셀(MC), 선택된 메모리 셀(MC)과 연결된 제1 배선(330) 및 이 제1 배선(330)에 연결된 플러그(320)를 통과하는 전류 흐름(화살표 참조)이 형성될 수 있다. 이를 위하여, 플러그(320)는 라이트 동작 및/또는 리드 동작을 위한 구동 회로(미도시됨)에 연결될 수 있다. 이 구동 회로는 플러그(320) 아래의 기판(300) 내에 구비될 수 있다.
- [0050] 이와 같이 메모리 셀(MC)의 라이트 동작 및/또는 리드 동작시 저항성 성분인 물질층(324)이 포함된 플러그(320)를 통과하는 전류 흐름이 생성되기 때문에, 전술한 제2 비교예와 실질적으로 동일한 효과가 획득될 수 있다. 즉, 메모리 셀(MC)의 오프 전류가 감소함으로써, 전류 누설이 감소하고 데이터 리드 마진이 확보될 수 있다. 나아가, 메모리 셀(MC) 동작의 신뢰성이 확보될 수 있다.

- [0051] 위 반도체 장치의 제조 방법을 간략히 설명하면 다음과 같다.
- [0052] 우선, 기관(300) 상에 제1 층간 절연막(310)을 형성한 후, 제1 층간 절연막(310)을 선택적으로 식각하여 플러그(320)가 형성될 공간을 제공하는 홀을 형성할 수 있다.
- [0053] 이어서, 홀이 형성된 결과물 상에 도전 물질을 증착한 후, 원하는 높이가 될 때까지 도전 물질을 에치백하여 홀의 하부를 매립하는 제1 도전층(322)을 형성할 수 있다.
- [0054] 이어서, 제1 도전층(322)이 형성된 결과물 상에 절연 물질 또는 반도체 물질을 증착한 후, 원하는 높이가 될 때까지 절연 물질 또는 반도체 물질을 에치백하여 홀의 중간 부분을 매립하는 물질층(324)을 형성할 수 있다.
- [0055] 이어서, 물질층(324)이 형성된 결과물 상에 홀을 충분히 매립하는 두께로 도전 물질을 증착한 후, 제1 층간 절연막(310)의 상면이 드러날 때까지 평탄화 공정 예컨대, CMP(Chemical Mechanical Polishing) 공정을 수행함으로써 홀의 상부를 매립하는 제2 도전층(326)을 형성할 수 있다.
- [0056] 이로써, 순차적으로 적층된 제1 도전층(322), 물질층(324) 및 제2 도전층(326)을 포함하고, 제1 층간 절연막(310)을 관통하여 기관(300)의 일부와 연결되는 기둥 형상의 플러그(320)가 형성될 수 있다. 여기서, 제1 도전층(322)의 형성 공정 또는 제2 도전층(326)의 형성 공정은 생략될 수도 있다.
- [0057] 이어서, 제1 층간 절연막(310) 및 플러그(320) 상에 도전 물질을 증착하고 이 도전 물질을 선택적으로 식각하여 플러그(320)의 상단과 접속하면서 제1 방향으로 연장하는 제1 배선(330)을 형성할 수 있다. 제1 배선(330) 사이의 공간은 절연 물질(미도시됨)으로 매립될 수 있다.
- [0058] 이어서, 제1 배선(330) 및 절연 물질 상에 가변 저항 물질 및 선택 소자 물질을 순차적으로 증착한 후, 이 가변 저항 물질 및 선택 소자 물질을 선택적으로 식각하여 가변 저항층(340) 및 선택 소자층(350)의 적층 구조물을 형성할 수 있다. 가변 저항층(340) 및 선택 소자층(350)의 적층 구조물의 하단은 제1 배선(330)과 접속할 수 있다.
- [0059] 이어서, 가변 저항층(340) 및 선택 소자층(350)의 적층 구조물 사이의 공간을 절연 물질로 매립하여 제2 층간 절연막(360)을 형성할 수 있다.
- [0060] 이어서, 가변 저항층(340) 및 선택 소자층(350)의 적층 구조물, 및 제2 층간 절연막(360) 상에 도전 물질을 증착하고 이 도전 물질을 선택적으로 식각하여, 가변 저항층(340) 및 선택 소자층(350)의 적층 구조물의 상단과 접속하면서 제2 방향으로 연장하는 제2 배선(370)을 형성할 수 있다.
- [0061] 위 제조 방법을 살펴보면, 제2 비교예와 달리, 저항성 성분인 물질층(324)이 메모리 셀(MC)과 별도의 공정 즉, 플러그(320) 형성 공정에서 패터닝되기 때문에, 메모리 셀(MC)의 패터닝 공정의 난이도가 감소할 수 있다.
- [0062] 한편, 본 실시예에서 플러그(320)는 라이트 동작 뿐만 아니라 리드 동작시에도 전류 흐름의 통로로도 이용될 수 있다. 그러나, 전술한 바와 같이, 리드 동작시에는 저항성 성분이 부존재하는 것이 더 바람직하다. 이는, 리드 동작시 메모리 셀(MC)의 온 전류가 감소하는 것을 방지하여 데이터 리드 마진을 더욱 증가시키기 위함이다. 이에 대해서는, 이하의 도 4a 및 도 4b를 참조하여 더욱 상세히 설명하기로 한다.
- [0063] 도 4a는 본 발명의 다른 일 실시예에 따른 반도체 장치를 나타내는 평면도이고, 도 4b는 도 4a의 B-B' 선에 따른 단면도이다. 도 4c 내지 도 4d는 도 4a 및 도 4b의 반도체 장치를 제조하기 위한 중간 공정 단계를 나타내는 단면도이다. 전술한 도 3a 및 도 3b의 실시예와의 차이점을 중심으로 설명하기로 한다.
- [0064] 도 4a 및 도 4b를 참조하면, 본 실시예의 반도체 장치는, 기관(400), 기관(400) 상에 형성되고 제1 방향으로 연장하는 복수의 제1 배선(430), 제1 배선(430) 상에 형성되고 제1 방향과 교차하는 제2 방향으로 연장하는 복수의 제2 배선(470), 제1 배선(430)과 제2 배선(470) 사이에서 이들의 교차 영역마다 형성되는 가변 저항층(440) 및 선택 소자층(450)의 적층 구조물, 기관(400)과 제1 배선(430)의 사이에서 기관(400)의 일부와 제1 배선(430)을 서로 접속시키는 제1 플러그(420), 및 기관(400)과 제1 배선(430)의 사이에서 기관(400)의 다른 일부와 제1 배선(430)을 서로 접속시키는 제2 플러그(425)를 포함할 수 있다.
- [0065] 제1 플러그(420)는, 도 3a 및 도 3b의 제1 플러그(320)와 유사하게, 제1 도전층(422), 제1 도전층(422) 상에 위치하는 제2 도전층(426), 및 제1 도전층(422)과 제2 도전층(426) 사이에 개재되고 제1 및 제2 도전층(422, 426)보다 큰 저항을 갖는 물질층(424)을 포함할 수 있다. 반면, 제2 플러그(425)는 저항성 성분 없이 도전 물질만을 포함할 수 있다.

- [0066] 제1 및 제2 플러그(420, 425)는 제1 및 제2 방향으로 따라 메모리 셀(MC)이 배열되는 영역의 외곽에 위치하되, 제1 방향에서 서로 반대편에 위치할 수 있다. 즉, 제1 플러그(420)는 제1 배선(430)의 일 단부와 접속하고 제2 플러그(425)는 제1 배선(430)의 타 단부와 접속할 수 있다.
- [0067] 이러한 반도체 장치에 있어서, 선택된 메모리 셀(MC)에 데이터를 저장하기 위한 라이트 동작시, 선택된 메모리 셀(MC)과 연결된 제2 배선(470), 선택된 메모리 셀(MC), 선택된 메모리 셀(MC)과 연결된 제1 배선(430) 및 이 제1 배선(430)에 연결된 제1 플러그(420)를 통과하는 전류 흐름(실선 화살표 참조)이 형성될 수 있다. 이를 위하여, 제1 플러그(420)는 제1 플러그(420) 아래의 기관(400) 내에 구비되고 라이트 동작을 위한 구동 회로(미도시됨)에 접속할 수 있다.
- [0068] 반면, 선택된 메모리 셀(MC)에 저장된 데이터를 읽기 위한 리드 동작시, 선택된 메모리 셀(MC)과 연결된 제2 배선(470), 선택된 메모리 셀(MC), 선택된 메모리 셀(MC)과 연결된 제1 배선(430) 및 이 제1 배선(430)에 연결된 제2 플러그(425)를 통과하는 전류 흐름(점선 화살표 참조)이 형성될 수 있다. 이를 위하여, 제2 플러그(425)는 제2 플러그(425) 아래의 기관(400) 내에 구비되고 리드 동작을 위한 구동 회로(미도시됨)에 접속할 수 있다.
- [0069] 본 실시예에 의하는 경우, 라이트 동작시와 리드 동작시의 전류 흐름이 분리될 수 있다. 즉, 라이트 동작시에는 저항성 성분인 물질층(424)을 통과하는 전류 흐름이 생성되는 반면, 리드 동작시에는 도전 물질만을 통과하는 전류 흐름이 생성될 수 있다. 따라서, 도 3a 및 도 3b의 실시예에 비하여, 데이터 리드 마진이 더욱 향상될 수 있다.
- [0070] 위 반도체 장치의 제조 방법을 설명하면 다음과 같다.
- [0071] 우선, 도 4c를 참조하면, 기관(400) 상에 제1 층간 절연막(410)을 형성한 후, 제1 층간 절연막(410)을 선택적으로 식각하여 제1 플러그(420)가 형성될 공간을 제공하는 제1 홀(H1) 및 제2 플러그(425)가 형성될 공간을 제공하는 제2 홀(H2)을 형성할 수 있다.
- [0072] 이어서, 제1 및 제2 홀(H1, H2)이 형성된 결과물 상에 제1 및 제2 홀(H1, H2)을 충분히 매립하는 두께의 도전 물질을 증착한 후, 제1 층간 절연막(410)의 상면이 노출될 때까지 평탄화 공정을 수행할 수 있다. 그에 따라, 제1 홀(H1) 내에 매립되는 초기 제1 도전층(422') 및 제2 홀(H2) 내에 매립되는 제2 플러그(425)가 형성될 수 있다.
- [0073] 이어서, 도 4d를 참조하면, 제1 홀(H1)과 대응하는 영역을 노출시키는 개구부(O)를 갖는 마스크 패턴(M)을 형성한 후, 노출되는 초기 제1 도전층(422')의 일부를 에치백으로 제거하여 제1 홀(H1)의 하부를 매립하는 제1 도전층(422)을 형성할 수 있다. 여기서, 중첩 마진을 확보하기 위하여 개구부(O)의 수평 방향의 폭은 제1 홀(H1)의 수평 방향의 폭보다 더 클 수 있다.
- [0074] 후속 공정들은 도 3a 및 도 3b의 실시예에서 설명한 것과 실질적으로 동일하므로, 그 상세한 설명은 생략하기로 한다. 여기서, 마스크 패턴(M)은 제1 배선(330) 형성 공정 전에 제거될 수 있다. 마스크 패턴(M)은, 물질층(424) 형성 과정 및/또는 제2 도전층(426) 형성 과정에서 자연스럽게 제거되거나 또는 포토레지스트 스트립 공정 등 별도의 제거 공정을 통하여 제거될 수 있다.
- [0075] 한편, 전술한 실시예들의 플러그(320) 또는 제1 플러그(420)에 도전 물질 및 이 도전 물질보다 저항이 높은 저항성 성분을 포함하기만 한다면, 도전 물질 및 저항성 성분의 형상은 다양하게 변형될 수 있다. 이에 대해서는 도 5 및 도 6을 참조하여 예시적으로 설명하기로 한다.
- [0076] 도 5는 저항성 성분을 포함하는 플러그의 일예를 나타내는 단면도이다.
- [0077] 도 5를 참조하면, 기관(500)과 제1 배선(530) 사이의 플러그(520)는 도전층(522), 및 도전층(522) 상에 위치하고 도전층(522)보다 높은 저항을 갖는 물질층(524)을 포함할 수 있다.
- [0078] 본 실시예에서, 물질층(524)은 플러그(520)를 형성하는 도전 물질의 중간에 위치하지 않고 양 끝단 중 적어도 하나에 위치할 수 있다. 즉, 물질층(524)은 제1 배선(530)과 도전층(522) 사이의 계면에 위치할 수 있다. 또는, 도시하지는 않았으나, 물질층(524)은 기관(500)과 도전층(522) 사이의 계면에 위치할 수 있다.
- [0079] 도 6은 저항성 성분을 포함하는 플러그의 다른 일예를 나타내는 단면도이다.
- [0080] 도 6을 참조하면, 기관(600)과 제1 배선(630) 사이의 플러그(620)는 제1 도전층(622), 저항성 성분인 물질층(624) 및 제2 도전층(626)을 포함할 수 있다.

- [0081] 여기서, 제1 도전층(622)은 기둥 형상을 가질 수 있다. 제2 도전층(626)은 제1 도전층(622)보다 수평 방향의 폭이 좁은 기둥 형상을 가질 수 있다. 물질층(624)은 제1 도전층(622)의 측벽 및 저면을 따라 형성될 수 있다. 그에 따라, 물질층(624)은 제1 도전층(622)과 제2 도전층(626)을 분리시키면서, 제1 도전층(622)의 측벽과 정렬된 측벽을 가질 수 있다.
- [0082] 위와 같은 플러그(620) 형성 공정을 간략히 설명하면 다음과 같다.
- [0083] 우선, 기판(600) 상의 제1 층간 절연막(610)을 선택적으로 식각하여 홀을 형성한 후, 홀의 하부에 매립되는 제1 도전층(622)을 형성할 수 있다.
- [0084] 이어서, 제1 도전층(622)이 형성된 결과물 상에 홀을 매립하지 않는 얇은 두께의 절연 물질 혹은 반도체 물질을 증착한 후, 절연 물질 혹은 반도체 물질 상에 홀의 나머지 공간을 충분히 매립하는 두께의 도전 물질을 증착할 수 있다.
- [0085] 이어서, 제1 층간 절연막(610)의 상면이 드러날 때까지 평탄화 공정을 수행함으로써, 제1 도전층(622)이 형성된 홀의 측벽 및 저면을 따라 형성된 물질층(624), 및 물질층(624)에 의해 측벽 및 저면이 둘러싸이면서 홀 내에 매립되는 제2 도전층(626)을 형성할 수 있다.
- [0086] 도 7은 본 발명의 다른 일 실시예에 따른 반도체 장치를 나타내는 평면도로서, 복수의 매트 영역을 포함하는 경우를 설명하기 위한 것이다.
- [0087] 도 7을 참조하면, 본 실시예의 반도체 장치는, 기판(미도시됨) 상에 형성되고 제1 방향으로 연장하는 복수의 제1 배선(730), 제1 배선(730) 상에 형성되고 제1 방향과 교차하는 제2 방향으로 연장하는 복수의 제2 배선(770), 제1 배선(730)과 제2 배선(770) 사이에서 이들의 교차 영역마다 형성되는 메모리 셀, 기판과 제1 배선(730)의 사이에서 제1 배선(730)과 접속하는 제1 및 제2 플러그(720, 725)를 포함할 수 있다.
- [0088] 여기서, 복수의 제1 배선(730)은 제2 방향에서 둘 이상의 그룹으로 나누어질 수 있고, 복수의 제2 배선(770)은 제1 방향에서 둘 이상의 그룹으로 나누어질 수 있다. 한 그룹에 속하는 제1 배선(730) 및 한 그룹에 속하는 제2 배선(770)의 교차점에 위치하는 메모리 셀들이 배열되는 영역을 하나의 매트 영역이라 할 수 있다. 본 실시예에서, 6개의 제1 배선(730)은 각각 3개의 제1 배선(730)을 포함하는 두 개의 그룹으로 나누어지고, 6개의 제2 배선(770)은 각각 3개의 제1 배선(770)을 포함하는 두 개의 그룹으로 나누어질 수 있다. 그에 따라, 네 개의 매트 영역 즉, 제1 내지 제4 매트 영역(MAT1, MAT2, MAT3, MAT4)이 형성될 수 있다. 제1 내지 제4 매트 영역(MAT1, MAT2, MAT3, MAT4) 각각은 3*3의 메모리 셀을 포함할 수 있다.
- [0089] 저항성 성분을 포함하는 제1 플러그(720)는 제1 방향으로 배열되는 두 개의 매트 영역 사이 즉, 제1 매트 영역(MAT1)과 제2 매트 영역(MAT2) 사이, 및 제3 매트 영역(MAT3)과 제4 매트 영역(MAT4) 사이에 위치할 수 있다. 반면, 저항성 성분을 포함하지 않는 제2 플러그(725)는 제1 방향으로 배열되는 두 개의 매트 영역 양측, 즉, 제1 매트 영역(MAT1)의 좌측과 제2 매트 영역(MAT2)의 우측, 및 제3 매트 영역(MAT3)의 좌측과 제4 매트 영역(MAT4)의 우측에 위치할 수 있다.
- [0090] 이러한 경우, 제1 매트 영역(MAT1) 또는 제2 매트 영역(MAT2)의 라이트 동작시, 제1 매트 영역(MAT1)과 제2 매트 영역(MAT2) 사이의 제1 플러그(720)가 전류 통로로 이용될 수 있다. 반면, 제1 매트 영역(MAT1)의 리드 동작시에는 제1 매트 영역(MAT1) 좌측의 제2 플러그(725)가 전류 통로로 이용되고, 제2 매트 영역(MAT2)의 리드 동작시에는 제2 매트 영역(MAT2) 우측의 제2 플러그(725)가 전류 통로로 이용될 수 있다. 유사한 방식으로, 제3 및 제4 매트 영역(MAT3, MAT4)도 각각 동작할 수 있다.
- [0091] 다른 실시예에서, 제1 플러그(720)와 제2 플러그(725)의 위치는 서로 뒤바뀔 수도 있다. 즉, 제2 플러그(725)가 두 개의 매트 영역 사이에 위치하고 제1 플러그(720)가 두 개의 매트 영역 양측에 위치할 수도 있다.
- [0092] 한편, 위와 같은 반도체 장치를 제조하는 과정에서, 제1 플러그(720)가 형성된 영역을 노출시키는 개구부(0)를 갖는 마스크 패턴이 요구되는데(도 4d 참조), 이 개구부(0)는 제1 방향의 폭이 제1 플러그(720)보다 더 크면서, 제2 방향으로 연장하는 라인 형상을 가질 수 있다.
- [0093] 전술한 실시예들의 메모리 회로 또는 반도체 장치는 다양한 장치 또는 시스템에 이용될 수 있다. 도 8 내지 도 12는 전술한 실시예들의 메모리 회로 또는 반도체 장치를 구현할 수 있는 장치 또는 시스템의 몇몇 예시들을 나타낸다.
- [0094] 도 8은 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 마이크로프로세서의 구성도의 일 예이다.

- [0095] 도 8을 참조하면, 마이크로프로세서(1000)는 다양한 외부 장치로부터 데이터를 받아서 처리한 후 그 결과를 외부 장치로 보내는 일련의 과정을 제어하고 조정하는 일을 수행할 수 있으며, 기억부(1010), 연산부(1020), 제어부(1030) 등을 포함할 수 있다. 마이크로프로세서(1000)는 중앙 처리 장치(Central Processing Unit; CPU), 그래픽 처리 장치(Graphic Processing Unit; GPU), 디지털 신호 처리 장치(Digital Signal Processor; DSP), 어플리케이션 프로세서(Application Processor; AP) 등 각종 데이터 처리 장치 일 수 있다.
- [0096] 기억부(1010)는 프로세서 레지스터(Mrocessor register), 레지스터(Register) 등으로, 마이크로프로세서(1000) 내에서 데이터를 저장하는 부분일 수 있고, 데이터 레지스터, 주소 레지스터, 부동 소수점 레지스터 등을 포함할 수 있으며 이외에 다양한 레지스터를 포함할 수 있다. 기억부(1010)는 연산부(1020)에서 연산을 수행하는 데이터나 수행결과 데이터, 수행을 위한 데이터가 저장되어 있는 주소를 일시적으로 저장하는 역할을 수행할 수 있다.
- [0097] 기억부(1010)는 전술한 반도체 장치의 실시예들 중 하나 이상을 포함할 수 있다. 예컨대, 기억부(1010)는 제1 방향으로 연장하는 복수의 제1 배선; 상기 제1 방향과 교차하는 제2 방향으로 연장하는 복수의 제2 배선; 상기 제1 배선과 상기 제2 배선의 사이에서, 상기 제1 배선과 상기 제2 배선의 교차영역에 위치하는 복수의 가변 저항 소자; 및 상기 제1 배선 각각의 제1 부분과 접속하는 플러그를 포함하고, 상기 플러그는, 도전층 및 상기 도전층보다 높은 저항을 갖는 물질층을 포함할 수 있다. 이를 통해, 기억부(1010)의 동작 특성 및 신뢰성이 향상될 수 있다. 결과적으로, 마이크로프로세서(1000)의 동작 특성 및 신뢰성이 향상될 수 있다.
- [0098] 연산부(1020)는 제어부(1030)가 명령을 해독한 결과에 따라서 여러 가지 사칙 연산 또는 논리 연산을 수행할 수 있다. 연산부(1020)는 하나 이상의 산술 논리 연산 장치(Arithmetic and Logic Unit; ALU) 등을 포함할 수 있다.
- [0099] 제어부(1030)는 기억부(1010), 연산부(1020), 마이크로프로세서(1000)의 외부 장치 등으로부터 신호를 수신하고, 명령의 추출이나 해독, 마이크로프로세서(1000)의 신호 입출력의 제어 등을 수행하고, 프로그램으로 나타내어진 처리를 실행할 수 있다.
- [0100] 본 실시예에 따른 마이크로프로세서(1000)는 기억부(1010) 이외에 외부 장치로부터 입력되거나 외부 장치로 출력할 데이터를 임시 저장할 수 있는 캐시 메모리부(1040)를 추가로 포함할 수 있다. 이 경우 캐시 메모리부(1040)는 버스 인터페이스(1050)를 통해 기억부(1010), 연산부(1020) 및 제어부(1030)와 데이터를 주고 받을 수 있다.
- [0101] 도 9는 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 프로세서의 구성도의 일 예이다.
- [0102] 도 9를 참조하면, 프로세서(1100)는 다양한 외부 장치로부터 데이터를 받아서 처리한 후 그 결과를 외부 장치로 보내는 일련의 과정을 제어하고 조정하는 일을 수행하는 마이크로프로세서의 기능 이외에 다양한 기능을 포함하여 성능 향상 및 다기능을 구현할 수 있다. 프로세서(1100)는 마이크로프로세서의 역할을 하는 코어부(1110), 데이터를 임시 저장하는 역할을 하는 캐시 메모리부(1120) 및 내부와 외부 장치 사이의 데이터 전달을 위한 버스 인터페이스(1430)를 포함할 수 있다. 프로세서(1100)는 멀티 코어 프로세서(Multi Core Processor), 그래픽 처리 장치(Graphic Processing Unit; GPU), 어플리케이션 프로세서(Application Processor; AP) 등과 같은 각종 시스템 온 칩(System on Chip; SoC)을 포함할 수 있다.
- [0103] 본 실시예의 코어부(1110)는 외부 장치로부터 입력된 데이터를 산술 논리 연산하는 부분으로, 기억부(1111), 연산부(1112) 및 제어부(1113)를 포함할 수 있다.
- [0104] 기억부(1111)는 프로세서 레지스터(Mrocessor register), 레지스터(Register) 등으로, 프로세서(1100) 내에서 데이터를 저장하는 부분일 수 있고, 데이터 레지스터, 주소 레지스터, 부동 소수점 레지스터 등을 포함할 수 있으며 이외에 다양한 레지스터를 포함할 수 있다. 기억부(1111)는 연산부(1112)에서 연산을 수행하는 데이터나 수행결과 데이터, 수행을 위한 데이터가 저장되어 있는 주소를 일시적으로 저장하는 역할을 수행할 수 있다. 연산부(1112)는 프로세서(1100)의 내부에서 연산을 수행하는 부분으로, 제어부(1113)가 명령을 해독한 결과에 따라서 여러 가지 사칙 연산, 논리 연산 등을 수행할 수 있다. 연산부(1112)는 하나 이상의 산술 논리 연산 장치(Arithmetic and Logic Unit; ALU) 등을 포함할 수 있다. 제어부(1113)는 기억부(1111), 연산부(1112), 프로세서(1100)의 외부 장치 등으로부터 신호를 수신하고, 명령의 추출이나 해독, 프로세서(1100)의 신호 입출력의 제어 등을 수행하고, 프로그램으로 나타내어진 처리를 실행할 수 있다.
- [0105] 캐시 메모리부(1120)는 고속으로 동작하는 코어부(1110)와 저속으로 동작하는 외부 장치 사이의 데이터 처리 속

도 차이를 보완하기 위해 임시로 데이터를 저장하는 부분으로, 1차 저장부(1121), 2차 저장부(1122) 및 3차 저장부(1123)를 포함할 수 있다. 일반적으로 캐시 메모리부(1120)는 1차, 2차 저장부(1121, 1122)를 포함하며 고용량이 필요할 경우 3차 저장부(1123)를 포함할 수 있으며, 필요시 더 많은 저장부를 포함할 수 있다. 즉 캐시 메모리부(1120)가 포함하는 저장부의 개수는 설계에 따라 달라질 수 있다. 여기서, 1차, 2차, 3차 저장부(1121, 1122, 1123)의 데이터 저장 및 판별하는 처리 속도는 같을 수도 있고 다를 수도 있다. 각 저장부의 처리 속도가 다른 경우, 1차 저장부의 속도가 제일 빠를 수 있다. 캐시 메모리부(1120)의 1차 저장부(1121), 2차 저장부(1122) 및 3차 저장부(1123) 중 하나 이상의 저장부는 전술한 반도체 장치의 실시예들 중 하나 이상을 포함할 수 있다. 예를 들어, 캐시 메모리부(1120)는 제1 방향으로 연장하는 복수의 제1 배선; 상기 제1 방향과 교차하는 제2 방향으로 연장하는 복수의 제2 배선; 상기 제1 배선과 상기 제2 배선의 사이에서, 상기 제1 배선과 상기 제2 배선의 교차영역에 위치하는 복수의 가변 저항 소자; 및 상기 제1 배선 각각의 제1 부분과 접촉하는 플러그를 포함하고, 상기 플러그는, 도전층 및 상기 도전층보다 높은 저항을 갖는 물질층을 포함할 수 있다. 이를 통해 캐시 메모리부(1120)의 동작 특성 및 신뢰성이 향상될 수 있다. 결과적으로, 프로세서(1100)의 동작 특성 및 신뢰성이 향상될 수 있다.

[0106] 도 9에는 1차, 2차, 3차 저장부(1121, 1122, 1123)가 모두 캐시 메모리부(1120)의 내부에 구성된 경우를 도시하였으나, 캐시 메모리부(1120)의 1차, 2차, 3차 저장부(1121, 1122, 1123)는 모두 코어부(1110)의 외부에 구성되어 코어부(1110)와 외부 장치간의 처리 속도 차이를 보완할 수 있다. 또는, 캐시 메모리부(1120)의 1차 저장부(1121)는 코어부(1110)의 내부에 위치할 수 있고, 2차 저장부(1122) 및 3차 저장부(1123)는 코어부(1110)의 외부에 구성되어 처리 속도 차이의 보완 기능이 보다 강화될 수 있다. 또는, 1차, 2차 저장부(1121, 1122)는 코어부(1110)의 내부에 위치할 수 있고, 3차 저장부(1123)는 코어부(1110)의 외부에 위치할 수 있다.

[0107] 버스 인터페이스(1430)는 코어부(1110), 캐시 메모리부(1120) 및 외부 장치를 연결하여 데이터를 효율적으로 전송할 수 있게 해주는 부분이다.

[0108] 본 실시예에 따른 프로세서(1100)는 다수의 코어부(1110)를 포함할 수 있으며 다수의 코어부(1110)가 캐시 메모리부(1120)를 공유할 수 있다. 다수의 코어부(1110)와 캐시 메모리부(1120)는 직접 연결되거나, 버스 인터페이스(1430)를 통해 연결될 수 있다. 다수의 코어부(1110)는 모두 상술한 코어부의 구성과 동일하게 구성될 수 있다. 프로세서(1100)가 다수의 코어부(1110)를 포함할 경우, 캐시 메모리부(1120)의 1차 저장부(1121)는 다수의 코어부(1110)의 개수에 대응하여 각각의 코어부(1110) 내에 구성되고 2차 저장부(1122)와 3차 저장부(1123)는 다수의 코어부(1110)의 외부에 버스 인터페이스(1130)를 통해 공유되도록 구성될 수 있다. 여기서, 1차 저장부(1121)의 처리 속도가 2차, 3차 저장부(1122, 1123)의 처리 속도보다 빠를 수 있다. 다른 실시예에서, 1차 저장부(1121)와 2차 저장부(1122)는 다수의 코어부(1110)의 개수에 대응하여 각각의 코어부(1110) 내에 구성되고, 3차 저장부(1123)는 다수의 코어부(1110) 외부에 버스 인터페이스(1130)를 통해 공유되도록 구성될 수 있다.

[0109] 본 실시예에 따른 프로세서(1100)는 데이터를 저장하는 임베디드(Embedded) 메모리부(1140), 외부 장치와 유선 또는 무선으로 데이터를 송수신할 수 있는 통신모듈부(1150), 외부 기억 장치를 구동하는 메모리 컨트롤러부(1160), 외부 인터페이스 장치에 프로세서(1100)에서 처리된 데이터나 외부 입력장치에서 입력된 데이터를 가공하고 출력하는 미디어처리부(1170) 등을 추가로 포함할 수 있으며, 이 이외에도 다수의 모듈과 장치를 포함할 수 있다. 이 경우 추가된 다수의 모듈들은 버스 인터페이스(1130)를 통해 코어부(1110), 캐시 메모리부(1120) 및 상호간 데이터를 주고 받을 수 있다.

[0110] 여기서 임베디드 메모리부(1140)는 휘발성 메모리뿐만 아니라 비휘발성 메모리를 포함할 수 있다. 휘발성 메모리는 DRAM(Dynamic Random Access Memory), Mobile DRAM, SRAM(Static Random Access Memory), 및 이와 유사한 기능을 하는 메모리 등을 포함할 수 있으며, 비휘발성 메모리는 ROM(Read Only Memory), NOR Flash Memory, NAND Flash Memory, PRAM(Phase Change Random Access Memory), RRAM(Resistive Random Access Memory), STTRAM(Spin Transfer Torque Random Access Memory), MRAM(Magnetic Random Access Memory), 및 이와 유사한 기능을 수행하는 메모리 등을 포함할 수 있다.

[0111] 통신모듈부(1150)는 유선 네트워크와 연결할 수 있는 모듈, 무선 네트워크와 연결할 수 있는 모듈, 및 이들 전부를 포함할 수 있다. 유선 네트워크 모듈은, 전송 라인을 통하여 데이터를 송수신하는 다양한 장치들과 같이, 유선랜(Local Area Network; LAN), 유에스비(Universal Serial Bus; USB), 이더넷(Ethernet), 전력선통신(Mower Line Communication; PLC) 등을 포함할 수 있다. 무선 네트워크 모듈은, 전송 라인 없이 데이터를 송수신하는 다양한 장치들과 같이, 적외선 통신(Infrared Data Association; IrDA), 코드 분할 다중 접속(Code Division Multiple Access; CDMA), 시분할 다중 접속(Time Division Multiple Access; TDMA), 주파수 분할 다

중 접속(Frequency Division Multiple Access; FDMA), 무선랜(Wireless LAN), 지그비(Zigbee), 유비쿼터스 센서 네트워크(Ubiquitous Sensor Network; USN), 블루투스(Bluetooth), RFID(Radio Frequency Identification), 롱텀에볼루션(Long Term Evolution; LTE), 근거리 무선통신(Near Field Communication; NFC), 광대역 무선 인터넷(Wireless Broadband Internet; Wibro), 고속 하향 패킷 접속(High Speed Downlink Packet Access; HSDPA), 광대역 코드 분할 다중 접속(Wideband CDMA; WCDMA), 초광대역 통신(Ultra WideBand; UWB) 등을 포함할 수 있다.

[0112] 메모리 컨트롤부(1160)는 프로세서(1100)와 서로 다른 통신 규격에 따라 동작하는 외부 저장 장치 사이에 전송되는 데이터를 처리하고 관리하기 위한 것으로 각종 메모리 컨트롤러, 예를 들어, IDE(Integrated Device Electronics), SATA(Serial Advanced Technology Attachment), SCSI(Small Computer System Interface), RAID(Redundant Array of Independent Disks), SSD(Solid State Disk), eSATA(External SATA), PCMCIA(Personal Computer Memory Card International Association), USB(Universal Serial Bus), 씨큐어 디지털 카드(Secure Digital; SD), 미니 씨큐어 디지털 카드(mini Secure Digital card; mSD), 마이크로 씨큐어 디지털 카드(micro SD), 고용량 씨큐어 디지털 카드(Secure Digital High Capacity; SDHC), 메모리 스틱 카드(Memory Stick Card), 스마트 미디어 카드(Smart Media Card; SM), 멀티 미디어 카드(Multi Media Card; MMC), 내장 멀티 미디어 카드(Embedded MMC; eMMC), 콤팩트 플래시 카드(Compact Flash; CF) 등을 제어하는 컨트롤러를 포함할 수 있다.

[0113] 미디어처리부(1170)는 프로세서(1100)에서 처리된 데이터나 외부 입력장치로부터 영상, 음성 및 기타 형태로 입력된 데이터를 가공하고, 이 데이터를 외부 인터페이스 장치로 출력할 수 있다. 미디어처리부(1170)는 그래픽 처리 장치(Graphics Processing Unit; GPU), 디지털 신호 처리 장치(Digital Signal Processor; DSP), 고선명 오디오(High Definition Audio; HD Audio), 고선명 멀티미디어 인터페이스(High Definition Multimedia Interface; HDMI) 컨트롤러 등을 포함할 수 있다.

[0114] 도 10은 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 시스템의 구성도의 일 예이다.

[0115] 도 10을 참조하면, 시스템(1200)은 데이터를 처리하는 장치로, 데이터에 대하여 일련의 조작을 행하기 위해 입력, 처리, 출력, 통신, 저장 등을 수행할 수 있다. 시스템(1200)은 프로세서(1210), 주기억장치(1220), 보조기억장치(1230), 인터페이스 장치(1240) 등을 포함할 수 있다. 본 실시예의 시스템(1200)은 컴퓨터(Computer), 서버(Server), PDA(Personal Digital Assistant), 휴대용 컴퓨터(Mobile Computer), 웹 태블릿(Web Tablet), 무선 폰(Wireless Phone), 모바일 폰(Mobile Phone), 스마트 폰(Smart Phone), 디지털 뮤직 플레이어(Digital Music Player), PMP(Personal Multimedia Player), 카메라(Camera), 위성항법장치(Global Positioning System; GPS), 비디오 카메라(Video Camera), 음성 녹음기(Voice Recorder), 텔레매틱스(Telematics), AV시스템(Audio Visual System), 스마트 텔레비전(Smart Television) 등 프로세스를 사용하여 동작하는 각종 전자 시스템일 수 있다.

[0116] 프로세서(1210)는 입력된 명령어의 해석과 시스템(1200)에 저장된 자료의 연산, 비교 등의 처리를 제어할 수 있고, 마이크로프로세서(Micro Processor Unit; MPU), 중앙 처리 장치(Central Processing Unit; CPU), 싱글/멀티 코어 프로세서(Single/Multi Core Processor), 그래픽 처리 장치(Graphic Processing Unit; GPU), 어플리케이션 프로세서(Application Processor; AP), 디지털 신호 처리 장치(Digital Signal Processor; DSP) 등을 포함할 수 있다.

[0117] 주기억장치(1220)는 프로그램이 실행될 때 보조기억장치(1230)로부터 프로그램 코드나 자료를 이동시켜 저장, 실행시킬 수 있는 기억장소로, 전원이 끊어져도 기억된 내용이 보존될 수 있다. 주기억장치(1220)는 전술한 반도체 장치의 실시예들 중 하나 이상을 포함할 수 있다. 예를 들어, 주기억장치(1220)는 제1 방향으로 연장하는 복수의 제1 배선; 상기 제1 방향과 교차하는 제2 방향으로 연장하는 복수의 제2 배선; 상기 제1 배선과 상기 제2 배선의 사이에서, 상기 제1 배선과 상기 제2 배선의 교차영역에 위치하는 복수의 가변 저장 소자; 및 상기 제1 배선 각각의 제1 부분과 접속하는 플러그를 포함하고, 상기 플러그는, 도전층 및 상기 도전층보다 높은 저항을 갖는 물질층을 포함할 수 있다. 이를 통해, 주기억장치(1220)의 동작 특성 및 신뢰성이 향상될 수 있다. 결과적으로, 시스템(1200)의 동작 특성 및 신뢰성이 향상될 수 있다.

[0118] 또한, 주기억장치(1220)는 전원이 꺼지면 모든 내용이 지워지는 휘발성 메모리 타입의 에스램(Static Random Access Memory; SRAM), 디램(Dynamic Random Access Memory) 등을 더 포함할 수 있다. 이와는 다르게, 주기억장치(1220)는 전술한 실시예의 반도체 장치를 포함하지 않고, 전원이 꺼지면 모든 내용이 지워지는 휘발성 메모리 타입의 에스램(Static Random Access Memory; SRAM), 디램(Dynamic Random Access Memory) 등을 포함할 수

있다.

[0119] 보조기억장치(1230)는 프로그램 코드나 데이터를 보관하기 위한 기억장치를 말한다. 주기억장치(1220)보다 속도는 느리지만 많은 자료를 보관할 수 있다. 보조기억장치(1230)는 전술한 반도체 장치의 실시예들 중 하나 이상을 포함할 수 있다. 예를 들어, 보조기억장치(1230)는 제1 방향으로 연장하는 복수의 제1 배선; 상기 제1 방향과 교차하는 제2 방향으로 연장하는 복수의 제2 배선; 상기 제1 배선과 상기 제2 배선의 사이에서, 상기 제1 배선과 상기 제2 배선의 교차영역에 위치하는 복수의 가변 저항 소자; 및 상기 제1 배선 각각의 제1 부분과 접속하는 플러그를 포함하고, 상기 플러그는, 도전층 및 상기 도전층보다 높은 저항을 갖는 물질층을 포함할 수 있다. 이를 통해, 보조기억장치(1230)의 동작 특성 및 신뢰성이 향상될 수 있다. 결과적으로, 시스템(1200)의 동작 특성 및 신뢰성이 향상될 수 있다.

[0120] 또한, 보조기억장치(1230)는 자기를 이용한 자기테이프, 자기디스크, 빛을 이용한 레이저 디스크, 이들 둘을 이용한 광자기디스크, 고상 디스크(Solid State Disk; SSD), USB메모리(Universal Serial Bus Memory; USB Memory), 씨큐어 디지털 카드(Secure Digital; SD), 미니 씨큐어 디지털 카드(mini Secure Digital card; mSD), 마이크로 씨큐어 디지털 카드(micro SD), 고용량 씨큐어 디지털 카드(Secure Digital High Capacity; SDHC), 메모리 스틱 카드(Memory Stick Card), 스마트 미디어 카드(Smart Media Card; SM), 멀티 미디어 카드(Multi Media Card; MMC), 내장 멀티 미디어 카드(Embedded MMC; eMMC), 콤팩트 플래시 카드(Compact Flash; CF) 등과 같은 데이터 저장 시스템(도 11의 1300 참조)을 더 포함할 수 있다. 이와는 다르게, 보조기억장치(1230)는 전술한 실시예의 반도체 장치를 포함하지 않고 자기를 이용한 자기테이프, 자기디스크, 빛을 이용한 레이저 디스크, 이들 둘을 이용한 광자기디스크, 고상 디스크(Solid State Disk; SSD), USB메모리(Universal Serial Bus Memory; USB Memory), 씨큐어 디지털 카드(Secure Digital; SD), 미니 씨큐어 디지털 카드(mini Secure Digital card; mSD), 마이크로 씨큐어 디지털 카드(micro SD), 고용량 씨큐어 디지털 카드(Secure Digital High Capacity; SDHC), 메모리 스틱 카드(Memory Stick Card), 스마트 미디어 카드(Smart Media Card; SM), 멀티 미디어 카드(Multi Media Card; MMC), 내장 멀티 미디어 카드(Embedded MMC; eMMC), 콤팩트 플래시 카드(Compact Flash; CF) 등의 데이터 저장 시스템(도 7의 1300 참조)들을 포함할 수 있다.

[0121] 인터페이스 장치(1240)는 본 실시예의 시스템(1200)과 외부 장치 사이에서 명령, 데이터 등을 교환하기 위한 것일 수 있으며, 키패드(keypad), 키보드(keyboard), 마우스(Mouse), 스피커(Speaker), 마이크(Mike), 표시장치(Display), 각종 휴먼 인터페이스 장치(Human Interface Device; HID), 통신장치 등일 수 있다. 통신장치는 유선 네트워크와 연결할 수 있는 모듈, 무선 네트워크와 연결할 수 있는 모듈, 및 이들 전부를 포함할 수 있다. 유선 네트워크 모듈은, 전송 라인을 통하여 데이터를 송수신하는 다양한 장치들과 같이, 유선랜(Local Area Network; LAN), 유에스비(Universal Serial Bus; USB), 이더넷(Ethernet), 전력선통신(Mover Line Communication; PLC) 등을 포함할 수 있으며, 무선 네트워크 모듈은, 전송 라인 없이 데이터를 송수신하는 다양한 장치들과 같이, 적외선 통신(Infrared Data Association; IrDA), 코드 분할 다중 접속(Code Division Multiple Access; CDMA), 시분할 다중 접속(Time Division Multiple Access; TDMA), 주파수 분할 다중 접속(Frequency Division Multiple Access; FDMA), 무선랜(Wireless LAN), 지그비(Zigbee), 유비쿼터스 센서 네트워크(Ubiquitous Sensor Network; USN), 블루투스(Bluetooth), RFID(Radio Frequency IDentification), 롱텀에볼루션(Long Term Evolution; LTE), 근거리 무선통신(Near Field Communication; NFC), 광대역 무선 인터넷(Wireless Broadband Internet; Wibro), 고속 하향 패킷 접속(High Speed Downlink Packet Access; HSDPA), 광대역 코드 분할 다중 접속(Wideband CDMA; WCDMA), 초광대역 통신(Ultra WideBand; UWB) 등을 포함할 수 있다.

[0122] 도 11은 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 데이터 저장 시스템의 구성도의 일 예이다.

[0123] 도 11을 참조하면, 데이터 저장 시스템(1300)은 데이터 저장을 위한 구성으로 비휘발성 특성을 가지는 저장 장치(1310), 이를 제어하는 컨트롤러(1320), 외부 장치와의 연결을 위한 인터페이스(1330), 및 데이터를 임시 저장하기 위한 임시 저장 장치(1340)를 포함할 수 있다. 데이터 저장 시스템(1300)은 하드 디스크(Hard Disk Drive; HDD), 광학 드라이브(Compact Disc Read Only Memory; CDRom), DVD(Digital Versatile Disc), 고상 디스크(Solid State Disk; SSD) 등의 디스크 형태와 USB메모리(Universal Serial Bus Memory; USB Memory), 씨큐어 디지털 카드(Secure Digital; SD), 미니 씨큐어 디지털 카드(mini Secure Digital card; mSD), 마이크로 씨큐어 디지털 카드(micro SD), 고용량 씨큐어 디지털 카드(Secure Digital High Capacity; SDHC), 메모리 스틱 카드(Memory Stick Card), 스마트 미디어 카드(Smart Media Card; SM), 멀티 미디어 카드(Multi Media Card; MMC), 내장 멀티 미디어 카드(Embedded MMC; eMMC), 콤팩트 플래시 카드(Compact Flash; CF) 등의 카드 형태일

수 있다.

- [0124] 저장 장치(1310)는 데이터를 반 영구적으로 저장하는 비휘발성 메모리를 포함할 수 있다. 여기서, 비휘발성 메모리는, ROM(Read Only Memory), NOR Flash Memory, NAND Flash Memory, PRAM(Mhase Change Random Access Memory), RRAM(Resistive Random Access Memory), MRAM(Magnetic Random Access Memory) 등을 포함할 수 있다.
- [0125] 컨트롤러(1320)는 저장 장치(1310)와 인터페이스(1330) 사이에서 데이터의 교환을 제어할 수 있다. 이를 위해 컨트롤러(1320)는 데이터 저장 시스템(1300) 외부에서 인터페이스(1330)를 통해 입력된 명령어들을 처리하기 위한 연산 등을 수행하는 프로세서(1321)를 포함할 수 있다.
- [0126] 인터페이스(1330)는 데이터 저장 시스템(1300)과 외부 장치간에 명령 및 데이터 등을 교환하기 위한 것이다. 데이터 저장 시스템(1300)이 카드인 경우, 인터페이스(1330)는, USB(Universal Serial Bus Memory), 씨큐어 디지털 카드(Secure Digital; SD), 미니 씨큐어 디지털 카드(mini Secure Digital card; mSD), 마이크로 씨큐어 디지털 카드(micro SD), 고용량 씨큐어 디지털 카드(Secure Digital High Capacity; SDHC), 메모리 스틱 카드(Memory Stick Card), 스마트 미디어 카드(Smart Media Card; SM), 멀티 미디어 카드(Multi Media Card; MMC), 내장 멀티 미디어 카드(Embedded MMC; eMMC), 콤팩트 플래시 카드(Compact Flash; CF) 등과 같은 장치에서 사용되는 인터페이스들과 호환될 수 있거나, 또는, 이들 장치와 유사한 장치에서 사용되는 인터페이스들과 호환될 수 있다. 데이터 저장 시스템(1300)이 디스크 형태일 경우, 인터페이스(1330)는 IDE(Integrated Device Electronics), SATA(Serial Advanced Technology Attachment), SCSI(Small Computer System Interface), eSATA(External SATA), PCMCIA(Mersonal Computer Memory Card International Association), USB(Universal Serial Bus) 등과 같은 인터페이스와 호환될 수 있거나, 또는, 이들 인터페이스와 유사한 인터페이스와 호환될 수 있다. 인터페이스(1330)는 서로 다른 타입을 갖는 하나 이상의 인터페이스와 호환될 수도 있다.
- [0127] 임시 저장 장치(1340)는 외부 장치와의 인터페이스, 컨트롤러, 및 시스템의 다양화, 고성능화에 따라 인터페이스(1330)와 저장 장치(1310)간의 데이터의 전달을 효율적으로 하기 위하여 데이터를 임시로 저장할 수 있다. 임시 저장 장치(1340)는 전술한 반도체 장치의 실시예들 중 하나 이상을 포함할 수 있다. 예를 들어, 임시 저장 장치(1340)는 제1 방향으로 연장하는 복수의 제1 배선; 상기 제1 방향과 교차하는 제2 방향으로 연장하는 복수의 제2 배선; 상기 제1 배선과 상기 제2 배선의 사이에서, 상기 제1 배선과 상기 제2 배선의 교차영역에 위치하는 복수의 가변 저항 소자; 및 상기 제1 배선 각각의 제1 부분과 접속하는 플러그를 포함하고, 상기 플러그는, 도전층 및 상기 도전층보다 높은 저항을 갖는 물질층을 포함할 수 있다. 이를 통해, 임시 저장 장치(1340)의 동작 특성 및 신뢰성이 향상될 수 있다. 결과적으로, 데이터 저장 시스템(1300)의 동작 특성 및 신뢰성이 향상될 수 있다.
- [0128] 도 12는 본 발명의 일 실시예에 따른 메모리 장치를 구현하는 메모리 시스템의 구성도의 일 예이다.
- [0129] 도 12를 참조하면, 메모리 시스템(1400)은 데이터 저장을 위한 구성으로 비휘발성 특성을 가지는 메모리(1410), 이를 제어하는 메모리 컨트롤러(1420), 외부 장치와의 연결을 위한 인터페이스(1430) 등을 포함할 수 있다. 메모리 시스템(1400)은 고상 디스크(Solid State Disk; SSD), USB메모리(Universal Serial Bus Memory; USB Memory), 씨큐어 디지털 카드(Secure Digital; SD), 미니 씨큐어 디지털 카드(mini Secure Digital card; mSD), 마이크로 씨큐어 디지털 카드(micro SD), 고용량 씨큐어 디지털 카드(Secure Digital High Capacity; SDHC), 메모리 스틱 카드(Memory Stick Card), 스마트 미디어 카드(Smart Media Card; SM), 멀티 미디어 카드(Multi Media Card; MMC), 내장 멀티 미디어 카드(Embedded MMC; eMMC), 콤팩트 플래시 카드(Compact Flash; CF) 등의 카드 형태일 수 있다.
- [0130] 데이터를 저장하는 메모리(1410)는 전술한 반도체 장치의 실시예들 중 하나 이상을 포함할 수 있다. 예를 들어, 메모리(1410)는 제1 방향으로 연장하는 복수의 제1 배선; 상기 제1 방향과 교차하는 제2 방향으로 연장하는 복수의 제2 배선; 상기 제1 배선과 상기 제2 배선의 사이에서, 상기 제1 배선과 상기 제2 배선의 교차영역에 위치하는 복수의 가변 저항 소자; 및 상기 제1 배선 각각의 제1 부분과 접속하는 플러그를 포함하고, 상기 플러그는, 도전층 및 상기 도전층보다 높은 저항을 갖는 물질층을 포함할 수 있다. 이를 통해, 메모리(1410)의 동작 특성 및 신뢰성이 향상될 수 있다. 결과적으로, 메모리 시스템(1400)의 동작 특성 및 신뢰성이 향상될 수 있다.
- [0131] 더불어, 본 실시예의 메모리는 비휘발성인 특성을 가지는 ROM(Read Only Memory), NOR Flash Memory, NAND Flash Memory, PRAM(Mhase Change Random Access Memory), RRAM(Resistive Random Access Memory),

MRAM(Magnetic Random Access Memory) 등을 포함할 수 있다.

[0132] 메모리 컨트롤러(1420)는 메모리(1410)와 인터페이스(1430) 사이에서 데이터의 교환을 제어할 수 있다. 이를 위해 메모리 컨트롤러(1420)는 메모리 시스템(1400) 외부에서 인터페이스(1430)를 통해 입력된 명령어들을 처리 연산하기 위한 프로세서(1421)를 포함할 수 있다.

[0133] 인터페이스(1430)는 메모리 시스템(1400)과 외부 장치간에 명령 및 데이터 등을 교환하기 위한 것으로, USB(Universal Serial Bus), 씨큐어 디지털 카드(Secure Digital; SD), 미니 씨큐어 디지털 카드(mini Secure Digital card; mSD), 마이크로 씨큐어 디지털 카드(micro SD), 고용량 씨큐어 디지털 카드(Secure Digital High Capacity; SDHC), 메모리 스틱 카드(Memory Stick Card), 스마트 미디어 카드(Smart Media Card; SM), 멀티 미디어 카드(Multi Media Card; MMC), 내장 멀티 미디어 카드(Embedded MMC; eMMC), 콤팩트 플래시 카드(Compact Flash; CF) 등과 같은 장치에서 사용되는 인터페이스와 호환될 수 있거나, 또는, 이들 장치들과 유사한 장치들에서 사용되는 인터페이스와 호환될 수 있다. 인터페이스(1430)는 서로 다른 타입을 갖는 하나 이상의 인터페이스와 호환될 수도 있다.

[0134] 본 실시예의 메모리 시스템(1400)은 외부 장치와의 인터페이스, 메모리 컨트롤러, 및 메모리 시스템의 다양화, 고성능화에 따라 인터페이스(1430)와 메모리(1410)간의 데이터의 입출력을 효율적으로 전달하기 위한 버퍼 메모리(1440)를 더 포함할 수 있다. 데이터를 임시로 저장하는 버퍼 메모리(1440)는 전술한 반도체 장치의 실시예들 중 하나 이상을 포함할 수 있다. 예를 들어, 버퍼 메모리(1440)는 제1 방향으로 연장하는 복수의 제1 배선; 상기 제1 방향과 교차하는 제2 방향으로 연장하는 복수의 제2 배선; 상기 제1 배선과 상기 제2 배선의 사이에서, 상기 제1 배선과 상기 제2 배선의 교차영역에 위치하는 복수의 가변 저항 소자; 및 상기 제1 배선 각각의 제1 부분과 접촉하는 플러그를 포함하고, 상기 플러그는, 도전층 및 상기 도전층보다 높은 저항을 갖는 물질층을 포함할 수 있다. 이를 통해, 버퍼 메모리(1440)의 동작 특성 및 신뢰성이 향상될 수 있다. 결과적으로, 메모리 시스템(1400)의 동작 특성 및 신뢰성이 향상될 수 있다.

[0135] 더불어, 본 실시예의 버퍼 메모리(1440)는 휘발성인 특성을 가지는 SRAM(Static Random Access Memory), DRAM(Dynamic Random Access Memory), 비휘발성인 특성을 가지는 ROM(Read Only Memory), NOR Flash Memory, NAND Flash Memory, PRAM(Mhase Change Random Access Memory), RRAM(Resistive Random Access Memory), STTRAM(Spin Transfer Torque Random Access Memory), MRAM(Magnetic Random Access Memory) 등을 더 포함할 수 있다. 이와는 다르게, 버퍼 메모리(1440)는 전술한 실시예의 반도체 장치를 포함하지 않고 휘발성인 특성을 가지는 SRAM(Static Random Access Memory), DRAM(Dynamic Random Access Memory), 비휘발성인 특성을 가지는 ROM(Read Only Memory), NOR Flash Memory, NAND Flash Memory, PRAM(Mhase Change Random Access Memory), RRAM(Resistive Random Access Memory), STTRAM(Spin Transfer Torque Random Access Memory), MRAM(Magnetic Random Access Memory) 등을 포함할 수 있다.

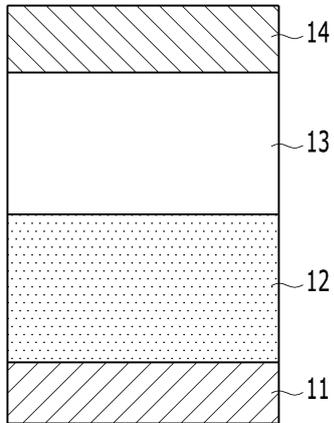
[0136] 이상으로 해결하고자 하는 과제를 위한 다양한 실시예들이 기재되었으나, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자라면 본 발명의 기술사상의 범위 내에서 다양한 변경 및 수정이 이루어질 수 있음은 명백하다.

부호의 설명

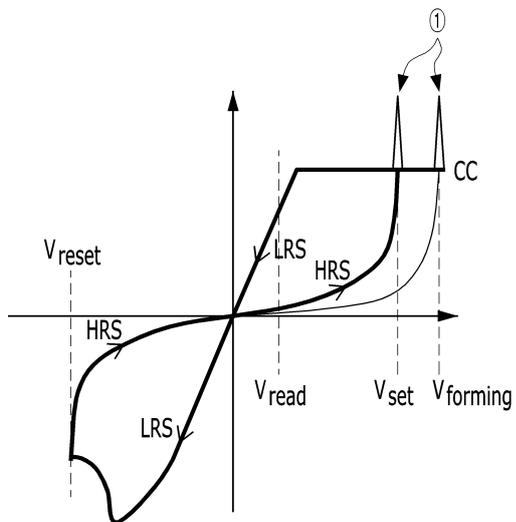
- [0137] 300: 기판 310: 제1 층간 절연막
 320: 플러그 330: 제1 배선
 340: 가변 저항층 350: 선택 소자층
 360: 제2 층간 절연막 370: 제2 배선

도면

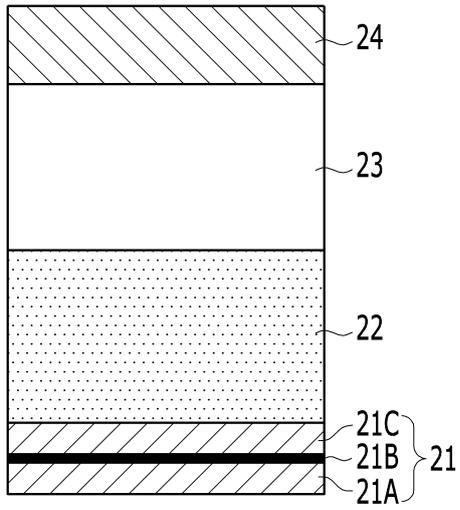
도면1a



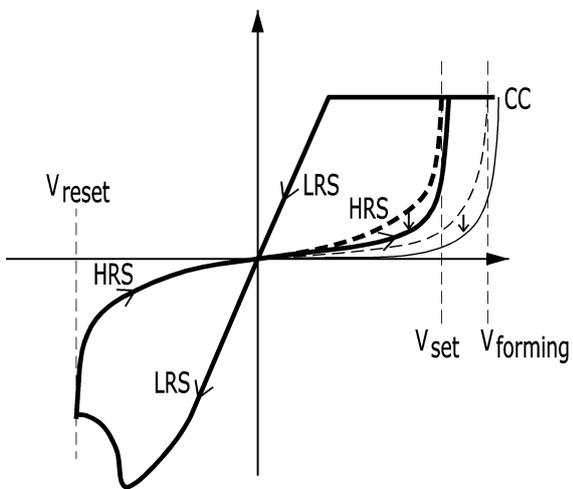
도면1b



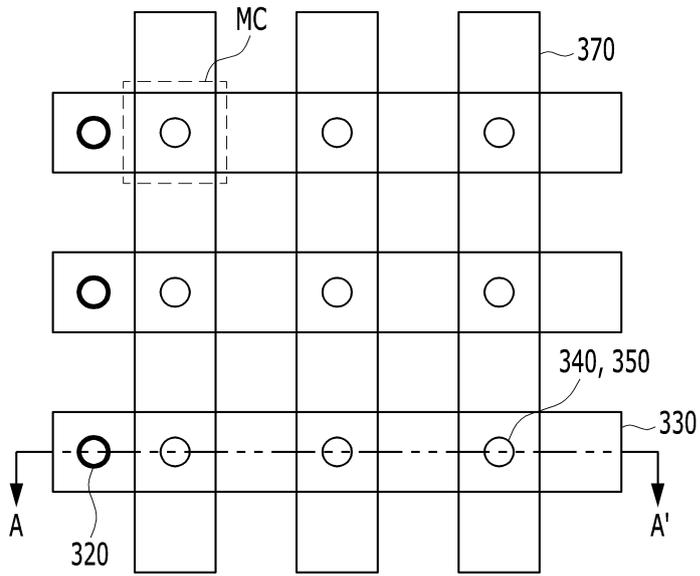
도면2a



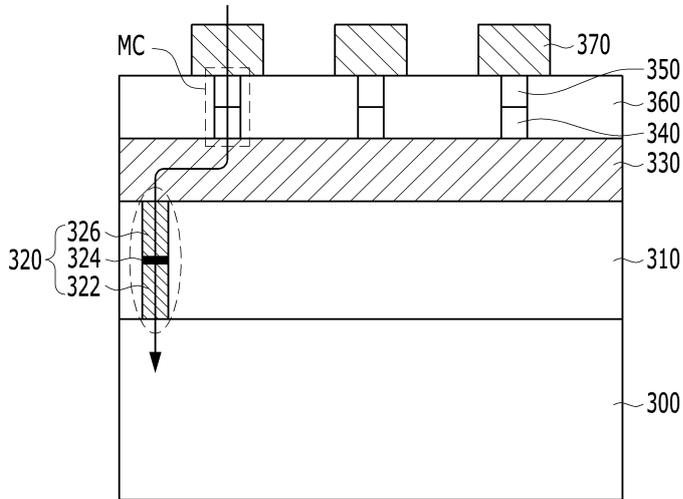
도면2b



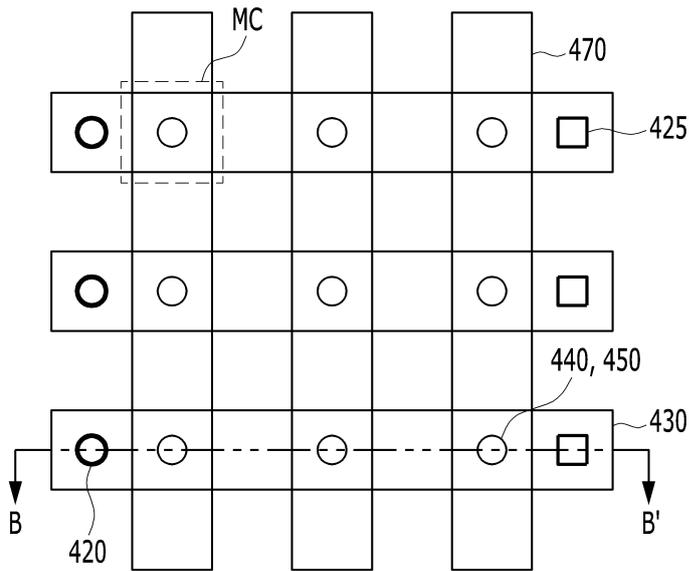
도면3a



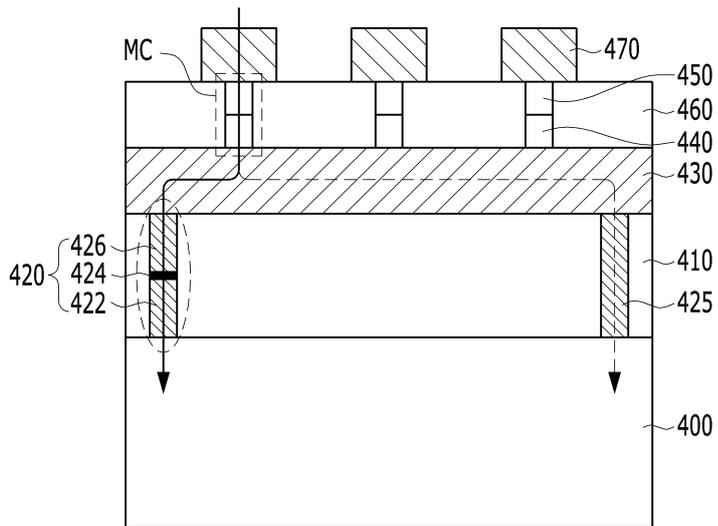
도면3b



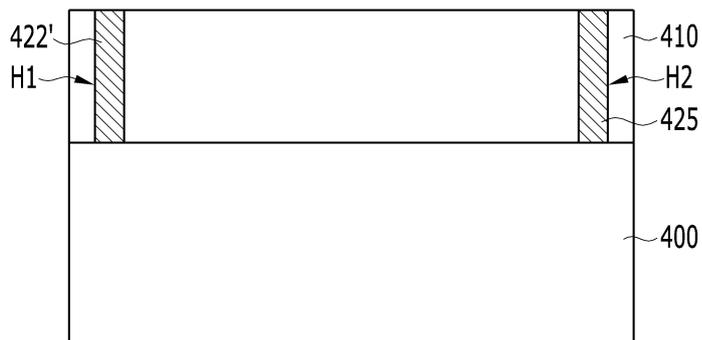
도면4a



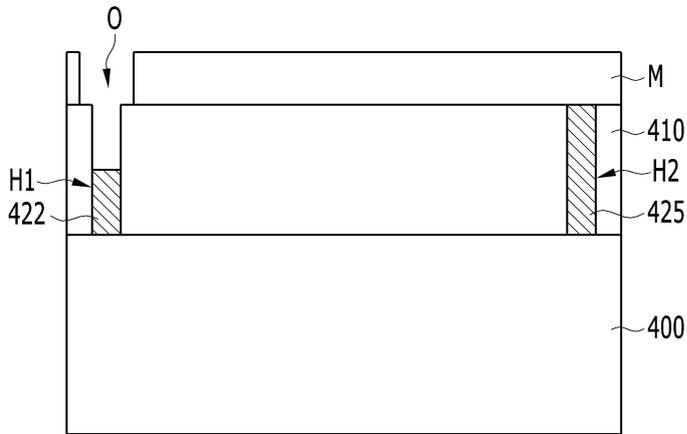
도면4b



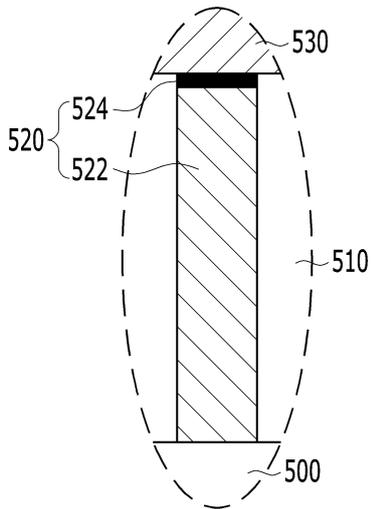
도면4c



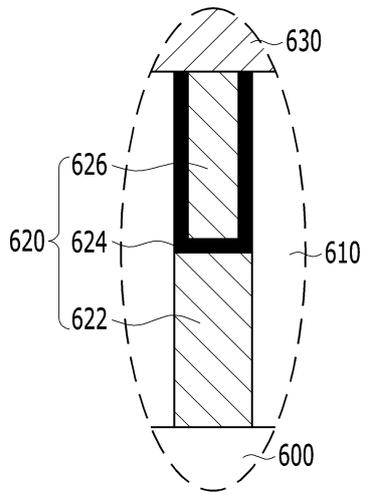
도면4d



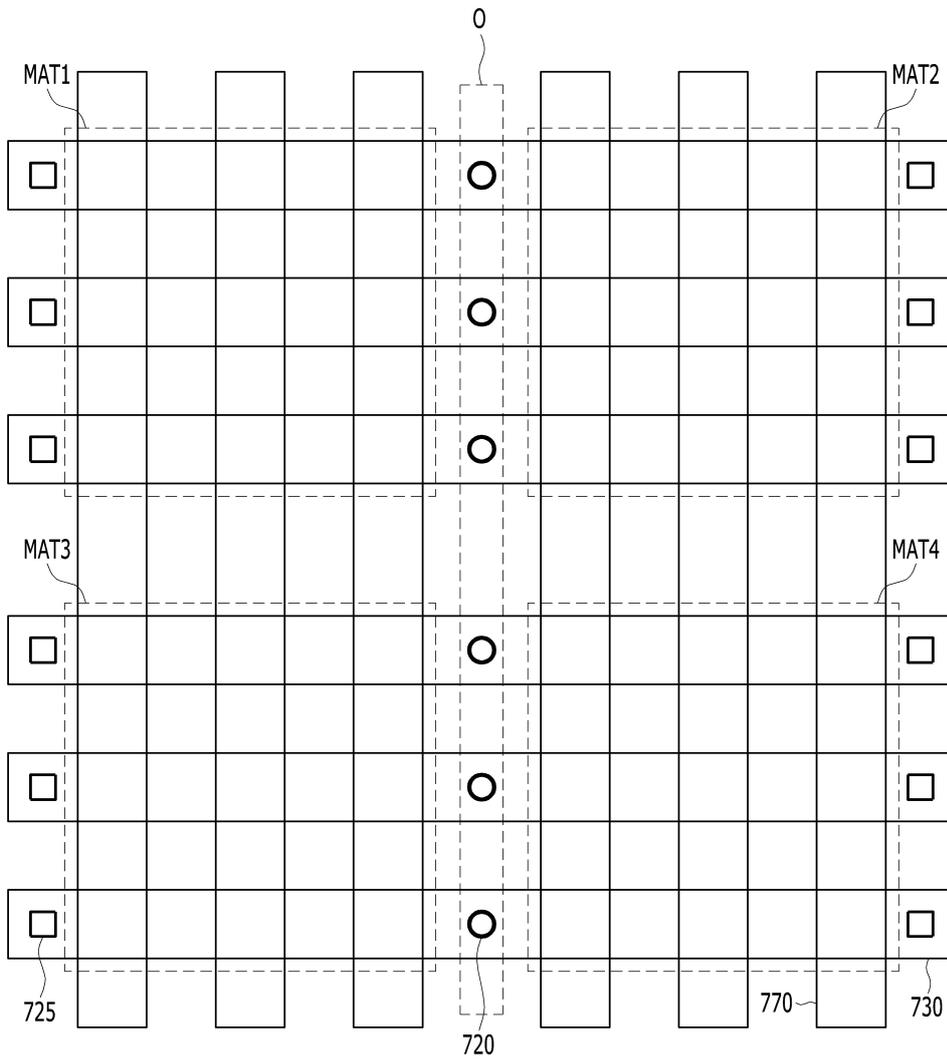
도면5



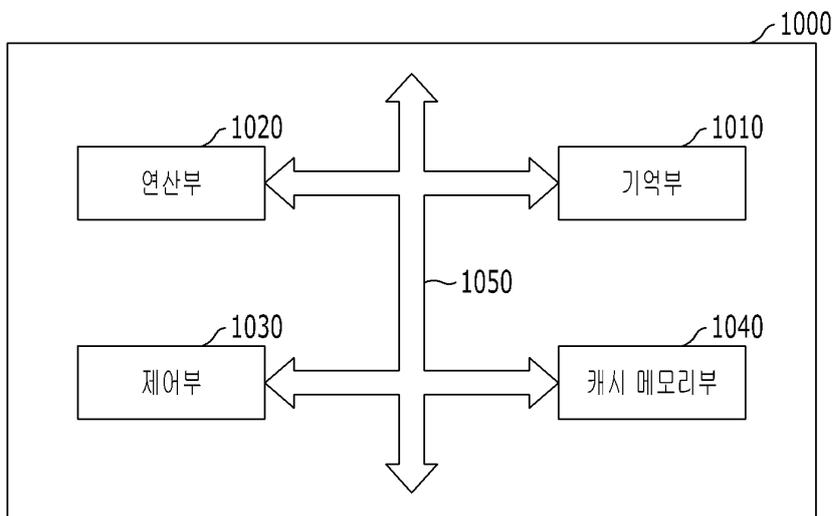
도면6



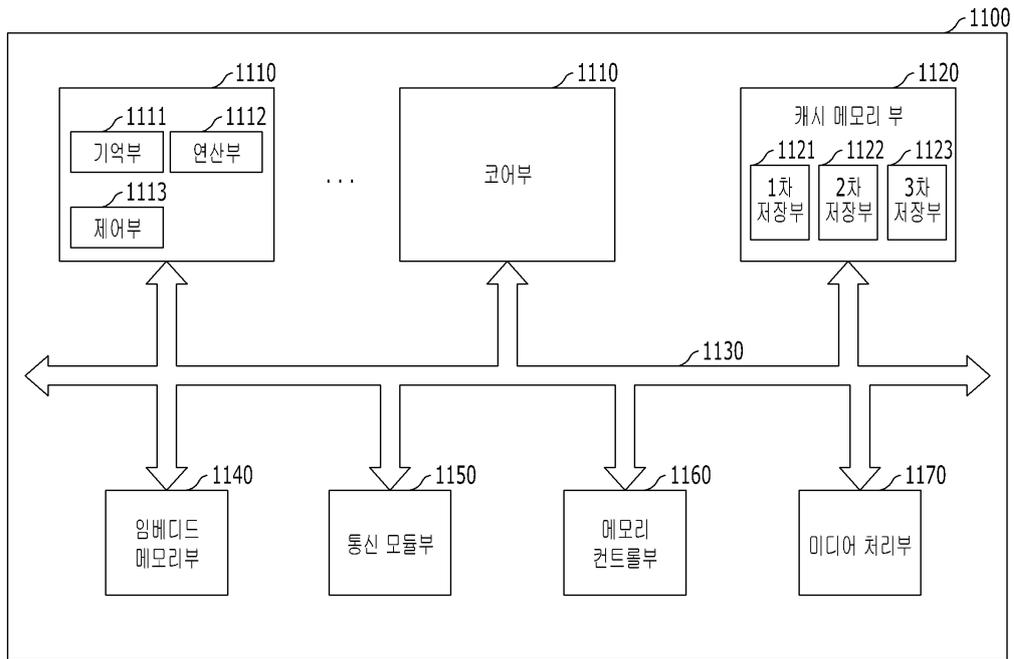
도면7



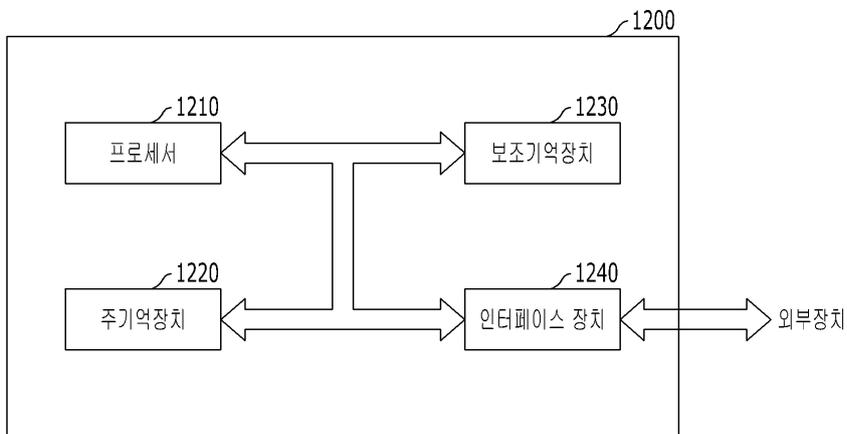
도면8



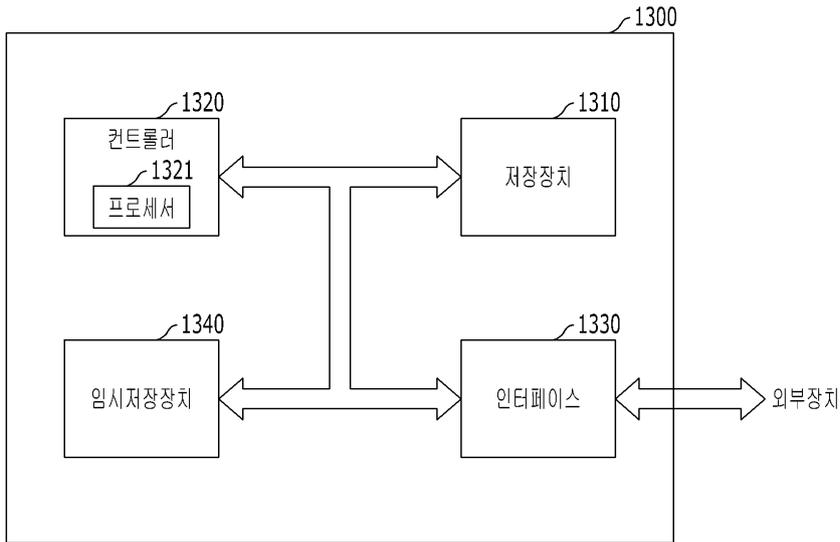
도면9



도면10



도면11



도면12

