



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2018년02월28일  
(11) 등록번호 10-1833163  
(24) 등록일자 2018년02월21일

(51) 국제특허분류(Int. Cl.)  
H03B 19/14 (2006.01) H03B 5/12 (2014.01)  
H03L 7/24 (2006.01)  
(52) CPC특허분류  
H03B 19/14 (2013.01)  
H03B 5/1215 (2013.01)  
(21) 출원번호 10-2017-0002772  
(22) 출원일자 2017년01월09일  
심사청구일자 2017년01월09일  
(56) 선행기술조사문헌  
JP2014222835 A  
WO2015196406 A1

(73) 특허권자  
울산과학기술원  
울산광역시 울주군 언양읍 유니스트길 50  
(72) 발명자  
최재혁  
울산광역시 울주군 언양읍 유니스트길 50  
유세연  
울산광역시 울주군 언양읍 유니스트길 50  
최서진  
울산광역시 울주군 언양읍 유니스트길 50  
(74) 대리인  
특허법인 무한

전체 청구항 수 : 총 10 항

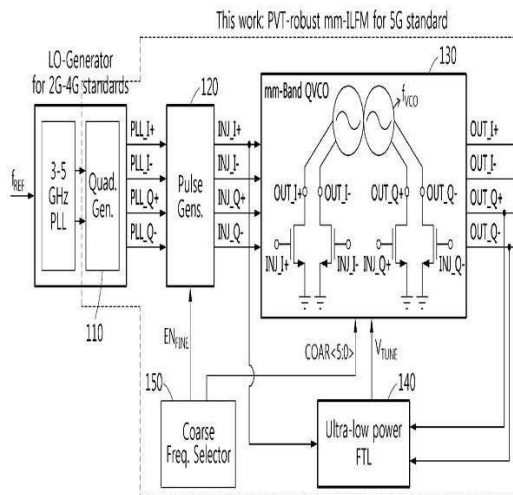
심사관 : 성경아

(54) 발명의 명칭 인젝션 락킹 기반 주파수 체배기 및 그 방법

(57) 요약

저전력 주파수 추적 루프를 사용한 인젝션 락킹 기반의 주파수 체배기가 개시된다. 보다 구체적으로는 주파수 추적 루프가 위상의 순간적인 값이 아닌 위상 변이의 평균값을 감시함으로써 저전력으로 주파수 추적 루프가 작동할 수 있다. 따라서 어떠한 환경 변화에도 효율적으로 위상 잡음의 저하를 조절할 수 있다.

대표도



(52) CPC특허분류

*H03B 5/1228* (2013.01)

*H03L 7/24* (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호 2015R1A1A1A05027276

부처명 교육과학기술부

연구관리전문기관 한국연구재단

연구사업명 신진연구사업

연구과제명 차세대 5G 통신을 위한 저전력, 초소형 셀룰러 송수신 IC 연구

기 여 율 1/1

주관기관 울산과학기술원

연구기간 2016.09.01 ~ 2017.08.31

---

## 명세서

### 청구범위

#### 청구항 1

미리 설정되는 주파수 대역에서 작동하고,

펄스 발생기가 출력하는 인젝션 신호를 게이트 단자로 입력 받고, QVCO의 제1 출력신호를 드레인 단자로 입력 받는 제1 MOS 트랜지스터;

상기 인젝션 신호를 게이트 단자로 입력 받고, QVCO의 제2 출력신호를 드레인 단자로 입력 받는 제2 MOS 트랜지스터;

제1 MOS 트랜지스터의 소스 신호를 입력 받아 제1 전압을 출력하는 제1 저역통과필터;

제2 MOS 트랜지스터의 소스 신호를 입력 받아 제2 전압을 출력하는 제2 저역통과필터; 및

상기 제1 전압 및 상기 제2 전압의 크기를 비교하여 QVCO를 컨트롤하는 컨트롤 전압을 출력하는 전압전류증폭기를 포함하는 주파수 추적 루프.

#### 청구항 2

제1항에 있어서,

상기 미리 설정되는 주파수 대역은 24GHz 이상 86GHz 이하인 것을 포함하는 주파수 추적 루프.

#### 청구항 3

제2항의 주파수 추적 루프;

쿼드러처 신호를 입력 받아 인젝션 신호를 출력하는 펄스 발생기; 및

상기 인젝션 신호를 입력 받아 출력 신호를 출력하는 QVCO

를 포함하는 주파수 체배 장치.

#### 청구항 4

제3항에 있어서,

상기 QVCO의 고유 주파수를 락킹 범위로 제한하는 코스 주파수 선별기

를 더 포함하는 주파수 체배 장치.

#### 청구항 5

제4항에 있어서,

디퍼렌셜 인풋 신호를 쿼드러처 상태로 변환하는 쿼드러처 발생기

를 더 포함하는 주파수 체배 장치.

#### 청구항 6

미리 설정되는 주파수 대역에서 작동하고,

제1 MOS 트랜지스터가 펄스 발생기의 인젝션 신호를 게이트 단자로 입력 받고, QVCO의 제1 출력신호를 드레인 단자로 입력 받는 단계;

제2 MOS 트랜지스터 상기 인젝션 신호를 게이트 단자로 입력 받고, QVCO의 제2 출력신호를 드레인 단자로 입력 받는 단계;

제1 저역통과필터가 제1 MOS 트랜지스터의 소스 신호를 입력 받아 제1 전압을 출력하는 단계;  
 제2 저역통과필터가 제2 MOS 트랜지스터의 소스 신호를 입력 받아 제2 전압을 출력하는 단계; 및  
 전압전류증폭기가 상기 제1 전압 및 상기 제2 전압의 크기를 비교하여 QVCO를 컨트롤하는 컨트롤 전압을 출력하  
 는 단계  
 를 포함하는 주파수 추적 방법.

**청구항 7**

제6항에 있어서,  
 상기 미리 설정되는 주파수 대역은 24GHz 이상 86GHz 이하인 것을 포함하는 주파수 추적 방법.

**청구항 8**

미리 설정되는 주파수 대역에서 작동하고,  
 제1 MOS 트랜지스터가 펄스 발생기의 인젝션 신호를 게이트 단자로 입력 받고, QVCO의 제1 출력신호를 드레인  
 단자로 입력 받는 단계;  
 제2 MOS 트랜지스터 상기 인젝션 신호를 게이트 단자로 입력 받고, QVCO의 제2 출력신호를 드레인 단자로 입력  
 받는 단계;  
 제1 저역통과필터가 제1 MOS 트랜지스터의 소스 신호를 입력 받아 제1 전압을 출력하는 단계;  
 제2 저역통과필터가 제2 MOS 트랜지스터의 소스 신호를 입력 받아 제2 전압을 출력하는 단계;  
 전압전류증폭기가 상기 제1 전압 및 상기 제2 전압의 크기를 비교하여 QVCO를 컨트롤하는 컨트롤 전압을 출력하  
 는 단계;  
 펄스 발생기가 쿼드러처 신호를 입력 받아 인젝션 신호를 출력하는 단계; 및  
 QVCO가 상기 인젝션 신호를 입력 받아 출력 신호를 출력하는 단계  
 를 포함하고,  
 상기 미리 설정되는 주파수 대역은 24GHz 이상 86GHz이하인 것을 포함하는 주파수 체배 방법.

**청구항 9**

제8항에 있어서,  
 코스 주파수 선별기가 상기 QVCO의 고유 주파수를 락킹 범위로 제한하는 단계  
 를 더 포함하는 주파수 체배 방법.

**청구항 10**

제9항에 있어서,  
 쿼드러처 발생기가 디퍼렌셜 인풋 신호를 쿼드러처 상태로 변환하는 단계  
 를 더 포함하는 주파수 체배 방법.

**발명의 설명**

**기술 분야**

[0001] 주파수 체배를 제공하는 장치 및 방법에 연관되며, 보다 상세하게는 저전력을 소모하는 주파수 추적 루프를 이  
 용하는 주파수 체배 장치 및 방법에 연관된다.

**배경 기술**

[0002] 일반적인 데이터 통신을 위하여, Radio Frequency(RF) 송수신기들은 적은 파워소모에서 저위상 잡음 신호를 방

생시키는 것이 중요하다.

[0003] 인젝션 락킹(Injection-Locking) 주파수 체배기는 깨끗한 기준 신호로 주기적으로 재조정 시킴으로써 적은 파워 소모로 저위상 잡음을 생성해낸다. 하지만 인젝션 락킹 주파수 체배기는 환경 변화에 따른 위상 잡음 성능 저하가 문제된다. 전압 제어 오실레이터(Voltage Controlled Oscillator, VCO)의 고유 주파수와 목표 주파수가 락킹 범위만큼 충분히 가까워야 위상 잡음의 성능을 개선시킬 수 있다. 기존의 VCO 주파수로 동작하던 캘리브레이터(Calibrator)들은 mm-band에서 작동하기 위해서는 고주파로 작동해야 하므로 전력 소모가 크다.

[0004] 따라서 캘리브레이터를 저주파로 동작하도록 하여 저전력을 소모하는 새로운 구조의 캘리브레이터를 고려한다.

## 발명의 내용

### 과제의 해결 수단

[0005] 일실시예에 따르면 미리 설정되는 주파수 대역에서 작동하고, 펄스 발생기가 출력하는 인젝션 신호를 게이트(Gate) 단자로 입력 받고, QVCO(Quadrature Voltage Controlled Oscillator)의 제1 출력신호를 드레인(Drain) 단자로 입력 받는 제1 MOS 트랜지스터, 상기 인젝션 신호를 게이트(Gate) 단자로 입력 받고, QVCO의 제2 출력신호를 드레인(Drain) 단자로 입력 받는 제2 MOS 트랜지스터, 제1 MOS 트랜지스터의 소스(Source) 신호를 입력 받아 제1 전압( $V_{A0+}$ )을 출력하는 제1 저역통과필터(Low Pass Filter), 제2 MOS 트랜지스터의 소스 신호를 입력 받아 제2 전압( $V_{A0-}$ )을 출력하는 제2 저역통과필터(Low Pass Filter) 및 상기 제1 전압( $V_{A0+}$ )과 상기 제2 전압( $V_{A0-}$ )의 크기를 비교하여 QVCO를 컨트롤하는 컨트롤 전압( $V_{TUNE}$ )을 출력하는 전압전류증폭기(V to I Amplifier)를 포함하는 주파수 추적 루프(Frequency Tracking Loop)가 개시된다.

[0006] 일실시예에 따르면 상기 주파수 추적 루프의 미리 설정된 주파수 대역은 mm-band 대역에서 작동할 수 있으며 보다 구체적으로는 5G 통신에 사용될 수 있는 24GHz 이상 86GHz 이하인 것을 포함할 수 있다.

[0007] 일실시예에 따르면 상기 주파수 추적 루프를 포함하고, 쿼드러처 신호를 입력 받아 인젝션 신호를 출력하는 펄스 발생기(Pulse Generator) 및 상기 인젝션 신호를 입력 받아 출력 신호를 출력하는 QVCO를 포함하는 주파수 체배 장치(Frequency Multiplier)를 구현할 수 있다.

[0008] 다른 일실시예에 따르면 상기 QVCO의 고유 주파수를 락킹 범위로 제한하는 코스 주파수 선별기(Coarse Frequency Selector)를 더 포함하여 주파수 체배 장치를 구성할 수도 있다.

[0009] 일실시예에 따르면 기존의 2G-4G에 사용되는 로컬 오실레이터(LO-Generator)에 연결되어 디퍼렌셜 인풋 신호(Differential Signal)를 쿼드러처 신호(Quadrature Signal)로 변환하는 쿼드러처 발생기(Quadrature Generator)를 더 포함하도록 구성될 수 있다.

[0010] 일실시예에 따르면 미리 설정되는 주파수 대역에서 작동하고, 제1 MOS 트랜지스터가 펄스 발생기(Pulse Generators)의 인젝션 신호를 게이트(Gate) 단자로 입력 받고, QVCO의 제1 출력신호를 드레인(Drain) 단자로 입력 받는 단계, 제2 MOS 트랜지스터 상기 인젝션 신호를 게이트(Gate) 단자로 입력 받고, QVCO의 제2 출력신호를 드레인(Drain) 단자로 입력 받는 단계, 제1 저역통과필터(Low Pass Filter)가 제1 MOS 트랜지스터의 소스(Source) 신호를 입력 받아 제1 전압을 출력하는 단계, 제2 저역통과필터(Low Pass Filter)가 제2 MOS 트랜지스터의 소스(Source) 신호를 입력 받아 제2 전압을 출력하는 단계 및 전압전류증폭기가 상기 제1 전압과 상기 제2 전압의 크기를 비교하여 QVCO를 컨트롤하는 컨트롤 전압( $V_{TUNE}$ )을 출력하는 단계를 포함하는 주파수 추적 방법(Frequency Tracking Method)이 개시된다.

[0011] 일실시예에 따르면 상기 주파수 추적 방법의 미리 설정된 주파수 대역은 mm-band 대역에 이용이 가능하며 보다 구체적으로는 24GHz 이상 86GHz 이하인 것을 포함할 수 있다.

[0012] 다른 일실시예에 따르면 상기 주파수 추적 방법에 펄스 발생기(Pulse Generator)가 쿼드러처 신호를 입력 받아 인젝션 신호를 출력하는 단계 및 QVCO가 상기 인젝션 신호를 입력 받아 출력 신호를 출력하는 단계를 더 포함하여 주파수를 체배 할 수 있다.

[0013] 일실시예에 따르면 상기 주파수 체배 방법에 있어서 코스 주파수 선별기(Coarse Frequency Selector)가 쿼드러처 오실레이터의 고유 주파수를 락킹 범위로 제한하는 단계를 더 포함할 수 있다.

[0014] 또 다른 일실시예에 따르면 기존의 2G-4G 로컬 오실레이터에 연결되어 있는 쿼드러처 발생기(Quadrature

Generator)가 디퍼렌셜 신호(Differential Signal)를 쿼드러처 신호(Quadrature Signal)로 만들어 주는 단계를 더 포함하여 구성될 수 있다.

**도면의 간단한 설명**

- [0015] 도 1은 일실시예에 따른 mm-band 주파수 체배기의 전체 구조도 이다.
- 도 2는 일실시예에 따른 주파수 추적 루프의 작동 원리를 설명하기 위한 그래프이다.
- 도 3은 일실시예에 따른 주파수 추적 루프의 작동 원리를 나타내는 개념 흐름도이다.
- 도 4는 일실시예에 따른 주파수 체배기의 일부를 나타낸 구조도 이다.
- 도 5는 일실시예에 따른 주파수 추적 루프의 회로도이다.
- 도 6은 일실시예에 따른 주파수 추적 루프의 작동 결과 그래프이다.

**발명을 실시하기 위한 구체적인 내용**

- [0016] 이하에서, 실시예들을 첨부된 도면을 참조하여 상세하게 설명한다. 그러나, 권리범위는 이러한 실시예들에 의해 제한되거나 한정되는 것은 아니다. 각 도면에 제시된 동일한 참조 부호는 동일한 부재를 나타낸다.
- [0017] 아래 설명에서 사용되는 용어는, 연관되는 기술 분야에서 일반적이고 보편적인 것으로 선택되었으나, 기술의 발달 및/또는 변화, 관례, 기술자의 선호 등에 따라 다른 용어가 있을 수 있다. 따라서, 아래 설명에서 사용되는 용어는 기술적 사상을 한정하는 것으로 이해되어서는 안 되며, 실시예들을 설명하기 위한 예시적 용어로 이해되어야 한다.
- [0018] 또한 특정한 경우는 출원인이 임의로 선정한 용어도 있으며, 이 경우 해당되는 설명 부분에서 상세한 그 의미를 기재할 것이다. 따라서 아래 설명에서 사용되는 용어는 단순한 용어의 명칭이 아닌 그 용어가 가지는 의미와 명세서 전반에 걸친 내용을 토대로 이해되어야 한다.
- [0019] 도 1은 일실시예에 따른 mm-band 주파수 체배기의 전체 구조도 이다. 기준 신호( $f_{REF}$ )가 입력되면 기존의 2G-4G용 로컬 오실레이터(L0-Generator)에서는 신호를 디퍼렌셜 신호(Differential Signal)로 만들고, 쿼드러처 발생기(110, Quadrature Generator)는 로컬 오실레이터의 디퍼렌셜 신호(Differential Signal)를 쿼드러처 신호(Quadrature Signal)로 변환한다. 쿼드러처 발생기(110, Quadrature Generator)에 의해 4개의 쿼드러처 신호로 변환되는 각각의 신호는 PLL\_I+, PLL\_I-, PLL\_Q+, PLL\_Q-로 구성된다. 상기 4개의 신호는 펄스 발생기(120, Pulse Generators)로 들어가고 펄스 발생기(120)는 각각의 쿼드러처 신호를 QVCO(130, Quadrature Voltage Controlled Oscillator)에 입력되는 인젝션 신호(Injection Signal)로 변환한다. 4개의 인젝션 신호는 INJ\_I+, INJ\_I-, INJ\_Q+, INJ\_Q- 로 구성된다. 4개의 인젝션 신호는 QVCO(130)의 입력으로 들어가고, INJ\_I+ 신호는 주파수 추적 루프(140)로도 들어간다. 4개의 인젝션 신호를 입력 받은 QVCO(130)는 4개의 출력 신호를 내보낸다. 각각의 출력 신호는 OUT\_I+, OUT\_I-, OUT\_Q+, OUT\_Q- 이다. 4개의 출력 신호 중 OUT\_Q+ 와 OUT\_Q- 는 다시 주파수 추적 루프(140)로 들어간다. 상기 주파수 추적 루프(140)의 출력은  $V_{TUNE}$  이며 QVCO(130)로 들어가 출력을 조정한다. 코스 주파수 선별기(150)는 주파수 추적 루프의 작동 전에 QVCO(130)의 주파수를 락킹 범위 안에 있도록 만들어 준다.
- [0020] 보다 구체적으로, 쿼드러처 발생기(110)는 디퍼렌셜 신호(Differential Signal)를 쿼드러처 신호(Quadrature Signal)로 변환하는 역할을 수행하는데, 기존의 2G-4G용 로컬 오실레이터의 출력에 연결되어 사용될 수 있다. 즉, 추가적인 설비의 변경 없이 본 주파수 체배 장치를 기존의 오실레이터에 연결하여 사용이 가능하며 이에 한정되지 않고 로컬 오실레이터 없이 주파수 체배 장치 단독으로도 사용 가능하다.
- [0021] 펄스 발생기(120)는 4개의 쿼드러처 신호(PLL\_I+, PLL\_I-, PLL\_Q+, PLL\_Q-)를 4개의 인젝션 신호(INJ\_I+, INJ\_I-, INJ\_Q+, INJ\_Q-)로 변환하는 역할을 한다. 상기 4개의 인젝션 신호는 QVCO의 입력으로 들어가고, 그 가운데 INJ\_I+ 신호는 주파수 추적 루프의 제1 MOS 트랜지스터와 제2 MOS 트랜지스터의 게이트(Gate) 단자로 들어간다.
- [0022] QVCO(130)은 체배되는 주파수를 출력하며, OUT\_I+, OUT\_I-, OUT\_Q+, OUT\_Q- 4개의 신호를 출력한다. 이중 OUT\_I+ 신호가  $f_{OUT}$ 이 된다. 또한 OUT\_Q+, OUT\_Q- 는 각각 제1 MOS 트랜지스터와 제2 MOS 트랜지스터의 드레인 단자로 들어간다.

- [0023] 주파수 추적 루프(140)는 입력 받은 3개의 신호 INJ\_I+, OUT\_Q+, OUT\_Q- 를 전압 형태로 변환하여 크기를 비교하고 그 비교값에 따라 QVCO를 제어하는 컨트롤 전압( $V_{TUNE}$ )을 출력한다. 주파수 추적 루프의 내부에 존재하는 제1 MOS 트랜지스터의 게이트 단자에 INJ\_I+ 신호가 입력되고, 드레인 단자에 OUT\_Q+ 신호가 입력된다. 마찬가지로 제2 MOS 트랜지스터의 게이트 단자에 INJ\_I+ 신호가 입력되고, 드레인 단자에 OUT\_Q- 신호가 입력된다. 각 MOS 트랜지스터의 소스 단자에서 출력되는 신호는, 저역통과필터(Low Pass Filter)를 거쳐 전압 신호로 변환되고, 전압전류증폭기 및 루프 캐패시터를 거쳐 컨트롤 전압( $V_{TUNE}$ )을 출력하는 방식이다.
- [0024] 코스 주파수 선별기(150, Coarse Frequency Selector)는 코스 주파수 튜닝(Coarse Frequency Tuning)에 의해 QVCO의 주파수를 락킹 범위(Lock Range)안에 있도록 한다. 코스 주파수 선별기(150)는 주파수 추적 루프가 작동하기 전에 작동하며, 코스 주파수 선별기(150)가 주파수를 락킹 범위 안으로 제한하고, 락킹 범위 안에 있는 QVCO의 주파수를 주파수 추적 루프가  $V_{TUNE}$ 을 통해 제어한다.
- [0025] 위와 같은 구성을 통하여 주파수 체배 장치를 제작할 수 있다. 상기 주파수 추적 루프가 매 순간의 위상 오차를 측정하는 것이 아니고 평균값의 측정에 의하기 때문에 고주파 신호에서도 적은 전력을 소모하면서 높은 주파수로 체배하는 것이 가능하다.
- [0026] 도 2는 일실시예에 따른 주파수 추적 루프의 작동 원리를 설명하기 위한 그래프이다. QVCO의 기준 주파수( $f_{VCO}$ )와 N-체배 된 입력주파수( $f_{INJ}$ )를 비교하여 주파수 추적 루프가 동작한다. 굵은 실선으로 표현되는 INJ\_I+ ( $f_{VCO}$ )와 실선으로 표현되는 OUT\_Q+ 및 1점 쇄선으로 표현되는 OUT\_Q-를 비교한다. 먼저 INJ\_I+와 OUT\_Q+가 겹치는 면적(좌측 빗금 영역)을 계산하고, INJ\_I+와 OUT\_Q-가 겹치는 면적(우측 빗금 영역)을 계산한다. Case1의 경우에 우측 빗금 영역이 더 크기 때문에 QVCO의 기준 주파수( $f_{VCO}$ )가 N배의 입력주파수( $f_{INJ}$ )보다 크다는 것을 알 수 있다( $f_{VCO} > N * f_{INJ}$ ). 반대로 Case2의 경우에는 좌측 빗금 영역이 더 크기 때문에 QVCO의 기준 주파수( $f_{VCO}$ )가 N배의 입력주파수( $f_{INJ}$ )보다 작다는 것을 알 수 있다( $f_{VCO} < N * f_{INJ}$ ). 이러한 계산이 가능한 원리는, INJ\_I+가 인젝션 되는 순간에 OUT\_I+의 위상은 순간적으로 조정되지만 INJ\_I+와 다르게 OUT\_Q+와 OUT\_Q-는 여전히 고유의 위상을 유지한다. 따라서  $f_{VCO}$ 가  $N * f_{INJ}$ 와 멀어지게 되면 QVCO의 OUT의 쿼드러처 관계가 변형된다. 이 변형은 INJ\_I+와 OUT\_Q+가 겹치는 면적 및 INJ\_I+와 OUT\_Q-가 겹치는 면적의 비교로 판단되며  $f_{VCO}$ 와  $N * f_{INJ}$ 의 차이에 부합하게 된다.
- [0027] 도 3은 일실시예에 따른 주파수 추적 루프의 작동 원리를 나타내는 개념 흐름도이다. 인젝션 신호(Injection Signal)와 QVCO의 출력신호(Out Signal)을 비교하여 그에 따른 전압 값을 구하고, 두 전압 값의 크기에 따라 QVCO를 컨트롤하는 컨트롤 전압( $V_{TUNE}$ )의 크기를 증가, 감소 또는 유지 시킨다. 증감 또는 유지되는 컨트롤 전압은 QVCO에 들어가 출력을 제어하게 된다.
- [0028] 보다 구체적으로 310 단계에서는 INJ\_I+와 OUT\_Q+의 교차 면적을 계산하고 INJ\_I+와 OUT\_Q-의 교차 면적을 계산하여 도5에서 설명할 과정을 통해  $V_{AQ+}$ 와  $V_{AQ-}$ 를 구한다. 320 단계는  $V_{AQ+}$ 와  $V_{AQ-}$ 를 비교하여 출력인  $V_{TUNE}$ 을 결정하는 과정이다.  $V_{AQ+}$ 가  $V_{AQ-}$ 보다 큰 경우  $V_{TUNE}$ 을 감소시키고, 같은 경우  $V_{TUNE}$ 을 유지시키며,  $V_{AQ+}$ 가  $V_{AQ-}$ 보다 작은 경우  $V_{TUNE}$ 을 증가시킨다. 이렇게 결정되는  $V_{TUNE}$ 을 330 단계에서 QVCO에 입력한다. QVCO는 입력 받은  $V_{TUNE}$ 을 통해서 QVCO의 기준 주파수  $f_{VCO}$ 를 조절한다.
- [0029] 도 4는 일실시예에 따른 주파수 체배기의 일부를 나타낸 구조도 이다. 주파수 체배기는 펄스 발생기(410)와 QVCO(420)와 주파수 추적 루프(430) 및 코스 주파수 선별기(440)으로 구성될 수 있다. 펄스 발생기(410)의 INJ\_I+ ( $f_{INJ}$ ) 인젝션 신호가 주파수 추적 루프로 들어가고 QVCO(420)의 출력 신호의 일부(OUT\_Q+, OUT\_Q-)도 주파수 추적 루프로 들어가는 것을 알 수 있다. 일련의 처리과정을 거쳐 상기 인젝션 신호 및 출력 신호는 전압 신호로 변환되어 전압전류증폭기에 들어간다. 전압전류증폭기에서는 입력 받은 두 전압 신호를 비교하여  $I_{AQ}$ 를 출력하고,  $I_{AQ}$ 가 루프 캐패시터를 차지하며  $V_{TUNE}$ 을 발생시킨다. 발생하는  $V_{TUNE}$ 은 QVCO로 들어가 QVCO의 기준 주파수를 제어하는 역할을 수행한다.
- [0030] 코스 주파수 선별기(440)는 주파수 추적 루프가 작동하기 전에 작동하며, QVCO의 주파수를 락킹 범위 안에 있도록 제어한다.

- [0031] 도 5는 일실시예에 따른 주파수 추적 루프의 회로도이다. 주파수 추적 루프의 구체적인 구성을 나타내었다. INJ\_I+신호와 OUT\_Q+신호를 각각 제1 MOS 트랜지스터의 게이트(Gate) 단자와 드레인(Drain) 단자에 연결하고 소스(Source) 단자에서 나오는 신호를 저역통과필터(510, Low Pass Filter)를 거쳐 전압 신호( $V_{AQ+}$ )로 변환한다. 마찬가지로 INJ\_I+신호와 OUT\_Q-신호를 각각 제2 MOS 트랜지스터의 게이트(Gate) 단자와 드레인(Drain) 단자에 연결하고 소스(Source) 단자에서 나오는 신호를 저역통과 필터(510)를 거쳐 전압 신호( $V_{AQ-}$ )로 변환한다. INJ\_I+ 신호의 펄스 너비 동안 닫히는 각 MOS 트랜지스터를 통해서 OUT\_Q+, OUT\_Q- 신호가 저역통과필터로 전달된다.
- [0032] 저역통과필터(510)는 저항(R)과 캐패시터(C)로 구성되어있으며, 유효 대역폭(Bandwidth)은 입력 주파수( $f_{INJ}$ )보다 충분히 낮기 때문에( $f_{LPF} > f_{INJ}$ )  $V_{AQ+}$ 와  $V_{AQ-}$ 는 거의 DC 전압이 된다. 직렬 저항들은 저역통과필터의 캐패시터에 의한 QVCO의 Q Factor가 감소하는 것을 막아준다.  $V_{AQ+}$ 와  $V_{AQ-}$ 를 전압전류증폭기(520)의 입력으로 넣고  $I_{AQ}$ 를 출력한다.  $V_{AQ+}$ 와  $V_{AQ-}$ 를 각각 전압전류증폭기의 +단자와 -단자에 연결시킬 수 있으며, 이와 반대로 -단자와 +단자에 연결할 수도 있다.
- [0033] 출력되는  $I_{AQ}$ 는  $V_{AQ+}$ 와  $V_{AQ-}$ 의 값에 따라 루프 캐패시터(530)를 충전 또는 방전함으로써,  $V_{TUNE}$ 를 증가, 감소 또는 유지 시킨다. 일실시예에 따르면 상기 루프 캐패시터(530)의 캐패시턴스(Capacitance)는 예시적으로 10pF일 수 있으나, 이에 한정되지 않고 전압전류증폭기의 성능에 따라서 조절이 가능하다. 주파수 추적 루프가 최초 동작 시  $V_{TUNE}$ 을 설정할 때에는 별도의 이니셜 전압( $V_{INIT}$ )을 입력으로 넣어줄 수 있다.
- [0034] 출력 전압( $V_{TUNE}$ )은 QVCO로 들어가 QVCO의 기준 주파수( $f_{VCO}$ )를 조절한다. 위와 같은 방식으로 QVCO의 기준주파수( $f_{VCO}$ )를 제어하는 경우, 위상의 순간 값이 아닌 넓이에 의한 평균 값( $V_{AQ+}$ ,  $V_{AQ-}$ )을 비교하게 되므로 고주파(예를 들어 5G 통신의 경우)에서도 적은 전력을 소모하여 작동할 수 있게 된다.
- [0035] 도 6은 일실시예에 따른 주파수 추적 루프의 작동 결과 그래프이다. 초기 구간에서는 코스 주파수 선별기에 의해 코스 튜닝이 이루어지고 QVCO의 주파수가 락킹 범위(Lock Range)로 들어온다. 하단의 점 영역이 인젝션 락킹 기반 주파수 체배기의 락킹 범위(Lock Range)를 나타낸다. 세로 점선 지점에서 인젝션이 시작되고, 이후에 지속적인 주파수 추적이 수행된다. 인젝션이 시작되면서  $V_{AQ-}$ (1점 쇄선)의 증가 및  $V_{AQ+}$ (실선)의 감소에 따라  $I_{AQ}$ 는 감소하게 된다. 따라서  $V_{TUNE}$ 도 감소하게 되고  $V_{TUNE}$ 의 감소로 인해 QVCO의 기준주파수( $f_{VCO}$ )가 인젝션 주파수( $f_{INJ}$ )의 N배배되는 목표주파수( $f_{TARGET} = N * f_{INJ}$ )에 도달하게 된다. QVCO의 기준주파수( $f_{VCO}$ )가 목표주파수( $f_{TARGET} = N * f_{INJ}$ )에 도달하면  $V_{AQ+}$ 와  $V_{AQ-}$ 는 같아지고,  $V_{TUNE}$ 는 그 상태로 유지된다.
- [0036] 반대의 경우를 살펴보면(도면 미도시),  $V_{AQ-}$ 의 감소 및  $V_{AQ+}$ 의 증가의 경우에는  $I_{AQ}$ 는 증가하게 되고,  $V_{TUNE}$ 도 증가하게 된다. 따라서  $V_{TUNE}$ 이 증가하는 방향으로 QVCO의 기준주파수( $f_{VCO}$ )가 인젝션 주파수( $f_{INJ}$ )의 N배배되는 목표주파수( $f_{TARGET} = N * f_{INJ}$ )에 도달하게 된다. 이러한 방법을 통하여 주파수 추적 루프는 인젝션 락킹을 유지하면서  $f_{VCO}$ 를 고치는 것이 가능하다.
- [0037] 본 주파수 체배 장치의 동작 과정을 순서대로 살펴보면, 먼저 체배할 기준 입력 주파수( $f_{REF}$ )가 입력된다. 경우에 따라서는 2G-4G 로컬 오실레이터를 거쳐서 쿼드러처 발생기로 입력되는 수가 있으나, 반드시 그러한 것은 아니고 직접 쿼드러처 발생기로도 입력이 가능하다. 기준 입력 주파수는 쿼드러처 발생기에 의해 쿼드러처 신호로 변환된다. 상기 쿼드러처 신호(PLL)는 펄스 발생기에 의해 인젝션 신호로 변환된다. 상기 인젝션 신호(INJ)가 QVCO의 입력으로 들어가며, 그 중 일부가 주파수 추적 루프로도 들어간다. QVCO는 N배배되는 출력 신호( $f_{OUT} = N * f_{REF}$ )를 발생시키고, 이 가운데 일부가 주파수 추적 루프로 들어간다. 마지막으로 주파수 추적 루프가 상기 인젝션 신호의 일부(INJ\_I+) 및 상기 출력 신호의 일부(OUT\_Q+, OUT\_Q-)를 변환 및 비교하여 컨트롤 전압을 생성한다. 생성되는 컨트롤 전압은 QVCO로 들어가 QVCO의 출력 주파수를 기준 입력 주파수( $f_{REF}$ )의 원하는 목표로 체배되는 주파수를 오차 없이 생성 가능하다. 다만 주파수 추적 루프의 작동 전 단계에서 코스 주파수 선별기에 의해 코스 주파수 튜닝을 거쳐 QVCO의 주파수를 락킹 범위로 제한하는 단계가 포함되어 실시될 수 있다.
- [0038] 여기서 상기 주파수 추적 루프 구성 및 동작을 구체적으로 살펴보면 주파수 추적 루프는 MOS 트랜지스터, 저역



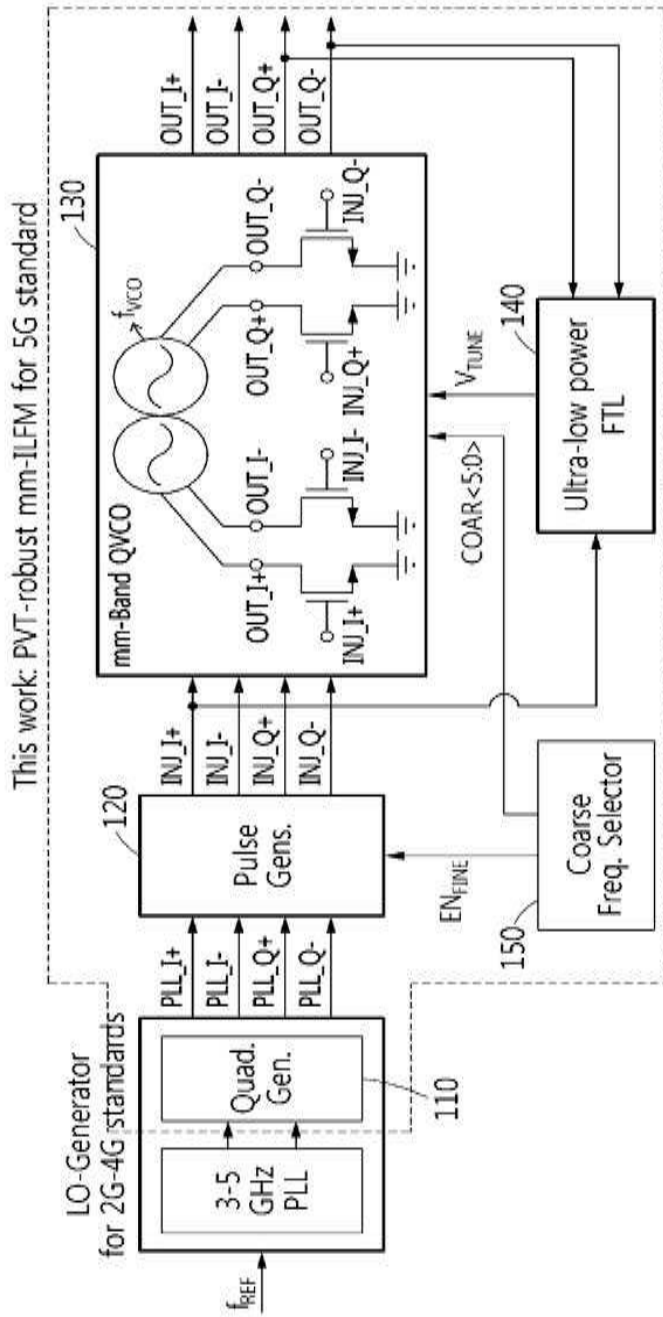
통과필터, 전압전류증폭기 및 루프 캐패시터로 구성될 수 있다. MOS 트랜지스터는 INJ\_I+, OUT\_Q+, OUT\_Q-를 입력받는다. 각 MOS 트랜지스터의 게이트에서 INJ\_I+를 입력받고, 드레인에서 OUT\_Q+와 OUT\_Q-를 입력받는다. INJ\_I+의 펄스 너비 동안 단히는 MOS 트랜지스터를 통해 OUT\_Q+와 OUT\_Q-가 소스로 전달된다. 소스에서 나오는 신호가 저역통과필터를 거치면  $V_{AQ+}$ 와  $V_{AQ-}$ 로 변환된다. 각 전압 신호를 전압전류증폭기에 의해 전류 신호( $I_{AQ}$ )로 변환하고,  $V_{AQ+}$ 와  $V_{AQ-}$ 의 차이에 따라 전류 신호( $I_{AQ}$ )가 변화한다. 상기 전류 신호( $I_{AQ}$ )는 루프 캐패시터를 충전 또는 방전하면서 컨트롤 전압( $V_{TUNE}$ )을 생성한다. 이러한 일련의 과정을 통해 생성되는 컨트롤 전압은 인젝션 락킹을 유지하면서  $f_{VCO}$ 의 오차를 보정하는 것이 가능하게 하고, 위상 변이의 순간 값을 측정하는 방식이 아닌 평균 값을 감시함으로써 저전력을 소모하게 된다.

[0039] 실시예들이 비록 한정된 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.

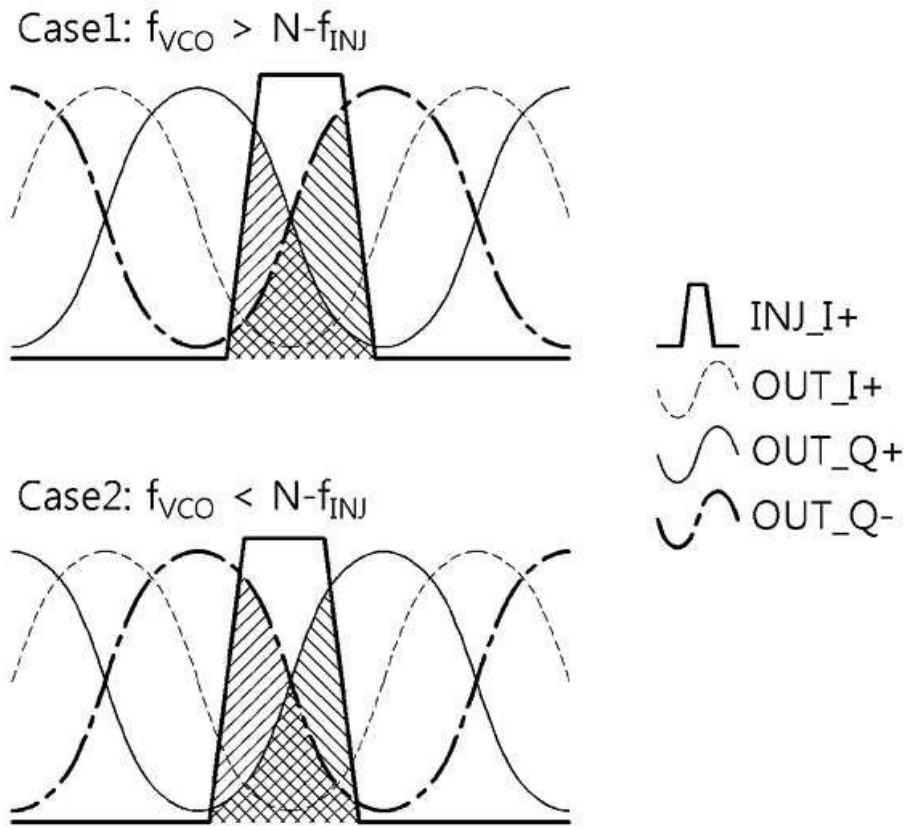
[0040] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

도면

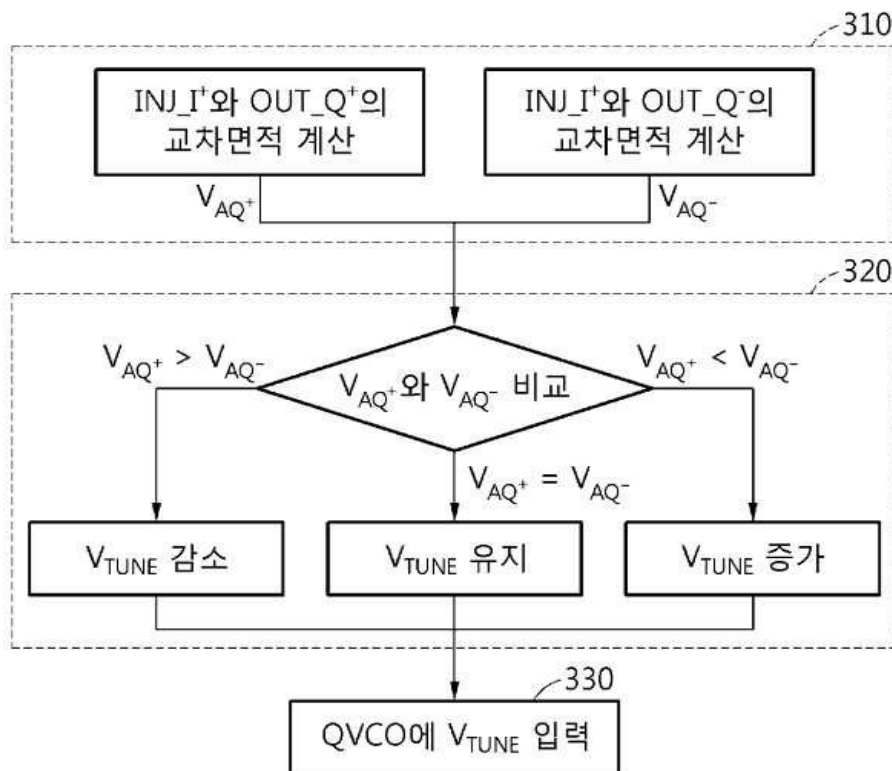
도면1



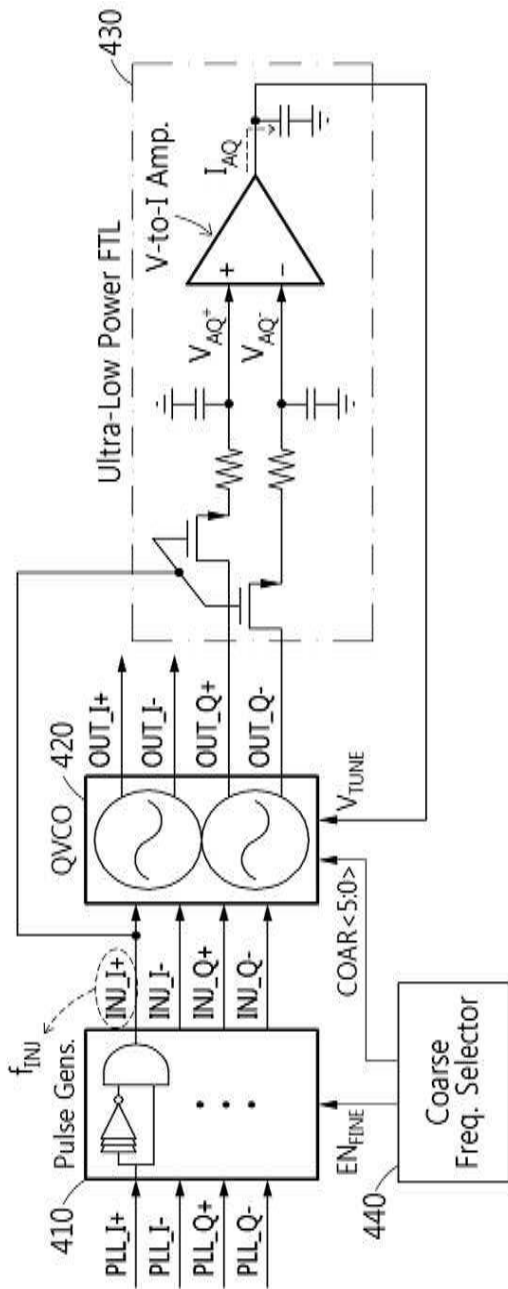
도면2



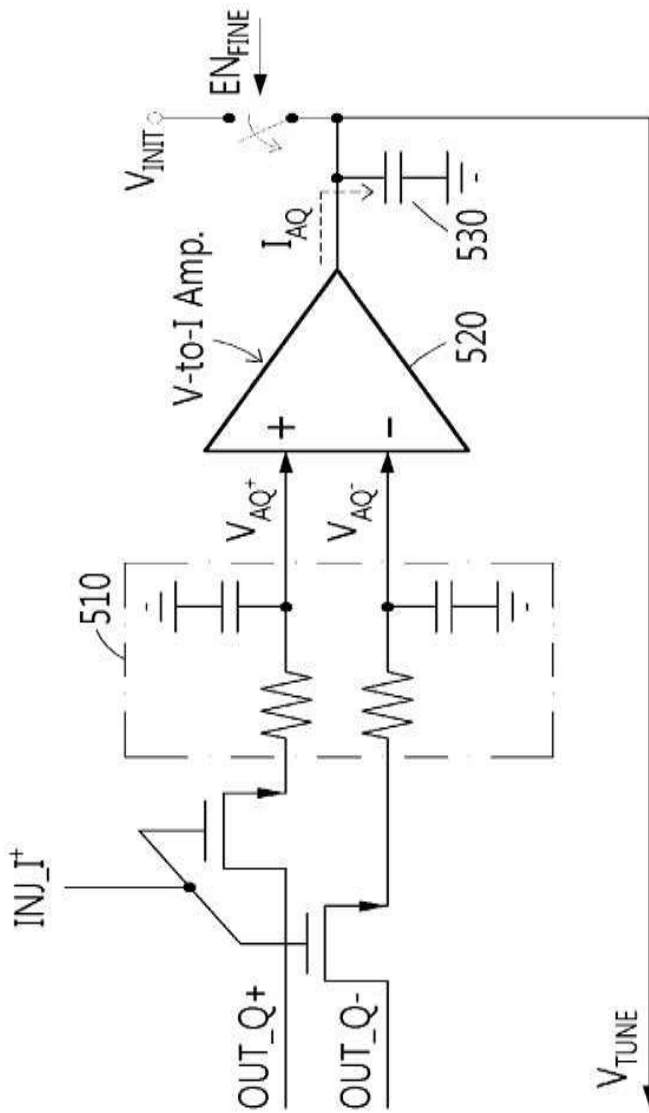
도면3



도면4



도면5



도면6

