

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-211322

(P2010-211322A)

(43) 公開日 平成22年9月24日 (2010.9.24)

(51) Int.Cl.  
G06F 13/28 (2006.01)

F I  
G06F 13/28 310H

テーマコード (参考)  
5B061

審査請求 未請求 請求項の数 13 O L (全 25 頁)

(21) 出願番号 特願2009-54214 (P2009-54214)  
(22) 出願日 平成21年3月6日 (2009.3.6)

(71) 出願人 302062931  
ルネサスエレクトロニクス株式会社  
神奈川県川崎市中原区下沼部1753番地  
(74) 代理人 100102864  
弁理士 工藤 実  
(72) 発明者 荒木 功太郎  
神奈川県横浜市神奈川区金港町3番地1  
NECマイクロシステム株式会社内  
Fターム(参考) 5B061 DD17

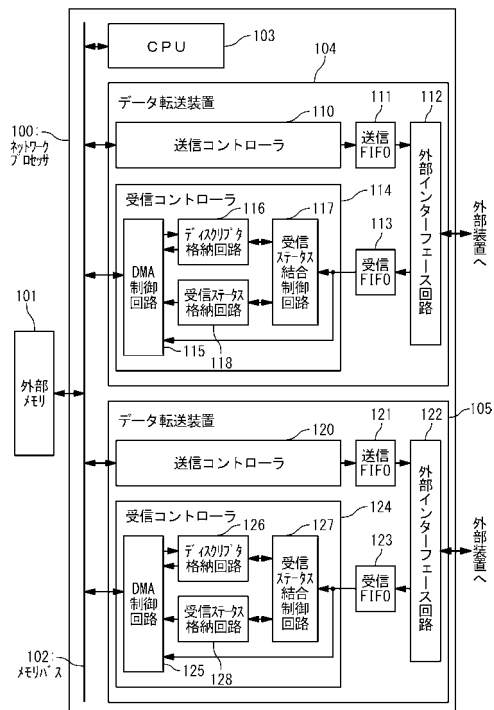
(54) 【発明の名称】 ネットワークプロセッサ、受信コントローラ、及びデータ受信処理方法

(57) 【要約】 (修正有)

【課題】 受信ステータスのDMA転送によるメモリバスの帯域占有を抑えて、DMAデータ転送効率をより高めることが可能なネットワークプロセッサを提供する。

【解決手段】 受信データを記憶する格納領域を具備し、格納領域の位置を指定するディスクリプタを記憶する外部メモリと接続されたネットワークプロセッサであって、複数のディスクリプタを記憶するディスクリプタ格納回路と、複数のディスクリプタを外部メモリからディスクリプタ格納回路へDMA転送して、受信データを受信すると、複数のディスクリプタの各々に基づいて受信データを外部メモリの格納領域へDMA転送して、DMA転送する度に受信ステータスを生成するDMA制御回路と、受信ステータス格納回路と、受信ステータス格納回路に格納された受信ステータスを結合する受信ステータス結合制御回路と、を備え、DMA制御回路は、結合された受信ステータスを外部メモリへDMA転送する。

【選択図】 図2



## 【特許請求の範囲】

## 【請求項 1】

受信データを記憶する格納領域を具備し、前記格納領域の位置を指定するディスクリプタを記憶する外部メモリと接続されたネットワークプロセッサであって、

前記ディスクリプタのうちの複数のディスクリプタを記憶するディスクリプタ格納回路と、

前記複数のディスクリプタを前記外部メモリから前記ディスクリプタ格納回路へDMA (Direct Memory Access) 転送して、前記受信データを受信すると、前記ディスクリプタ格納回路に記憶された前記複数のディスクリプタの各々に基づいて前記受信データを前記外部メモリの前記格納領域へDMA転送して、前記受信データを前記外部メモリへDMA転送する度に当該受信データの状態を示す受信ステータスを生成するDMA制御回路と、

10

前記受信ステータスを格納する受信ステータス格納回路と、

前記受信ステータス格納回路に格納された前記受信ステータスを結合する受信ステータス結合制御回路と、

を備え、

前記DMA制御回路は、前記結合された受信ステータスを前記外部メモリへDMA転送する

ネットワークプロセッサ。

## 【請求項 2】

20

請求項 1 に記載のネットワークプロセッサであって、

前記受信ステータス結合制御回路は、

前記受信データを受信すると、前記DMA制御回路が当該受信データのDMA転送に使用する前記複数のディスクリプタのうちの一つのディスクリプタが有効であるか否かを判定するディスクリプタ有効判定回路

を備え、

前記DMA制御回路は、前記ディスクリプタ有効判定回路が、前記一つのディスクリプタを有効であると判定したときに、前記受信データを当該一つのディスクリプタに基づいて、前記外部メモリへDMA転送を行う

ネットワークプロセッサ。

30

## 【請求項 3】

請求項 2 に記載のネットワークプロセッサであって、

前記受信ステータス結合制御回路は、

前記受信ステータス格納回路に格納された前記受信ステータスを結合する受信ステータス結合回路と、

前記ディスクリプタ有効判定回路の行う判定に基づいて、前記DMA制御回路が少なくとも一つ以上の有効なディスクリプタを使用して前記受信データのDMA転送を行ったか否かを判定する有効ディスクリプタ数判定回路と

を備え、

前記受信ステータス結合回路は、前記ディスクリプタ有効判定回路が前記一つのディスクリプタを無効なディスクリプタと判定したときであって、有効ディスクリプタ数判定回路が前記DMA制御回路が少なくとも一つ以上の有効なディスクリプタを使用して前記受信データのDMA転送を行っているときと判定した場合に、前記受信ステータス格納回路に格納された前記受信ステータスを結合する

40

ネットワークプロセッサ。

## 【請求項 4】

請求項 3 に記載のネットワークプロセッサであって、

前記受信ステータス結合制御回路は、

前記DMA制御回路が前記複数のディスクリプタの全てを前記受信データのDMA転送に使用したか否かを判定するディスクリプタ残数制御回路

50

をさらに備え、

前記受信ステータス結合回路は、前記DMA制御回路が前記複数のディスクリプタの全てを前記受信データのDMA転送に使用したと判定したときに、前記受信ステータス格納回路に格納された前記受信ステータスを結合するネットワークプロセッサ。

【請求項5】

請求項4に記載のネットワークプロセッサであって、

前記受信ステータス結合制御回路は、

前記受信データを受信すると予め定められた一定時間を計測して、前記受信データを受信した時から次の新たな受信データを受信する時までの間に前記一定時間が経過するか否かを判定する時間管理回路

をさらに備え、

前記受信ステータス結合回路は、前記時間管理回路が前記一定時間が経過したと判定したときに、前記受信ステータス格納回路に格納された前記受信ステータスを結合するネットワークプロセッサ。

【請求項6】

請求項5に記載のネットワークプロセッサであって、

前記受信ステータス結合制御回路は、

前記受信データを受信するときに前記受信データの累計データバイト数をカウントして、前記累計データバイト数が予め定められた前記累計データバイト数に対する閾値を越えるか否かを判定する受信データバイト数制御回路

をさらに備え、

前記受信ステータス結合回路は、前記受信データバイト数制御回路が、前記累計データバイト数が予め定められた前記累計データバイト数に対する閾値を越えたと判定したときに、前記受信ステータス格納回路に格納された前記受信ステータスを結合するネットワークプロセッサ。

【請求項7】

請求項1から請求項6までのいずれかに記載のネットワークプロセッサにおいて、

前記DMA制御回路と、前記ディスクリプタ格納回路と、前記受信ステータス格納回路と、前記受信ステータス結合制御回路とを備える受信コントローラ。

【請求項8】

受信データを記憶する格納領域を具備し、前記格納領域の位置を指定するディスクリプタを記憶する外部メモリと接続されたネットワークプロセッサにおいて、

前記ディスクリプタのうちの複数のディスクリプタを記憶するステップと、

前記複数のディスクリプタを前記外部メモリからDMA(Direct Memory Access)転送するステップと、

前記受信データを受信するステップと、

前記複数のディスクリプタの各々を使用して前記受信データを前記外部メモリの前記格納領域へDMA転送するステップと、

前記受信データを前記外部メモリへDMA転送する毎に当該受信データの状態を示す受信ステータスを生成するステップと、

前記受信ステータスを格納するステップと、

前記格納された受信ステータスを結合するステップと、

前記結合された受信ステータスを前記外部メモリへDMA転送するステップと

を備えるデータ受信処理方法。

【請求項9】

請求項8に記載のデータ受信処理方法であって、

前記受信データを受信すると、当該受信データのDMA転送に使用する前記複数のディスクリプタのうちの一つのディスクリプタが有効であるか否かを判定するステップ

をさらに備え、  
前記受信データを前記外部メモリの前記格納領域へDMA転送を行うステップは、  
前記一つのディスクリプタを有効であると判定したときに、前記受信データを当該一つのディスクリプタに基づいて、前記外部メモリへDMA転送を行うステップ  
を含むデータ受信処理方法。

【請求項10】

請求項9に記載のデータ受信処理方法であって、  
前記DMA制御回路が少なくとも一つ以上の有効なディスクリプタを使用して前記受信データのDMA転送を行ったか否かを判定するステップ

をさらに備え、  
前記格納された受信ステータスを結合するステップは、  
前記一つのディスクリプタを無効なディスクリプタと判定したときであって、前記DMA制御回路が少なくとも一つ以上の有効なディスクリプタを使用して前記受信データのDMA転送を行っているとは判定した場合に、前記格納された受信ステータスを結合するステップ  
を含むデータ受信処理方法。

10

【請求項11】

請求項10に記載のデータ受信処理方法であって、  
前記複数のディスクリプタの全てを前記受信データのDMA転送に使用したか否かを判定するステップ

をさらに備え、  
前記格納された受信ステータスを結合するステップは、  
前記複数のディスクリプタの全てを前記受信データのDMA転送に使用したと判定したときに、前記格納された受信ステータスを結合するステップ  
を含むデータ受信処理方法。

20

【請求項12】

請求項11に記載のデータ受信処理方法であって、  
前記受信データを受信すると予め定められた一定時間を計測して、前記受信データを受信した時から次の新たな受信データを受信する時までの間に前記一定時間が経過するか否かを判定するステップ

をさらに備え、  
前記格納された受信ステータスを結合するステップは、  
前記時間管理回路が前記一定時間を経過したと判定したときに、前記格納された受信ステータスを結合するステップ  
を含むデータ受信処理方法。

30

【請求項13】

請求項12に記載のデータ受信処理方法であって、  
前記受信データを受信するときに前記受信データの累計データバイト数をカウントして、前記累計データバイト数が予め定められた前記累計データバイト数に対する閾値を越えるか否かを判定するステップ

をさらに備え、  
前記格納された受信ステータスを結合するステップは、  
前記累計データバイト数が予め定められた前記累計データバイト数に対する閾値を越えたとは判定したときに、前記格納された受信ステータスを結合するステップ  
を含むデータ受信処理方法。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ネットワークプロセッサに関し、特にDMA(Direct Memory Access)転送を行うネットワークプロセッサに関する。

50

## 【背景技術】

## 【0002】

DMA転送は、CPU(Central Processing Unit)による演算を介さずに、メモリへ直接データ転送を行う技術である。コンピュータシステムの高速化により、CPUの負荷軽減が求められている。また、同時に、メモリアクセス時間の短縮も求められている。DMA転送はこれらの課題を解決する技術として重要度を増している。このような、DMA転送に関連する関連技術が、以下のとおり開示されている。

## 【0003】

特許文献1は、現在の転送制御情報に基づくDMA転送が終了後の、後続の転送制御情報の読み込み時間の短縮ができるDMA転送方式を開示している。

10

## 【0004】

図1は、特許文献1のDMA転送方式を実現する構成図を示す図である。図1に示すとおり、CPU11と、入出力装置12と、転送データ記憶手段であるRAM28と、転送制御情報記憶手段であるRAM29と、DMA制御手段であるDMA制御装置24とが、データバス1、アドレスバス2、コントロールバス3で接続されている。DMA制御装置24は、制御用記憶手段である制御レジスタ26、プリフェッチ手段であるフェッチ回路27、及び制御部であるDMA制御回路25と、を備える。RAM29は、4バイトからなる転送制御情報(ディスクリプタ)を、所定の番地(アドレス)から連続して複数記憶している。図1では、番地(0000)Hから4バイトずつ連続して記憶されていることが確認できる。ここで、「H」は、16進数表示を示す。

20

## 【0005】

RAM29は、上述のとおり、複数の転送制御情報を連続する番地に予め記憶している。DMA制御装置24は、制御レジスタ26に転送制御情報を個別に読み込む。DMA制御装置24は、CPU11、あるいは入出力装置12にDMA転送要求が発生したとき、制御レジスタ26に読み込んだ転送制御情報に基づいてDMA転送を行う。また、DMA制御装置24は、DMA制御装置24に設けられたフェッチ回路27に、制御レジスタ26に記憶されている現在の転送制御情報の後続の転送制御情報を、RAM29から前もって読み込む。DMA制御装置24は、現在の転送制御情報に基づくDMA転送が終了したときに、上記後続の転送制御情報をフェッチ回路27から制御レジスタ26へ読み込む。

30

## 【0006】

特許文献1のDMA転送方式によれば、DMA制御装置24は、制御レジスタ26に記憶されている現在の転送制御情報の後続の転送制御情報を、前もってフェッチ回路27へ読み込んでいる。そして、DMA制御装置24は、現在の転送制御情報に基づくDMA転送が終了したときに、フェッチ回路27に前もって読み込んだ後続の転送制御情報を制御レジスタ26へ取り込む。これにより、後続の転送制御情報の読み込み時間の短縮を可能にしている。

## 【先行技術文献】

## 【特許文献】

## 【0007】

【特許文献1】特開平6-096007号公報

40

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0008】

しかしながら、特許文献1のDMA転送方式において、DMA制御装置24は、転送制御情報に基づいてDMA転送を行う度に、データ転送におけるステータス情報を、RAM29へ書き込む処理を行う。そのため、ステータス情報のデータ量がDMA転送を行ったデータ量に対して多い場合、DMA制御装置24によるRAM29へのステータス情報の書き込み処理が、メモリバスの帯域を占有してしまい、他のDMA転送の効率を低下させるという課題が存在する。これによって、メモリバスの帯域不足で処理ができなくなったデータは廃棄されてしまう。

50

## 【0009】

特に、近年、通信速度が高速になってきている。例えば、1 G b p s で通信を行うような場合にイーサネット（登録商標）フレームのフレーム長が、規格で定められた最小フレーム長である64 b y t e で送受信されるとしてみる。この場合、DMA制御装置24は、64 b y t e の受信データのDMA転送処理を行う毎に、RAM29へステータス情報の書き込みのためにメモリアクセスを行うことになる。そのため、ステータス情報の書き込みのためのメモリアクセスにより、メモリバス帯域が占有され、受信されるイーサネット（登録商標）フレームの転送処理が単位時間内で行うことができなくなり、フレームの破棄が発生することになる。

## 【課題を解決するための手段】

10

## 【0010】

以下に、（発明を実施するための形態）で使用される番号を用いて、課題を解決するための手段を説明する。これらの番号は、（特許請求の範囲）の記載と（発明を実施するための形態）との対応関係を明らかにするために付加されたものである。ただし、それらの番号を、（特許請求の範囲）に記載されている発明の技術的範囲の解釈に用いてはならない。

## 【0011】

本発明のネットワークプロセッサは、受信データを記憶する格納領域（141、142）を具備し、格納領域の位置を指定するディスクリプタを記憶する外部メモリ（101）と接続されたネットワークプロセッサ（100）であって、ディスクリプタのうちの複数のディスクリプタを記憶するディスクリプタ格納回路（116）と、複数のディスクリプタを外部メモリ（101）からディスクリプタ格納回路（116）へDMA（Direct Memory Access）転送して、受信データを受信すると、ディスクリプタ格納回路（116）に記憶された複数のディスクリプタの各々に基づいて受信データを外部メモリの格納領域（141、142）へDMA転送して、受信データを外部メモリ（101）へDMA転送する度に当該受信データの状態を示す受信ステータスを生成するDMA制御回路（115）と、受信ステータスを格納する受信ステータス格納回路（118）と、受信ステータス格納回路（118）に格納された受信ステータスを結合する受信ステータス結合制御回路（117）と、を備え、DMA制御回路（115）は、結合された受信ステータスを外部メモリへDMA転送する。

20

30

## 【0012】

本発明の受信コントローラ（114）は、上述のネットワークプロセッサにおいて、DMA制御回路（115）と、ディスクリプタ格納回路（116）と、受信ステータス結合制御回路（117）と、受信ステータス格納回路（118）とを備える。

## 【0013】

本発明のデータ受信処理方法は、受信データを記憶する格納領域を具備し、格納領域の位置を指定するディスクリプタを記憶する外部メモリと接続されたネットワークプロセッサにおいて、ディスクリプタのうちの複数のディスクリプタを記憶するステップ（S110）と、複数のディスクリプタを外部メモリからDMA（Direct Memory Access）転送するステップ（S110）と、受信データを受信するステップ（S130）と、複数のディスクリプタの各々を使用して受信データを外部メモリの格納領域へDMA転送するステップ（S150）と、受信データを外部メモリへDMA転送する毎に当該受信データの状態を示す受信ステータスを生成するステップ（S160）と、受信ステータスを格納するステップ（S160）と、格納された受信ステータスを結合するステップ（S220）と、結合された受信ステータスを外部メモリへDMA転送する（S230）ステップとを備える。

40

## 【発明の効果】

## 【0014】

本発明によれば、受信ステータスのDMA転送によるメモリバスの帯域占有を抑えて、受信データのDMA転送のデータ転送効率をより高めることが可能なネットワークプロセ

50

ッサを提供することができる。そのため、高速なデータ通信において、フレーム長の短いデータの送受信を行う場合であっても、受信データの破棄をなくすることができる。

【図面の簡単な説明】

【0015】

【図1】特許文献1のDMA転送方式を実現する構成図を示す図である。

【図2】第1実施形態におけるネットワークプロセッサ100の構成を示すブロック図である。

【図3】第1実施形態における受信ステータス結合制御回路117の構成を示す図である。

【図4】第1実施形態における外部メモリ101の構成を示す図である。

10

【図5A】第1実施形態におけるネットワークプロセッサ100の動作フローである。

【図5B】第1実施形態におけるネットワークプロセッサ100の動作フローである。

【図6】第2実施形態における受信ステータス結合制御回路117の構成を示すブロック図である。

【図7】第2実施形態における受信データByte数制御回路135の構成を示すブロック図である。

【図8A】第2実施形態におけるネットワークプロセッサ100の動作フローである。

【図8B】第2実施形態におけるネットワークプロセッサ100の動作フローである。

【図9】第3実施形態におけるネットワークプロセッサ100の構成を示すブロック図である。

20

【図10A】第3実施形態におけるネットワークプロセッサ100の動作フローである。

【図10B】第3実施形態におけるネットワークプロセッサ100の動作フローである。

【発明を実施するための形態】

【0016】

添付図面を参照して、本発明の実施形態によるネットワークプロセッサを以下に説明する。

【0017】

(第1実施形態)

はじめに、本発明の第1実施形態におけるネットワークプロセッサの説明を行う。

【0018】

30

[構成の説明]

まず、本実施形態におけるネットワークプロセッサ100の構成の説明を行う。図2は、本実施形態におけるネットワークプロセッサ100の構成を示すブロック図である。

【0019】

本実施形態のネットワークプロセッサ100は、CPU(Central Processing Unit)103と、データ転送装置104と、データ転送装置105とを、備える。CPU103と、データ転送装置104と、データ転送装置105とは、それぞれ、メモリバス102に接続されている。また、ネットワークプロセッサ100の外部に備えられる外部メモリ101が、メモリバス102に接続されている。CPU103と、データ転送装置104と、データ転送装置105と、外部メモリ101とは、メモリバス102を介して電氣的に接続されており、データの送受信が可能である。

40

【0020】

CPU103は、ネットワークプロセッサ100の全体の制御を行う。データ転送装置104とデータ転送装置105は、図示されない外部装置とのデータ送受信を行う。なお、データ転送装置105は、データ転送装置104と同様であるので説明を省略する。また、本実施形態において、ネットワークプロセッサ100は、二つのデータ転送装置104、105のみを備えている。しかし、ネットワークプロセッサ100は、同じ構成を持つより多くのデータ転送装置を備えてもよい。

【0021】

データ転送装置104は、送信コントローラ110と、送信FIFO(First I

50

n First Out) 111と、外部インターフェース回路(以下、外部IF回路) 112と、受信FIFO113と、受信コントローラ114と、を備える。なお、前述の通り同様の構成であるため説明は省略するが、データ転送装置105は、送信コントローラ120と、送信FIFO121と、外部IF回路122と、受信FIFO123と、受信コントローラ124と、を備える。

#### 【0022】

送信コントローラ110は、データ送信の制御を行う。送信コントローラ110は、メモリバス102と送信FIFO111と接続される。送信コントローラ110は、メモリバス102を介して、CPU103、外部メモリ101とデータ送受信が可能である。送信コントローラ110は、外部メモリ101から入力する送信データを、送信FIFO111へ出力する。送信FIFO111は、送信データ用バッファである。送信FIFO111は、さらに、外部IF回路112と接続される。送信FIFO111は、送信コントローラ110から入力する送信データのバッファリングを行って、外部IF回路112へ送信データを出力する。外部IF回路112は、外部装置とのデータ送受信インターフェイスである。外部IF回路112は、送信FIFO111から入力する送信データを外部装置へ送信する。外部IF回路112は、さらに、受信FIFO113と接続される。外部IF回路112は、外部装置から受信した受信データを受信FIFO113へ出力する。受信FIFO113は、受信データ用バッファである。受信FIFOは、さらに、受信コントローラ114と接続される。受信FIFOは、外部IF回路112から入力する受信データのバッファリングを行って、受信コントローラ114へ受信データを出力する。受信コントローラ114は、データ受信の制御を行う。受信コントローラ114については、後に詳細な説明を行う。受信コントローラ114は、さらに、メモリバス102と接続される。受信コントローラ114は、メモリバス102を介して、CPU103、外部メモリ101とデータの送受信が可能である。受信コントローラ114は、受信FIFO113から入力する受信データを、メモリバス102を介して外部メモリ101、あるいはCPU103へ出力する。

#### 【0023】

以下、受信コントローラ114を詳細に説明する。受信コントローラ114は、DMA(Direct Memory Access)制御回路115と、ディスクリプタ格納回路116と、受信ステータス結合制御回路117と、受信ステータス格納回路118とを備える。なお、前述の通り同様の構成であるため説明は省略するが、受信コントローラ124は、DMA制御回路125と、ディスクリプタ格納回路126と、受信ステータス結合制御回路127と、受信ステータス格納回路128とを備える。

#### 【0024】

DMA制御回路115は、メモリバス102と、受信FIFOと接続されている。DMA制御回路115は、受信FIFOから入力する受信データを入力する。DMA制御回路115は、メモリバス102を介して外部メモリ101との間でDMA転送を行って、受信データや、ディスクリプタや、受信ステータスの送受信を行う。DMA制御回路115は、さらに、ディスクリプタ格納回路116と接続されている。ディスクリプタ格納回路116は、外部メモリ101からDMA制御回路115の取得したディスクリプタを格納している。ディスクリプタ格納回路116は、さらに、受信ステータス結合制御回路117と接続されている。受信ステータス結合制御回路117は、受信ステータスに基づく処理や、判定を行う。受信ステータス結合制御回路117は、後に詳細な説明を行う。受信ステータス結合制御回路117は、さらに、受信FIFO123と、受信ステータス格納回路128と接続される。受信FIFO123は、前述の通りである。受信ステータス結合制御回路117は、受信FIFO123から受信データを入力して、受信ステータスに対する処理や、判定を行う。受信ステータス格納回路128は、DMA制御回路115の生成した受信ステータスを格納する。受信ステータス格納回路128は、さらに、DMA制御回路125と接続される。DMA制御回路125は、受信ステータス格納回路128へ受信ステータスを格納し、また、受信ステータス格納回路128から受信ステータスを

10

20

30

40

50



取得する。ここで、受信ステータスとは、受信データの情報を示すものであり、例えば、受信フレームエラー情報や、受信フレーム長情報のことである。

#### 【0025】

図3は、本実施形態における受信ステータス結合制御回路117の構成を示す図である。本実施形態の受信ステータス結合制御回路117は、ディスクリプタ有効判定回路130と、時間管理回路131と、ディスクリプタ残数制御回路132と、有効ディスクリプタ数判定回路133と、受信ステータス結合回路134と、を備える。なお、説明を省略するが、受信ステータス結合制御回路127も、同様の構成を備える。

#### 【0026】

ディスクリプタ有効判定回路130は、前述のディスクリプタ格納回路116と接続されている。ディスクリプタ有効判定回路130は、ディスクリプタ格納回路116からディスクリプタを入力して、ディスクリプタの有効/無効を判定する。ディスクリプタ有効判定回路130は、さらに、時間管理回路131と、ディスクリプタ残数制御回路132と、有効ディスクリプタ数判定回路133と、それぞれ接続されている。時間管理回路131は、データを受信してから予め定められた時間を測定して、データ通信の中断や切断を判定する。ディスクリプタ残数制御回路132は、ディスクリプタ格納回路116に格納されたディスクリプタの全てがDMA転送に使用されたか否かを判定する残数判定を行う。有効ディスクリプタ数判定回路133は、有効なディスクリプタの数をカウントする。時間管理回路131と、ディスクリプタ残数制御回路132と、有効ディスクリプタ数判定回路133とは、さらに受信ステータス結合回路134と接続されている。受信ステータス結合回路134は、DMA制御回路115が処理を行った受信データの受信ステータスを結合する。受信ステータス結合回路134は、さらに、受信ステータス格納回路118と接続される。ディスクリプタ有効判定回路130と、時間管理回路131とは、受信コントローラ114が受信データを受信したことを、受信FIFO113から受信データを入力する、あるいは、受信FIFO113のデータ受信状態をモニターするといった方法で検知して、各々の動作を行う。

#### 【0027】

図4は、本実施形態における外部メモリ101の構成を示す図である。本実施形態における外部メモリ101は、ディスクリプタ格納領域140と、データ格納領域141と、データ格納領域142と、を備える。ディスクリプタ格納領域140は、ディスクリプタを連続するアドレスに配置している。各ディスクリプタは、ディスクリプタの有効/無効を示すビットや、受信データを書き込むアドレス空間を示すアドレスビットや、受信データのステータスを示すビットを含む。データ格納領域141、142は、受信データを格納するための領域である。本実施形態において、データ格納領域141は、Address\_\_Bで示され、データ格納領域142は、Address\_\_Cで示される。なお、データ格納領域は、図4に示されたデータ格納領域141、142に限らず、他に、より多数のデータ格納領域が存在する。これに対応して、ディスクリプタ格納領域140は、それぞれのデータ格納領域を指定するように記述されている。

#### 【0028】

例えば、図4を参照すると、ディスクリプタ格納領域140の1stディスクリプタは、受信データを、Address\_\_Cの示すデータ格納領域142へ格納するよう記録している。また、ディスクリプタ格納領域140の2ndディスクリプタは、受信データを、Address\_\_Bの示すデータ格納領域141へ格納するよう記録している。このような、外部メモリ101は、従来技術により構成されるため、これ以上の詳細な説明を省略する。

#### 【0029】

以上が、本実施形態におけるネットワークプロセッサ100の構成の説明である。

#### 【0030】

#### [動作方法の説明]

次に、本実施形態におけるネットワークプロセッサ100の動作方法の説明を行う。図

10

20

30

40

50

5 A 及び図 5 B は、本実施形態におけるネットワークプロセッサ 100 の動作フローである。

【0031】

(ステップ S100)

はじめに、CPU 103 は、受信コントローラ 114 へ、パラメータの設定を行う。CPU 103 は、受信コントローラ 114 へ、予め定められた一定時間を示す閾値時間「T」を設定する。閾値時間は、受信コントローラ 114 が、受信データの受信間隔に基づいてタイムアウトを判定するための時間である。閾値時間は、ネットワークプロセッサ 100 の設計者によって予め定められている。また、CPU 103 は、受信コントローラ 114 へ、外部メモリ 101 に記憶されたディスクリプタ格納領域 140 のアドレス「I」を設定する。受信コントローラ 114 は、アドレス「I」に基づいて、アドレス「I」に記憶されているディスクリプタから順に読み込む。さらに、CPU 103 は、受信コントローラ 114 へ、ディスクリプタ格納可能数「K」を設定する。ディスクリプタ格納可能数は、ディスクリプタ格納回路 116 へ格納可能なディスクリプタ数である。なお、本実施形態においてディスクリプタ格納回路 116 のディスクリプタ格納可能数を「K = J」とする。また、CPU 103 は、受信コントローラ 114 へ、ディスクリプタ格納回路 116 のディスクリプタポインタ「L = 1」と設定する。ディスクリプタポインタは、ディスクリプタ格納回路 116 に格納されたディスクリプタのうち、処理対象となるディスクリプタを示すポインタである。

10

【0032】

(ステップ S110)

DMA 制御回路 115 は、DMA 転送を行って、外部メモリ 101 からディスクリプタを読み込む。DMA 制御回路 115 は、外部メモリ 101 のディスクリプタ格納領域 140 のアドレス「I」から、ディスクリプタ格納可能数である「J」個のディスクリプタを、ディスクリプタ格納回路 116 のディスクリプタポインタ「L」へ、DMA 転送を行って読み込む。

20

【0033】

(ステップ S120)

ディスクリプタ残数制御回路 132 は、ディスクリプタ受信処理件数「k」の初期値を設定する。ディスクリプタ残数制御回路 132 は、ディスクリプタ格納回路 116 に格納されたディスクリプタにおいて、処理が行われた件数をカウントするためである。ディスクリプタ残数制御回路 132 は、ディスクリプタ受信処理件数「k = 1」と設定する。

30

【0034】

(ステップ S130)

データ転送装置 104 が、データを受信する。外部 IF 回路 112 は、図示されない外部装置からデータを受信する。受信コントローラ 114 は、外部 IF 回路 112 から受信 FIFO 113 を介して、受信データを入力する。受信データは、受信コントローラ 114 へ入力されると、DMA 制御回路 115 と受信ステータス結合制御回路 117 とへ分岐して、入力される。また、時間管理回路 131 は、データを受信したことを検知すると起動して、閾値時間「T」の計測を開始する。

40

【0035】

(ステップ S140)

ディスクリプタ有効判定回路 130 は、ディスクリプタが有効であるか否かを判定する。ディスクリプタ有効判定回路 130 は、ディスクリプタ格納回路 116 から、ディスクリプタポインタ「L」に対応するディスクリプタを読み込む。ディスクリプタ有効判定回路 130 は、ディスクリプタポインタ「L」に対応するディスクリプタが有効であるか否(無効)かを判定する。ここで、ディスクリプタが有効であるとは、CPU が予めディスクリプタに対して、受信するためのパラメータを書き込んでおり、受信が可能な状態のことを指す。ディスクリプタポインタ「L」に対応するディスクリプタが有効である場合、ステップ S150 へ進む。一方、ディスクリプタポインタ「L」に対応するディスクリプタ

50

が有効でない場合（無効の場合）、ステップ S 2 1 0 へ進む。

【 0 0 3 6 】

（ステップ S 1 5 0 ）

D M A 制御回路 1 1 5 は、受信データの D M A 転送を行う。ディスクリプタポインタ「L」に対応するディスクリプタが有効である場合、D M A 制御回路 1 1 5 は、ディスクリプタポインタ「L」に対応するディスクリプタに基づいて、受信データを外部メモリ 1 0 1 へ D M A 転送する。以下、D M A 制御回路 1 1 5 が、有効なディスクリプタを用いて、受信データを外部メモリ 1 0 1 へ D M A 転送する処理を、受信処理と呼ぶ場合がある。

【 0 0 3 7 】

（ステップ S 1 6 0 ）

D M A 制御回路 1 1 5 は、受信ステータスを格納する。D M A 制御回路 1 1 5 は、D M A 転送を行うと、当該受信データの受信ステータスを生成する。D M A 制御回路 1 1 5 は、受信ステータスを、受信ステータス格納回路 1 1 8 へ格納する。

【 0 0 3 8 】

（ステップ S 1 7 0 ）

ディスクリプタ残数制御回路 1 3 2 は、ディスクリプタの残数判定を行う。ここで、残数判定とは、ディスクリプタ格納回路 1 1 6 に格納された「J」個のディスクリプタを、D M A 転送により全て使用したか否かの判定である。ディスクリプタ残数制御回路 1 3 2 は、ディスクリプタ格納可能数「K (= J)」と、ディスクリプタ受信処理件数「k」とが一致するか否かで判定を行う。なお、残数判定は、D M A 制御回路 1 1 5 がディスクリプタ格納回路 1 1 6 に格納されたディスクリプタを使用して D M A 転送を行うごとに行われる。ディスクリプタ格納可能数「J」と、ディスクリプタ受信処理件数「k」とが一致する場合、すなわち「J = k」である場合、ステップ S 2 3 0 へ進む。一方、ディスクリプタ格納可能数「K (= J)」と、ディスクリプタ受信処理件数「k」とが一致しない場合、すなわち「J > k」である場合、ステップ S 1 8 0 へ進む。

【 0 0 3 9 】

（ステップ S 1 8 0 ）

時間管理回路 1 3 1 は、閾値時間「T」を経過しているか否かを判定する。時間管理回路 1 3 1 は、ディスクリプタ格納可能数「K (= J)」と、ディスクリプタ受信処理件数「k」とが一致しない場合、すなわち「J > k」である場合、データを受信してから計測している時間が閾値時間「T」を経過しているか否かを判定する。時間管理回路 1 3 1 は、前回のデータ受信から閾値時間「T」を経過しているか否かを判定することによって、現在の通信が、中断、或いは終了したかを判定している。前回のデータ受信から、閾値時間「T」を経過していない場合、ステップ S 1 9 0 へ進む。一方、前回のデータ受信から、閾値時間「T」を経過した場合、ステップ S 2 3 0 へ進む。

【 0 0 4 0 】

（ステップ S 1 9 0 ）

時間管理回路 1 3 1 は、データを受信したか否かを判定する。時間管理回路 1 3 1 は、前回のデータ受信から、閾値時間「T」を経過していない場合、データ転送装置 1 0 4 がデータを受信したか否かを判定する。時間管理回路 1 3 1 は、外部 I F 回路 1 1 2 から受信 F I F O を介して受信コントローラ 1 1 4 へ入力される受信データの有無により、データを受信したか否かを判定する。データを受信しない場合、ステップ S 1 8 0 へ戻る。この場合は、ステップ S 1 8 0 と本ステップ S 1 9 0 により、閾値時間「T」を経過する前にデータを受信するか否かを繰り返し判定することになる。一方、データを受信した場合、ステップ S 2 0 0 へ進む。

【 0 0 4 1 】

（ステップ S 2 0 0 ）

受信コントローラ 1 1 4 は、パラメータの更新を行う。受信コントローラは、データを受信した場合、当該データの受信処理を行うために、パラメータの更新を行う。受信コントローラ 1 1 4 は、ディスクリプタ格納回路 1 1 6 のディスクリプタポインタ「L = L +

10

20

30

40

50

1」と更新する。また、ディスクリプタ残数制御回路132は、ディスクリプタ受信処理件数「 $k = k + 1$ 」と更新する。パラメータの更新が完了すると、受信データの処理を行うためにステップS140へ戻る。

【0042】

(ステップS210)

有効ディスクリプタ数判定回路133は、1つ以上のディスクリプタに基づいて、受信処理を行ったか否かを判定する。有効ディスクリプタ数判定回路133は、ディスクリプタポインタ「L」に対応するディスクリプタが有効でない場合(無効の場合)、これまでに、1つ以上のディスクリプタに基づいて受信処理が行われたか否かを判定する。例えば、有効ディスクリプタ数判定回路133は、ステップS150において、DMA制御回路115による受信データのDMA転送時に、受信処理数をカウントしてもよい。有効ディスクリプタ数判定回路133は、当該カウントに基づいて、1つ以上のディスクリプタに基づいて、受信処理を行ったか否かを判定することが可能である。なお、有効ディスクリプタ数判定回路133は、受信処理を、1つ以上のディスクリプタに基づいて行ったか否かを判定できれば良いため、上記のように受信処理数をカウントする方法には限定しない。すなわち、有効ディスクリプタ数判定回路133は、1つ以上のディスクリプタに基づいて、受信処理を行ったか否かを記憶しているのみでもよい。1つ以上のディスクリプタに基づいて受信処理を行っている場合、ステップS220へ進む。一方、1つ以上のディスクリプタに基づいて受信処理が行われていない場合、すなわち、有効なディスクリプタを用いての受信処理が全く行われていない場合、本動作フローは終了となる。

10

20

【0043】

(ステップS220)

ディスクリプタ残数制御回路132は、ディスクリプタ受信処理件数を更新する。ディスクリプタ残数制御回路132は、1つ以上のディスクリプタに基づいて受信処理を行っている場合、ディスクリプタ受信処理件数「 $k = k - 1$ 」と更新する。これは、ステップS200において、ディスクリプタ受信処理件数「 $k = k + 1$ 」と更新しているが、このカウントアップ後に、ディスクリプタを用いた受信処理を行っていないため、実際の処理件数とディスクリプタ受信処理件数「 $k$ 」とを一致させるためである。

【0044】

(ステップS230)

受信ステータス結合回路134は、受信ステータスを結合する。受信ステータス結合回路134は、受信処理を行った件数、「 $k$ 」個の受信ステータスを、処理を行った順に結合する。受信ステータス結合回路134は、結合した受信ステータスを受信ステータス格納回路118へ出力する。受信ステータス格納回路118は、結合された受信ステータスを記憶する。

30

【0045】

(ステップS240)

DMA制御回路115は、受信ステータスを外部メモリ101へDMA転送する。DMA制御回路115は、受信ステータス格納回路118から結合された受信ステータスを取得して、外部メモリ101のディスクリプタ格納領域140のアドレス「I」へDMA転送を行う。外部メモリ101は、ディスクリプタ格納領域140のアドレス「I」に、結合された受信ステータスを記憶する。

40

【0046】

(ステップS250)

受信ステータス結合回路134は、有効ディスクリプタ数判定回路133の判定に基づいて、受信ステータスの結合処理を行ったか否か(ステップS210の判定に基づいてステップS230へ移行したか否か)を判定する。有効ディスクリプタ数判定回路133の判定(ステップS210にて実行)に基づいて、受信ステータスの結合処理を行った場合、ステップS260へ進む。一方、有効ディスクリプタ数判定回路133の判定(ステップS210にて実行)に基づいて、受信ステータスの結合処理を行っていない場合(ステ

50

ップ S 1 7 0、S 1 8 0 からステップ S 2 3 0 へ移行した場合)、ステップ S 2 7 0 へ進む。

【 0 0 4 7 】

(ステップ S 2 6 0 )

受信コントローラ 1 1 4 は、パラメータの更新を行う。受信コントローラ 1 1 4 は、有効ディスクリプタ数判定回路 1 3 3 の判定 (ステップ S 2 1 0 にて実行) に基づいて、受信ステータスの結合処理を行った場合、パラメータの更新を行う。まず、受信コントローラ 1 1 4 は、外部メモリ 1 0 1 からディスクリプタを取り込むアドレス「I」を更新する。受信コントローラ 1 1 4 は、アドレス「I」を「 $I = k \times M$ 」に更新する。ここで、「k」は、前述の通り、ディスクリプタ受信処理件数であり、「M」は、1 個あたりのディスクリプタサイズ (Byte) である。また、受信コントローラ 1 1 4 は、ディスクリプタ格納回路 1 1 6 のディスクリプタポインタ「L」を、「 $L = 1$ 」へ更新する。現在のディスクリプタポインタ「L」に相当するディスクリプタが、無効なディスクリプタであったためである。さらに、受信コントローラ 1 1 4 は、ディスクリプタ残数制御回路 1 3 2 のディスクリプタ受信処理件数「k」を「 $k = 1$ 」と初期化する。この後、ステップ S 1 1 0 へ戻る。

10

【 0 0 4 8 】

(ステップ S 2 7 0 )

受信コントローラ 1 1 4 は、パラメータの更新を行う。受信コントローラ 1 1 4 は、有効ディスクリプタ数判定回路 1 3 3 の判定 (ステップ S 2 1 0 にて実行) に基づいて、受信ステータスの結合処理を行っていない場合 (ステップ S 1 7 0、S 1 8 0 からステップ S 2 3 0 へ移行した場合)、パラメータの更新を行う。受信コントローラ 1 1 4 は、外部メモリ 1 0 1 からディスクリプタを取り込むアドレス「I」を更新する。受信コントローラ 1 1 4 は、アドレス「I」を「 $I = k \times M$ 」に更新する。ここで、「k」は、前述の通り、ディスクリプタ受信処理件数であり、「M」は、1 個あたりのディスクリプタサイズ (Byte) である。また、受信コントローラ 1 1 4 は、ディスクリプタ格納回路 1 1 6 のディスクリプタポインタ「L」を、「 $L = L + 1$ 」へ更新する。

20

【 0 0 4 9 】

以上が、本実施形態におけるネットワークプロセッサの動作方法の説明である。

【 0 0 5 0 】

ここまで、説明を行ったとおり、本実施形態のネットワークプロセッサによれば、受信コントローラ 1 1 4 の DMA 制御回路 1 1 5 は、予め外部メモリ 1 0 1 から複数のディスクリプタを DMA 転送にて、ディスクリプタ格納回路 1 1 6 へ読み込む。DMA 制御回路 1 1 5 は、ディスクリプタ格納回路 1 1 6 に格納されたディスクリプタを用いて、受信データを外部メモリ 1 0 1 へ DMA 転送する。DMA 制御回路 1 1 5 は、受信データを外部メモリへ DMA 転送するごとに、受信ステータス格納回路 1 1 8 へ、受信ステータスを格納する。その後、受信ステータス結合制御回路 1 1 7 は、受信ステータス格納回路 1 1 8 に格納された受信ステータスを結合する。DMA 制御回路 1 1 5 は、結合された受信ステータスを、外部メモリ 1 0 1 のディスクリプタ格納領域 1 4 0 へ DMA 転送を行う。このように、受信コントローラ 1 1 4 が複数の受信ステータスを結合した受信ステータを一括で外部メモリ 1 0 1 へ書き込むため、メモリバス 1 0 2 の帯域占有を防止することができる。そのため、DMA 制御回路 1 1 5 による受信データの DMA 転送の転送効率を低下させることなく、高速データ通信においてフレーム長の短い受信データを受信する場合であっても、メモリバスの帯域不足による受信データの破棄を防ぐことが可能となる。

30

40

【 0 0 5 1 】

以上が、本実施形態におけるネットワークプロセッサ 1 0 0 の説明である。

【 0 0 5 2 】

(第 2 実施形態)

次に、本発明の第 2 実施形態におけるネットワークプロセッサの説明を行う。

【 0 0 5 3 】

50

## [ 構成の説明 ]

まず、本実施形態におけるネットワークプロセッサ100の構成の説明を行う。本実施形態におけるネットワークプロセッサ100の構成は、第1実施形態とほぼ同様の構成であるので、同様の部分については説明を省略し、第1実施形態との違いを中心に説明を行う。本実施形態におけるネットワークプロセッサ100の構成は、データ転送装置104、105における受信コントローラ114、124の受信ステータス結合制御回路117、127の構成が異なる。その他の構成については、第1実施形態と同様であるので、説明を省略する。図6は、本実施形態における受信ステータス結合制御回路117の構成を示すブロック図である。なお、第1実施形態と同様に、受信ステータス結合制御回路117と受信ステータス結合制御回路127とは、同様の構成であるため、受信ステータス結合制御回路117のみの説明を行い、受信ステータス結合制御回路127の説明を省略する。

10

## 【0054】

本実施形態の受信ステータス結合制御回路117は、第1実施形態と同様に、ディスクリプタ有効判定回路130と、時間管理回路131と、ディスクリプタ残数制御回路132と、有効ディスクリプタ数判定回路133と、受信ステータス結合回路134と、を備え、さらに、受信データByte数制御回路135を備える。ディスクリプタ有効判定回路130と、時間管理回路131と、ディスクリプタ残数制御回路132と、有効ディスクリプタ数判定回路133と、受信ステータス結合回路134とは、第1実施形態と同様であるので、説明を省略する。

20

## 【0055】

受信データByte数制御回路135は、受信データのデータByte数に基づく閾値判定を行う。図7は、本実施形態における受信データByte数制御回路135の構成を示すブロック図である。受信データByte数制御回路135は、受信データByte数制御閾値格納回路150と、受信データByte数カウント制御回路151と、大小判定回路152と、受信ステータス結合数制御情報回路153とを備える。

## 【0056】

受信データByte数制御閾値格納回路150は、受信データの受信Byte数に対する判定を行うためのデータ量閾値「B」を格納している。データ量閾値「B」は、予めCPU103により、受信データByte数制御閾値格納回路150へ格納されている。受信データByte数カウント制御回路151は、受信コントローラ114の受信した受信データの受信Byte数をカウントする。受信データByte数カウント制御回路151は、大小判定回路152は、受信データByte数カウント制御回路151のカウントする受信データの受信Byte数が、受信データByte数制御閾値格納回路150の格納するデータ量閾値「B」を超えているか否かを判定する。なお、受信データByte数カウント制御回路151は、受信FIFO113から受信データを入力する、あるいは、受信FIFO113のデータ受信状態をモニターするといった方法で、受信データの受信Byte数をカウントする。

30

## 【0057】

受信ステータス結合数制御情報回路153は、大小判定回路152において、受信データByte数カウント制御回路151のカウントする受信データの受信Byte数が、受信データByte数制御閾値格納回路150の格納するデータ量閾値「B」を越えたとき、受信ステータスを結合する数を判定する。受信ステータス結合数制御情報回路153は、受信データの受信Byte数がデータ量閾値「B」を越えた事を、受信ステータスを結合する数と共に、受信ステータス結合回路134へ通知する。本実施形態において、受信ステータス結合回路134は、受信ステータス結合数制御情報回路153から通知を受けると、受信ステータスの結合処理を行う。

40

## 【0058】

例えば、データ量閾値「B」が450Byteと設定されている場合に、受信コントローラ114が100Byteの受信フレームを連続で受信する場合を考える。5個目の受

50

信フレームを受信コントローラ 114 が受信すると、受信データの受信 Byte 数は 500 Byte となり、データ量閾値「B」の 450 Byte を越える。そのため、大小判定回路 152 は、受信データの受信 Byte 数がデータ量閾値「B」を越えたと判定する。それに伴い、受信ステータス結合数制御情報回路 153 は、結合する受信ステータスの数を「5個」と決定する。受信ステータス結合数制御情報回路 153 は、受信ステータスを結合する数「5個」と共に、受信データの受信 Byte 数がデータ量閾値「B」を越えた旨の通知を、受信ステータス結合回路 134 へ通知する。

#### 【0059】

なお、本説明では、受信ステータス結合数制御情報回路 153 は、結合する受信ステータスの数を「5個」と判定している。しかし、受信ステータス結合数制御情報回路 153 は、例えば、受信データの受信 Byte 数がデータ量閾値「B」を越えたと判定した時点で、既に受信処理の完了している受信ステータスを結合する判定として良い。この場合、受信ステータス結合数制御情報回路 153 は、結合する受信ステータス数を「4個」と判定することになる。このように構成することで、受信ステータス結合回路 134 は、受信データの受信 Byte 数に基づいて、受信ステータスの結合処理を行うことができる。

10

#### 【0060】

以上が、本実施形態におけるネットワークプロセッサ 100 の構成の説明である。上述した以外の構成については、第 1 実施形態と同様であるので説明を省略する。

#### 【0061】

##### [動作方法の説明]

次に、本実施形態におけるネットワークプロセッサ 100 の動作方法の説明を行う。図 8A 及び図 8B は、本実施形態におけるネットワークプロセッサ 100 の動作フローである。本実施形態におけるネットワークプロセッサ 100 の動作方法は、第 1 実施形態とほぼ同様の動作方法であるので、同様の部分については説明を省略し、第 1 実施形態との違いを中心に説明を行う。本実施形態におけるネットワークプロセッサ 100 の動作方法は、受信データ Byte 数制御回路 135 による、受信データの受信 Byte 数のデータ量閾値「B」に対する閾値判定（ステップ S175）が加わる部分が異なる。

20

#### 【0062】

##### (ステップ S100)

はじめに、CPU 103 は、受信コントローラ 114 へ、パラメータの設定を行う。CPU 103 は、第 1 実施形態と同様に、受信コントローラ 114 へ、予め定められた一定時間を示す閾値時間「T」、ディスクリプタ領域 140 のアドレス「I」、ディスクリプタ格納可能数「K」、ディスクリプタ格納回路 116 のディスクリプタポインタ「L = 1」を設定する。さらに、本実施形態の CPU 103 は、受信データ Byte 数制御閾値格納回路 150 のデータ量閾値「B」を設定する。

30

#### 【0063】

##### (ステップ S110 ~ ステップ S170)

ステップ S110 ~ ステップ S170 は、第 1 実施形態と同様であるので説明を省略する。すなわち、DMA 制御回路 115 は、DMA 転送を行って、外部メモリ 101 からディスクリプタを読み込む（ステップ S110）。ディスクリプタ残数制御回路 132 は、ディスクリプタ受信処理件数「k」の初期値を設定する（ステップ S120）。データ転送装置 104 が、データを受信する（ステップ S130）。ディスクリプタ有効判定回路 130 は、ディスクリプタが有効であるか否かを判定する（ステップ S140）。DMA 制御回路 115 は、受信データの DMA 転送を行う（ステップ S150）。DMA 制御回路 115 は、受信ステータスを格納する（ステップ S160）。ディスクリプタ残数制御回路 132 は、ディスクリプタの残数判定を行う（ステップ S170）。なお、本実施形態のステップ S170 において、ディスクリプタ格納可能数「K (= J)」と、ディスクリプタ受信処理件数「k」とが一致しない場合、すなわち「J < k」である場合は、ステップ S175 へ進む。

40

#### 【0064】

50

(ステップS175)

受信Byte数制御回路135は、データ量閾値「B」に対する閾値判定を行う。受信Byte数制御回路135は、ディスクリプタ格納可能数「K(=J)」と、ディスクリプタ受信処理件数「k」とが一致しない場合、すなわち「J≠k」である場合、受信データの受信Byte数のデータ量閾値「B」に対する閾値判定を行う。データ量閾値「B」に対する閾値判定は、大小判定回路152によって行われる。大小判定回路153は、受信データByte数カウント制御回路151のカウントする受信データのByte数が、受信データByte数制御閾値格納回路150の格納するデータ量閾値「B」を越えているか否かを判定する。閾値判定により、受信データのByte数がデータ量閾値「B」を越えている場合、ステップS230へ進む。一方、閾値判定により、受信データのByte数がデータ量閾値「B」を越えていない場合、ステップS180へ進む。

10

【0065】

(ステップS180)

時間管理回路131は、閾値時間「T」を経過しているか否かを判定する。時間管理回路131は、閾値判定により、受信データのByte数がデータ量閾値「B」を越えていない場合、データを受信してから計測している閾値時間「T」を経過しているか否かを判定する。本ステップの他の動作は、第1実施形態と同様であるので説明を省略する。

【0066】

(ステップS190～ステップS270)

ステップS190～ステップS270は、第1実施形態と同様であるので、説明を省略する。すなわち、時間管理回路131は、データを受信したか否かを判定する(ステップS190)。受信コントローラ114は、パラメータの更新を行う(ステップS200)。有効ディスクリプタ数判定回路133は、1つ以上のディスクリプタに基づいて、受信処理を行ったか否かを判定する(ステップS210)。ディスクリプタ残数制御回路132は、ディスクリプタ受信処理件数を更新する(ステップS220)。受信ステータス結合回路134は、受信ステータスを結合する(ステップS230)。DMA制御回路115は、受信ステータスを外部メモリ101へDMA転送する(ステップS240)。受信ステータス結合回路134は、有効ディスクリプタ数判定回路133の判定に基づいて、受信ステータスの結合処理を行ったか否かを判定する(ステップS250)。受信コントローラ114は、パラメータの更新を行う(ステップS260)。受信コントローラ114は、パラメータの更新を行う(ステップS270)。なお、本実施形態のステップS250において、ステップS175からステップS230へ移行してきた場合、ステップS270へ移行する。

20

30

【0067】

以上が、本実施形態におけるネットワークプロセッサ100の動作方法の説明である。

【0068】

ここまで、説明を行ったとおり、本実施形態のネットワークプロセッサによれば、受信ステータス結合制御回路117は、第1実施形態の構成に加えて、受信Byte数制御回路135をさらに備える。受信Byte数制御回路135は、受信データの受信Byte数のデータ量閾値「B」に対する閾値判定を行う。このように構成することによって、フレーム長が短いデータを受信しているときは、多くの数の受信ステータスを結合してDMA転送を行うことで、メモリバス102の帯域占有を防ぐことができる。一方で、フレーム長が長いデータを受信しているときは、DMA転送によってメモリバス102の帯域を占有し難いため、少ない数の受信ステータスを結合してDMA転送を行い、受信ステータスの滞留時間を一定に抑えることができる。

40

【0069】

以上が、本実施形態におけるネットワークプロセッサ100の説明である。

【0070】

(第3実施形態)

次に、本発明の第3実施形態におけるネットワークプロセッサの説明を行う。

50



## 【 0 0 7 1 】

## [ 構成の説明 ]

まず、本実施形態におけるネットワークプロセッサ 100 の構成の説明を行う。本実施形態におけるネットワークプロセッサ 100 の構成は、第 1 実施形態、及び第 2 実施形態とほぼ同様の構成であるので、同様の部分については説明を省略し、第 1、第 2 実施形態との違いを中心に説明を行う。本実施形態におけるネットワークプロセッサ 100 の構成は、受信コントローラ 114、124 のディスクリプタ格納回路 116、126 と受信ステータス格納回路 118、128 とが、Read / Write (以下、R / W) ディスクリプタ格納回路 200、201 へ置き換わった部分が、第 1、第 2 実施形態と異なっている。その他の構成については、第 1、第 2 実施形態と同様であるので、説明を省略する。図 9 は、本実施形態におけるネットワークプロセッサ 100 の構成を示すブロック図である。なお、第 1、第 2 実施形態と同様に、データ転送装置 104 とデータ転送装置 105 とは、同様の構成であるため、データ転送装置 104 のみの説明を行い、データ転送装置 105 の説明を省略する。

10

## 【 0 0 7 2 】

本実施形態の受信コントローラ 114 は、第 1 実施形態と同様に DMA 制御回路 115 と、受信ステータス結合制御回路 117 とを備え、さらに、R / W ディスクリプタ格納回路 200 を備える。すなわち、受信コントローラ 114 のディスクリプタ格納回路 116 と受信ステータス格納回路 118 とが、R / W ディスクリプタ格納回路 200 へ置き換わっている。RW ディスクリプタ格納回路 200 は、ディスクリプタ格納回路 116 と受信ステータス格納回路 118 との機能を備えている。このように、ディスクリプタ格納回路 116 と受信ステータス格納回路 118 とを、R / W ディスクリプタ格納回路へ置き換えることで、受信コントローラ 114 を簡易に構成することができる。

20

## 【 0 0 7 3 】

以上が、本実施形態におけるネットワークプロセッサ 100 の構成の説明である。上述した以外の構成については、第 1、第 2 実施形態と同様であるので説明を省略する。

## 【 0 0 7 4 】

## [ 動作方法の説明 ]

次に、本実施形態におけるネットワークプロセッサ 100 の動作方法の説明を行う。図 10A 及び図 10B は、本実施形態におけるネットワークプロセッサ 100 の動作フローである。本実施形態におけるネットワークプロセッサ 100 の動作方法は、第 1、第 2 実施形態とほぼ同様の動作方法であるので、同様の部分については説明を省略し、第 1、第 2 実施形態との違いを中心に説明を行う。なお、以下の説明では、第 1 実施形態の動作フロー (図 5A 及び図 5B) との違いを説明するが、同様の違いを第 2 実施形態の動作フロー (図 8A 及び図 8B) にも適用できる。

30

## 【 0 0 7 5 】

## (ステップ S100)

はじめに、CPU 103 は、受信コントローラ 114 へ、パラメータの設定を行う。CPU 103 は、受信コントローラ 114 へ、ディスクリプタ格納可能数「K」を設定する。本実施形態においてディスクリプタ格納可能数は、R / W ディスクリプタ格納回路 200 へ格納可能なディスクリプタ数である。なお、本実施形態において R / W ディスクリプタ格納回路 200 のディスクリプタ格納可能数を「K = J」とする。また、CPU 103 は、受信コントローラ 114 へ、R / W ディスクリプタ格納回路 200 のディスクリプタポインタ「L = 1」と設定する。ディスクリプタポインタは、R / W ディスクリプタ格納回路 200 に格納されたディスクリプタのうち、処理対象となるディスクリプタを示すポインタである。本ステップのこの他の動作は、第 1 実施形態と同様であるので説明を省略する。

40

## 【 0 0 7 6 】

## (ステップ S110)

DMA 制御回路 115 は、DMA 転送を行って、外部メモリ 101 からディスクリプタ

50

を讀込む。DMA制御回路115は、外部メモリ101のディスクリプタ領域140のアドレス「I」から、ディスクリプタ格納可能数である「J」個のディスクリプタを、R/Wディスクリプタ格納回路200のディスクリプタポインタ「L」へ、DMA転送を行って讀込む。

【0077】

(ステップS120～ステップS130)

ステップS120～ステップS130は、第1実施形態と同様であるので説明を省略する。すなわち、ディスクリプタ残数制御回路132は、ディスクリプタ受信処理件数「k」の初期値を設定する。データ転送装置104が、データを受信する(ステップS130)。

10

【0078】

(ステップS140)

ディスクリプタ有効判定回路130は、ディスクリプタが有効であるか否かを判定する。本実施形態において、ディスクリプタ有効判定回路130は、R/Wディスクリプタ格納回路200から、ディスクリプタポインタ「L」に対応するディスクリプタを讀込む。本ステップのこの他の動作は、第1実施形態と同様であるので説明を省略する。

【0079】

(ステップS150)

ステップS150は、第1実施形態と同様であるので説明を省略する。すなわち、DMA制御回路115は、受信データのDMA転送を行う。

20

【0080】

(ステップS160)

DMA制御回路115は、ステータス情報を書き込む。DMA制御回路115は、DMA転送を行った受信データのステータス情報を生成する。DMA制御回路115は、ステータス情報を、R/Wディスクリプタ格納回路200へ書き込む。

【0081】

(ステップS170)

ディスクリプタ残数制御回路132は、ディスクリプタの残数判定を行う。本実施形態の残数判定では、R/Wディスクリプタ格納回路200に格納された「J」個のディスクリプタを、DMA転送により全て使用したか否かの判定である。本ステップのこの他の動作は、第1実施形態と同様であるので説明を省略する。

30

【0082】

(ステップS180～ステップS190)

ステップS180～ステップS190は、第1実施形態と同様であるので説明を省略する。すなわち、時間管理回路131は、閾値時間「T」を経過しているか否かを判定する(ステップS180)。時間管理回路131は、データを受信したか否かを判定する(ステップS190)。

【0083】

(ステップS200)

受信コントローラ114は、パラメータの更新を行う。受信コントローラは、データを受信した場合、当該データの受信処理を行うために、パラメータの更新を行う。受信コントローラ114は、R/Wディスクリプタ格納回路200のディスクリプタポインタ「L」を「L=L+1」と更新する。本ステップのこの他の動作は、第1実施形態と同様であるので説明を省略する。

40

【0084】

(ステップS210～ステップS220)

ステップS210～ステップS220は、第1実施形態と同様であるので説明を省略する。すなわち、有効ディスクリプタ数判定回路133は、1つ以上のディスクリプタに基づいて、受信処理を行ったか否かを判定する(ステップS210)。ディスクリプタ残数制御回路132は、ディスクリプタ受信処理件数を更新する(ステップS220)。

50

## 【 0 0 8 5 】

(ステップ S 2 3 0 )

DMA制御回路115は、R/Wディスクリプタ格納回路200から外部メモリ101へ、受信ステータスをDMA転送する。DMA制御回路115は、R/Wディスクリプタ格納回路200に格納されたステータス情報を取得して、外部メモリ101のディスクリプタ領域140のアドレス「I」へDMA転送を行う。外部メモリ101は、ディスクリプタ領域140のアドレス「I」に、結合された受信ステータスを記憶する。

## 【 0 0 8 6 】

(ステップ S 2 4 0 )

本実施形態におけるステップ S 2 3 0 は、第1実施形態におけるステップ S 2 3 0 とステップ S 2 4 0 を代替している。そのため、本実施形態において、ステップ S 2 4 0 は、削除されている。

10

## 【 0 0 8 7 】

(ステップ S 2 5 0 )

ステップ S 2 5 0 は、第1実施形態と同様であるので、説明を省略する。すなわち、受信ステータス結合回路134は、有効ディスクリプタ数判定回路133の判定に基づいて、受信ステータスの結合処理を行ったか否かを判定する(ステップ S 2 5 0 )。

## 【 0 0 8 8 】

(ステップ S 2 6 0 )

受信コントローラ114は、パラメータの更新を行う。受信コントローラ114は、R/Wディスクリプタ格納回路200のディスクリプタポインタ「L」を、「L = 1」へ更新する。本ステップのこの他の動作は、第1実施形態と同様であるので説明を省略する。

20

## 【 0 0 8 9 】

(ステップ S 2 7 0 )

受信コントローラ114は、パラメータの更新を行う。受信コントローラ114は、R/Wディスクリプタ格納回路200のディスクリプタポインタ「L」を、「L = L + 1」へ更新する。本ステップのこの他の動作は、第1実施形態と同様であるので説明を省略する。

## 【 0 0 9 0 】

以上が、本実施形態におけるネットワークプロセッサ100の動作方法の説明である。なお、本説明では第1実施形態の動作フロー(図5A及び図5B)との違いを説明したが、前述のとおり、同様の違いを第2実施形態の動作フロー(図8A及び図8B)にも適用できる。

30

## 【 0 0 9 1 】

ここまで、説明を行ったとおり、本実施形態のネットワークプロセッサによれば、受信コントローラ114は、第1、第2実施形態で説明を行ったディスクリプタ格納回路116と、受信ステータス格納回路118とに換えてR/Wディスクリプタ格納回路200を備える。R/Wディスクリプタ格納回路200は、ディスクリプタと、受信ステータスを格納している。このように構成することで、ディスクリプタ格納回路116と、受信ステータス格納回路118とに換えてR/Wディスクリプタ格納回路200のみを備えればよ

40

## 【 0 0 9 2 】

以上が、本実施形態におけるネットワークプロセッサ100の説明である。

## 【 0 0 9 3 】

以上、実施形態を参照して説明を行ってきたが、本発明の第1実施形態によれば、受信コントローラ114は、受信データのステータス情報を複数結合して外部メモリ101へDMA転送を行っている。そのため、受信コントローラ114のDMA転送によるメモリバス102の占有を抑えることが可能となる。そのため、受信データのDMA転送における転送効率の低下を防ぐことができ、また、高速データ通信においてフレーム長の短い受信データを受信する場合にも、メモリバス102の帯域不足を原因とする受信データの破

50

棄を防ぐことができる。

【0094】

また、本発明の第2実施形態によれば、受信コントローラ114は、受信ステータス結合制御回路117に、受信データByte数制御回路135を、さらに備える。受信ステータス結合制御回路117は、受信データの受信Byte数により、受信ステータスの結合動作を制御する。これによって、高速データ通信において、メモリバス102の帯域を占有し易いフレーム長の短い受信データを受信するときは、受信ステータス数を多く結合することができ、一方で、フレーム長の長い受信データを受信するときは、受信ステータス数を少なく結合することで、受信ステータスの滞留時間を一定の時間内に抑えることができる。

10

【0095】

さらに、本発明の第3実施形態によれば、受信コントローラ114は、ディスクリプタ格納回路116と受信ステータス格納回路118とに換えて、R/Wディスクリプタ格納回路200を備える。これによって、回路構成を簡易にすることが可能となる。

【0096】

ここで、本発明の効果を、数式により説明する。外部メモリ101に対するコマンド発行時間を「A」、外部メモリ101からDMA転送によりディスクリプタを読み込む時間を「B」、外部メモリ101へDMA転送により受信データを転送する時間を「C」、外部メモリ101に受信ステータスを書き込む時間を「D」として、8個の受信データの受信処理を行って、8個の受信ステータスを外部メモリ101へ記録する場合に、メモリバス102がアクセスされる占有時間「t」を考えてみる。

20

【0097】

例えば、従来技術である(特許文献1)では、

$$t = (A + B) + ((A + C) \times 8) + ((A + D) \times 8) = 17A + B + 8C + 8D$$

である。

【0098】

一方、本発明によれば、

$$t = (A + B) + ((A + C) \times 8) + (A + D \times 8) = 10A + B + 8C + 8D$$

となる。

【0099】

すなわち、本発明によれば、外部メモリ101に対するコマンド発行時間「A」を、従来技術と比較して17回から10回へ削減することが可能となる。このように、本発明では、受信ステータスを結合して外部メモリ101へDMA転送を行うことにより、メモリバス102の帯域占有を防ぐことができる。

30

【0100】

以上、実施形態を参照して本願発明を説明したが、本願発明は上記の実施形態に限定されるものではない。本願発明の構成や詳細には、本願発明の範囲内で当業者が理會し得る様々な変更を行うことができる。

【符号の説明】

【0101】

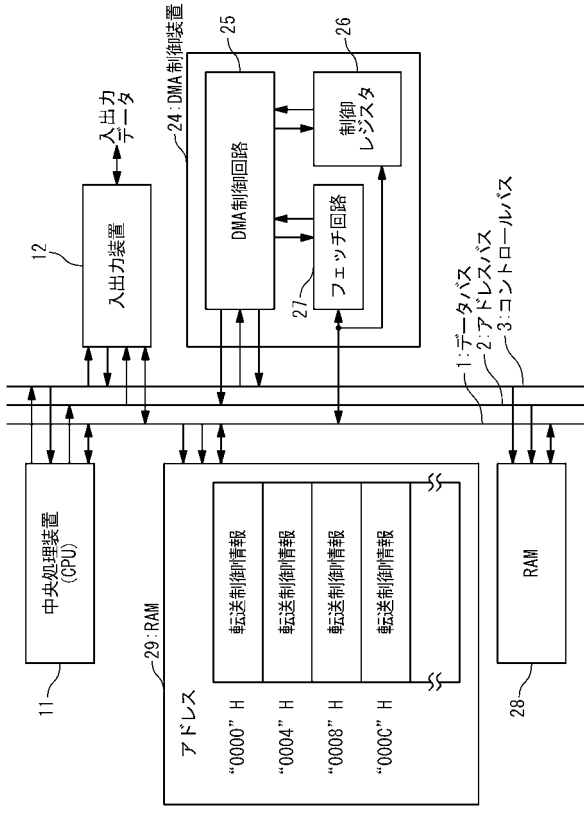
- 1 データバス
- 2 アドレスバス
- 3 コントロールバス
- 11 中央処理装置(CPU)
- 12 入出力装置
- 24 DMA制御装置
- 25 DMA制御回路
- 26 制御レジスタ
- 27 フェッチ回路
- 28 RAM

40

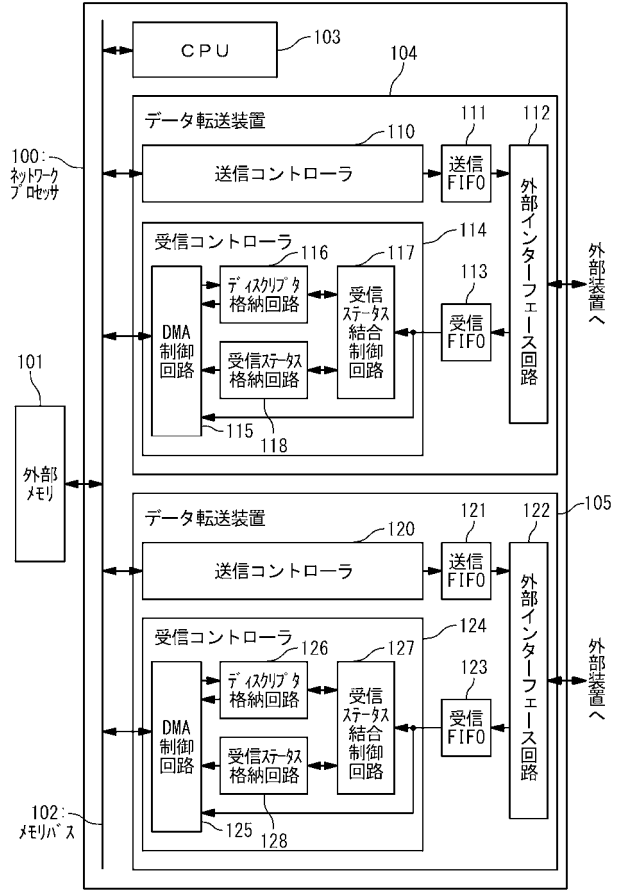
50

2 9	R A M	
1 0 0	ネットワークプロセッサ	
1 0 1	外部メモリ	
1 0 2	メモリバス	
1 0 3	C P U	
1 0 4	データ転送装置	
1 0 5	データ転送装置	
1 1 0	送信コントローラ	
1 1 1	送信 F I F O	
1 1 2	外部インターフェース回路	10
1 1 3	受信 F I F O	
1 1 4	受信コントローラ	
1 1 5	D M A 制御回路	
1 1 6	ディスクリプタ格納回路	
1 1 7	受信ステータス結合制御回路	
1 1 8	受信ステータス格納回路	
1 2 0	送信コントローラ	
1 2 1	送信 F I F O	
1 2 2	外部インターフェース回路	
1 2 3	受信 F I F O	20
1 2 4	受信コントローラ	
1 2 5	D M A 制御回路	
1 2 6	ディスクリプタ格納回路	
1 2 7	受信ステータス結合制御回路	
1 2 8	受信ステータス格納回路	
1 3 0	ディスクリプタ有効判定回路	
1 3 1	時間管理回路	
1 3 2	ディスクリプタ残数制御回路	
1 3 3	有効ディスクリプタ判定回路	
1 3 4	受信ステータス結合回路	30
1 3 5	受信データ B y t e 数制御回路	
1 4 0	ディスクリプタ格納領域	
1 4 1	データ格納領域	
1 4 2	データ格納領域	
1 5 0	受信データ B y t e 数制御閾値格納回路	
1 5 1	受信データ B y t e 数カウント制御回路	
1 5 2	大小判定回路	
1 5 3	受信ステータス結合数制御情報回路	
2 0 0	R / W ディスクリプタ格納回路	
2 0 1	R / W ディスクリプタ格納回路	40

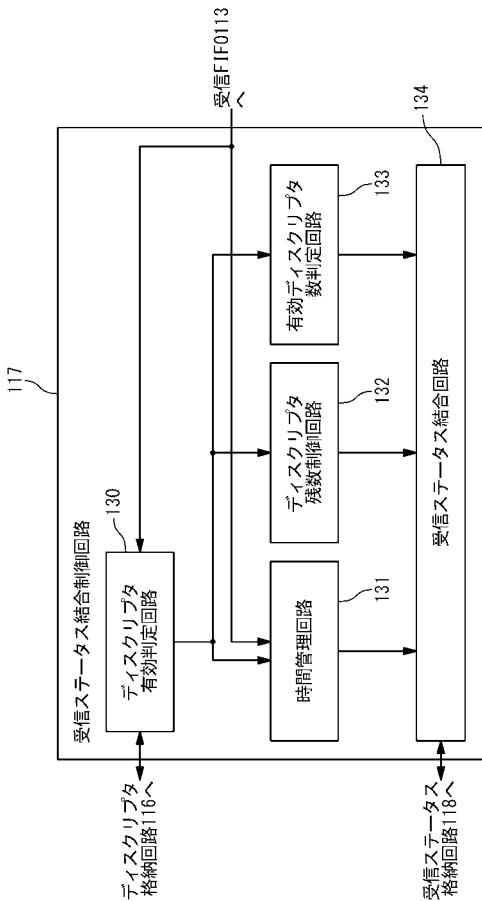
【図1】



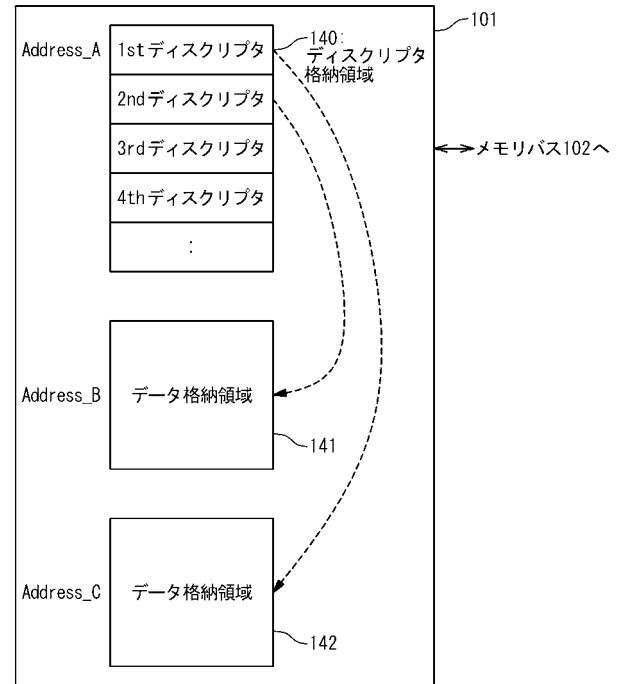
【図2】



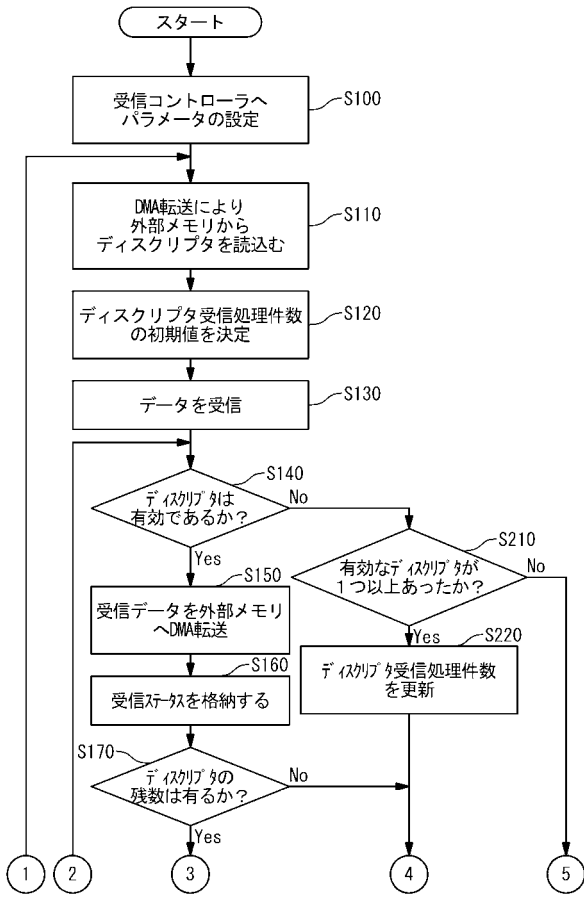
【図3】



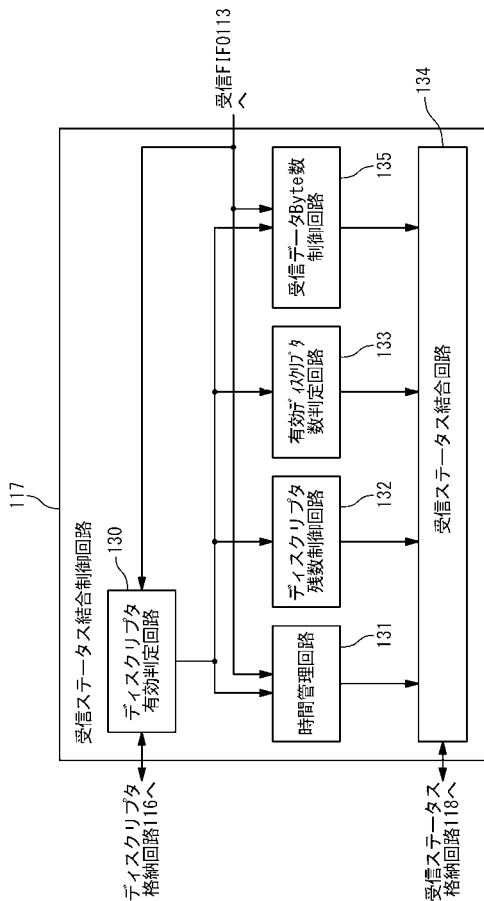
【図4】



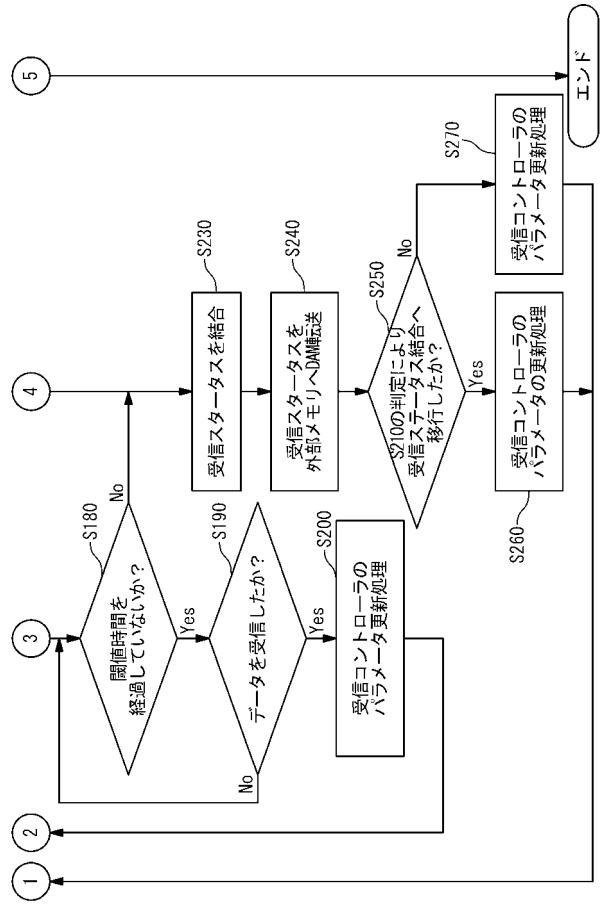
【 図 5 A 】



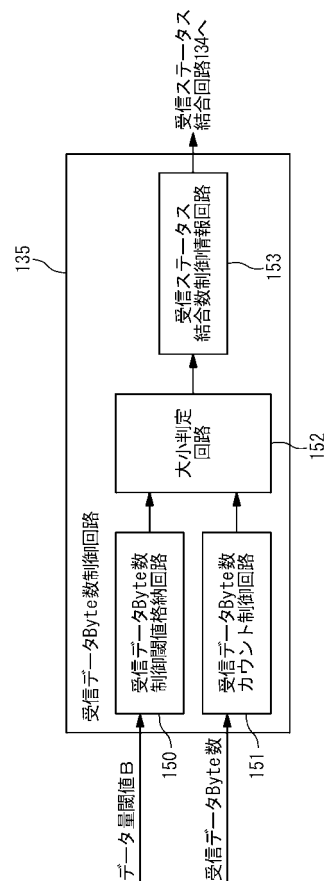
【 図 6 】



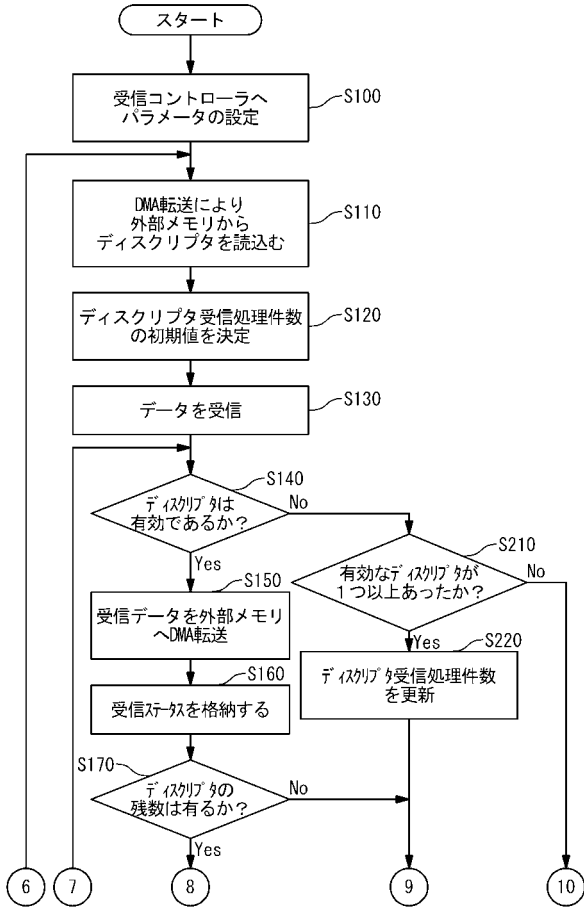
【 図 5 B 】



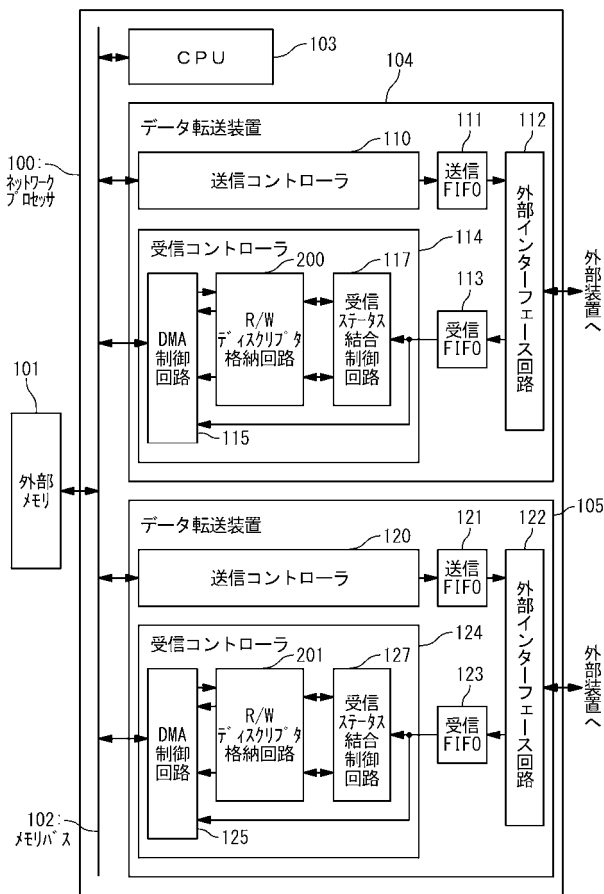
【 図 7 】



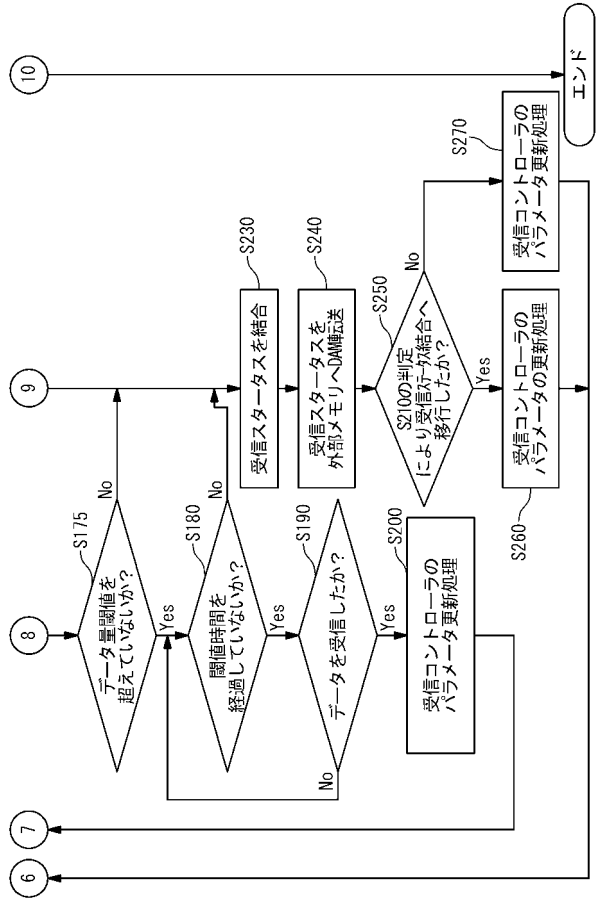
【図 8 A】



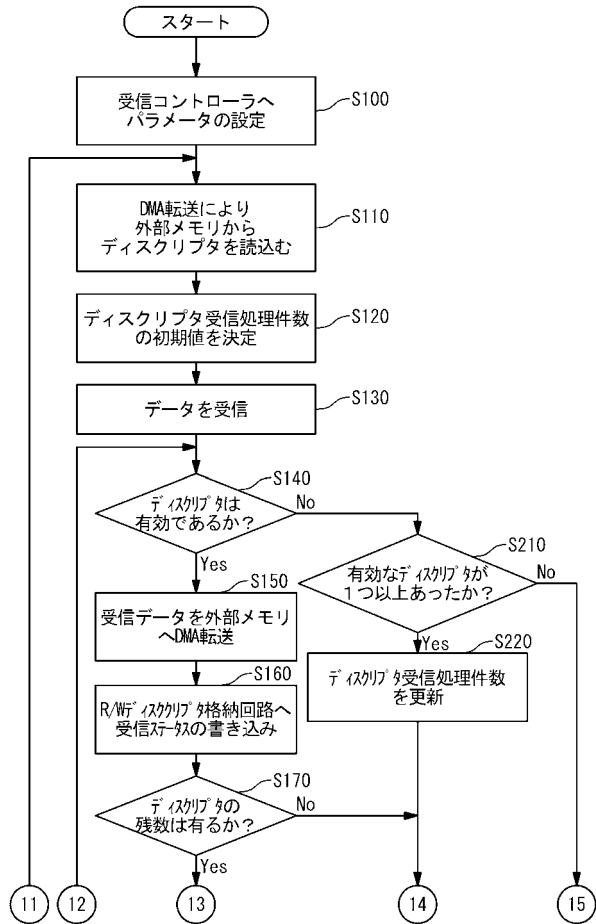
【図 9】



【図 8 B】



【図 10 A】





【図 10B】

