

(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl. H01L 21/336 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년09월08일 10-0618705 2006년08월24일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-2004-0116366 2004년12월30일	(65) 공개번호 (43) 공개일자	10-2006-0077492 2006년07월05일
------------------------	--------------------------------	------------------------	--------------------------------

(73) 특허권자	주식회사 하이닉스반도체 경기 이천시 부발읍 아미리 산136-1
(72) 발명자	피승호 경기 용인시 기흥읍 신갈리 새천년그린빌아파트 509동 1302호
(74) 대리인	강성배

심사관 : 오창석

(54) 반도체 소자의 게이트 형성방법

요약

본 발명은 소자의 리프레쉬 특성을 향상시킬 수 있는 반도체 소자의 게이트 형성방법을 개시한다. 개시된 본 발명은, 소자 분리막을 구비한 반도체 기판을 제공하는 단계; 상기 소자분리막을 포함한 기판 결과물 상에 채널 영역 형성을 위한 하드 마스크막을 형성하는 단계; 상기 기판의 채널 영역이 노출되도록 하드마스크막 및 기판을 리세스하는 단계; 상기 기판 결과물 상에 산화막을 형성하는 단계; 상기 기판의 양측벽을 제외한 나머지 부분의 산화막 및 기판을 소정 깊이로 식각하여 기판의 양측벽에 스페이서를 형성하는 단계; 상기 스페이서 및 하드마스크막에 습식식각을 진행하여 계단 형태의 기판을 형성하는 단계; 상기 기판 결과물 상에 게이트 산화막을 형성하는 단계; 상기 게이트 산화막 상에 도핑된 폴리실리콘막과 텅스텐 실리사이드막 및 게이트 하드마스크막을 차례로 형성하는 단계; 및 상기 게이트 하드마스크막과 텅스텐 실리사이드막 및 도핑된 폴리실리콘막을 식각하는 단계;를 포함한다.

대표도

도 2d

명세서

도면의 간단한 설명

도 1a 내지 도 1e는 종래 기술에 따른 리세스 채널을 갖는 반도체 소자의 게이트 형성방법을 설명하기 위한 공정별 단면도.

도 2a 내지 도 2d는 본 발명의 실시예에 따른 반도체 소자의 게이트 형성방법을 설명하기 위한 공정별 단면도.

\* 도면의 주요 부분에 대한 부호의 설명 \*

- 11 : 반도체 기판 12 : 소자분리막
- 13 : 하드마스크막 14 : 산화막
- 15 : 게이트 산화막 16 : 폴리실리콘막
- 17 : 텅스텐 실리사이드막 18 : 게이트 하드마스크막

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

본 발명은 반도체 소자의 게이트 형성방법에 관한 것으로, 보다 상세하게는, 소자의 리프레쉬 특성을 향상시킬 수 있는 반도체 소자의 게이트 형성방법에 관한 것이다.

최근, 디램 소자의 크기가 감소됨에 따라 셀 트랜지스터의 채널 길이도 매우 감소되는 실정이다. 또한, 채널 길이가 감소됨에 따라 단채널 효과(short channel effect)가 커지게 되어 채널의 이온주입 농도는 더욱 커지게 된다. 따라서, 채널의 이온주입 농도가 커지게 되면, 트랜지스터의 소오스 또는 드레인 영역에 해당하는 접합 부위의 농도가 증가되는 것이기 때문에 접합 부위에 인가된 전기장의 세기가 커지게 된다. 이렇게 전기장의 세기가 커지게 되면, 캐패시터와 콘택을 이루는 접합의 누설전류가 커지게 되며, 누설전류는 캐패시터에 저장된 전하의 손실을 가져와 소자의 리프레쉬 특성을 저하시킨다. 따라서, 이러한 문제점을 해결하기 위해 유효 채널 길이(effective channel length)를 확보할 수 있는 리세스 채널(recess channel)을 갖는 소자의 구현에 대한 아이디어 및 실제 공정개발 연구가 활발히 진행되고 있다.

도 1a 내지 도 1e는 종래 기술에 따른 리세스 채널을 갖는 반도체 소자의 게이트 형성방법을 설명하기 위한 공정별 단면도이다.

도 1a에 도시된 바와 같이, 소자분리막(2)이 형성된 반도체 기판(1) 상에 제1하드마스크막(3)을 형성한 다음, 상기 제1하드마스크막 상에 감광막 패턴(미도시)을 형성한다.

도 1b에 도시된 바와 같이, 상기 감광막 패턴을 식각 마스크로 이용하여 제1하드마스크막(3)과 소자분리막(2)에 인접한 기판(1)의 액티브 영역을 리세스하여 단차가 형성된 액티브 영역을 형성한다.

도 1c에 도시된 바와 같이, 상기 기판 상에 잔류된 제1하드마스크막(3)을 제거한 후에 기판 내에 불순물 이온주입을 실시하여 웰(미도시)영역을 형성한 후에 트랜지스터의 문턱 전압을 조절하기 위해 불순물 이온주입을 실시한다. 그 다음, 상기 기판 결과물 상에 게이트 산화막(4)을 형성한다.

도 1d에 도시된 바와 같이, 상기 게이트 산화막(4)을 포함하는 기판 결과물 상에 도핑된 폴리실리콘막(5)과 텅스텐 실리사이드막(6) 및 제2하드마스크막(7)을 차례로 형성한다.

도 1e에 도시된 바와 같이, 상기 제2하드마스크막(7)과 텅스텐 실리사이드막(6) 및 도핑된 폴리실리콘막(5)을 차례로 식각하여 단차가 형성된 액티브 영역에 게이트(8)를 형성한다.

그러나, 상기와 같이, 리세스 채널을 갖는 소자의 경우에는 유효 채널길이의 증가 효과가 상대적으로 적어 소자의 문턱 전압을 맞추기 위한 채널 이온주입 농도가 상대적으로 높아야 한다. 따라서, 소오스/드레인 영역의 접합 부분에서 전기장의 감소 효과도 상대적으로 적어지게 되고, 소자의 리프레쉬 특성을 개선이 제한적인 문제점을 가지고 있다.

**발명이 이루고자 하는 기술적 과제**

따라서, 본 발명은 상기와 같은 종래의 제반 문제점들을 해결하기 위해 안출된 것으로서, 소자의 리프레쉬 특성을 향상시킬 수 있는 반도체 소자의 게이트 형성방법을 제공함에 그 목적이 있다.

**발명의 구성 및 작용**

상기와 같은 목적을 달성하기 위하여, 본 발명은 소자분리막을 구비한 반도체 기판을 제공하는 단계; 상기 소자분리막을 포함한 기판 결과물 상에 채널 영역 형성을 위한 하드마스크막을 형성하는 단계; 상기 기판의 채널 영역이 노출되도록 하드마스크막 및 기판을 리세스하는 단계; 상기 기판 결과물 상에 산화막을 형성하는 단계; 상기 기판의 양측벽을 제외한 나머지 부분의 산화막 및 기판을 소정 깊이로 식각하여 기판의 양측벽에 스페이서를 형성하는 단계; 상기 스페이서 및 하드마스크막에 습식식각을 진행하여 계단 형태의 기판을 형성하는 단계; 상기 기판 결과물 상에 게이트 산화막을 형성하는 단계; 상기 게이트 산화막 상에 도핑된 폴리실리콘막과 텅스텐 실리사이드막 및 게이트 하드마스크막을 차례로 형성하는 단계; 및 상기 게이트 하드마스크막과 텅스텐 실리사이드막 및 도핑된 폴리실리콘막을 식각하는 단계;를 포함한다.

여기에서, 상기 하드마스크막 및 기판을 리세스하는 단계는 기판을 400Å 이하의 깊이로 리세스 한다.

상기 산화막을 형성하는 단계는 CVD 방식에 따라 형성한다.

상기 산화막은 500Å 이하의 두께로 형성한다.

상기 기판의 양측벽을 제외한 나머지 부분의 산화막 및 기판을 소정 깊이로 식각하여 기판의 양측벽에 스페이서를 형성하는 단계는 기판을 400Å 이하의 깊이로 리세스 한다.

(실시예)

이하, 첨부된 도면에 의거하여 본 발명의 바람직한 실시예를 상세하게 설명하도록 한다.

도 2a 내지 도 2d는 본 발명의 실시예에 따른 반도체 소자의 게이트 형성방법을 설명하기 위한 공정별 단면도이다.

도 2a에 도시된 바와 같이, 소자분리막(12)을 구비한 반도체 기판(11)을 제공한다. 이어서, 상기 소자분리막(12)을 포함한 기판 결과물 상에 채널 영역을 형성하기 위한 하드마스크막(13)을 형성한 후에 상기 기판의 채널 영역이 노출되도록 하드마스크막(13) 및 기판을 리세스 한다. 이때, 상기 하드마스크막(13) 및 기판(11)을 400Å 이하의 깊이로 리세스한다.

도 2b에 도시된 바와 같이, 상기 하드마스크막(13)과 소자분리막(12) 및 노출된 기판(11) 상에 산화막(14)을 형성한다. 이때, 상기 산화막(14)은 CVD 방식에 따라 500Å 이하의 두께로 형성한다.

도 2c에 도시된 바와 같이, 상기 기판의 양측벽을 제외한 나머지 부분의 산화막(14) 및 기판을 소정 깊이로 식각하여 기판의 양측벽에 스페이서(14a)를 형성한다. 이때, 기판을 400Å 이하의 깊이로 리세스한다. 그 다음, 상기 스페이서(14a) 및 하드마스크막(13)에 습식식각을 진행하여 계단 형태의 기판을 형성한다.

도 2d에 도시된 바와 같이, 상기 기판 결과물 상에 게이트 산화막(15)을 형성한다. 이어서, 상기 게이트 산화막을 포함한 기판 결과물 상에 도핑된 폴리실리콘막(16)과 텅스텐 실리사이드막(17) 및 게이트 하드마스크막(18)을 차례로 형성한다.

그 다음, 상기 게이트 하드마스크막(18)과 텅스텐 실리사이드막(17) 및 도핑된 폴리실리콘막(16)을 식각하여 게이트(19)를 형성한다.

이상, 본 발명을 몇 가지 예를 들어 설명하였으나, 본 발명은 이에 한정되는 것은 아니며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자라면 본 발명의 사상에서 벗어나지 않으면서 많은 수정과 변형을 가할 수 있음을 이해할 것이다.

**발명의 효과**

이상에서와 같이, 본 발명은 계단 형태의 리세스 채널을 갖는 게이트를 형성함으로써 기존 공정과 달리, 상대적으로 유효 채널길이를 증가시킬 수 있다. 이로 인해, 단채널 효과를 방지할 수 있게 되어 채널의 문턱전압을 조절하기 위한 불순물 이온주입 농도를 낮출 수 있다. 따라서, 소오스/드레인 영역의 접합 부분에서 전기장을 완화시킬 수 있어 소자의 리프레쉬 특성을 향상시킬 수 있다.

**(57) 청구의 범위**

### 청구항 1.

소자분리막을 구비한 반도체 기판을 제공하는 단계;

상기 소자분리막을 포함한 기판 결과물 상에 채널 영역 형성을 위한 하드마스크막을 형성하는 단계;

상기 기판의 채널 영역이 노출되도록 하드마스크막 및 기판을 리세스하는 단계;

상기 기판 결과물 상에 산화막을 형성하는 단계;

상기 기판의 양측벽을 제외한 나머지 부분의 산화막 및 기판을 소정 깊이로 식각하여 기판의 양측벽에 스페이서를 형성하는 단계;

상기 스페이서 및 하드마스크막에 습식식각을 진행하여 계단 형태의 기판을 형성하는 단계;

상기 기판 결과물 상에 게이트 산화막을 형성하는 단계;

상기 게이트 산화막 상에 도핑된 폴리실리콘막과 텅스텐 실리사이드막 및 게이트 하드마스크막을 차례로 형성하는 단계; 및

상기 게이트 하드마스크막과 텅스텐 실리사이드막 및 도핑된 폴리실리콘막을 식각하는 단계;를 포함하는 것을 특징으로 하는 반도체 소자의 게이트 형성방법.

### 청구항 2.

제 1 항에 있어서, 상기 하드마스크막 및 기판을 리세스하는 단계는 기판을 400Å 이하의 깊이로 리세스하는 것을 특징으로 하는 반도체 소자의 게이트 형성방법.

### 청구항 3.

제 1 항에 있어서, 상기 산화막을 형성하는 단계는 CVD 방식에 따라 형성하는 것을 특징으로 하는 반도체 소자의 게이트 형성방법.

### 청구항 4.

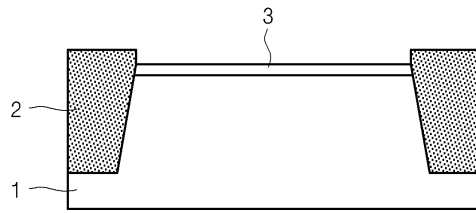
제 1 항에 있어서, 상기 산화막은 500Å 이하의 두께로 형성하는 것을 특징으로 하는 반도체 소자의 게이트 형성방법.

### 청구항 5.

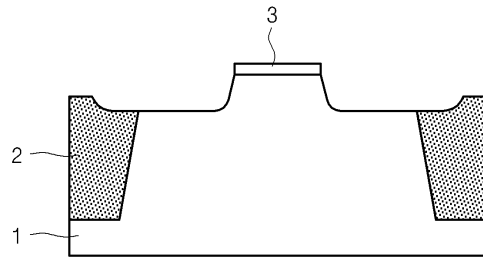
제 1 항에 있어서, 상기 기판의 양측벽을 제외한 나머지 부분의 산화막 및 기판을 소정 깊이로 식각하여 기판의 양측벽에 스페이서를 형성하는 단계는 기판을 400Å 이하의 깊이로 리세스하는 것을 특징으로 하는 반도체 소자의 게이트 형성방법.

도면

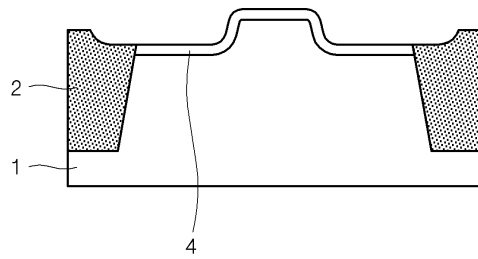
도면1a



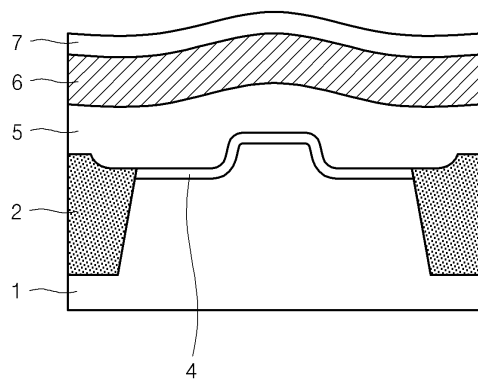
도면1b



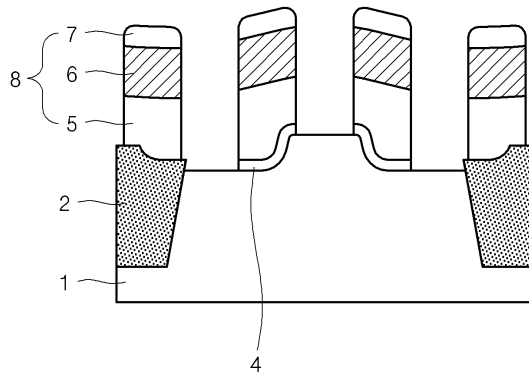
도면1c



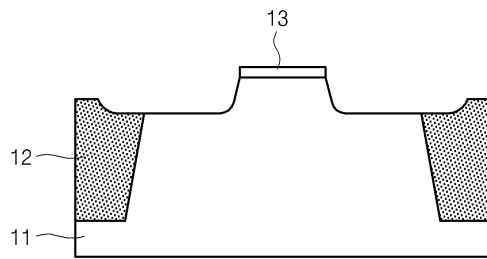
도면1d



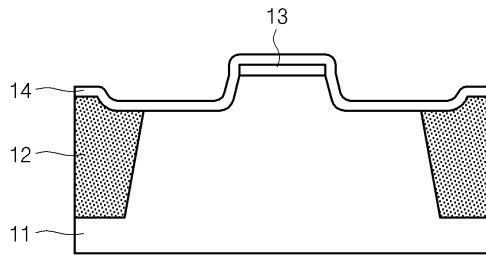
도면1e



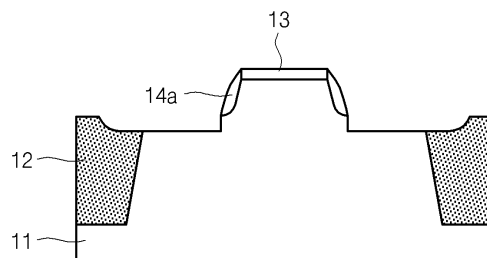
도면2a



도면2b



도면2c



도면2d

