



(12)发明专利

(10)授权公告号 CN 108053792 B

(45)授权公告日 2019. 09. 20

(21)申请号 201810054566.0

(22)申请日 2018.01.19

(65)同一申请的已公布的文献号

申请公布号 CN 108053792 A

(43)申请公布日 2018.05.18

(73)专利权人 昆山国显光电有限公司

地址 215300 江苏省苏州市昆山市开发区
龙腾路1号4幢

(72)发明人 张九占 胡思明 韩珍珍 朱晖

(74)专利代理机构 北京国昊天诚知识产权代理
有限公司 11315

代理人 许志勇

(51)Int.Cl.

G09G 3/3233(2016.01)

(56)对比文件

CN 106935201 A,2017.07.07,全文.

CN 104680980 A,2015.06.03,全文.

CN 204029330 U,2014.12.17,全文.

CN 203882588 U,2014.10.15,全文.

US 2016232840 A1,2016.08.11,全文.

审查员 彭镇

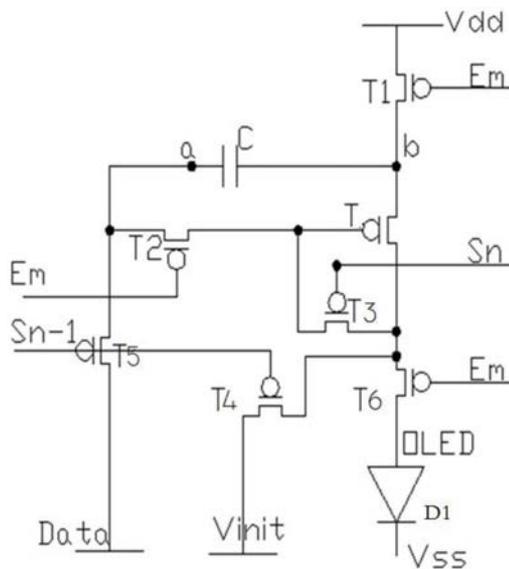
权利要求书2页 说明书7页 附图2页

(54)发明名称

一种像素电路及其驱动方法、显示装置

(57)摘要

本申请公开了一种像素电路及其驱动方法、显示装置,包括发光二极管、存储电容、驱动晶体管、第一开关晶体管、第二开关晶体管、第三开关晶体管、第四开关晶体管、第五开关晶体管、第六开关晶体管。在像素电路的补偿阶段,驱动晶体管的栅极与源极连接,形成从存储电容的第二端流经驱动晶体管、第三开关晶体管、第四开关晶体管至初始电压信号线,使驱动晶体管的栅极和漏极的电压相同,驱动晶体管的源极电压与存储电容的第二端的电压一致,而存储电容的第二端电压包含驱动晶体管阈值电压,从而使驱动晶体管的栅源电压内包含阈值电压,进而在像素电路的发光阶段,流经发光二极管的电流与驱动晶体管阈值电压无关,从而实现驱动晶体管阈值电压的补偿。



1. 一种像素电路,其特征在于,包括:发光二极管、存储电容、驱动晶体管、第一开关晶体管、第二开关晶体管、第三开关晶体管、第四开关晶体管、第五开关晶体管、第六开关晶体管,其中,

所述驱动晶体管的源极分别与所述第一开关晶体管的漏极及所述存储电容的第二端连接,所述第一开关晶体管的源极与第一电源连接;

所述驱动晶体管的栅极分别与所述第二开关晶体管的漏极及所述第三开关晶体管的源极连接,所述第二开关晶体管的源极分别与所述存储电容的第一端及所述第五开关晶体管的源极连接,所述第五开关晶体管的漏极与数据线连接;

所述驱动晶体管的漏极分别与所述第三开关晶体管的漏极、所述第四开关晶体管的源极及所述第六开关晶体管的源极连接,所述第四开关晶体管的漏极与初始电压信号线连接;所述第六开关晶体管的漏极与所述发光二极管连接,所述发光二极管与第二电源连接。

2. 根据权利要求1所述的像素电路,其特征在于,

所述初始电压信号线提供初始电压信号,所述初始电压信号为负电压,用于对所述驱动晶体管的栅极和漏极、所述发光二极管的阳极进行初始化。

3. 根据权利要求2所述的像素电路,其特征在于,所述初始电压信号的电压低于所述第二电源的电压。

4. 根据权利要求2所述的像素电路,其特征在于,

所述第一开关晶体管的栅极、所述第二开关晶体管的栅极及所述第六开关晶体管的栅极与第一扫描线连接,所述第一扫描线提供的第一扫描信号控制所述第一开关晶体管、所述第二开关晶体管及所述第六开关晶体管处于导通状态时,所述发光二极管发光;

所述第三开关晶体管的栅极与第二扫描线连接,所述第二扫描线提供的第二扫描信号控制所述第三开关晶体管处于导通状态时,对所述驱动晶体管的阈值电压进行补偿;

所述第四开关晶体管的栅极及所述第五开关晶体管的栅极与第三扫描线连接,所述第三扫描线提供的第三扫描信号控制所述第四开关晶体管及所述第五开关晶体管处于导通状态时,对所述驱动晶体管的栅极和漏极、所述发光二极管的阳极进行初始化。

5. 根据权利要求1~4中任一项所述的像素电路,其特征在于,

所述数据线提供数据电压信号,所述数据电压信号通过所述第五开关晶体管向所述存储电容的第一端施加电压,所述驱动晶体管的栅极与漏极的电压相同为 V_{init} ,所述存储电容的第二端进行放电至电压 $V_{init}+|V_{th}|$,实现对所述驱动晶体管阈值电压的补偿,其中, V_{init} 为所述初始电压, V_{th} 为所述驱动晶体管的阈值电压。

6. 根据权利要求1~4中任一项所述的像素电路,其特征在于,

在所述第一电源向所述驱动晶体管的源极施加电源电压,所述驱动晶体管的漏极和栅极的电压相同为 V_{init} ,所述驱动晶体管的源极的电压下降至 $V_{init}+|V_{th}|$,实现对所述驱动晶体管的阈值电压的补偿,其中, V_{init} 为所述初始电压, V_{th} 为所述驱动晶体管的阈值电压。

7. 一种根据权利要求1~6中任一项所述的像素电路的驱动方法,其特征在于,包括:

第一阶段,第一扫描信号控制所述第一开关晶体管、所述第二开关晶体管及所述第六开关晶体管处于导通状态,第二扫描信号控制所述第三开关晶体管处于截止状态,第三扫描信号控制所述第四开关晶体管及所述第五开关晶体管处于导通状态,初始电压信号对所

述第一薄膜晶体管的栅极和漏极、发光二极管的阳极进行初始化；

第二阶段，第一扫描信号控制所述第一开关晶体管、所述第二开关晶体管及所述第六开关晶体管处于截止状态，第二扫描信号控制所述第三开关晶体管处于导通状态，第三扫描信号控制所述第四开关晶体管及所述第五开关晶体管处于导通状态，对所述驱动膜晶体管的阈值电压进行补偿；

第三阶段，第一扫描信号控制所述第一开关晶体管、所述第二开关晶体管及所述第六开关晶体管处于导通状态，第二扫描信号控制所述第三开关晶体管处于截止状态，第三扫描信号控制所述第四开关晶体管及所述第五开关晶体管处于截止状态，电流流入所述发光二极管，所述发光二极管发光。

8. 根据权利要求7所述的像素电路的驱动方法，其特征在于，

在所述第二阶段，所述驱动晶体管的源极电压为 $V_{init}+|V_{th}|$ ，所述驱动晶体管的栅极电压为 V_{init} ，实现对所述驱动晶体管的阈值电压的补偿，其中， V_{init} 为所述初始电压， V_{th} 为所述驱动晶体管的阈值电压。

9. 根据权利要求7所述的像素电路的驱动方法，其特征在于，

在所述第三阶段，所述存储电容的第二端电压为 V_{dd} ，所述存储电容的第一端电压为 $V_a = V_{data} + V_{dd} - |V_{th}| - V_{init}$ ，流经所述驱动晶体管的电流 I_{ds} 为 $\beta/2 (V_{gs} - V_{th})^2 = \beta/2 (V_{dd} - V_{data} - V_{dd} - |V_{th}| + V_{init} + |V_{th}|)^2 = \beta/2 (V_{init} - V_{data})^2$ ，实现对所述驱动晶体管的阈值电压的补偿和所述第一电源的压降的补偿；

其中， V_{data} 为所述数据电压， V_{dd} 为第一电源的电压， V_{init} 为所述初始电压， V_{th} 为所述驱动晶体管的阈值电压， V_{gs} 为所述存储电容的第二端与所述驱动晶体管的栅极之间压差， β 为常数。

10. 一种显示装置，其特征在于，包括：根据权利要求1~6中任一项所述的像素电路。

一种像素电路及其驱动方法、显示装置

技术领域

[0001] 本申请涉及显示技术领域,尤其涉及一种像素电路及其驱动方法、显示装置。

背景技术

[0002] 主动矩阵有机发光显示装置 (AMOLED) 驱动有机发光二极管。主动矩阵有机显示装置包括布置在扫描线和数据线之间的交叉处的多个像素。另外,每个像素包括有机发光二极管和用于驱动有机发光二极管的像素电路。像素电路通常由多个开关晶体管、驱动晶体管和存储电容器组成。

[0003] 由于晶体管工艺制成的均匀性等问题,导致晶体管的阈值电压不均匀,从而影响面板的显示效果。而且,随着AMOLED面板尺寸变大,电源走线压降问题变得尤为严重,进而影响显示面板的显示效果。

发明内容

[0004] 本申请实施例提供一种像素电路及其驱动方法、显示装置,用于解决现有技术中由于晶体管工艺制成的均匀性等问题,导致晶体管的阈值电压不均匀的问题。

[0005] 本申请实施例采用下述技术方案:

[0006] 第一方面,本申请提供了一种像素电路,所述像素电路包括:

[0007] 发光二极管、存储电容、驱动晶体管、第一开关晶体管、第二开关晶体管、第三开关晶体管、第四开关晶体管、第五开关晶体管、第六开关晶体管,其中,

[0008] 所述驱动晶体管的源极分别与所述第一开关晶体管的漏极及所述存储电容的第二端连接,所述第一开关晶体管的源极与第一电源连接;

[0009] 所述驱动晶体管的栅极分别与所述第二开关晶体管的漏极及所述第三开关晶体管的源极连接,所述第二开关晶体管的源极分别与所述存储电容的第一端及所述第五开关晶体管的源极连接,所述第五开关晶体管的漏极与数据线连接;

[0010] 所述驱动晶体管的漏极分别与所述第三开关晶体管的漏极、所述第四开关晶体管的源极及所述第六开关晶体管的源极连接,所述第四开关晶体管的漏极与初始电压信号线连接;所述第六开关晶体管的漏极与所述发光二极管连接,所述发光二极管与第二电源连接。

[0011] 进一步的,所述初始电压信号的电压低于所述第二电源的电压。

[0012] 进一步的,所述第一电源,用于为所述驱动晶体管提供电源电压;

[0013] 所述发光二极管发光时电流流入所述第二电源。

[0014] 进一步的,所述初始电压信号线提供初始电压信号,所述初始电压信号为负电压,用于对所述驱动晶体管的栅极和漏极、所述发光二极管的阳极进行初始化。

[0015] 进一步的,所述第一开关晶体管的栅极、所述第二开关晶体管的栅极及所述第六开关晶体管的栅极与第一扫描线连接,所述第一扫描线提供的第一扫描信号控制所述第一开关晶体管、所述第二开关晶体管及所述第六开关晶体管处于导通状态时,所述发光二极

管发光；

[0016] 所述第三开关晶体管的栅极与第二扫描线连接，所述第二扫描线提供的第二扫描信号控制所述第三开关晶体管处于导通状态时，对所述驱动晶体管的阈值电压进行补偿；

[0017] 所述第四开关晶体管的栅极及所述第五开关晶体管的栅极与第三扫描线连接，所述第三扫描线提供的第三扫描信号控制所述第四开关晶体管及所述第五开关晶体管处于导通状态时，对所述驱动晶体管的栅极和漏极、所述发光二极管的阳极进行初始化。

[0018] 进一步的，所述驱动晶体管、所述第一开关晶体管、所述第二开关晶体管、所述第三开关晶体管、所述第四开关晶体管、所述第五开关晶体管及所述第六开关晶体管为PMOS晶体管。

[0019] 进一步的，所述数据线提供数据电压信号，所述数据电压信号通过所述第五开关晶体管向所述存储电容的第一端施加电压，所述驱动晶体管的栅极与漏极的电压相同为 V_{init} ，所述存储电容的第二端进行放电至电压 $V_{init}+|V_{th}|$ ，实现对所述驱动晶体管阈值电压的补偿，其中， V_{init} 为所述初始电压， V_{th} 为所述驱动晶体管的阈值电压。

[0020] 进一步的，在所述第一电源向所述驱动晶体管的源极施加电源电压，所述驱动晶体管的漏极和栅极的电压相同为 V_{init} ，所述驱动晶体管的源极的电压下降至 $V_{init}+|V_{th}|$ ，实现对所述驱动晶体管的阈值电压的补偿，其中， V_{init} 为所述初始电压， V_{th} 为所述驱动晶体管的阈值电压。

[0021] 第二方面，本申请提供了一种该像素电路的驱动方法，包括：

[0022] 第一阶段，第一扫描信号控制所述第一开关晶体管、所述第二开关晶体管及所述第六开关晶体管处于导通状态，第二扫描信号控制所述第三开关晶体管处于截止状态，第三扫描信号控制所述第四开关晶体管及所述第五开关晶体管处于导通状态，初始电压信号对所述第一薄膜晶体管的栅极和漏极、发光二极管的阳极进行初始化；

[0023] 第二阶段，第一扫描信号控制所述第一开关晶体管、所述第二开关晶体管及所述第六开关晶体管处于截止状态，第二扫描信号控制所述第三开关晶体管处于导通状态，第三扫描信号控制所述第四开关晶体管及所述第五开关晶体管处于导通状态，对所述驱动膜晶体管的阈值电压进行补偿；

[0024] 第三阶段，第一扫描信号控制所述第一开关晶体管、所述第二开关晶体管及所述第六开关晶体管处于导通状态，第二扫描信号控制所述第三开关晶体管处于截止状态，第三扫描信号控制所述第四开关晶体管及所述第五开关晶体管处于截止状态，电流流入所述发光二极管，所述发光二极管发光。

[0025] 进一步的，在所述第二阶段，所述驱动晶体管的源极电压为 $V_{init}+|V_{th}|$ ，所述驱动晶体管的栅极电压为 V_{init} ，实现对所述驱动晶体管的阈值电压的补偿，其中， V_{init} 为所述初始电压， V_{th} 为所述驱动晶体管的阈值电压。

[0026] 进一步的，在所述第三阶段，所述存储电容的第二端电压为 V_{dd} ，所述存储电容的第一端电压为 $V_a = V_{data} + V_{dd} - |V_{th}| - V_{init}$ ，流经所述驱动晶体管的电流 I_{ds} 为 $\beta/2 (V_{gs} - V_{th})^2 = \beta/2 (V_{dd} - V_{data} - V_{dd} - |V_{th}| + V_{init} + |V_{th}|)^2 = \beta/2 (V_{init} - V_{data})^2$ ，实现对所述驱动晶体管的阈值电压的补偿和所述第一电源的压降的补偿；

[0027] 其中， V_{data} 为所述数据电压， V_{dd} 为第一电源的电压， V_{init} 为所述初始电压， V_{th} 为所述驱动晶体管的阈值电压， V_{gs} 为所述存储电容的第二端与所述驱动晶体管的栅极之

间压差, β 为常数。

[0028] 第三方面, 本申请提供了一种显示装置, 该装置包括: 上述所述的像素电路。

[0029] 本申请实施例采用的上述至少一个技术方案能够达到以下有益效果:

[0030] 本申请实施例提供的像素电路, 在像素电路的补偿阶段, 驱动晶体管的栅极与源极连接, 形成从存储电容的第二端流经驱动晶体管、第三开关晶体管、第四开关晶体管至初始电压信号线, 使得驱动晶体管的栅极和漏极的电压相同, 驱动晶体管的源极电压与存储电容的第二端的电压一致, 而存储电容的第二端的电压包含驱动晶体管的阈值电压, 从而使驱动晶体管的栅源电压内包含驱动晶体管的阈值电压, 进而使得在像素电路的发光阶段, 流经发光二极管的电流与驱动晶体管的阈值电压无关, 从而实现驱动晶体管阈值电压的补偿。

[0031] 另外, 在像素电路的发光阶段, 流经发光二极管的电流与施加在驱动晶体管的源极的第一电源的电压无关, 从而实现了第一电源的压降的补偿。

附图说明

[0032] 此处所说明的附图用来提供对本申请的进一步理解, 构成本申请的一部分, 本申请的示意性实施例及其说明用于解释本申请, 并不构成对本申请的不当限定。在附图中:

[0033] 图1为本申请实施例提供的一种像素电路的结构示意图;

[0034] 图2为本申请实施例提供的一种像素电路的驱动方法的时序图。

具体实施方式

[0035] 为使本申请的目的、技术方案和优点更加清楚, 下面将结合本申请具体实施例及相应的附图对本申请技术方案进行清楚、完整地描述。显然, 所描述的实施例仅是本申请一部分实施例, 而不是全部的实施例。基于本申请中的实施例, 本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例, 都属于本申请保护的范围。

[0036] 图1为本申请实施例提供的像素电路的结构示意图。如图1所示, 本申请实施例提供的像素电路可以包括: 发光二极管D1、存储电容C、驱动晶体管T、第一开关晶体管T1、第二开关晶体管T2、第三开关晶体管T3、第四开关晶体管T4、第五开关晶体管T5、第六开关晶体管T6。

[0037] 其中, 图1所示的像素电路中, 驱动晶体管T、第一开关晶体管T1、第二开关晶体管T2、第三开关晶体管T3、第四开关晶体管T4、第五开关晶体管T5、第六开关晶体管T6均为PMOS晶体管。

[0038] 图1所示的像素电路的电路连接结构如下所述:

[0039] 驱动晶体管T的源极分别与第一开关晶体管T1的漏极及存储电容C的第二端连接, 第一开关晶体管T1的源极与第一电源V_{dd}连接。

[0040] 驱动晶体管T的栅极分别与第二开关晶体管T2的漏极及第三开关晶体管T3的源极连接, 第二开关晶体管T2的源极分别与存储电容C的第一端及第五开关晶体管T5的源极连接, 第五开关晶体管T5的漏极与数据线连接。

[0041] 驱动晶体管T的漏极分别与第三开关晶体管T3的漏极、第四开关晶体管T4的源极及第六开关晶体管T6的源极连接, 第四开关晶体管T4的漏极与初始电压信号线连接; 第六

开关晶体管T6的漏极与发光二极管D1连接,发光二极管D1与第二电源Vss连接。

[0042] 在本申请实施例中,第一电源Vdd可以是高电平电压,并用于为驱动晶体管T提供电源电压,驱动晶体管T在第一电源Vdd的作用下,可以输出电流,该电流流入发光二极管D1,使得发光二极管D1发光,在发光二极管D1发光时,该电流流入第二电源Vss,第二电源Vss可以是低电平电压。

[0043] 所述数据线用于提供数据电压Vdata,所述初始电压信号线用于提供初始电压信号Vinit。本申请实施例中,初始电压信号Vinit可以为负电压,并用于对驱动晶体管T的栅极和漏极、发光二极管D1的阳极进行初始化。

[0044] 需要说明的是,本申请实施例中,初始电压信号Vinit可以是比第二电源Vss还要低的负压,这样,初始电压信号Vinit在对发光二极管D1的阳极进行初始化时,可以保证发光二极管D1不会发光。其中,作为一种可选地方式,初始电压信号Vinit可以是-3V。此外,由于本申请实施例可以对发光二极管D1的阳极进行初始化,因此,可以在发光二极管D1的发光阶段,有效避免发光二极管D1造成的迟滞效应。

[0045] 图1中,Em为第一扫描线提供的第一扫描信号,Sn为第二扫描线提供的第二扫描信号,Sn-1为第三扫描线提供的第三扫描信号。其中,

[0046] 第一开关晶体管T1的栅极、第二开关晶体管T2的栅极及第六开关晶体管T6的栅极与第一扫描线连接,第一扫描线提供的第一扫描信号Em用于控制第一开关晶体管T1、第二开关晶体管T2及第六开关晶体管T6处于导通状态或截止状态。本申请实施例中,在第一扫描信号Em控制第一开关晶体管T1、第二开关晶体管T2及第六开关晶体管T6处于导通状态时,发光二极管D1发光。

[0047] 第三开关晶体管T3的栅极与第二扫描线连接,第二扫描线提供的第二扫描信号Sn用于控制第三开关晶体管T3处于导通状态或截止状态。本申请实施例中,在第二扫描信号Sn控制第三开关晶体管T3处于导通状态时,对驱动晶体管T的阈值电压进行补偿。

[0048] 第四开关晶体管T4的栅极及第五开关晶体管T5的栅极与第三扫描线连接,第三扫描线提供的第三扫描信号Sn-1用于控制第四开关晶体管T4及第五开关晶体管T5处于导通状态或截止状态。本申请实施例中,在第三扫描信号Sn-1控制第四开关晶体管T4及第五开关晶体管T5处于导通状态时,对驱动晶体管T的栅极和源极、发光二极管D1的阳极进行初始化。

[0049] 本申请实施例提供的像素电路,相较于现有技术而言,可以实现对驱动晶体管的阈值电压的补偿,具体包括:

[0050] 在所述第一电源向所述驱动晶体管的源极施加电源电压,所述驱动晶体管的漏极和栅极的电压相同为Vinit,所述驱动晶体管的源极的电压下降至 $V_{init} + |V_{th}|$,使得驱动晶体管的栅源电压 V_{gs} 包含驱动晶体管的阈值电压 V_{th} ,从而使在像素电路的发光阶段,流经发光二极管的电流 I_{ds} 为: $\beta/2 (V_{gs} - V_{th})^2$,进而实现对所述驱动晶体管的阈值电压的补偿,其中,Vinit为所述初始电压,Vth为所述驱动晶体管的阈值电压。

[0051] 另外,在像素电路的发光阶段,流经发光二极管的电流 I_{ds} 的表达式可以为:

[0052] $I_{ds} = \beta/2 (V_{gs} - V_{th})^2 = \beta/2 (V_{dd} - V_{data} - V_{dd} - |V_{th}| + V_{init} + |V_{th}|)^2 = \beta/2 (V_{init} - V_{data})^2$

[0053] 其中,Vdata为数据电压,Vdd为第一电源Vdd的电压,Vinit为初始电压,Vth为驱动

晶体管T的阈值电压, V_{gs} 为驱动晶体管T的栅源电压, β 为常数。

[0054] 从上式可知,流经发光二极管的电流与施加在驱动晶体管的源极的第一电源的电压无关,从而实现了第一电源的压降的补偿。

[0055] 图2为本申请实施例提供的一种像素电路的驱动方法的时序图,所述时序图对应的像素电路的驱动方法可以用于驱动图1所示的像素电路。

[0056] 图2所示的时序图对应的像素电路的驱动方法可以包括三个阶段:第一阶段 t_1 、第二阶段 t_2 以及第三阶段 t_3 ,其中,

[0057] E_m 为第一扫描线提供的第一扫描信号,可以用于控制图1所示的第一开关晶体管T1、第二开关晶体管T2及第六开关晶体管T6处于导通状态或截止状态, S_n 为第二扫描线提供的第二扫描信号,可以用于控制图1所示的第三开关晶体管T3处于导通状态或截止状态, S_{n-1} 为第三扫描线提供的第三扫描信号,可以用于控制图1所示的第四开关晶体管T4及第五开关晶体管T5处于导通状态或截止状态, V_{data} 为数据线提供的数据电压, V_{init} 为初始电压信号线提供的初始电压。

[0058] 图2所示的时序图对应的像素电路的驱动方法,具体包括:

[0059] 第一阶段 t_1 ,第一扫描信号 E_m 控制第一开关晶体管T1、第二开关晶体管T2及第六开关晶体管T6处于导通状态,第二扫描信号 S_n 控制第三开关晶体管T3处于截止状态,第三扫描信号 S_{n-1} 控制第四开关晶体管T4及第五开关晶体管T5处于导通状态,初始电压信号将驱动晶体管的栅极电压拉低和漏极电压拉低、发光二极管D1的阳极电压拉低,从而实现对驱动晶体管的栅极和漏极、发光二极管D1的阳极进行初始化。

[0060] 第二阶段 t_2 ,第一扫描信号 E_m 控制第一开关晶体管T1、第二开关晶体管T2及第六开关晶体管T6处于截止状态,第二扫描信号 S_n 控制第三开关晶体管T3处于导通状态,第三扫描信号 S_{n-1} 控制第四开关晶体管T4及第五开关晶体管T5处于导通状态,对驱动晶体管的阈值电压进行补偿。

[0061] 第三阶段 t_3 ,第一扫描信号 E_m 控制第一开关晶体管T1、第二开关晶体管T2及第六开关晶体管T6处于导通状态,第二扫描信号 S_n 控制第三开关晶体管T3处于截止状态,第三扫描信号 S_{n-1} 控制第四开关晶体管T4及第五开关晶体管T5处于截止状态,电流流入发光二极管D1,发光二极管D1发光。

[0062] 下面分别针对上述三个阶段进行具体分析:

[0063] 针对第一阶段 t_1 :

[0064] 由于第一扫描信号 E_m 为低电平,第二扫描信号 S_n 为高电平,第三扫描信号 S_{n-1} 为低电平,因此,第一开关晶体管T1处于导通状态,第二开关晶体管T2及第五开关晶体管T5处于导通状态,第四开关晶体管T4及第六开关晶体管T6处于导通状态,第三开关晶体管T3处于截止状态。

[0065] 此时,第一电源 V_{dd} 向驱动晶体管T的源极施加电压,第一电源 V_{dd} 同时对存储电容C的第二端施加电压至 V_{dd} ,初始电压信号 V_{init} 分别将发光二极管D1的阳极电压和驱动晶体管T的栅极电压和漏极电压拉低至 V_{init} ,从而实现对发光二极管D1的阳极和驱动晶体管T的栅极和漏极进行初始化,同时,数据信号线通过第五开关晶体管T5对存储电容C的第一端施加电压,分别将驱动晶体管T的栅极电压和漏极电压、发光二极管D1的阳极电压拉低,从而可以实现对驱动晶体管T的栅极和漏极、发光二极管D1的阳极进行初始化。

[0066] 需要说明的是,由于发光二极管D1具有电容效应,具有一定的电压,在第一阶段t1对发光二极管D1的阳极进行初始化,使得发光二极管D1的电压降低,进而在发光二极管D1的发光阶段,可使发光二极管D1迅速发光,有效避免发光二极管D1造成的迟滞效应。

[0067] 针对第一阶段t1向第二阶段t2的过度阶段t12:

[0068] 第一扫描信号Em由低电平变为高电平,第二扫描信号Sn和第三扫描信号Sn-1保持不变,此时,存储电容C的第一端的电压依然保持为Vdata,存储电容C的第二端的电压依然保持为Vdd。

[0069] 针对第二阶段t2:

[0070] 由于第一扫描信号Em为高电平,第二扫描信号Sn由高电平变为低电平,第三扫描信号Sn-1为低电平,因此,第一开关晶体管T1、第二开关晶体管T2及第六开关晶体管T6由导通状态变为截止状态,第三开关晶体管T3由截止状态变为导通状态,第四开关晶体管T4及第五开关晶体管T5仍处于导通状态。

[0071] 此时,数据电压Vdata通过第五开关晶体管T5向存储电容C的第一端施加电压至Vdata,驱动晶体管T的源极与栅极连接,驱动晶体管T的栅极与漏极的电压相同,迅速变为Vinit,存储电容C的第二端进行放电,由电压Vdd降至电压Vinit+|Vth|,这样,可以实现对驱动晶体管T阈值电压的补偿,其中,Vth为驱动晶体管T的阈值电压。

[0072] 针对第一阶段t2向第二阶段t3的过度阶段t23:

[0073] 第三扫描信号Sn-1由低电平变为高电平,第一扫描信号Em和第二扫描信号Sn保持不变,此时,存储电容C的左端基板(如图1中的a节点)与外界保持隔离,存储电容C两端的a节点与b节点之间的电压保持不变,即 $V_a - V_b = V_{data} - V_{init} - |V_{th}|$ 。

[0074] 针对第三阶段t3:

[0075] 由于第一扫描信号Em由高电平变为低电平,第二扫描信号Sn和第三扫描信号Sn-1保持不变,因此,第一开关晶体管T1、第二开关晶体管T2及第六开关晶体管T6由截止状态变为导通状态,第三开关晶体管T3由导通状态变为截止状态,第四开关晶体管T4及第五开关晶体管T5由导通状态变为截止状态。

[0076] 此时,第一电源Vdd对存储电容C的第二端进行充电,使存储电容C的第二端的电压由Vdata-Vth变为Vdd,根据电荷守恒原理,存储电容C的第一端的电压由Vdata变为 $V_{data} + V_{dd} - |V_{th}| - V_{init}$ 。此时,通过发光二极管D1的电流也即通过驱动晶体管T的电流Ids,该电流可以表示为:

[0077]
$$I_{ds} = \beta/2 (V_{gs} - V_{th})^2 = \beta/2 (V_{dd} - V_{data} - V_{dd} - |V_{th}| + V_{init} + |V_{th}|)^2 = \beta/2 (V_{init} - V_{data})^2$$

[0078] 其中,Vdata为数据电压,Vdd为第一电源Vdd的电压,Vinit为初始电压,Vth为驱动晶体管T的阈值电压,Vgs为驱动晶体管T的栅源电压, β 为常数。

[0079] 在具体实施时,各信号参考电压可以为: $V_{dd} = 4.6V$, $V_{ss} = -3V$, V_{GH} (高电平) = 7V, V_{GL} (低电平) = -7V, V_{REF} (参考电压) = -2V, $V_{data} = -6.6V \sim -0.6V$ 。

[0080] 具体实施时,采用本申请实施例提供的像素电路。若Ids为675nA,则驱动晶体管T的阈值电压为-1V;若Ids为658nA,则驱动晶体管T的阈值电压为-1.5V;若Ids为640nA,则驱动晶体管T的阈值电压为-2V。可知,驱动晶体管T的阈值电压变化 $\pm 0.5V$ 时,电流变化小于5%。

[0081] 具体实施时,采用本申请实施例提供的像素电路。若 I_{ds} 为680nA,则第一电源的电压 V_{dd} 为4.8V;若 I_{ds} 为659nA,则第一电源的电压 V_{dd} 为4.6V;若 I_{ds} 为638nA,则第一电源的电压 V_{dd} 为4.4V。可知,第一电源的电压 V_{dd} 变化 $\pm 0.2V$ 时,电流变化小于5%。

[0082] 由上述公式可知,流经发光二极管D1的电流与驱动晶体管T的阈值电压无关,实现了对驱动晶体管T的阈值电压的补偿。另外,流经发光二极管D1的电流与第一电源的电压无关,实现了第一电源的压降的补偿。

[0083] 本申请实施例还提供一种显示装置,所述显示装置可以包括像素电路。该像素电路可以包括:发光二极管、存储电容、驱动晶体管、第一开关晶体管、第二开关晶体管、第三开关晶体管、第四开关晶体管、第五开关晶体管、第六开关晶体管。

[0084] 该像素电路的电路连接结构如下所述:

[0085] 驱动晶体管的源极分别与第一开关晶体管的漏极及存储电容的第二端连接,第一开关晶体管的源极与第一电源连接。

[0086] 驱动晶体管的栅极分别与第二开关晶体管的漏极及第三开关晶体管的源极连接,第二开关晶体管的源极分别与存储电容的第一端及第五开关晶体管的源极连接,第五开关晶体管的漏极与数据线连接。

[0087] 驱动晶体管的漏极分别与第三开关晶体管的漏极、第四开关晶体管的源极及第六开关晶体管的源极连接,第四开关晶体管的漏极与初始电压信号线连接;第六开关晶体管的漏极与发光二极管连接,发光二极管与第二电源连接。

[0088] 其中,第一开关晶体管的栅极、第二开关晶体管的栅极及第六开关晶体管的栅极与第一扫描线连接,第一扫描线提供的第一扫描信号控制第一开关晶体管、第二开关晶体管及第六开关晶体管处于导通状态时,发光二极管发光;

[0089] 第三开关晶体管的栅极与第二扫描线连接,第二扫描线提供的第二扫描信号控制第三开关晶体管处于导通状态时,对驱动晶体管的阈值电压进行补偿;

[0090] 第四开关晶体管的栅极及第五开关晶体管的栅极与第三扫描线连接,第三扫描线提供的第三扫描信号控制第四开关晶体管及第五开关晶体管处于导通状态时,对驱动晶体管的栅极和漏极、发光二极管的阳极进行初始化。

[0091] 这里需要补充的是,该显示装置还可以包括扫描驱动器,该扫描驱动器将第一扫描信号、第二扫描信号及第三扫描信号顺序地供应到第一扫描线、第二扫描线和第三扫描线。数据驱动器,该数据驱动器将数据信号供应到数据线。

[0092] 本申请实施例中,像素电路的具体实现及其达到的技术效果参见上述实施例中的相关内容,本申请实施例不再赘述。

[0093] 本领域的技术人员应明白,尽管已描述了本申请的优选实施例,但本领域内的技术人员一旦得知了基本创造性概念,则可对这些实施例作出另外的变更和修改。所以,所附权利要求意欲解释为包括优选实施例以及落入本申请范围的所有变更和修改。

[0094] 显然,本领域的技术人员可以对本申请进行各种改动和变型而不脱离本申请的范围。这样,倘若本申请的这些修改和变型属于本申请权利要求及其等同技术的范围之内,则本申请也意图包含这些改动和变型在内。

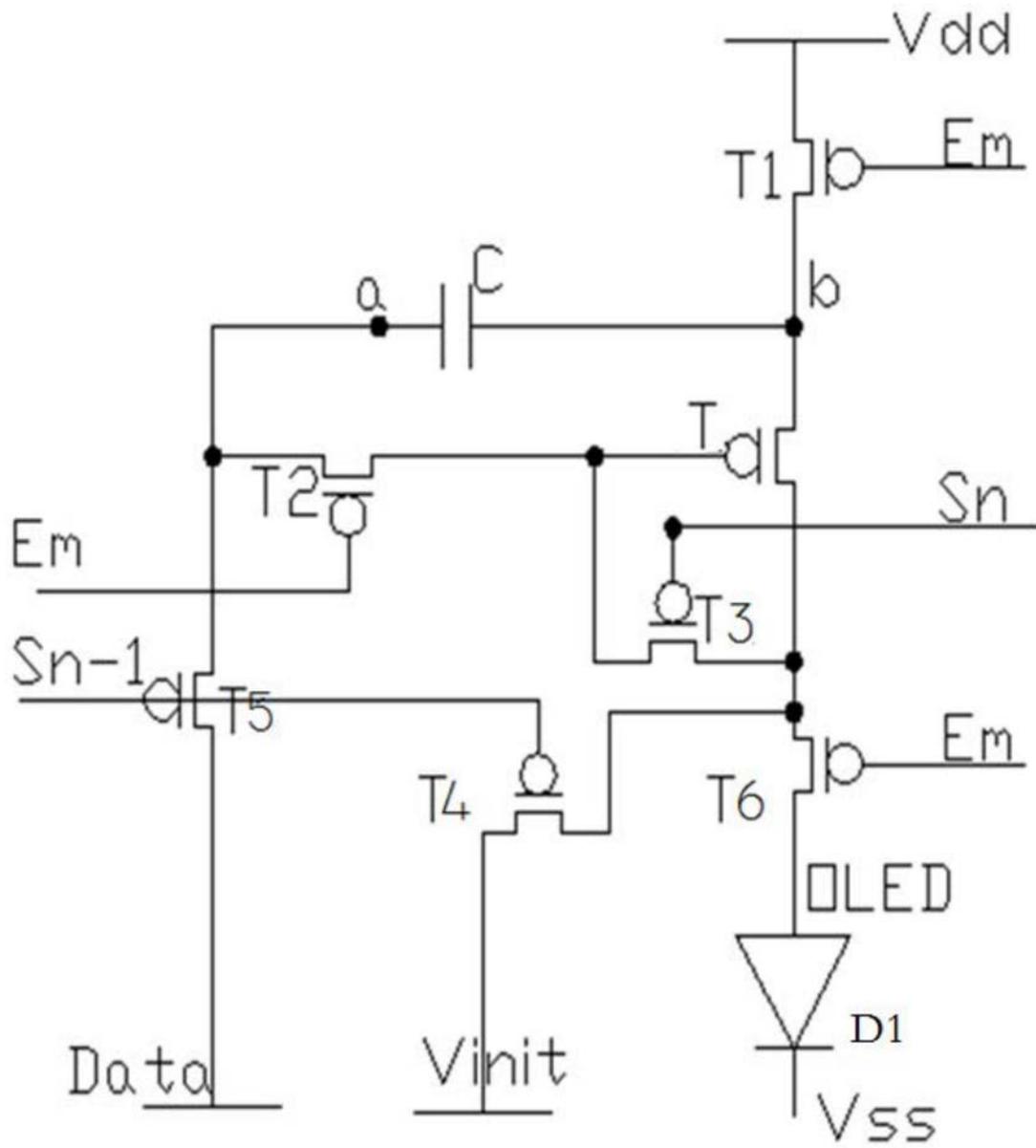


图1

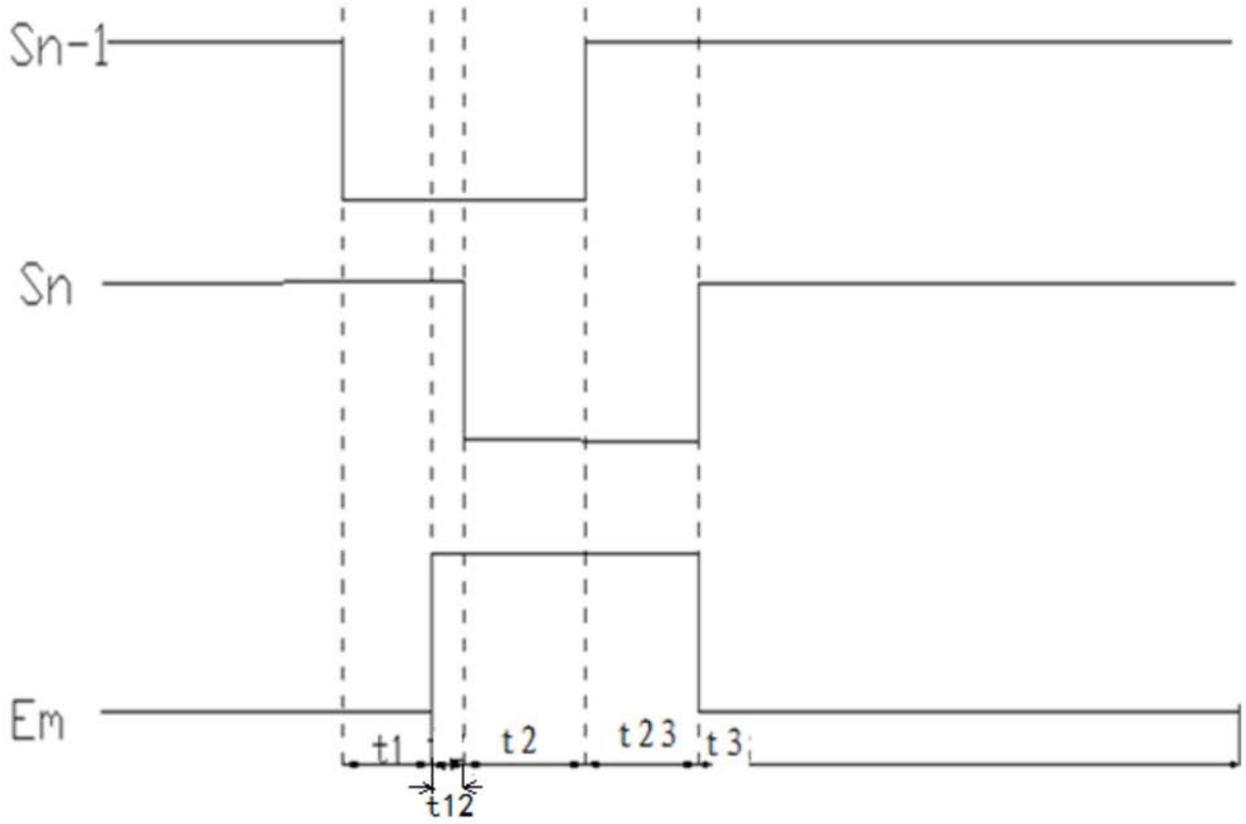


图2