

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2011年9月22日(22.09.2011)

PCT

(10) 国際公開番号
WO 2011/114563 A1

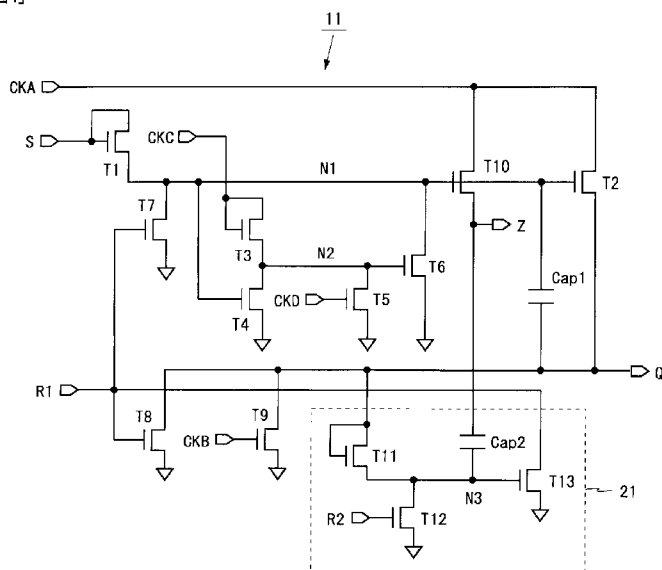
- (51) 国際特許分類:
G11C 19/28 (2006.01) G09G 3/36 (2006.01)
G09G 3/20 (2006.01) G11C 19/00 (2006.01)
- (21) 国際出願番号: PCT/JP2010/068019
- (22) 国際出願日: 2010年10月14日(14.10.2010)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2010-063492 2010年3月19日(19.03.2010) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社(SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2番2号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 小原 将紀
(OHARA, Masanori).
- (74) 代理人: 島田 明宏 (SHIMADA, Akihiro); 〒
6340078 奈良県橿原市八木町1丁目10番3号
萬盛庵ビル 島田特許事務所 Nara (JP).

- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告 (条約第21条(3))

(54) Title: SHIFT REGISTER
(54) 発明の名称: シフトレジスタ

[図4]



(57) Abstract: Composed is a shift register that connects at multiple levels with a unit circuit 11 that includes a compensation circuit (21). When a second reset signal (R2) output from a unit circuit of a next, and subsequent level becomes a high level, the compensation circuit (21) charges to an additional output terminal Z an overshoot electric potential Vos (electric potential for compensation) that is lower than a low-level potential. A signal output from the additional output terminal (Z) included in the next level unit circuit is given to a gate terminal of TFT:T8 (output reset transistor). Switching the high-level electric potential and compensation potential that has a reverse polarity thereto, and charging that to the TFT:T8 gate terminal suppress TFT:T8 threshold voltage shifts, and prevent an output signal reset time from becoming slower with the passage of time.

(57) 要約: 補償回路21を含む単位回路11を多段接続して、シフトレジスタを構成する。補償回路21は、次々段の単位回路から出力された第2リセット信号R2がハイレベルになったときに、追加出力端子Zにローレベル電位よりも低いオーバーシュート電位Vos(補償用

電位)を印加する。TFT:T8(出力リセットトランジスタ)のゲート端子には、次段の単位回路に含まれる追加出力端子Zから出力された信号を与える。TFT:T8のゲート端子にハイレベル電位とこれとは逆極性の補償用電位とを切り替えて印加することにより、TFT:T8の閾値電圧シフトを抑制し、出力信号のリセット時間が時間の経過と共に遅くなることを防止する。

WO 2011/114563 A1

明 細 書

発明の名称：シフトレジスタ

技術分野

[0001] 本発明は、シフトレジスタに関し、特に、表示装置の駆動回路などに好適に使用されるシフトレジスタに関する。

背景技術

[0002] アクティブマトリクス型の表示装置は、2次元状に配置された画素回路を行単位で選択し、選択した画素回路に対して映像信号に応じた階調電圧を書き込むことにより、画像を表示する。このような表示装置には、画素回路を行単位で選択するために、シフトレジスタを含む走査信号線駆動回路が設けられる。

[0003] また、表示装置を小型化する方法として、画素回路内のTFT（Thin Film Transistor）を形成するための製造プロセスを用いて、走査信号線駆動回路を画素回路と共に表示パネル上に一体形成する方法が知られている。走査信号線駆動回路は、例えば、アモルファスシリコンTFTや微結晶シリコンTFTを用いて形成される。走査信号線駆動回路を一体形成した表示パネルは、ゲートドライバモノリシックパネルとも呼ばれる。

[0004] 走査信号線駆動回路に含まれるシフトレジスタについては、従来から各種の回路が知られている（例えば、特許文献1～4）。特許文献1には、図17に示す単位回路91を複数個直列に接続したシフトレジスタが記載されている。このシフトレジスタは、アモルファスシリコンTFTを用いて液晶パネル上に一体形成される。

先行技術文献

特許文献

[0005] 特許文献1：日本国特開2006-107692号公報

特許文献2：日本国特開2004-78172号公報

特許文献3：日本国特開平8-87897号公報

特許文献4：国際公開第92／15992号パンフレット

発明の概要

発明が解決しようとする課題

[0006] シフトレジスタの各段には、出力信号を立ち下げるためのトランジスタ（以下、立ち下げ用トランジスタという）が設けられる。例えば、図17に示す単位回路91では、トランジスタTG3が立ち下げ用トランジスタとして機能する。単位回路91を含むシフトレジスタを備えた表示装置が正しく動作するためには、立ち下げ用トランジスタTG3を用いて、走査信号線の電位を所定時間内にローレベルに立ち下げる必要がある。

[0007] しかしながら、アモルファスシリコンTFTや微結晶シリコンTFTは、ゲート端子に電圧を繰り返し印加すると閾値電圧が変動するという特性を有する（閾値電圧シフト）。このため、アモルファスシリコンTFTや微結晶シリコンTFTで形成したシフトレジスタでは、時間の経過に伴い、立ち下げ用トランジスタの閾値電圧が上昇し、出力信号の立ち下がり時間が遅くなるという問題が発生する。立ち下がり時間が許容時間を超えると、表示装置は、ある画素回路に階調電圧を書き込んだ後に、同じ画素回路に次の画素回路に書き込むべき階調電圧を上書きするので、画面を正しく表示できなくなる。大型の表示パネルを備えた表示装置では、この問題は顕著になる。

[0008] それ故に、本発明は、出力信号をリセットするトランジスタの閾値電圧シフトを抑制し、出力信号のリセット時間が時間の経過と共に遅くなることを防止したシフトレジスタを提供することを目的とする。

課題を解決するための手段

[0009] 本発明の第1の局面は、複数の単位回路を多段接続した構成を有し、複数のクロック信号に基づき動作するシフトレジスタであって、

前記単位回路は、

一方の導通端子に一のクロック信号が与えられ、他方の導通端子が出力ノードに接続された出力トランジスタと、

与えられたセット信号に従い、前記出力トランジスタの制御端子にオン

電位を印加する入力トランジスタと、

与えられた出力リセット信号に従い、前記出力ノードにオフ電位を印加する出力リセットトランジスタと、

制御端子および一方の導通端子が前記出力トランジスタと同様の形態に接続され、他方の導通端子が追加出力ノードに接続された追加出力トランジスタと、

前記追加出力ノードに所定のタイミングで、オフ電位を基準としてオン電位とは逆極性の補償用電位を印加する補償回路とを含み、

前記出力リセットトランジスタには、前記出力リセット信号として、次段の単位回路に含まれる追加出力ノードから出力された信号が与えられることを特徴とする。

[0010] 本発明の第2の局面は、本発明の第1の局面において、

前記補償回路は、

前記出力ノードから出力される信号に従い、内部ノードにオン電位を印加する第1トランジスタと、

与えられた補償制御信号に従い、前記内部ノードにオフ電位を印加する第2トランジスタと、

前記内部ノードと前記追加出力ノードとの間に設けられた容量とを含むことを特徴とする。

[0011] 本発明の第3の局面は、本発明の第2の局面において、

前記補償回路は、一方の導通端子に前記出力リセット信号が与えられ、制御端子が前記内部ノードに接続された第3トランジスタをさらに含むことを特徴とする。

[0012] 本発明の第4の局面は、本発明の第2の局面において、

前記第2トランジスタには、前記補償制御信号として、次々段の単位回路に含まれる追加出力ノードから出力された信号が与えられることを特徴とする。

[0013] 本発明の第5の局面は、本発明の第2の局面において、

前記容量が、2個の導通端子を短絡して一方の電極とし、制御端子を他方の電極とした薄膜トランジスタで構成されていることを特徴とする。

- [0014] 本発明の第6の局面は、本発明の第2の局面において、
前記出力ノードから出力される信号は、前記第1トランジスタの制御端子および一方の導通端子に与えられることを特徴とする。
- [0015] 本発明の第7の局面は、本発明の第2の局面において、
前記出力ノードから出力される信号は前記第1トランジスタの制御端子に与えられ、前記第1トランジスタの一方の導通端子にはオン電位が固定的に印加されることを特徴とする。
- [0016] 本発明の第8の局面は、本発明の第1の局面において、
前記補償回路は、前記追加出力ノードにオン電位が印加されるたびに、前記追加出力ノードに前記補償用電位を印加することを特徴とする。
- [0017] 本発明の第9の局面は、本発明の第1の局面において、
前記単位回路は、与えられた状態リセット信号に従い、前記出力トランジスタの制御端子にオフ電位を印加する状態リセットトランジスタをさらに含むことを特徴とする。
- [0018] 本発明の第10の局面は、本発明の第1の局面において、
前記単位回路は、与えられた他のクロック信号に従い、前記出力ノードにオフ電位を印加する出力リセット補助トランジスタをさらに含むことを特徴とする。
- [0019] 本発明の第11の局面は、本発明の第1の局面において、
前記セット信号は、前記入力トランジスタの制御端子および一方の導通端子に与えられることを特徴とする。
- [0020] 本発明の第12の局面は、本発明の第1の局面において、
前記セット信号は前記入力トランジスタの制御端子に与えられ、前記入力トランジスタの一方の導通端子にはオン電位が固定的に印加されることを特徴とする。
- [0021] 本発明の第13の局面は、本発明の第1の局面において、

前記入力トランジスタには、前記セット信号として、前段の単位回路から出力された信号が与えられることを特徴とする。

[0022] 本発明の第14の局面は、本発明の第1の局面において、前記単位回路に含まれるすべてのトランジスタは、同じ導電型であることを特徴とする。

[0023] 本発明の第15の局面は、2次元状に配置された複数の画素回路と、第1～第14のいずれかの局面に係るシフトレジスタを含む駆動回路とを備えた、表示装置である。

発明の効果

[0024] 本発明の第1の局面によれば、各段の単位回路に含まれる出力リセットトランジスタには、所定のタイミングで、次段の単位回路から出力された補償用電位が与えられる。補償用電位は、オフ電位を基準としてオン電位とは逆の極性を有する。このため、オン電位を与えたために出力リセットトランジスタの閾値電圧が所定方向に変化した場合でも、オン電位とは逆極性の補償用電位を与えることにより、出力リセットトランジスタの閾値電圧を逆方向に変化させることができる。したがって、出力リセットトランジスタの閾値電圧シフトを抑制し、出力信号のリセット時間が時間の経過と共に遅くなることを防止することができる。また、出力リセットトランジスタのレイアウト面積を縮小することもできる。

[0025] 本発明の第2の局面によれば、追加出力ノードと内部ノードの間に容量を設け、内部ノードにオン電位とオフ電位を切り替えて印加することにより、追加出力ノードにオフ電位を基準としてオン電位とは逆極性の補償用電位を印加することができる。

[0026] 本発明の第3の局面によれば、補償回路に第3トランジスタを設けることにより、出力リセット信号に従い内部ノードにオン電位を印加することができる。

[0027] 本発明の第4の局面によれば、次々段の単位回路に含まれる追加出力ノードから出力された信号に従い、内部ノードにオフ電位を印加することにより

、次々段の単位回路の出力が変化したときに追加出力ノードに補償用電位を印加することができる。

- [0028] 本発明の第5の局面によれば、容量を薄膜トランジスタで構成することにより、シフトレジスタの製造コストを削減することができる。
- [0029] 本発明の第6の局面によれば、第1トランジスタの制御端子と一方の導通端子に単位回路の出力信号を与えることにより、単位回路の出力信号が変化したときに内部ノードにオン電位を印加することができる。
- [0030] 本発明の第7の局面によれば、第1トランジスタの制御端子に単位回路の出力信号を与え、一方の導通端子にオン電位を印加することにより、単位回路の出力信号が変化したときに内部ノードにオン電位を印加することができる。
- [0031] 本発明の第8の局面によれば、追加出力ノードにオン電位とこれとは逆極性の補償用電位とを交互に印加することにより、出力リセットトランジスタの閾値電圧シフトを効果的に抑制することができる。
- [0032] 本発明の第9の局面によれば、状態リセットトランジスタを設けることにより、出力トランジスタをオフ状態に制御することができる。
- [0033] 本発明の第10の局面によれば、出力リセット補助トランジスタを設けることにより、他のクロック信号に従い出力信号を確実にリセットすることができる。
- [0034] 本発明の第11の局面によれば、入力トランジスタの制御端子と一方の導通端子にセット信号を与えることにより、入力トランジスタを用いて出力トランジスタの制御端子にオン電位を印加することができる。
- [0035] 本発明の第12の局面によれば、入力トランジスタの制御端子にセット信号を与え、一方の導通端子にオン電位を印加することにより、入力トランジスタを用いて出力トランジスタの制御端子にオン電位を印加することができる。
- [0036] 本発明の第13の局面によれば、前段の単位回路から出力された信号を入力トランジスタに与えることにより、入力信号を順にシフトするシフトレジ

スタを構成することができる。

[0037] 本発明の第14の局面によれば、同じ導電型のトランジスタを用いることにより、シフトレジスタの製造コストを削減することができる。

[0038] 本発明の第15の局面によれば、出力リセットトランジスタの閾値電圧シフトを抑制し、出力信号のリセット時間が時間の経過と共に遅くなることを防止したシフトレジスタを用いて、画面を正しく表示できる表示装置を得ることができる。

図面の簡単な説明

[0039] [図1]本発明の実施形態に係る液晶表示装置の構成を示すブロック図である。

[図2]本発明の第1の実施形態に係るシフトレジスタの構成を示すブロック図である。

[図3]図2に示すシフトレジスタに供給されるクロック信号のタイミングチャートである。

[図4]図2に示すシフトレジスタに含まれる単位回路の回路図である。

[図5]図2に示すシフトレジスタのタイミングチャートである。

[図6]図2に示すシフトレジスタの出力信号のタイミングチャートである。

[図7]アモルファスシリコンTFTの閾値電圧の変化を示す図である。

[図8]図2に示すシフトレジスタの出力信号の信号波形図である。

[図9]本発明の第2の実施形態に係るシフトレジスタに含まれる単位回路の回路図である。

[図10]本発明の第3の実施形態に係るシフトレジスタの構成を示すブロック図である。

[図11]図10に示すシフトレジスタに供給されるクロック信号のタイミングチャートである。

[図12]図10に示すシフトレジスタの出力信号のタイミングチャートである。

。

[図13]本発明の第1変形例に係るシフトレジスタに含まれる単位回路の回路図である。

[図14]本発明の第2変形例に係るシフトレジスタに含まれる単位回路の回路図である。

[図15]本発明の第3変形例に係るシフトレジスタに含まれる単位回路の回路図である。

[図16]本発明の第4変形例に係るシフトレジスタに含まれる単位回路の回路図である。

[図17]従来のシフトレジスタに含まれる単位回路の回路図である。

発明を実施するための形態

[0040] 図1は、本発明の実施形態に係る液晶表示装置の構成を示すブロック図である。図1に示す液晶表示装置は、電源1、DC/DCコンバータ2、表示制御回路3、走査信号線駆動回路4、映像信号線駆動回路5、共通電極駆動回路6、および、画素領域7を備えたアクティブマトリクス型の表示装置である。走査信号線駆動回路4および映像信号線駆動回路5は、それぞれ、ゲートドライバ回路およびソースドライバ回路とも呼ばれる。以下、 m および n は2以上の整数であるとする。

[0041] 画素領域7は、 m 本の走査信号線 $GL1 \sim GLm$ 、 n 本の映像信号線 $SL1 \sim SLn$ 、および、 $(m \times n)$ 個の画素回路 P を含んでいる。走査信号線 $GL1 \sim GLm$ は互いに平行に配置され、映像信号線 $SL1 \sim SLn$ は走査信号線 $GL1 \sim GLm$ と直交するように互いに平行に配置される。 $(m \times n)$ 個の画素回路 P は、走査信号線 $GL1 \sim GLm$ と映像信号線 $SL1 \sim SLn$ の交差点に対応して2次元状に配置される。

[0042] 画素回路 P は、TFT:Q、および、液晶容量 C_{lc} を含んでいる。TFT:Qのゲート端子は対応する走査信号線に接続され、ソース端子は対応する映像信号線に接続され、ドレイン端子は液晶容量 C_{lc} の一方の電極に接続される。液晶容量 C_{lc} の他方の電極は、すべての画素回路 P に対向する対向電極 E_c である。画素回路 P は、1個の画素（あるいは、1個のサブ画素）として機能する。なお、画素回路 P は、液晶容量 C_{lc} と並列に補助容量を含んでいてもよい。

- [0043] 電源 1 は、DC/DCコンバータ 2、表示制御回路 3 および共通電極駆動回路 6 に対して、所定の電源電圧を供給する。DC/DCコンバータ 2 は、電源 1 から供給された電源電圧に基づき所定の直流電圧を生成し、走査信号線駆動回路 4 と映像信号線駆動回路 5 に供給する。共通電極駆動回路 6 は、共通電極 E_c に所定の電位 V_{com} を印加する。
- [0044] 表示制御回路 3 は、外部から与えられた画像信号 DAT とタイミング信号群 TG に基づき、デジタル映像信号 DV と複数の制御信号を出力する。タイミング信号群 TG には、水平同期信号や垂直同期信号などが含まれる。表示制御回路 3 から出力される制御信号には、ソーススタートパルス信号 SSP、ソースクロック信号 SCK、ラッチストロープ信号 LS、ゲートクロック信号 GCK、ゲートスタートパルス信号 GSP、および、ゲートエンドパルス信号 GEP が含まれる。ゲートクロック信号 GCK には 4 本の信号が含まれ、ゲートスタートパルス信号 GSP には 1 本または 2 本の信号が含まれ、ゲートエンドパルス信号 GEP には 2 本または 4 本の信号が含まれる（詳細は後述）。
- [0045] 走査信号線駆動回路 4 は、表示制御回路 3 から出力されたゲートクロック信号 GCK、ゲートスタートパルス信号 GSP およびゲートエンドパルス信号 GEP に基づき、走査信号線 GL₁ ~ GL_m の中から 1 本の走査信号線を順に選択し、選択した走査信号線に TFT : Q がオン状態となる電位（ハイレベル電位）を印加する。これにより、選択した走査信号線に接続された n 個の画素回路 P が一括して選択される。
- [0046] 映像信号線駆動回路 5 は、表示制御回路 3 から出力されたデジタル映像信号 DV、ソーススタートパルス信号 SSP、ソースクロック信号 SCK およびラッチストロープ信号 LS に基づき、映像信号線 SL₁ ~ SL_n に対してデジタル映像信号 DV に応じた n 個の階調電圧をそれぞれ印加する。これにより、走査信号線駆動回路 4 を用いて選択された n 個の画素回路 P に、n 個の階調電圧がそれぞれ書き込まれる。走査信号線駆動回路 4 と映像信号線駆動回路 5 を用いて画素領域 7 内のすべての画素回路 P に階調電圧を書き込む

ことにより、画像信号DATに基づく画像を画素領域7に表示することができる。

[0047] 走査信号線駆動回路4は、画素領域7を形成した液晶パネル8上に一体形成される。走査信号線駆動回路4に含まれるTFTは、例えば、アモルファスシリコン、微結晶シリコン、あるいは、酸化物半導体を用いて形成される。なお、液晶表示装置に含まれる他の回路の全部または一部を液晶パネル8上に一体形成してもよい。

[0048] 走査信号線駆動回路4は、複数の単位回路を多段接続した構成を有し、複数のクロック信号に基づき動作するシフトレジスタを含んでいる。本発明の実施形態に係る液晶表示装置は、走査信号線駆動回路4に含まれるシフトレジスタの回路構成に特徴がある。以下、走査信号線駆動回路4に含まれるシフトレジスタについて説明する。

[0049] (第1の実施形態)

図2は、本発明の第1の実施形態に係るシフトレジスタの構成を示すブロック図である。図2に示すシフトレジスタは、1次元状に並べて配置されたm個の単位回路11を含んでいる。以下、i番目(iは1以上m以下の整数)に配置された単位回路11をi番目の単位回路UC(i)という。本実施形態では、mは2の倍数であるとする。

[0050] 図2に示すシフトレジスタには、ゲートクロック信号GCKとして4つのクロック信号CK1~CK4が供給され、ゲートスタートパルス信号GSPとして1つの信号が供給され、ゲートエンドパルス信号GEPとして第1ゲートエンドパルス信号GEP1と第2ゲートエンドパルス信号GEP2が供給される。

[0051] 各単位回路11には、4つのクロック信号CKA、CKB、CKC、CKD、セット信号S、第1リセット信号R1、第2リセット信号R2、および、ローレベル電位VSS(図示せず)が供給される。各単位回路11からは、出力信号Qと追加出力信号Zが出力される。

[0052] kを1以上(m/2)以下の整数としたとき、奇数番目の単位回路UC(

2k-1)には、クロック信号CKA、CKB、CKC、CKDとして、クロック信号CK1、CK2、CK3、CK4がそれぞれ入力される。偶数番目の単位回路UC(2k)には、クロック信号CKA、CKB、CKC、CKDとして、クロック信号CK2、CK1、CK4、CK3がそれぞれ入力される。

[0053] 1番目の単位回路UC(1)には、セット信号Sとして、ゲートスタートパルス信号GSPが入力される。1番目以外の単位回路UC(i)には、セット信号Sとして、1つ前の単位回路UC(i-1)から出力された出力信号Qが入力される。(m-1)番目の単位回路UC(m-1)には、第2リセット信号R2として、第1ゲートエンドパルス信号GEP1が入力される。m番目の単位回路UC(m)には、第1リセット信号R1として第1ゲートエンドパルス信号GEP1が入力され、第2リセット信号R2として第2ゲートエンドパルス信号GEP2が入力される。m番目以外の単位回路UC(i)には、第1リセット信号R1として、1つ後の単位回路UC(i+1)から出力された追加出力信号Zが入力される。(m-1)番目およびm番目以外の単位回路UC(i)には、第2リセット信号R2として、2つ後の単位回路UC(i+2)から出力された追加出力信号Zが入力される。i番目の走査信号線GLiは、i番目の単位回路UC(i)から出力された出力信号Qに基づき駆動される。

[0054] このように図2に示すシフトレジスタでは、各段の単位回路には、セット信号Sとして前段の単位回路から出力された出力信号Qが与えられ、第1リセット信号R1として次段の単位回路から出力された追加出力信号Zが与えられ、第2リセット信号R2として次々段の単位回路から出力された追加出力信号Zが与えられる。

[0055] 図3は、クロック信号CK1~CK4のタイミングチャートである。図3に示すように、クロック信号CK1~CK4は、いずれも、1水平走査期間おきにハイレベルになる。クロック信号CK1、CK2の位相は互いに180度(1水平走査期間に相当する)ずれており、クロック信号CK3、CK

4の位相も互いに180度ずれている。クロック信号CK3の位相は、クロック信号CK1の位相よりも90度進んでいる。クロック信号CK4の位相は、クロック信号CK2の位相よりも90度進んでいる。

[0056] 図4は、単位回路11の回路図である。単位回路11は、図4に示すように、13個のNチャネル型TFT：T1～T13、および、2個のキャパシタCap1、Cap2を含んでいる。このうちTFT：T11～T13、および、キャパシタCap2は、補償回路21を構成する。Nチャネル型TFTについては、ハイレベル電位がオン電位になり、ローレベル電位がオフ電位になる。

[0057] TFT：T1のソース端子、TFT：T6、T7のドレイン端子、TFT：T2、T4、T10のゲート端子、および、キャパシタCap1の一端は、ノードN1に接続される。TFT：T3のソース端子、TFT：T4、T5のドレイン端子、および、TFT：T6のゲート端子は、ノードN2に接続される。TFT：T11のソース端子、TFT：T12のドレイン端子、TFT：T13のゲート端子、および、キャパシタCap2の一端は、ノードN3に接続される。TFT：T2のソース端子、TFT：T8、T9のドレイン端子、TFT：T11のドレイン端子とゲート端子、および、キャパシタCap1の他端は、出力端子Qに接続される。TFT：T10のソース端子、および、キャパシタCap2の他端は、追加出力端子Zに接続される。

[0058] TFT：T1のゲート端子とドレイン端子には、セット信号Sが与えられる。TFT：T2、T10のドレイン端子には、クロック信号CKAが与えられる。TFT：T3のゲート端子とドレイン端子には、クロック信号CKCが与えられる。TFT：T5のゲート端子にはクロック信号CKDが与えられ、TFT：T9のゲート端子にはクロック信号CKBが与えられる。TFT：T7、T8のゲート端子、および、TFT：T13のドレイン端子には、第1リセット信号R1が与えられる。TFT：T12のゲート端子には、第2リセット信号R2が与えられる。TFT：T4～T9、T12、T1

3のソース端子には、ローレベル電位VSSが固定的に印加される。

- [0059] T F T : T 1は、セット信号Sがハイレベルである間、ノードN 1の電位をハイレベルにする。セット信号Sは、前段の単位回路1 1から出力された出力信号Qである。したがって、前段の単位回路1 1の出力がハイレベルになると、ノードN 1の電位はハイレベルに上昇する。T F T : T 2は、ノードN 1の電位がハイレベルである間、クロック信号CK Aを出力信号Qとして出力する。
- [0060] T F T : T 3は、クロック信号CK Cがハイレベルである間、ノードN 2の電位をハイレベルにする。T F T : T 4は、ノードN 1の電位がハイレベルである間、ノードN 2の電位をローレベルにする。対応する走査信号線の選択期間でノードN 2の電位が誤ってハイレベルになると、T F T : T 6がオン状態になり、ノードN 1の電位が低下し、T F T : T 2がオフ状態になる。T F T : T 4は、この現象を防止するために設けられている。
- [0061] T F T : T 5は、クロック信号CK Dがハイレベルである間、ノードN 2の電位をローレベルにする。T F T : T 5を設けなければ、対応する走査信号線の選択期間以外ではノードN 2の電位が常にハイレベルになり、T F T : T 6、T 1 0にバイアス電圧がかかり続ける。この状態が続くと、T F T : T 6、T 1 0の閾値電圧が上昇し、T F T : T 6、T 1 0はスイッチとして正しく機能しなくなる。T F T : T 5は、この現象を防止するために設けられている。
- [0062] T F T : T 6は、ノードN 2の電位がハイレベルである間、ノードN 1の電位をローレベルにする。T F T : T 7は、第1リセット信号R 1がハイレベルである間、ノードN 1の電位をローレベルにする。T F T : T 8は、第1リセット信号R 1がハイレベルである間、出力端子Qにローレベル電位を印加する。第1リセット信号R 1は、次段の単位回路1 1から出力された追加出力信号Zである。したがって、次段の単位回路1 1の出力がハイレベルになると、ノードN 1の電位はローレベルに低下し、出力信号Qはローレベルになる。

- [0063] T F T : T 9 は、クロック信号 C K B がハイレベルである間、出力端子 Q にローレベル電位を印加する。T F T : T 10 は、ノード N 1 の電位がハイレベルである間、クロック信号 C K A を追加出力信号 Z として出力する。キャパシタ C a p 1 は、ノード N 1 の電位をハイレベルに保つ補償容量である。
- [0064] T F T : T 11 は、出力信号 Q がハイレベルである間、ノード N 3 の電位をハイレベルにする。したがって、自段の単位回路 11 の出力がハイレベルになると、ノード N 3 の電位はハイレベルに上昇する。T F T : T 12 は、第 2 リセット信号 R 2 がハイレベルである間、ノード N 3 の電位をローレベルにする。第 2 リセット信号 R 2 は、次々段の単位回路 11 から出力された追加出力信号 Z である。したがって、次々段の単位回路 11 の出力がハイレベルになると、ノード N 3 の電位はローレベルに低下する。T F T : T 13 は、第 1 リセット信号 R 1 がハイレベルである間、ノード N 3 の電位をハイレベルに保つ。キャパシタ C a p 2 は、追加出力端子 Z とノード N 3 の間に設けられ、ノード N 3 の電位が低下したときに追加出力信号 Z の電位を低下させる。
- [0065] 図 5 は、本実施形態に係るシフトレジスタのタイミングチャートである。単位回路 11 に入力されるクロック信号 C K A、C K B、C K C、C K D は、図 5 に示すように変化する。初期状態では、ノード N 1、N 3 の電位は、いずれもローレベルである。
- [0066] 時刻 t_0 において、セット信号 S（前段の単位回路の出力）がローレベルからハイレベルに変化する。T F T : T 1 はダイオード接続されているので、セット信号 S がハイレベルになると、ノード N 1 の電位はハイレベルになる（以下、このときのノード N 1 の電位を V_a という）。このため、T F T : T 2 はオン状態になる。また、T F T : T 4 もオン状態になるので、ノード N 2 の電位はローレベルになり、T F T : T 6 はオフ状態になる。ノード N 1 の電位は、後述する時刻 t_2 まで V_a 以上に保たれる。
- [0067] 時刻 t_1 において、クロック信号 C K A がローレベルからハイレベルに変

化する。TFT : T2のドレイン端子にはクロック信号CKAが与えられ、TFT : T2のゲートソース間にはキャパシタCap1が存在する。また、このときTFT : T2はオン状態であり、ノードN1はフローティング状態である。このため、TFT : T2のドレイン端子電位が上昇すると、ノードN1の電位も上昇する（ブートストラップ効果）。この結果、ノードN1の電位は、電位Vaよりも高くなる（以下、このときのノードN1の電位をVbという）。電位Vbは、クロック信号CKAのハイレベル電位よりも高い。クロック信号CKAは時刻t1から時刻t2までの間でハイレベルになるので、ノードN1の電位はほぼ同じ期間でVbになり、出力信号Qもほぼ同じ期間でハイレベルになる。このとき、出力信号Qが印加された走査信号線が選択状態になり、当該走査信号線に接続された複数の画素回路Pに対して映像信号の書き込みが行われる。

[0068] また、時刻t1において、TFT : T10もオン状態になる。したがって、追加出力信号Zは、出力信号Qと同様に、時刻t1から時刻t2までの間でハイレベルになる。また、TFT : T11はダイオード接続されているので、出力信号Qがハイレベルになると、ノードN3の電位はハイレベルになる。

[0069] 時刻t2において、クロック信号CKAはハイレベルからローレベルに変化し、クロック信号CKBと第1リセット信号R1（次段の単位回路の出力）はローレベルからハイレベルに変化する。このとき、TFT : T7~T9はオン状態になる。TFT : T7がオン状態になると、ノードN1の電位はローレベルに変化し、TFT : T2、T10はオフ状態になる。TFT : T8、T9がオン状態になると、出力信号Qはローレベルになる。

[0070] このとき、クロック信号CKAは、TFT : T10がオフ状態になるより前にローレベルに変化する。このため、追加出力端子Zの電位は、時刻t2の直後にローレベルになる。また、TFT : T10がオフ状態になると、追加出力端子Zはフローティング状態になる。TFT : T10のゲートソース間には寄生容量（図示せず）が存在するので、ノードN1の電位がハイレ

ベルからローレベルに変化すると、TFT : T10のソース端子に接続された追加出力端子Zの電位はローレベルよりも低くなる（以下、このときの追加出力端子Zの電位を V_c という）。

[0071] また、出力信号Qがローレベルになると、TFT : T11はオフ状態になり、ノードN3はフローティング状態になる。このときTFT : T11が完全なオフ状態になる前に、ノードN3から出力端子Qに向けて電流が流れるので、ノードN3の電位はハイレベルから低下する。

[0072] 第1リセット信号R1はTFT : T13のドレイン端子にも供給されており、TFT : T13のドレイン-ゲート間には容量（図示せず）が存在する。このため、第1リセット信号R1がハイレベルになると、TFT : T13のゲート端子に接続されたノードN3の電位はハイレベルに引き上げられる。したがって、ノードN3の電位は、時刻 t_2 の直後にハイレベルから低下した後、再びハイレベルに戻る。

[0073] 時刻 t_3 において、第1リセット信号R1はハイレベルからローレベルに変化し、第2リセット信号R2（次々段の単位回路の出力）はローレベルからハイレベルに変化する。このとき、TFT : T7~T9はオフ状態になり、TFT : T12はオン状態になる。TFT : T12がオン状態になると、ノードN3の電位はローレベルに変化する。このとき追加出力端子Zはフローティング状態にあるので、ノードN3の電位がハイレベルからローレベルに変化すると、追加出力端子Zの電位は電位 V_c よりもさらに低くなる（以下、このときのノードN3の電位をオーバーシュート電位 V_{os} という）。

[0074] 時刻 t_4 において、第2リセット信号R2はハイレベルからローレベルに変化する。このとき、TFT : T12はオフ状態になり、ノードN3はフローティング状態になる。この時点で、ノードN1、N3の電位は共にローレベルである。したがって、追加出力端子Zの電位は、ノードN1、N3の電位に引かれてローレベルに戻る。

[0075] ノードN1、ノードN3、および、追加出力端子Zの寄生容量を、それぞれ、 C_{n1} 、 C_{n3} 、 C_z とする。また、ノードN1の電位が V_a からロー

レベルに変化したときの電位変化量を ΔV_1 、そのときの追加出力端子Zの電位変化量を ΔV_x 、ノードN3の電位がハイレベルからローレベルに変化したときの電位変化量を ΔV_3 、そのときの追加出力端子Zの電位変化量を ΔV_y とする。電荷量保存の法則より、電位変化量 ΔV_x 、 ΔV_y は、近似的に次式(1)および(2)で与えられる。また、ローレベル電位(ロジックロー電位)を V_{gl} とすると、オーバーシュート電位 V_{os} は次式(3)で与えられる。

$$\Delta V_x = \Delta V_1 \times (C_{n1} / C_z) \quad \dots (1)$$

$$\Delta V_y = \Delta V_3 \times (C_{n3} / C_z) \quad \dots (2)$$

$$V_{os} = V_{gl} - \Delta V_x - \Delta V_y \quad \dots (3)$$

[0076] オーバーシュート電位 V_{os} は、ローレベル電位 V_{gl} よりも低く、ノードN1、N3および追加出力端子Zの寄生容量 C_{n1} 、 C_{n3} 、 C_z 、並びに、ノードN1、N3の電位変化量 ΔV_1 、 ΔV_3 によって決定される。ハイレベル電位はローレベル電位よりも高く、オーバーシュート電位 V_{os} はローレベル電位よりも低い。このようなオーバーシュート電位 V_{os} は、ローレベル電位を基準としてハイレベル電位とは逆極性の補償用電位となる。補償回路21は、追加出力端子Zに所定のタイミングで、オフ電位を基準としてオン電位とは逆極性の補償用電位を印加する。

[0077] 図2に示すシフトレジスタに対して図3に示す4相のクロック信号を与え、ゲートスタートパルス信号GSP、第1ゲートエンドパルス信号GEP1および第2ゲートエンドパルス信号GEP2を所定のタイミングで1水平走査期間だけハイレベルに制御する。これにより、初段の単位回路(1番目の単位回路UC(1))に入力されたパルスは、最終段の単位回路(m番目の単位回路UC(m))まで順に転送される。このとき、走査信号線GL1~GLmの電位は、1水平走査期間ずつ順にハイレベルになる(図6を参照)。

[0078] また、図5に示すように、追加出力信号Zの電位は、出力信号Qがハイレベルのときにハイレベルになり、次にローレベルよりも低いレベル(電位V

c) になり、その後電位 V_c よりもさらに低いレベル（オーバーシュート電位 V_{os} ）になる。追加出力信号 Z は、第 1 リセット信号 R_1 として、前段の単位回路 11 に含まれる T F T : T 8 のゲート端子などに与えられる。言い換えると、T F T : T 8 のゲート端子には、次段の単位回路 11 から出力された追加出力信号 Z が印加される。

[0079] 以下、本実施形態に係るシフトレジスタの効果を説明する。ここで、単位回路 11 から補償回路 21 を除去したものを従来の単位回路といい、従来の単位回路を多段接続したものを従来のシフトレジスタという。従来のシフトレジスタでも、本実施形態に係るシフトレジスタと同様に、T F T : T 8 のゲート端子には、次段の単位回路から出力された追加出力信号 Z が印加される。

[0080] 従来のシフトレジスタでは、追加出力信号 Z は、出力信号 Q と同じように変化する。より詳細には、追加出力信号 Z は、通常時はローレベルで、1 フレーム期間に 1 回ハイレベルになる。このため、従来のシフトレジスタでは、T F T : T 8 に正極性のストレス電圧が繰り返し印加される。ところが、アモルファスシリコン T F T や微結晶シリコン T F T は、ゲート端子に電圧を繰り返し印加すると閾値電圧が変動するという特性を有する。このため、アモルファスシリコンや微結晶シリコンを用いて T F T : T 8 を形成した場合、時間の経過に伴い、T F T : T 8 の閾値電圧が上昇し、出力信号 Q の立ち下がり時間が遅くなるという問題が発生する。

[0081] そこで、本実施形態に係るシフトレジスタでは、T F T の閾値電圧がストレス電圧の極性に応じた方向に変化するという性質を利用する。図 7 は、アモルファスシリコン T F T の閾値電圧の変化を示す図である。図 7 において、横軸はストレス電圧の印加時間を表し、縦軸は閾値電圧の変化量を表す。図 7 に示すように、アモルファスシリコン T F T の閾値電圧は、正極性のストレス電圧を印加したときには上昇し、負極性のストレス電圧を印加したときには低下する。正極性のストレス電圧を印加したときの閾値電圧の上昇量を $+\Delta V_p$ 、負極性のストレス電圧を印加したときの閾値電圧の低下量を一

ΔV_m とし、2種類のストレス電圧の絶対値と印加時間を同じにしたとき、閾値電圧の上昇量と低下量の比 ($\Delta V_m / \Delta V_p$) は例えば0.5~1.0程度になる。

[0082] 本実施形態に係るシフトレジスタの単位回路11は、追加出力端子Zに所定のタイミングで、補償用電位としてオーバーシュート電位 V_{os} を印加する補償回路21を含んでいる。このため、追加出力信号Zの電位は、ハイレベルになった後に、ローレベルよりも低いオーバーシュート電位 V_{os} になる。したがって、TFT:T8のゲート端子には、ハイレベル電位と、これとは逆極性のオーバーシュート電位 V_{os} とが交互に印加される。

[0083] したがって、TFT:T8のゲート端子にハイレベル電位を印加したために、TFT:T8の閾値電圧が高くなった場合でも、TFT:T8のゲート端子にハイレベル電位とは逆極性のオーバーシュート電位 V_{os} を印加することにより、TFT:T8の閾値電圧を低く変化させ、TFT:T8の閾値電圧の上昇を抑制することができる。例えば、従来のシフトレジスタでは、所定時間Tが経過した時点で、TFT:T8の閾値電圧が1.0V上昇したとする。また、上記比 ($\Delta V_m / \Delta V_p$) が0.5であるとする。この場合、本実施形態に係るシフトレジスタでは、時間Tが経過した時点で、TFT:T8の閾値電圧は1.0V上昇すると共に0.5V低下するので、結果的に0.5Vしか上昇しない。

[0084] よって、本実施形態に係るシフトレジスタによれば、TFT:T8の閾値電圧シフトを抑制し、出力信号Qの立ち下がり時間が時間の経過と共に遅くなることを防止することができる。また、TFT:T8のチャネル幅を縮小して、TFT:T8のレイアウト面積を縮小することもできる。また、単位回路11の内部でオーバーシュート電位 V_{os} を生成できるので、シフトレジスタの外部に新たな電源回路を設ける必要がない。

[0085] 以下、出力信号Qの立ち下がり時間の遅延を防止できる効果について説明する。TFT:T8が線形領域で動作するとき、出力信号Qの立ち下がり時にTFT:T8を流れる電流Iは次式(4)で与えられる。

$$I = (W/L) \cdot \mu \cdot C_{ox} \cdot [(V_g - V_t)V_d - (1/2)V_d^2] \dots (4)$$

ただし、Wはゲート幅、Lはゲート長、 μ はキャリア移動度、 C_{ox} はゲート酸化膜容量、 V_g はゲート印加電圧、 V_d はドレイン印加電圧、 V_t は閾値電圧である。

[0086] 例えば、 $W=5000$ 、 $L=5$ 、 $\mu=0.3$ 、 $C_{ox}=2 \times 10^{-8}$ 、 $V_g=V_d=30$ （ただし、数値の単位はいずれも任意単位（a. u.））。以下、同じ）であり、初期状態では $V_t=2$ であるとする。この場合、初期状態でTFT：T8を流れる電流 I_a は、式（4）より、 $I_a=2.34 \times 10^{-3}$ となる。

[0087] 従来のシフトレジスタでは、TFT：T8の閾値電圧は、所定時間Tが経過した時点で $V_t=10$ まで上昇するとする。この場合、時間Tが経過した時点でTFT：T8を流れる電流 I_b は、式（4）より、 $I_b=0.90 \times 10^{-3}$ となる。このように従来のシフトレジスタでは、時間Tが経過した時点でTFT：T8を流れる電流は、初期状態と比べて約61%減少する。

[0088] 本実施形態に係るシフトレジスタでは、閾値電圧の上昇量が、従来のシフトレジスタの50%であるとする。この場合、TFT：T8の閾値電圧は、時間Tが経過した時点で $V_t=6$ まで上昇する。このため、時間Tが経過した時点でTFT：T8を流れる電流 I_c は、式（4）より、 $I_c=1.62 \times 10^{-3}$ となる。このように本実施形態に係るシフトレジスタでは、時間Tが経過した時点でTFT：T8を流れる電流は、初期状態と比べて約31%しか減少しない。時間Tが経過した時点において、本実施形態に係るシフトレジスタの出力信号Qの立ち下がり時間は、従来のシフトレジスタの約56%（ $=0.90/1.62$ ）になる。

[0089] 図8は、出力信号Qの信号波形図である。図8において、 T_{gf1} は本実施形態に係るシフトレジスタにおける出力信号Qの90%—10%立ち下がり時間を示し、 T_{gf2} は従来のシフトレジスタについて同じ立ち下がり時間を示す。上記の例では、本実施形態に係る立ち下がり時間 T_{gf1} は、従来の立ち下がり時間 T_{gf2} の約56%になる。

- [0090] 次に、TFT : T8のレイアウト面積を縮小できる効果について説明する。TFT : T8で閾値電圧シフトが発生しても出力信号Qの立ち下がり時間を短縮する必要がない場合には、補償回路21を設けてTFT : T8の閾値電圧シフトを抑制した分だけ、TFT : T8のゲート幅を小さくし、TFT : T8のレイアウト面積を縮小することができる。
- [0091] 例えば、従来のシフトレジスタについて、所定時間Tが経過した時点でTFT : T8を流れる電流が $I_b = 0.90 \times 10^{-3}$ となるように回路設計を行った結果、TFT : T8のゲート幅が5000になったとする。本実施形態に係るシフトレジスタにおいてTFT : T8のゲート幅を5000にすると、時間Tが経過した時点でTFT : T8を流れる電流は $I_c = 1.62 \times 10^{-3}$ となる。TFT : T8を流れる電流は 0.90×10^{-3} でよいので、TFT : T8のゲート幅を2800 ($= 5000 \times 0.90 / 1.62$)に縮小することができる。したがって、本実施形態に係るシフトレジスタのTFT : T8のレイアウト面積は、従来のシフトレジスタの約56% ($= 2800 / 5000$)になる。
- [0092] 以上に示すように、本実施形態に係るシフトレジスタは、複数の単位回路11を多段接続した構成を有し、複数のクロック信号CK1~CK4に基づき動作する。単位回路11は、一方の導通端子（ドレイン端子）に一のクロック信号（クロック信号CK1またはCK2）が与えられ、他方の導通端子（ソース端子）が出力端子Qに接続された出力トランジスタ（TFT : T2）と、与えられたセット信号Sに従い、出力トランジスタの制御端子にオン電位（ハイレベル電位）を印加する入力トランジスタ（TFT : T1）と、与えられた第1リセット信号R1に従い、出力端子Qにオフ電位（ローレベル電位）を印加する出力リセットトランジスタ（TFT : T8）と、制御端子および一方の導通端子（ゲート端子とドレイン端子）が出力トランジスタと同様の形態に接続され、他方の導通端子（ソース端子）が追加出力端子Zに接続された追加出力トランジスタ（TFT : T10）と、追加出力端子Zに所定のタイミングで、オフ電位を基準としてオン電位とは逆極性の補償用

電位（オーバーシュート電位 V_{os} ）を印加する補償回路 2 1 とを含んでいる。出力リセットトランジスタには、第 1 リセット信号 R_1 として、次段の単位回路 1 1 から出力された追加出力信号 Z が与えられる。

[0093] このため、各段の単位回路 1 1 に含まれる出力リセットトランジスタには、所定のタイミングで、次段の単位回路 1 1 から出力され、オフ電位を基準としてオン電位とは逆の極性を有する補償用電位が与えられる。したがって、オン電位を与えたために出力リセットトランジスタの閾値電圧が所定方向に変化（高く変化）した場合でも、オン電位とは逆極性の補償用電位を与えることにより、出力リセットトランジスタの閾値電圧を逆方向に変化（低く変化）させることができる。よって、出力リセットトランジスタの閾値電圧シフトを抑制し、出力信号のリセット時間が時間の経過と共に遅くなることを防止することができる。また、出力リセットトランジスタのレイアウト面積を縮小することもできる。

[0094] また、補償回路 2 1 は、出力信号 Q に従いノード N_3 にオン電位を印加する第 1 トランジスタ（TFT：T 1 1）と、第 2 リセット信号 R_2 に従いノード N_3 にオフ電位を印加する第 2 トランジスタ（TFT：T 1 2）と、ノード N_3 と追加出力端子 Z の間に設けられたキャパシタ $C_{ap} 2$ とを含んでいる。このように追加出力端子 Z とノード N_3 の間にキャパシタ $C_{ap} 2$ を設け、ノード N_3 にオン電位とオフ電位を切り替えて印加することにより、追加出力端子 Z にオフ電位を基準としてオン電位とは逆極性の補償用電位を印加することができる。

[0095] また、補償回路 2 1 は、一方の導通端子（ドレイン端子）に第 1 リセット信号 R_1 が与えられ、制御端子（ゲート端子）がノード N_3 に接続された第 3 トランジスタ（TFT：T 1 3）をさらに含んでいる。このような第 3 トランジスタを設けることにより、第 1 リセット信号 R_1 に従いノード N_3 にオン電位を印加することができる。また、第 2 トランジスタには、第 2 リセット信号 R_2 として、次々段の単位回路から出力された追加出力信号 Z が与えられる。これにより、次々段の単位回路から出力された追加出力信号に従

いノードN 3にオフ電位を印加し、次々段の単位回路の出力が変化したときに追加出力端子Zに補償用電位を印加することができる。

[0096] また、出力信号Qは、第1トランジスタの制御端子および一方の導通端子（T F T : T 1 1のドレイン端子およびゲート端子）に与えられる。これにより、出力信号Qが変化したときにノードN 3にオン電位を印加することができる。また、補償回路2 1は、追加出力端子Zにオン電位が印加されるたびに、追加出力端子Zに補償用電位を印加する。このように追加出力端子Zにオン電位とこれとは逆極性の補償用電位とを交互に印加することにより、出力リセットトランジスタの閾値電圧シフトを効果的に抑制することができる。

[0097] また、単位回路1 1は、与えられた第1リセット信号R 1に従い、出力トランジスタの制御端子にオフ電位を印加する状態リセットトランジスタ（T F T : T 7）をさらに含んでいる。このような状態リセットトランジスタを設けることにより、出力トランジスタをオフ状態に制御することができる。また、単位回路1 1は、与えられた他のクロック信号（クロック信号C K 1またはC K 2）に従い、出力端子Qにオフ電位を印加する出力リセット補助トランジスタ（T F T : T 9）をさらに含んでいる。このような出力リセット補助トランジスタを設けることにより、他のクロック信号に従い出力信号を確実にリセットすることができる。

[0098] また、セット信号Sは、入力トランジスタの制御端子および一方の導通端子（T F T : T 1のゲート端子とドレイン端子）に与えられる。これにより、入力トランジスタを用いて出力トランジスタの制御端子にオン電位を印加することができる。また、入力トランジスタには、セット信号Sとして、前段の単位回路1 1から出力された信号が与えられる。これにより、入力信号を順にシフトするシフトレジスタを構成することができる。

[0099] また、単位回路1 1に含まれるすべてのトランジスタは、同じ導電型（Nチャネル型）である。同じ導電型のトランジスタを用いることにより、シフトレジスタの製造コストを削減することができる。また、本実施形態に係る

シフトレジスタを含む走査信号線駆動回路4を備えた液晶表示装置によれば、出力リセットトランジスタの閾値電圧シフトを抑制し、出力信号のリセット時間が時間の経過と共に遅くなることを防止したシフトレジスタを用いて、画面を正しく表示できる液晶表示装置を得ることができる。

[0100] (第2の実施形態)

本発明の第2の実施形態に係るシフトレジスタは、第1の実施形態に係るシフトレジスタと同じ構成(図2)を有し、第1の実施形態に係るシフトレジスタとは異なる単位回路を含んでいる。以下、本実施形態と第1の実施形態の相違点を説明し、第1の実施形態との共通点については説明を省略する。

[0101] 図9は、本実施形態に係るシフトレジスタに含まれる単位回路の回路図である。図9に示す単位回路12は、第1の実施形態に係る単位回路11において、キャパシタCap2をTF T : T14に置換したものである。単位回路12では、TF T : T11~T14が補償回路22を構成する。TF T : T14のドレイン端子とソース端子は、トランジスタT10のソース端子と追加出力端子Zに接続される。トランジスタT14のゲート端子は、ノードN3に接続される。このように接続されたTF T : T14は、キャパシタCap2と同様の機能を有する。本実施形態に係るシフトレジスタは、第1の実施形態に係るシフトレジスタと同様に動作する。

[0102] したがって、本実施形態に係るシフトレジスタによれば、第1の実施形態と同様に、出力リセットトランジスタの閾値電圧シフトを抑制し、出力信号のリセット時間が時間の経過と共に遅くなることを防止することができる。また、補償回路22に含まれる容量は、ドレイン端子とソース端子を短絡して一方の電極とし、ゲート端子を他方の電極としたTF Tで構成されている。このように補償回路22に含まれる容量をTF Tで構成することにより、シフトレジスタの製造コストを削減することができる。

[0103] (第3の実施形態)

図10は、本発明の第3の実施形態に係るシフトレジスタの構成を示す

ロック図である。図10には、1次元状に並べて配置された m 個の単位回路11が記載されている。 m 個の単位回路11のうち、奇数番目の単位回路11を多段接続することにより、第1シフトレジスタが構成される。また、偶数番目の単位回路11を多段接続することにより、第2シフトレジスタが構成される。以下、本実施形態と第1の実施形態の相違点を説明し、第1の実施形態との共通点については説明を省略する。本実施形態では、 m は4の倍数であるとする。

[0104] 図10に示す2個のシフトレジスタには、ゲートクロック信号GCKとして4つのクロック信号CK1~CK4が供給され、ゲートスタートパルス信号GSPとして第1ゲートスタートパルス信号GSP1と第2ゲートスタートパルス信号GSP2が供給され、ゲートエンドパルス信号GEPとして第1~第4ゲートエンドパルス信号GEP1~GEP4が供給される。

[0105] k を1以上($m/4$)以下の整数としたとき、 $(4k-3)$ 番目の単位回路UC $(4k-3)$ には、クロック信号CKA、CKB、CKC、CKDとして、クロック信号CK1、CK2、CK3、CK4がそれぞれ入力される。 $(4k-2)$ 番目の単位回路UC $(4k-2)$ には、クロック信号CKA、CKB、CKC、CKDとして、クロック信号CK4、CK3、CK1、CK2がそれぞれ入力される。 $(4k-1)$ 番目の単位回路UC $(4k-1)$ には、クロック信号CKA、CKB、CKC、CKDとして、クロック信号CK2、CK1、CK4、CK3がそれぞれ入力される。 $4k$ 番目の単位回路UC $(4k)$ には、クロック信号CKA、CKB、CKC、CKDとして、クロック信号CK3、CK4、CK2、CK1がそれぞれ入力される。

[0106] 1番目の単位回路UC (1) には、セット信号Sとして、第1ゲートスタートパルス信号GSP1が入力される。2番目の単位回路UC (2) には、セット信号Sとして、第2ゲートスタートパルス信号GSP2が入力される。1番目および2番目以外の単位回路UC (i) には、セット信号Sとして、2つ前の単位回路UC $(i-2)$ から出力された出力信号Qが入力される。

[0107] $(m-3)$ 番目の単位回路 UC $(m-3)$ には、第 2 リセット信号 R 2 として、第 1 ゲートエンドパルス信号 GEP 1 が入力される。 $(m-2)$ 番目の単位回路 UC $(m-2)$ には、第 2 リセット信号 R 2 として、第 2 ゲートエンドパルス信号 GEP 2 が入力される。 $(m-1)$ 番目の単位回路 UC $(m-1)$ には、第 1 リセット信号 R 1 として第 1 ゲートエンドパルス信号 GEP 1 が入力され、第 2 リセット信号 R 2 として第 3 ゲートエンドパルス信号 GEP 3 が入力される。 m 番目の単位回路 UC (m) には、第 1 リセット信号 R 1 として第 2 ゲートエンドパルス信号 GEP 2 が入力され、第 2 リセット信号 R 2 として第 4 ゲートエンドパルス信号 GEP 4 が入力される。 $(m-1)$ 番目および m 番目以外の単位回路 UC (i) には、第 1 リセット信号 R 1 として 2 つ後の単位回路 UC $(i+2)$ から出力された追加出力信号 Z が入力される。 $(m-3)$ 番目～ m 番目以外の単位回路 UC (i) には、第 2 リセット信号 R 2 として、4 つ後の単位回路 UC $(i+4)$ から出力された追加出力信号 Z が入力される。 i 番目の走査信号線 GL i は、 i 番目の単位回路 UC (i) から出力された出力信号 Q に基づき駆動される。

[0108] 奇数番目の単位回路 1 1 で構成された第 1 シフトレジスタでは、2 つ前の単位回路は前段の単位回路に相当し、2 つ後の単位回路は次段の単位回路に相当する。偶数番目の単位回路 1 1 で構成された第 2 シフトレジスタでも、これと同様である。このように図 10 に示す 2 個のシフトレジスタでは、各段の単位回路には、セット信号 S として前段の単位回路から出力された出力信号 Q が与えられ、第 1 リセット信号 R 1 として次段の単位回路から出力された追加出力信号 Z が与えられ、第 2 リセット信号 R 2 として次々段の単位回路から出力された追加出力信号 Z が与えられる。

[0109] 図 11 は、クロック信号 CK 1～CK 4 のタイミングチャートである。図 11 に示すように、クロック信号 CK 1～CK 4 は、いずれも、2 水平走査期間おきにハイレベルになる。クロック信号 CK 1～CK 4 の位相間の関係は、第 1 の実施形態と同じである。単位回路 1 1 の構成は、第 1 の実施形態と同じである（図 4 を参照）。単位回路 1 1 のタイミングチャートは、図 5

において1水平走査期間を2水平走査期間に変更したのと同じである。

[0110] 図10に示す2個のシフトレジスタに対して図11に示す4相のクロック信号を与え、第1および第2ゲートスタートパルス信号GSP1、GSP2、並びに、第1～第4ゲートエンドパルス信号GEP1～GEP4を所定のタイミングで2水平走査期間だけハイレベルに制御する。これにより、第1シフトレジスタの初段(1番目の単位回路UC(1))に入力されたパルスは、最終段((m-1)番目の単位回路UC(m-1))まで順に転送され、第2シフトレジスタの初段(2番目の単位回路UC(2))に入力されたパルスは、最終段(m番目の単位回路UC(m))まで順に転送される。このとき、走査信号線GL1～GLmの電位は、1水平走査期間ずつ遅れて2水平走査期間ずつ順にハイレベルになる(図12を参照)。

[0111] 図12に示すように、i番目の走査信号線GLiの選択期間は、前半部と後半部に2分割される。前半部では、走査信号線GLiと共に1つ前の走査信号線GLi-1が選択され、走査信号線GLiに対するプリチャージ(予備的な充電)が行われる。後半部では、走査信号線GLiと共に1つ後の走査信号線GLi+1が選択され、走査信号線GLiに対するメインチャージ(主たる充電)が行われる。

[0112] 本実施形態に係るシフトレジスタでも、第1の実施形態と同様に、単位回路11は、追加出力端子Zに所定のタイミングで、オフ電位を基準としてオン電位とは逆極性のオーバーシュート電位Vosを印加する補償回路21を含んでいる。したがって、本実施形態に係るシフトレジスタによれば、第1の実施形態と同様に、出力リセットトランジスタの閾値電圧シフトを抑制し、出力信号のリセット時間が時間の経過と共に遅くなることを防止することができる。

[0113] なお、本発明の実施形態に係るシフトレジスタについては、以下の変形例を構成することができる。例えば、図4および図9に示す単位回路11、12に代えて、図13～図16に示す単位回路13～16を多段接続してもよい。単位回路13～16は、いずれも、追加出力端子Zに所定のタイミング

で、オフ電位を基準としてオン電位とは逆極性のオーバーシュート電位 V_{os} を印加する補償回路 21 を含んでいる。

[0114] 単位回路 13 (図 13) では、セット信号 S は T F T : T 1 のゲート端子 (入力トランジスタの制御端子) に与えられ、T F T : T 1 のドレイン端子 (入力トランジスタの一方の制御端子) にはハイレベル電位 V D D が固定的に印加される。この回路構成でも、T F T : T 1 を用いて T F T : T 2 のゲート端子にオン電位を印加することができる。単位回路 14 (図 14) では、T F T : T 1 1 のゲート端子は出力端子 Q に接続され、T F T : T 1 1 のドレイン端子にはハイレベル電位 V D D が固定的に印加される。この回路構成でも、T F T : T 1 1 を用いてノード N 3 にオン電位を印加することができる。単位回路 15 (図 15) は、T F T : T 7 (状態リセットトランジスタ) を含んでいない。単位回路 16 (図 16) は、T F T : T 9 (出力リセット補助トランジスタ) を含んでいない。単位回路 15、16 を用いることにより、回路量を削減することができる。また、単位回路 11 ~ 16 の特徴をその性質に反しない限り任意に組み合わせた単位回路を多段接続してもよい。

[0115] また、追加出力信号 Z を第 1 リセット信号 R 1 として前段の単位回路に供給しながら、第 2 リセット信号 R 2 として前々段の単位回路に供給するだけでなく、追加出力信号 Z をセット信号 S として次段の単位回路に供給してもよい。また、単位回路に含まれるすべてのトランジスタは、Pチャネル型でもよい。あるいは、単位回路をPチャネル型トランジスタとNチャネル型トランジスタで構成してもよい。また、本発明は、液晶表示装置以外の表示装置や撮像装置などに含まれるシフトレジスタにも適用することができる。

産業上の利用可能性

[0116] 本発明のシフトレジスタは、出力信号のリセット時間が時間の経過と共に遅くなることを防止できるという特徴を有するので、表示装置の駆動回路や撮像装置の駆動回路など、各種の電子回路に利用することができる。

符号の説明

- [0117] 1…電源
2…DC/DCコンバータ
3…表示制御回路
4…走査信号線駆動回路
5…映像信号線駆動回路
6…共通電極駆動回路
7…画素領域
8…液晶パネル
11～16…単位回路
21、22…補償回路

請求の範囲

- [請求項1] 複数の単位回路を多段接続した構成を有し、複数のクロック信号に基づき動作するシフトレジスタであって、
- 前記単位回路は、
- 一方の導通端子に一のクロック信号が与えられ、他方の導通端子が出力ノードに接続された出力トランジスタと、
- 与えられたセット信号に従い、前記出力トランジスタの制御端子にオン電位を印加する入力トランジスタと、
- 与えられた出力リセット信号に従い、前記出力ノードにオフ電位を印加する出力リセットトランジスタと、
- 制御端子および一方の導通端子が前記出力トランジスタと同様の形態に接続され、他方の導通端子が追加出力ノードに接続された追加出力トランジスタと、
- 前記追加出力ノードに所定のタイミングで、オフ電位を基準としてオン電位とは逆極性の補償用電位を印加する補償回路とを含み、
- 前記出力リセットトランジスタには、前記出力リセット信号として、次段の単位回路に含まれる追加出力ノードから出力された信号が与えられることを特徴とする、シフトレジスタ。
- [請求項2] 前記補償回路は、
- 前記出力ノードから出力される信号に従い、内部ノードにオン電位を印加する第1トランジスタと、
- 与えられた補償制御信号に従い、前記内部ノードにオフ電位を印加する第2トランジスタと、
- 前記内部ノードと前記追加出力ノードとの間に設けられた容量とを含むことを特徴とする、請求項1に記載のシフトレジスタ。
- [請求項3] 前記補償回路は、一方の導通端子に前記出力リセット信号が与えられ、制御端子が前記内部ノードに接続された第3トランジスタをさらに含むことを特徴とする、請求項2に記載のシフトレジスタ。

- [請求項4] 前記第2トランジスタには、前記補償制御信号として、次々段の単位回路に含まれる追加出力ノードから出力された信号が与えられることを特徴とする、請求項2に記載のシフトレジスタ。
- [請求項5] 前記容量が、2個の導通端子を短絡して一方の電極とし、制御端子を他方の電極とした薄膜トランジスタで構成されていることを特徴とする、請求項2に記載のシフトレジスタ。
- [請求項6] 前記出力ノードから出力される信号は、前記第1トランジスタの制御端子および一方の導通端子に与えられることを特徴とする、請求項2に記載のシフトレジスタ。
- [請求項7] 前記出力ノードから出力される信号は前記第1トランジスタの制御端子に与えられ、前記第1トランジスタの一方の導通端子にはオン電位が固定的に印加されることを特徴とする、請求項2に記載のシフトレジスタ。
- [請求項8] 前記補償回路は、前記追加出力ノードにオン電位が印加されるたびに、前記追加出力ノードに前記補償用電位を印加することを特徴とする、請求項1に記載のシフトレジスタ。
- [請求項9] 前記単位回路は、与えられた状態リセット信号に従い、前記出力トランジスタの制御端子にオフ電位を印加する状態リセットトランジスタをさらに含むことを特徴とする、請求項1に記載のシフトレジスタ。
- [請求項10] 前記単位回路は、与えられた他のクロック信号に従い、前記出力ノードにオフ電位を印加する出力リセット補助トランジスタをさらに含むことを特徴とする、請求項1に記載のシフトレジスタ。
- [請求項11] 前記セット信号は、前記入力トランジスタの制御端子および一方の導通端子に与えられることを特徴とする、請求項1に記載のシフトレジスタ。
- [請求項12] 前記セット信号は前記入力トランジスタの制御端子に与えられ、前記入力トランジスタの一方の導通端子にはオン電位が固定的に印加さ

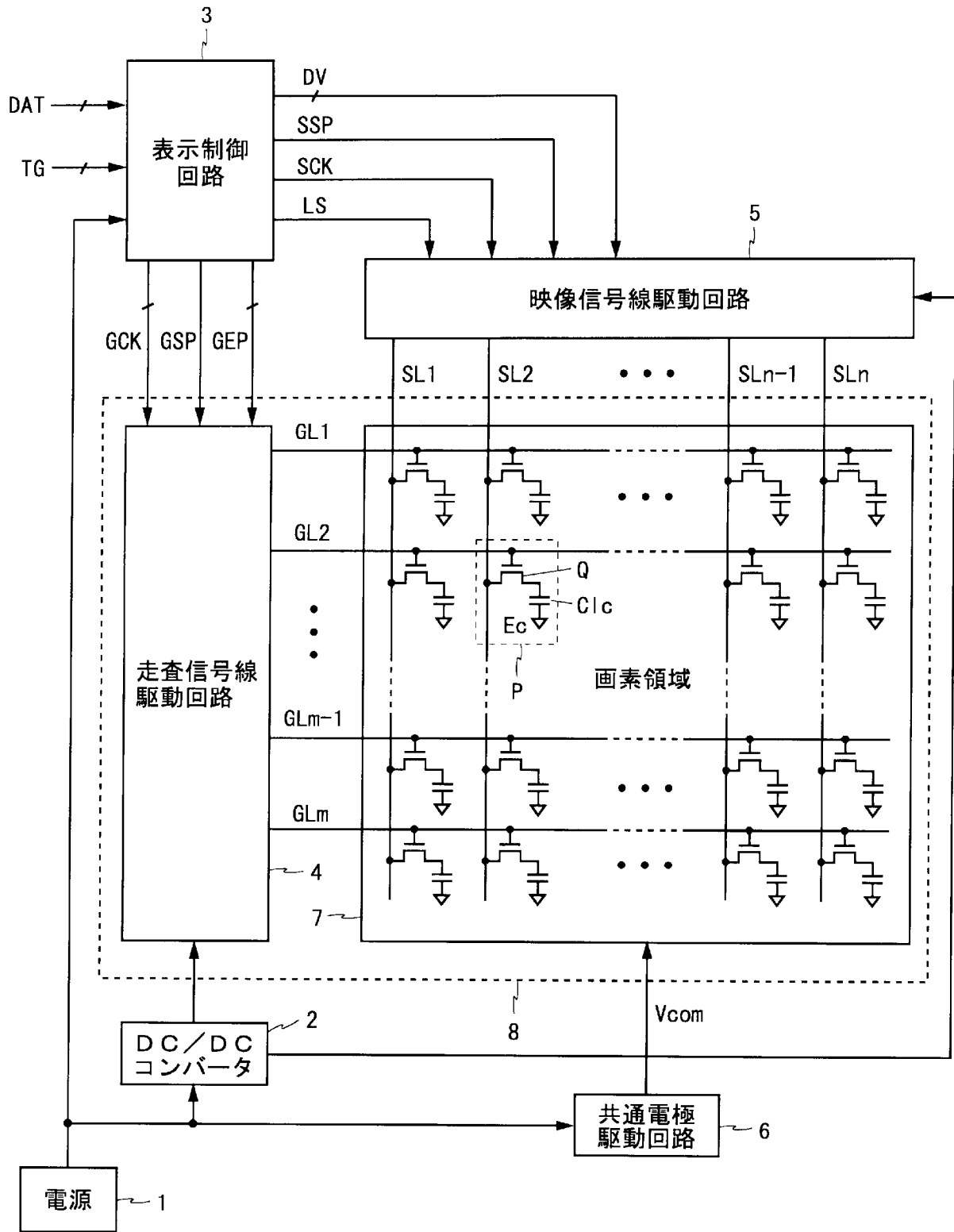
れることを特徴とする、請求項 1 に記載のシフトレジスタ。

[請求項13] 前記入力トランジスタには、前記セット信号として、前段の単位回路から出力された信号が与えられることを特徴とする、請求項 1 に記載のシフトレジスタ。

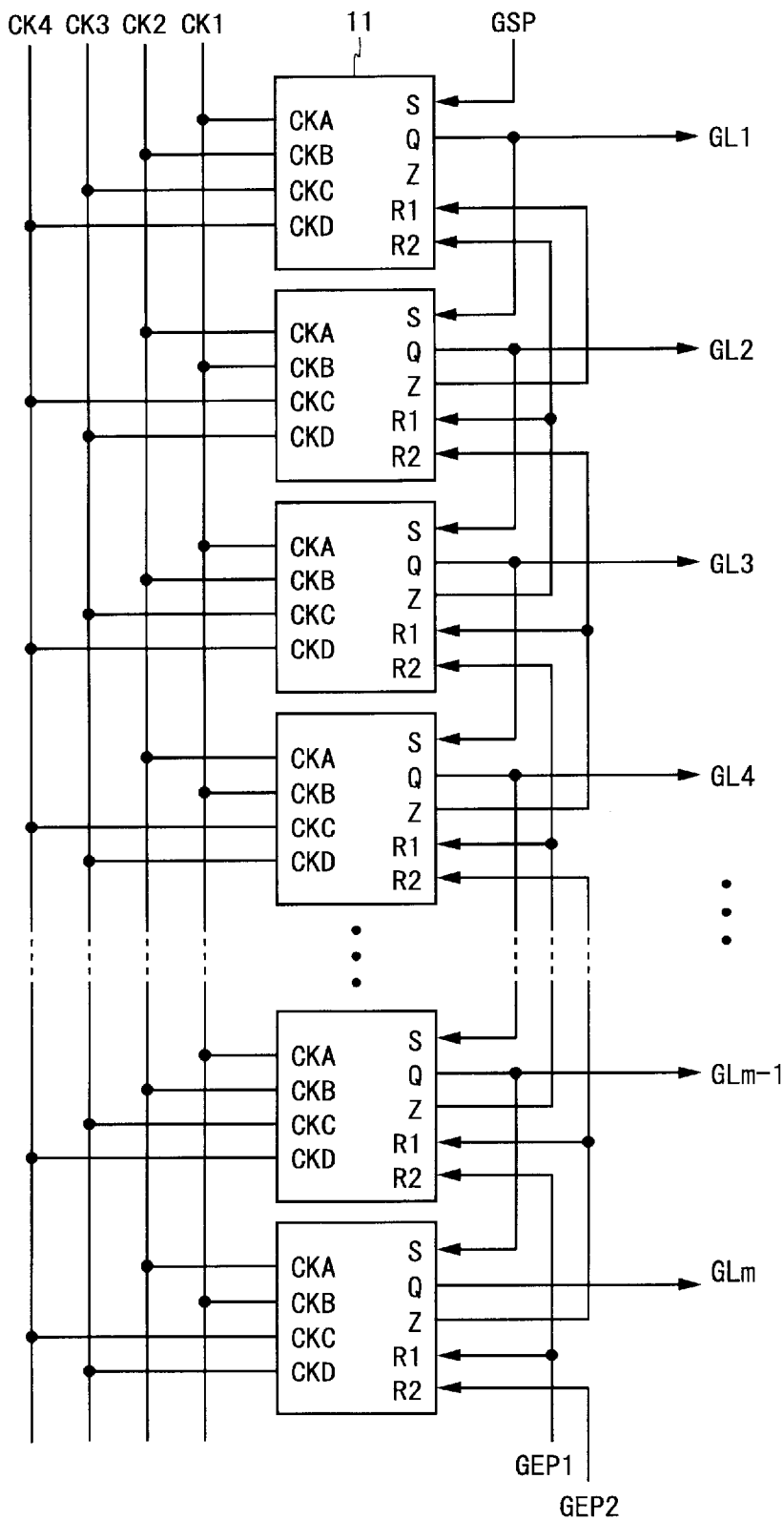
[請求項14] 前記単位回路に含まれるすべてのトランジスタは、同じ導電型であることを特徴とする、請求項 1 に記載のシフトレジスタ。

[請求項15] 2次元状に配置された複数の画素回路と、
請求項 1 ～ 14 のいずれかに記載のシフトレジスタを含む駆動回路とを備えた、表示装置。

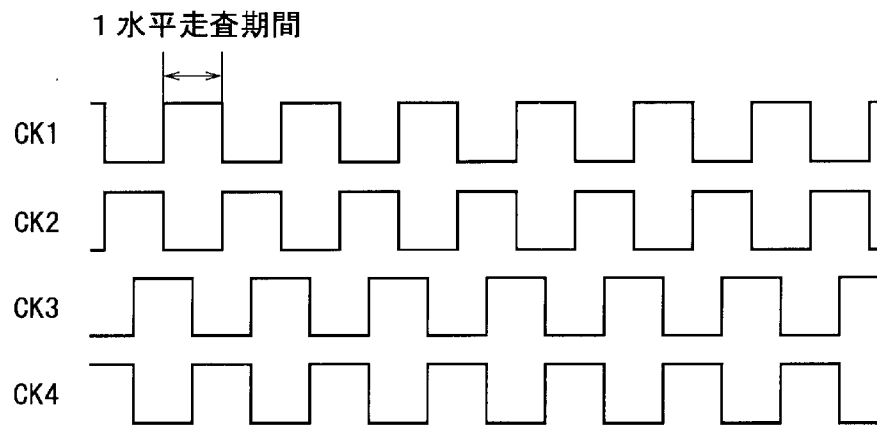
[図1]



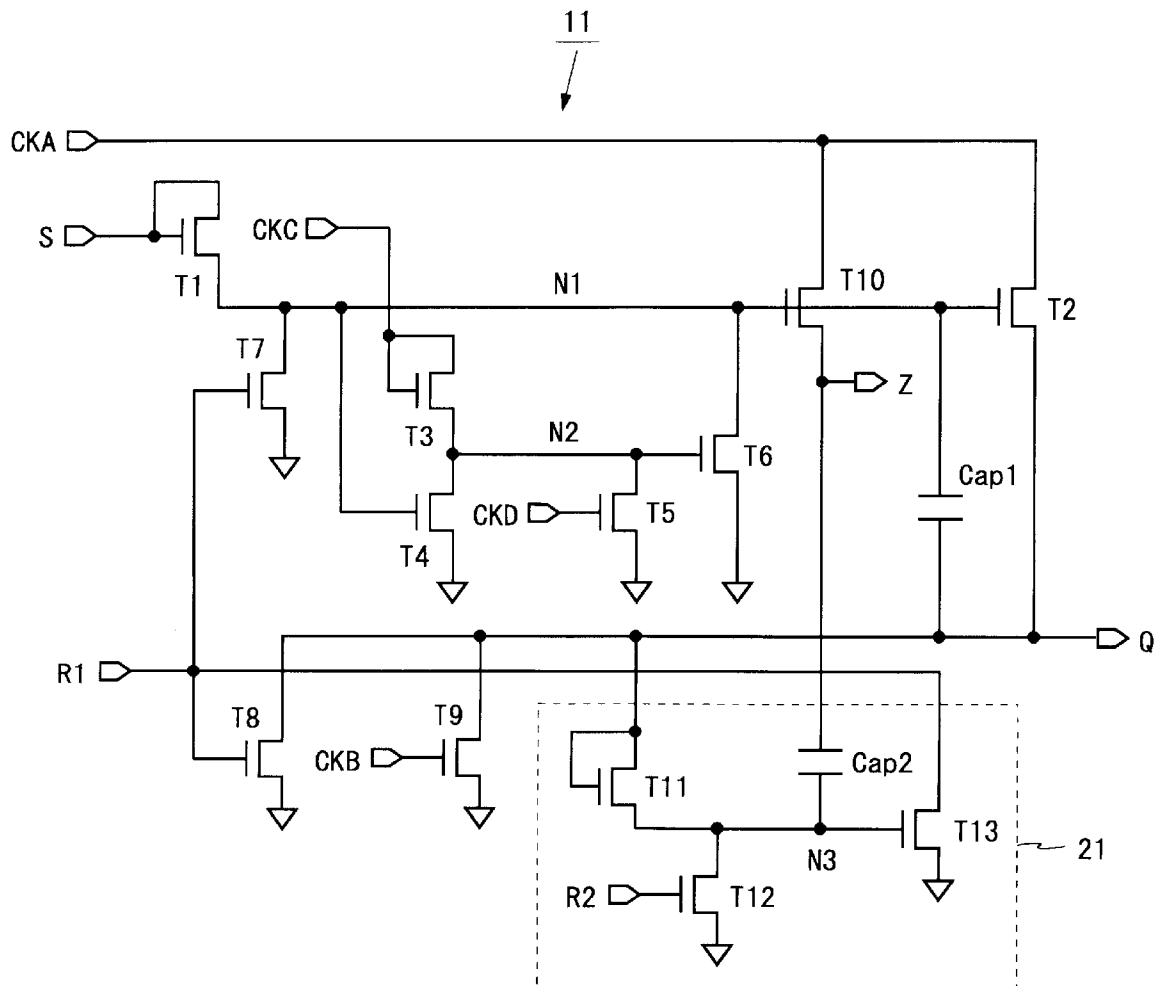
[図2]



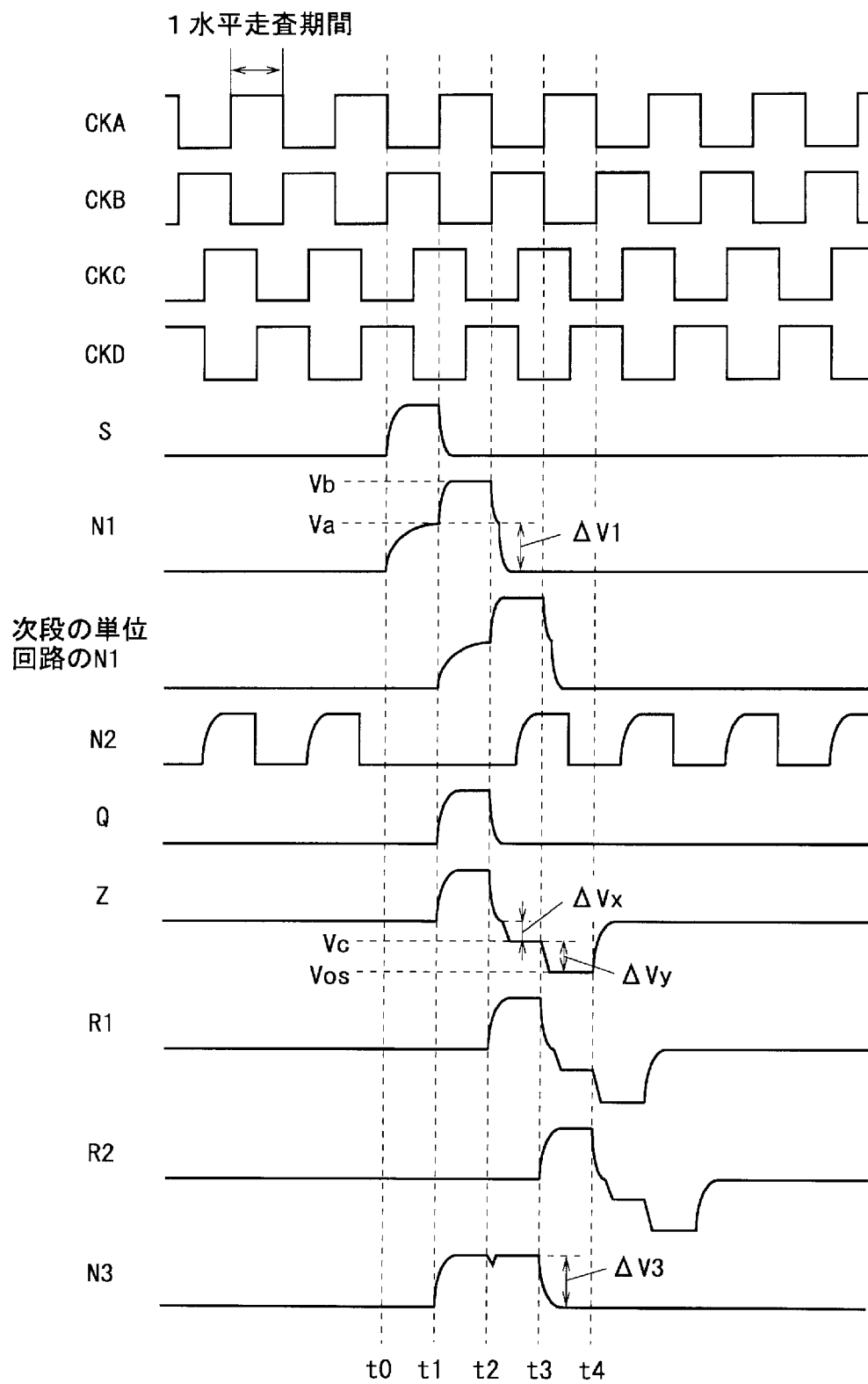
[図3]



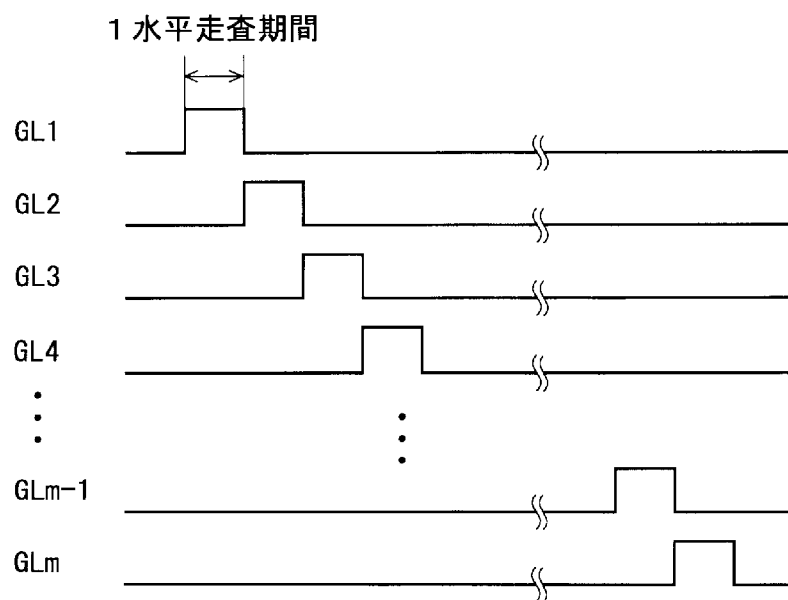
[図4]



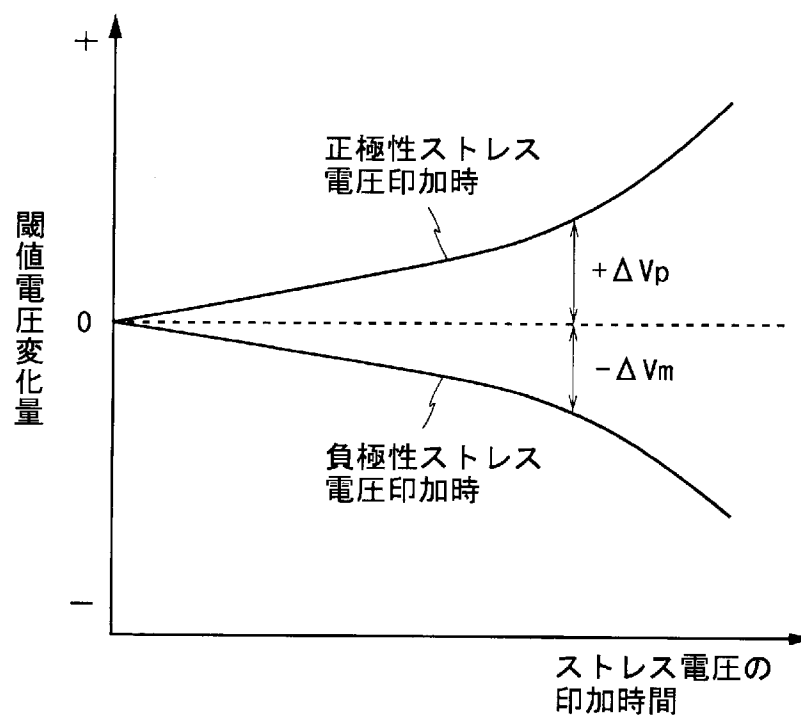
[図5]



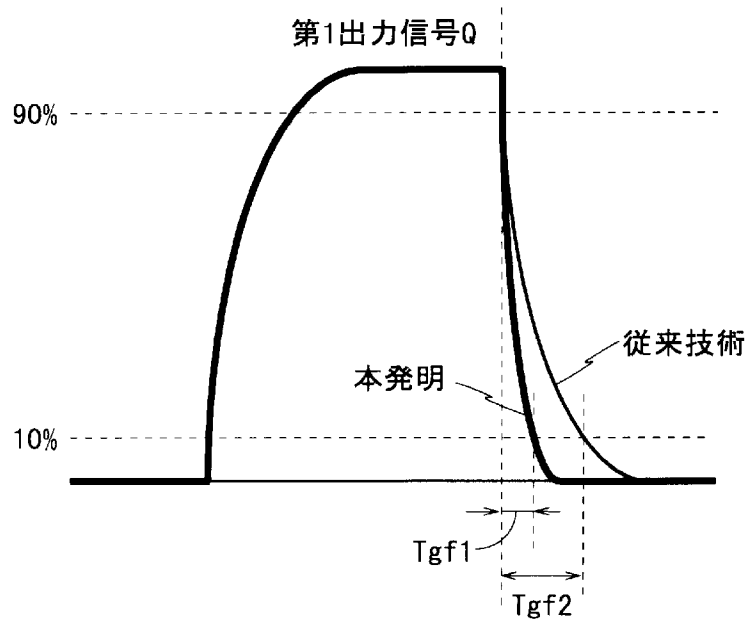
[図6]



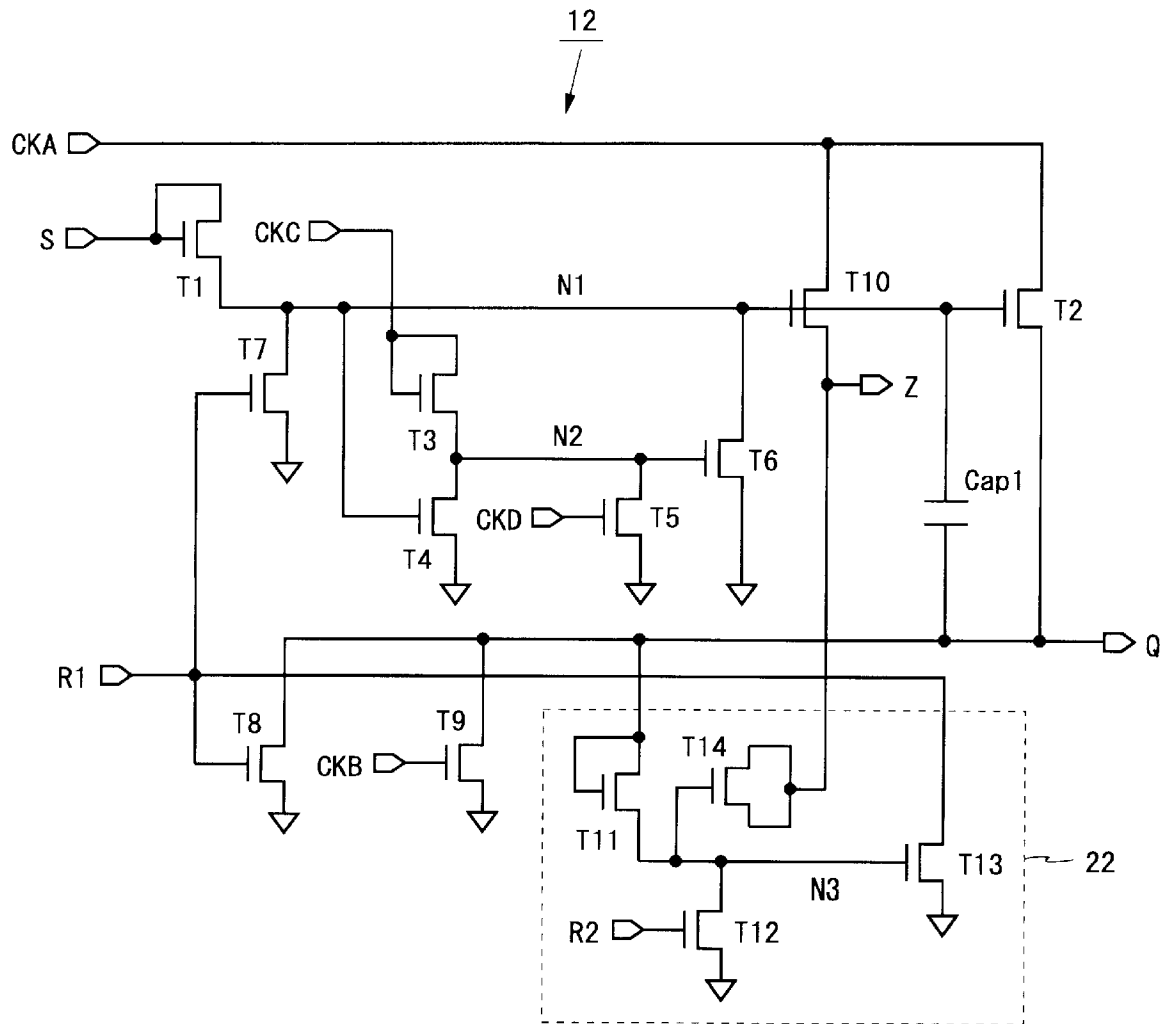
[図7]



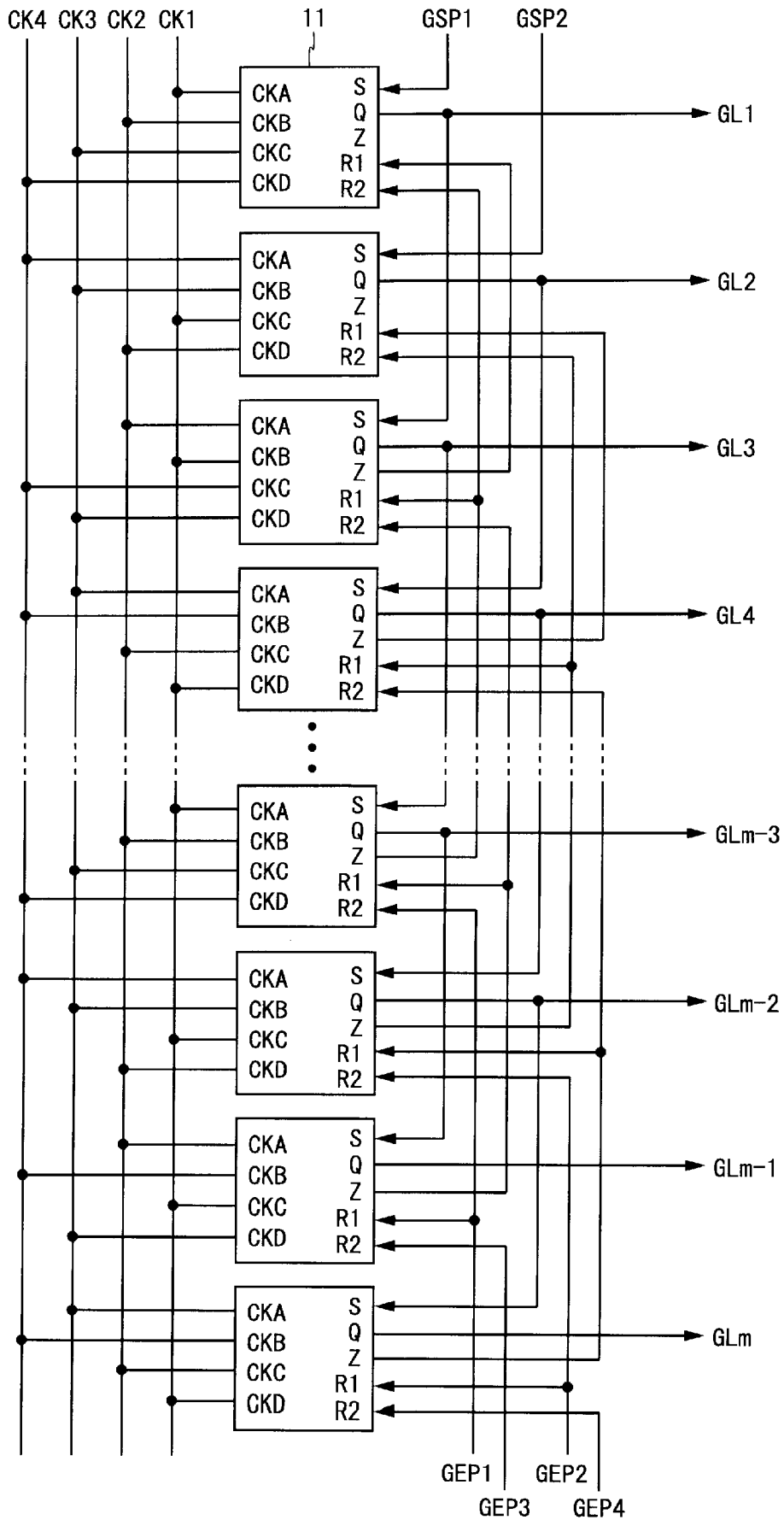
[図8]



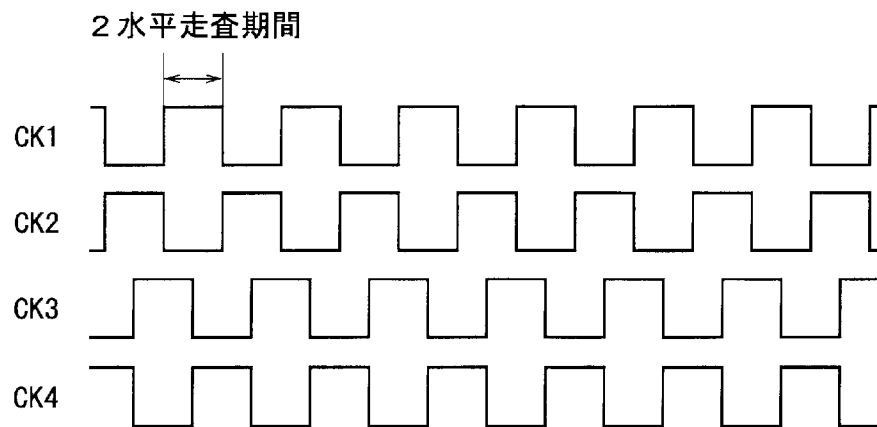
[図9]



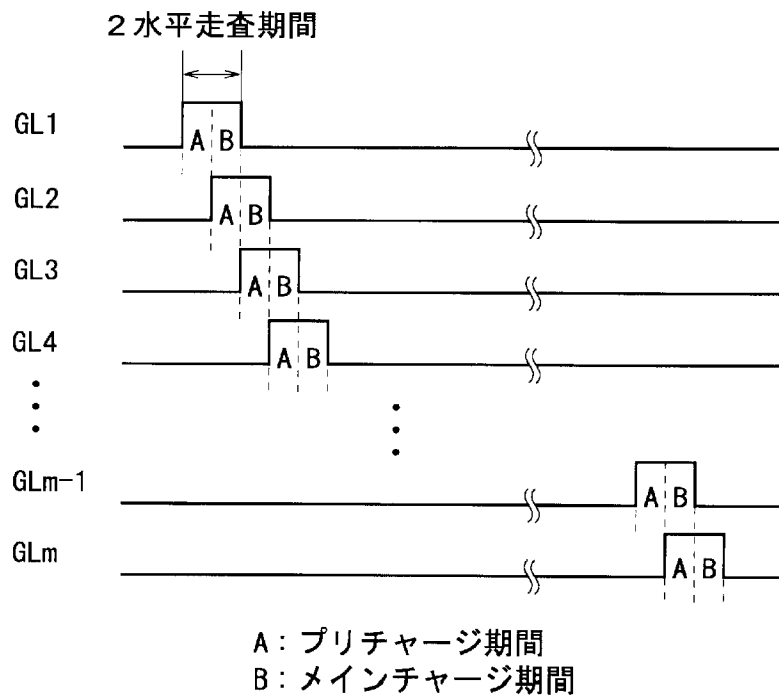
[図10]



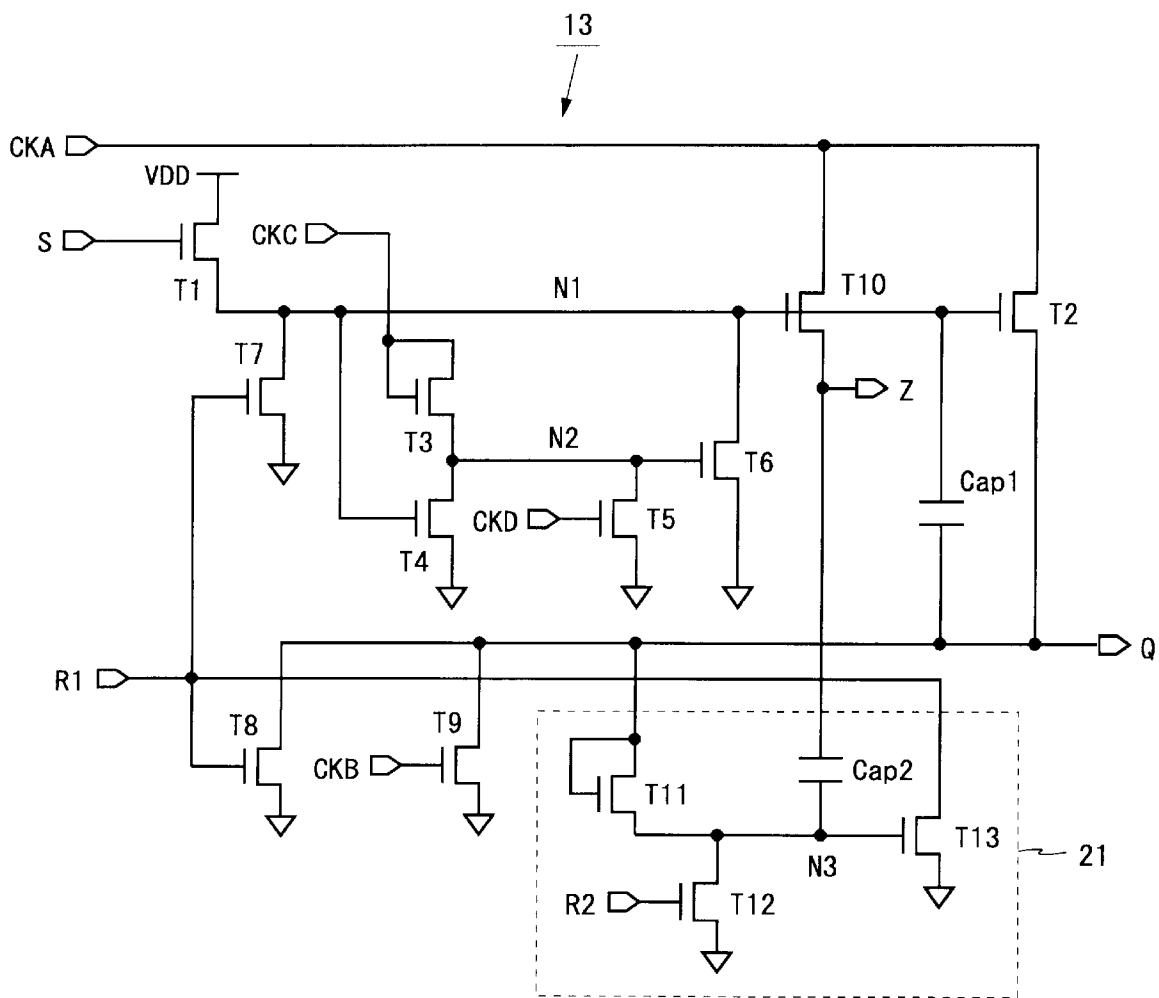
[図11]



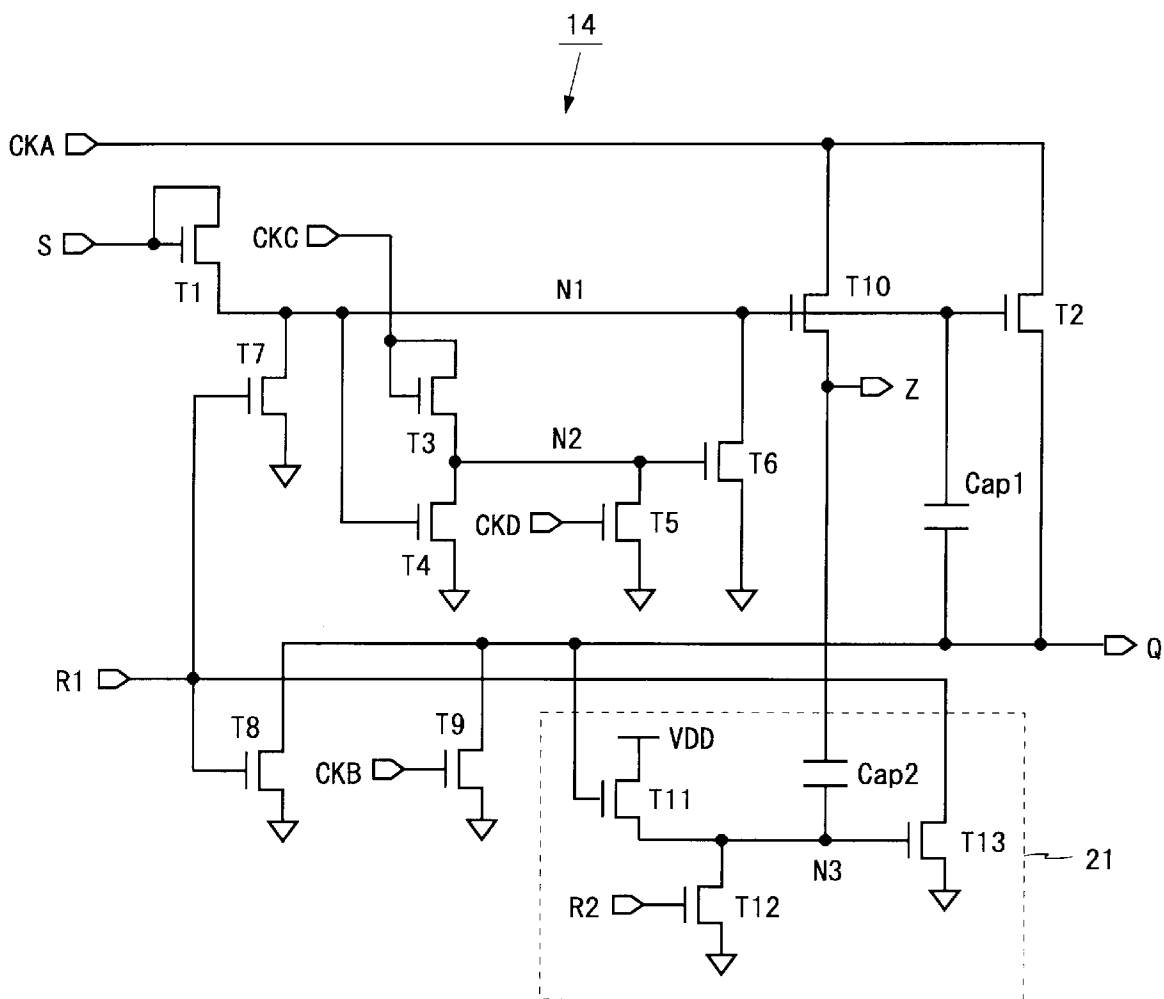
[図12]



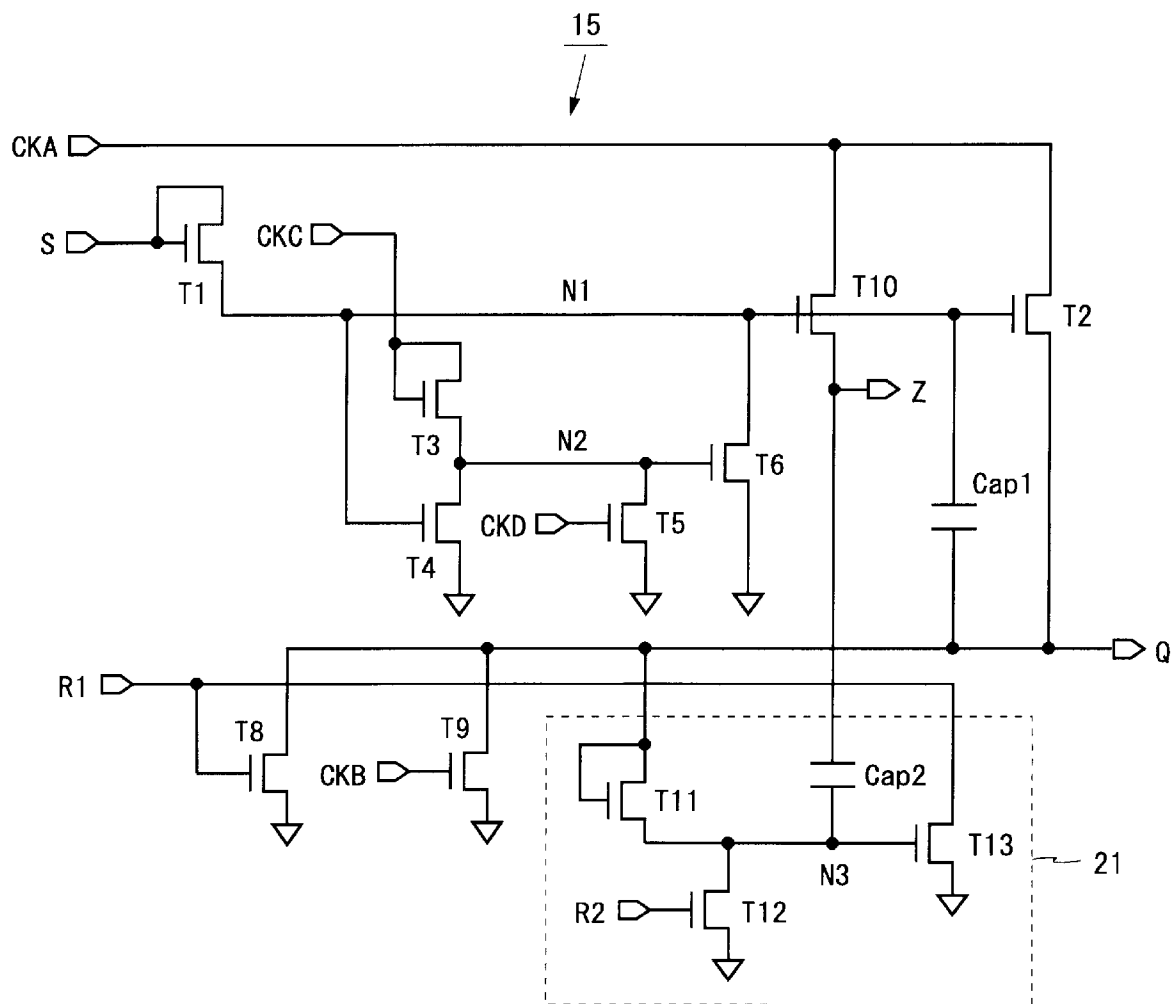
[圖13]



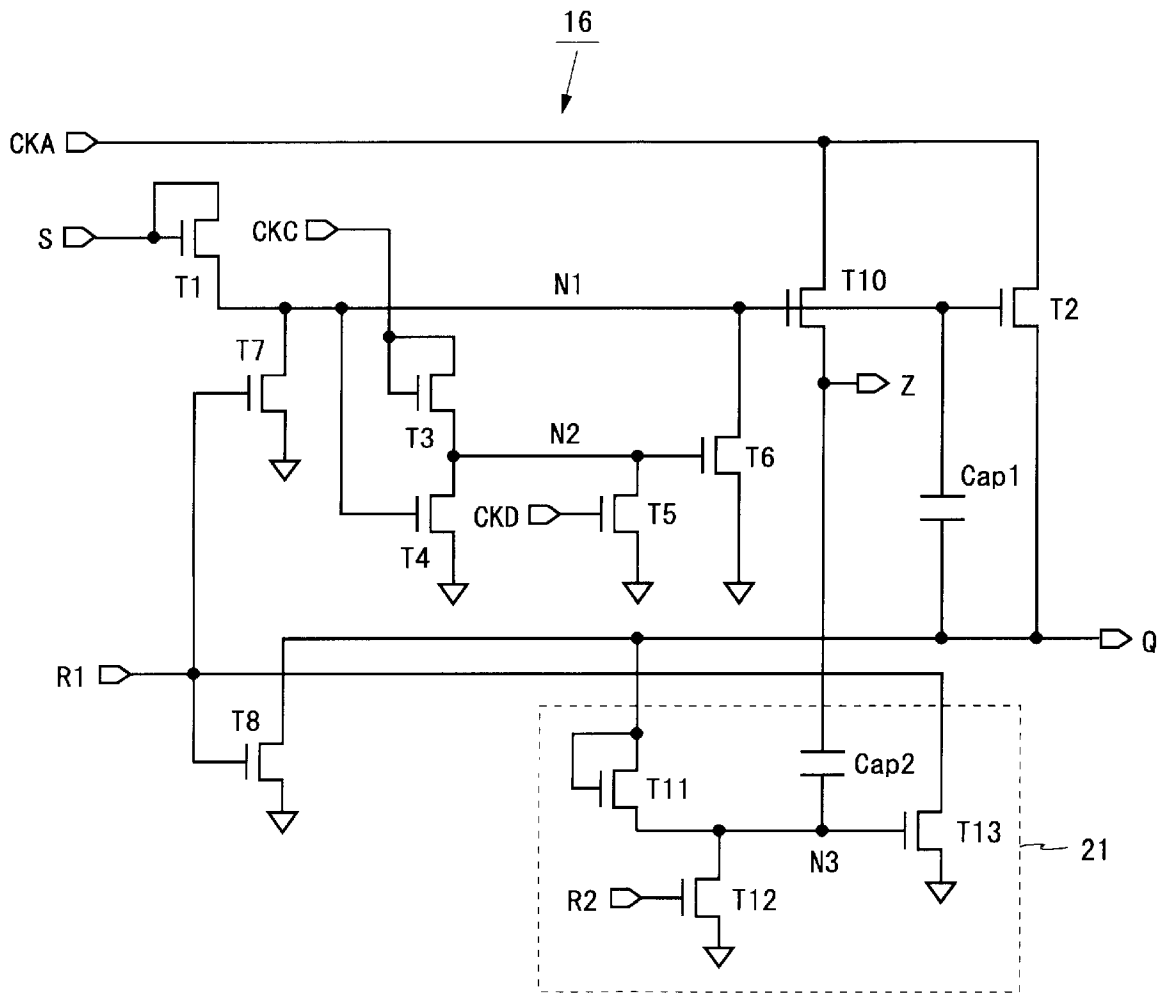
[圖14]



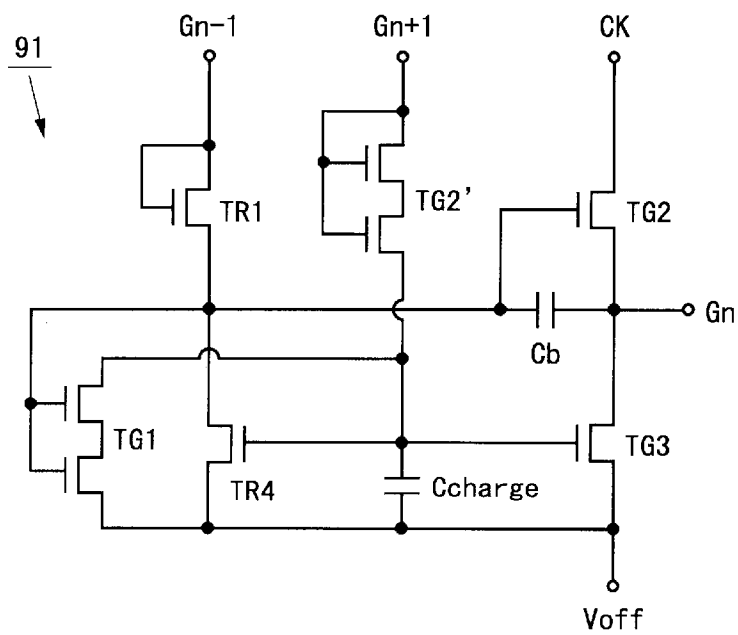
[圖15]



[図16]



[図17]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/068019

A. CLASSIFICATION OF SUBJECT MATTER

G11C19/28(2006.01)i, G09G3/20(2006.01)i, G09G3/36(2006.01)i, G11C19/00(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G11C19/28, G09G3/20, G09G3/36, G11C19/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2007-114781 A (AU Optronics Corp.), 10 May 2007 (10.05.2007), paragraphs [0045] to [0051]; fig. 2 to 3 & US 2007/0086558 A1	1-15
A	JP 8-273387 A (NEC Corp.), 18 October 1996 (18.10.1996), entire text; all drawings & US 5631940 A & KR 10-0219337 B	1-15
A	JP 2004-246358 A (Samsung Electronics Co., Ltd.), 02 September 2004 (02.09.2004), entire text; all drawings & US 2004/0165692 A1 & US 2007/0177438 A1 & EP 1445862 A2 & KR 10-2004-0072131 A	1-15

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier application or patent but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- "&" document member of the same patent family

Date of the actual completion of the international search
11 January, 2011 (11.01.11)

Date of mailing of the international search report
25 January, 2011 (25.01.11)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/068019

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 10-31202 A (Thomson multimedia S.A.), 03 February 1998 (03.02.1998), entire text; all drawings & US 5949398 A & EP 801376 A2	1-15
P,A	WO 2010/067641 A1 (Sharp Corp.), 17 June 2010 (17.06.2010), entire text; all drawings (Family: none)	1-15

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 Int.Cl. G11C19/28(2006.01)i, G09G3/20(2006.01)i, G09G3/36(2006.01)i, G11C19/00(2006.01)i

B. 調査を行った分野
 調査を行った最小限資料 (国際特許分類 (IPC))
 Int.Cl. G11C19/28, G09G3/20, G09G3/36, G11C19/00

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2011年
 日本国実用新案登録公報 1996-2011年
 日本国登録実用新案公報 1994-2011年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2007-114781 A (友達光電ふん有限公司) 2007. 05. 10, 段落【0045】 - 【0051】, 図 2-3 & US 2007/0086558 A1	1-15
A	JP 8-273387 A (日本電気株式会社) 1996. 10. 18, 全文, 全図 & US 5631940 A & KR 10-0219337 B	1-15
A	JP 2004-246358 A (三星電子株式会社) 2004. 09. 02, 全文, 全図 & US 2004/0165692 A1 & US 2007/0177438 A1 & EP 1445862 A2 & KR 10-2004-0072131 A	1-15

C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
 「A」特に関連のある文献ではなく、一般の技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日 11. 01. 2011	国際調査報告の発送日 25. 01. 2011
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 堀田 和義 電話番号 03-3581-1101 内線 3585

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 10-31202 A (トムソン マルチメディア ソシエテ アノニム) 1998.02.03, 全文, 全図 & US 5949398 A & EP 801376 A2	1-15
PA	WO 2010/067641 A1 (シャープ株式会社) 2010.06.17, 全文, 全図 (ファミリーなし)	1-15