

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4077966号
(P4077966)

(45) 発行日 平成20年4月23日(2008.4.23)

(24) 登録日 平成20年2月8日(2008.2.8)

(51) Int.Cl.		F I		
HO 1 L 21/8242	(2006.01)	HO 1 L 27/10	6 2 1 C	
HO 1 L 27/108	(2006.01)	HO 1 L 27/04	U	
HO 1 L 21/822	(2006.01)			
HO 1 L 27/04	(2006.01)			

請求項の数 7 (全 36 頁)

<p>(21) 出願番号 特願平10-369686 (22) 出願日 平成10年12月25日(1998.12.25) (65) 公開番号 特開2000-196017(P2000-196017A) (43) 公開日 平成12年7月14日(2000.7.14) 審査請求日 平成16年6月11日(2004.6.11)</p>	<p>(73) 特許権者 503121103 株式会社ルネサステクノロジ 東京都千代田区大手町二丁目6番2号 (74) 代理人 100080001 弁理士 筒井 大和 (72) 発明者 橋本 孝司 東京都小平市上水本町五丁目20番1号 株式会社日立製作所 半導体事業本部内 (72) 発明者 黒田 謙一 東京都小平市上水本町五丁目20番1号 株式会社日立製作所 半導体事業本部内 (72) 発明者 池田 修二 東京都小平市上水本町五丁目20番1号 株式会社日立製作所 半導体事業本部内</p>
--	---

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

(a) メモリセルの選択MISFETが形成される第1領域、周辺回路または論理回路の第1チャンネル型の第1MISFETが形成される第2領域および前記周辺回路または論理回路の第2チャンネル型の第2MISFETが形成される第3領域を有する半導体基板の主面上に分離領域を形成する工程、

(b) 前記分離領域で囲まれた半導体基板主面の活性領域にゲート絶縁膜を形成し、前記半導体基板の全面にシリコン膜を形成する工程、

(c) 少なくとも前記第1領域の前記シリコン膜に第1導電型の不純物をイオン注入する工程、

(d) 前記(c)工程の後、前記シリコン膜上に第1絶縁膜を形成する工程、

(e) ゲート電極パターンにパターンニングされた第1フォトリソ膜を前記第1絶縁膜上に形成する工程、

(f) 前記第1フォトリソ膜の存在下で前記第1絶縁膜およびシリコン膜をエッチングし、キャップ絶縁膜およびゲート電極を形成し、前記キャップ絶縁膜およびゲート電極をマスクとして、前記第1領域と前記第2領域にn型の導電型を示す不純物をイオン注入して、低濃度のn型半導体領域を形成し、また、前記第3領域にp型の導電型を示す不純物をイオン注入して、低濃度のp型半導体領域を形成する工程、

(g) 前記ゲート電極およびキャップ絶縁膜を覆い、前記第1絶縁膜に対してエッチング選択比を有する第2絶縁膜を堆積し、異方性エッチングにより前記第2絶縁膜をエッチ

ングして前記ゲート電極およびキャップ絶縁膜の側壁にサイドウォールを形成する工程、

(h) 前記キャップ絶縁膜およびサイドウォールの存在下で前記半導体基板を熱処理し、前記活性領域の表面に前記第1絶縁膜に対してエッチング選択比を有する第3絶縁膜を形成する工程、

(i) 前記第3絶縁膜およびサイドウォールの存在下で前記キャップ絶縁膜を選択的に除去する工程、

(j) 前記第1領域を覆う第2フォトリソ膜を形成し、前記第2フォトリソ膜の存在下でエッチング処理を施し、前記第2および第3領域の前記第3絶縁膜を除去する工程、

(k) 前記(j)工程の後、前記半導体基板の全面に金属膜を堆積する工程、

(l) 前記半導体基板を熱処理し、前記第1、第2および第3領域の前記ゲート電極の表面ならびに前記第2および第3領域の前記活性領域の表面に前記金属膜を構成する金属のシリサイド膜を形成する工程、

(m) 未反応の前記金属膜を除去する工程、
を含み、

前記(g)工程と(h)工程の間に、前記キャップ絶縁膜およびサイドウォールの存在下で、前記第2領域にn型の導電型を示す不純物を高濃度にイオン注入して、高濃度のn型半導体領域を形成し、また、前記第3領域にp型の導電型を示す不純物を高濃度にイオン注入して、高濃度のp型半導体領域を形成する工程を有することを特徴とする半導体装置の製造方法。

【請求項2】

(a) メモリセルの選択MISFETが形成される第1領域、周辺回路または論理回路の第1チャンネル型の第1MISFETが形成される第2領域および前記周辺回路または論理回路の第2チャンネル型の第2MISFETが形成される第3領域を有する半導体基板の主面上に分離領域を形成する工程、

(b) 前記分離領域で囲まれた半導体基板主面の活性領域にゲート絶縁膜を形成し、前記半導体基板の全面にシリコン膜を形成する工程、

(c) 少なくとも前記第1領域の前記シリコン膜に第1導電型の不純物をイオン注入する工程、

(d) 前記(c)工程の後、前記シリコン膜上に第1絶縁膜を形成する工程、

(e) ゲート電極パターンにパターニングされた第1フォトリソ膜を前記第1絶縁膜上に形成する工程、

(f) 前記第1フォトリソ膜の存在下で前記第1絶縁膜およびシリコン膜をエッチングし、キャップ絶縁膜およびゲート電極を形成し、前記キャップ絶縁膜およびゲート電極をマスクとして、前記第1領域と前記第2領域にn型の導電型を示す不純物をイオン注入して、低濃度のn型半導体領域を形成し、また、前記第3領域にp型の導電型を示す不純物をイオン注入して、低濃度のp型半導体領域を形成する工程、

(g) 前記ゲート電極およびキャップ絶縁膜を覆い、前記第1絶縁膜に対してエッチング選択比を有する第2絶縁膜を堆積し、異方性エッチングにより前記第2絶縁膜をエッチングして前記ゲート電極およびキャップ絶縁膜の側壁にサイドウォールを形成する工程、

(h) 前記キャップ絶縁膜およびサイドウォールの存在下で前記半導体基板を熱処理し、前記活性領域の表面に前記第1絶縁膜に対してエッチング選択比を有する第3絶縁膜を形成する工程、

(i) 前記第3絶縁膜およびサイドウォールの存在下で前記キャップ絶縁膜を選択的に除去する工程、

(j) 前記第1領域を覆う第2フォトリソ膜を形成し、前記第2フォトリソ膜の存在下でエッチング処理を施し、前記第2および第3領域の前記第3絶縁膜を除去する工程、

(k) 前記(j)工程の後、前記半導体基板の全面に金属膜を堆積する工程、

(l) 前記半導体基板を熱処理し、前記第1、第2および第3領域の前記ゲート電極の

10

20

30

40

50

表面ならびに前記第 2 および第 3 領域の前記活性領域の表面に前記金属膜を構成する金属のシリサイド膜を形成する工程、

(m) 未反応の前記金属膜を除去する工程、
を含み、

前記 (h) 工程と (j) 工程の間に、前記キャップ絶縁膜およびサイドウォールの存在下で、前記第 2 領域に n 型の導電型を示す不純物を高濃度にイオン注入して、高濃度の n 型半導体領域を形成し、また、前記第 3 領域に p 型の導電型を示す不純物を高濃度にイオン注入して、高濃度の p 型半導体領域を形成する工程を有することを特徴とする半導体装置の製造方法。

【請求項 3】

(a) 第 3 M I S F E T が形成される第 1 領域、論理回路の第 1 チャネル型の第 1 M I S F E T が形成される第 2 領域および前記論理回路の第 2 チャネル型の第 2 M I S F E T が形成される第 3 領域を有する半導体基板の主面上に分離領域を形成する工程、

(b) 前記分離領域で囲まれた半導体基板主面の活性領域にゲート絶縁膜を形成し、前記半導体基板の全面にシリコン膜を形成する工程、

(c) 少なくとも前記第 1 領域の前記シリコン膜に第 1 導電型の不純物をイオン注入する工程、

(d) 前記 (c) 工程の後、前記シリコン膜上に第 1 絶縁膜を形成する工程、

(e) ゲート電極パターンにパターニングされた第 1 フォトレジスト膜を前記第 1 絶縁膜上に形成する工程、

(f) 前記第 1 フォトレジスト膜の存在下で前記第 1 絶縁膜およびシリコン膜をエッチングし、キャップ絶縁膜およびゲート電極を形成し、前記キャップ絶縁膜およびゲート電極をマスクとして、前記第 1 領域と前記第 2 領域に n 型の導電型を示す不純物をイオン注入して、低濃度の n 型半導体領域を形成し、また、前記第 3 領域に p 型の導電型を示す不純物をイオン注入して、低濃度の p 型半導体領域を形成する工程、

(g) 前記ゲート電極およびキャップ絶縁膜を覆い、前記第 1 絶縁膜に対してエッチング選択比を有する第 2 絶縁膜を堆積し、異方性エッチングにより前記第 2 絶縁膜をエッチングして前記ゲート電極およびキャップ絶縁膜の側壁にサイドウォールを形成する工程、

(h) 前記 (g) 工程の後、前記キャップ絶縁膜およびサイドウォールの存在下で、前記第 2 領域に n 型の導電型を示す不純物を高濃度にイオン注入して、高濃度の n 型半導体領域を形成し、また、前記第 3 領域に p 型の導電型を示す不純物を高濃度にイオン注入して、高濃度の p 型半導体領域を形成する工程、

(i) 前記 (h) 工程の後、前記キャップ絶縁膜およびサイドウォールの存在下で前記半導体基板を熱処理し、前記活性領域の表面に前記第 1 絶縁膜に対してエッチング選択比を有する第 3 絶縁膜を形成する工程、

(j) 前記第 3 絶縁膜およびサイドウォールの存在下で前記キャップ絶縁膜を選択的に除去する工程、

(k) 前記第 1 領域を覆う第 2 フォトレジスト膜を形成し、前記第 2 フォトレジスト膜の存在下でエッチング処理を施し、前記第 2 および第 3 領域の前記第 3 絶縁膜を除去する工程、

(l) 前記 (k) 工程の後、半導体基板の全面に金属膜を堆積する工程、

(m) 前記半導体基板を熱処理し、前記第 1、第 2 および第 3 領域の前記ゲート電極の表面ならびに前記第 2 および第 3 領域の前記活性領域の表面に前記金属膜を構成する金属のシリサイド膜を形成する工程、

(n) 未反応の前記金属膜を除去する工程、
を含むことを特徴とする半導体装置の製造方法。

【請求項 4】

請求項 1 ~ 3 の何れか一項に記載の半導体装置の製造方法であって、

前記 (b) 工程におけるシリコン膜はアモルファスシリコン膜であり、前記アモルファスシリコン膜への前記不純物の導入後に熱処理を施し、前記シリコン膜を結晶化すること

10

20

30

40

50

を特徴とする半導体装置の製造方法。

【請求項 5】

(a) メモリセルの選択 M I S F E T が形成される第 1 領域、周辺回路または論理回路の第 1 チャネル型の第 1 M I S F E T が形成される第 2 領域および前記周辺回路または論理回路の第 2 チャネル型の第 2 M I S F E T が形成される第 3 領域を有する半導体基板の主面上に分離領域を形成する工程、

(b) 前記分離領域で囲まれた半導体基板主面の活性領域にゲート絶縁膜を形成し、前記半導体基板の全面に第 1 シリコン膜を堆積する工程、

(c) 前記第 1 および第 2 領域の前記第 1 シリコン膜に第 1 導電型の不純物をイオン注入し、前記第 3 領域の前記第 1 シリコン膜に第 2 導電型の不純物をイオン注入する工程、

(d) 前記 (c) 工程の後、前記第 1 シリコン膜上に、第 1 導電型の不純物を含む第 2 シリコン膜を形成する工程、

(e) 前記第 2 シリコン膜上に第 1 絶縁膜を堆積する工程、

(f) ゲート電極のパターンにパターニングされた第 1 フォトレジスト膜を前記第 1 絶縁膜上に形成する工程、

(g) 前記第 1 フォトレジスト膜の存在下で前記第 1 絶縁膜、第 1 および第 2 シリコン膜をエッチングし、前記第 1 絶縁膜からなるキャップ絶縁膜および前記第 1 および第 2 シリコン膜からなるゲート電極を形成し、前記キャップ絶縁膜およびゲート電極をマスクとして、前記第 1 領域と前記第 2 領域に第 1 導電型の不純物をイオン注入して、低濃度の第 1 導電型半導体領域を形成し、また、前記第 3 領域に第 2 導電型の不純物をイオン注入して、低濃度の第 2 導電型半導体領域を形成する工程、

(h) 前記ゲート電極およびキャップ絶縁膜を覆い、前記第 1 絶縁膜に対してエッチング選択比を有する第 2 絶縁膜を堆積し、異方性エッチングにより前記第 2 絶縁膜をエッチングして前記ゲート電極およびキャップ絶縁膜の側壁にサイドウォールを形成する工程、

(i) 前記キャップ絶縁膜およびサイドウォールの存在下で前記半導体基板を熱処理し、前記分離領域に囲まれた活性領域の表面に前記第 1 絶縁膜に対してエッチング選択比を有する第 3 絶縁膜を形成する工程、

(j) 前記第 3 絶縁膜およびサイドウォールの存在下で前記キャップ絶縁膜を選択的に除去する工程、

(k) 前記ゲート電極、サイドウォールおよび第 3 絶縁膜の存在下で、前記第 2 領域に第 1 導電型の不純物を高濃度にイオン注入して、高濃度の第 1 導電型半導体領域を形成し、また、前記第 3 領域に第 2 導電型の不純物を高濃度にイオン注入して、高濃度の第 2 導電型半導体領域を形成する工程、

(l) 前記第 1 領域を覆う第 2 フォトレジスト膜を形成し、前記第 2 フォトレジスト膜の存在下でエッチング処理を施し、前記第 2 および第 3 領域の前記第 3 絶縁膜を除去する工程、

(m) 前記 (l) 工程の後、前記半導体基板の全面に金属膜を堆積する工程、

(n) 前記半導体基板を熱処理し、前記第 1、第 2 および第 3 領域の前記ゲート電極の表面ならびに前記第 2 および第 3 領域の前記活性領域の表面に前記金属膜を構成する金属のシリサイド膜を形成する工程、

(o) 未反応の前記金属膜を選択的に除去する工程、
を含むことを特徴とする半導体装置の製造方法。

【請求項 6】

請求項 5 記載の半導体装置の製造方法であって、

前記 (b) 工程における第 1 シリコン膜はアモルファスシリコン膜であり、前記アモルファスシリコン膜への前記不純物の導入後であって前記第 2 シリコン膜の形成前に熱処理を施し、前記第 1 シリコン膜を結晶化することを特徴とする半導体装置の製造方法。

【請求項 7】

請求項 1 ~ 3、5 の何れか一項に記載の半導体装置の製造方法であって、

前記第 1 絶縁膜はシリコン窒化膜であり、前記第 2 および第 3 絶縁膜はシリコン酸化膜

10

20

30

40

50

であることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置およびその製造技術に関し、特に、汎用の大容量D R A M (Dynamic Random Access Memory) あるいはD R A Mと高性能なロジック回路とをワンチップに混載した半導体装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】

高性能なロジック回路を実現するためには、それを構成するM I S F E T (Metal Insulator Semiconductor Field Effect Transistor) の高性能化、高速化が必要である。また、微細化されたM I S F E Tにおいてはサブスレッショルドリークを低減する必要もある。このため、微細化されたロジック回路用のM I S F E Tでは、いわゆるデュアルゲート構造およびサリサイド技術が採用されている。

【0003】

デュアルゲート構造は、たとえば、平成10年8月20日、株式会社プレスジャーナル発行、「月刊 Semiconductor World」、1998年9月号、p76～p81に記載されているように、pチャンネル型M I S F E T (P M I S) のゲート電極としてp⁺ポリシリコンを用い、nチャンネル型M I S F E T (N M I S) のゲート電極としてn⁺ポリシリコンを用いる構造である。このような構造とすることにより、微細化に有利な表面チャンネル型のM I S F E TでC M I S構造を構成でき、サブスレッショルドリークを低減できる。なお、ゲート電極材料とチャンネル不純物のプロファイルとの関係については、たとえば、昭和61年2月10日、株式会社培風館発行、「超高速M O S デバイス」、p26～p28に詳しく記載されている。

【0004】

また、サリサイド技術は、前記「超高速M O S デバイス」、p154～p157に記載されているように、ゲート電極であるポリシリコンの表面とソース・ドレイン領域(不純物半導体領域あるいは不純物拡散層)の表面を同時にシリサイド化する技術であり、ゲート電極とソース・ドレイン領域の低抵抗化を図って、M I S F E Tの応答性能を向上できる。

【0005】

一方、D R A Mのメモリセルは、たとえば特開平7-7084号公報に記載されているように、半導体基板の主面上にマトリクス状に配置された複数のワード線と複数のビット線との交点に配置され、1個のメモリセル選択用のM I S F E T (以下選択M I S F E Tという)とこれに直列に接続された1個の情報蓄積用のキャパシタとで構成されている。選択M I S F E Tは、周囲を素子分離領域で囲まれた活性領域に形成されており、主としてゲート酸化膜、ワード線と一体に構成されたゲート電極およびソース、ドレインを構成する一対の半導体領域で構成されている。ビット線は、選択M I S F E Tの上部に配置され、その延在方向に隣接する2個の選択M I S F E Tによって共有されるソース、ドレインの一方と電気的に接続されている。キャパシタは、同じく選択M I S F E Tの上部に配置され、また、ビット線上部に配置されるいわゆるキャパシタ・オーバー・ビットライン(Capacitor Over Bitline)構造で構成される。キャパシタは上記ソース、ドレインの他方と電気的に接続されている。

【0006】

一般にD R A Mメモリセルの選択M I S F E Tでは、リフレッシュ特性向上の観点からリーク電流の低減が重視される。このため、リーク電流増加の要因となるソース・ドレイン領域表面のシリサイド化は行われない。一方、メモリセルの大容量化に伴うワード線長さの増加、微細化・薄膜化に伴うゲート電極(ワード線)断面積の低減から、所定の応答性能を確保するためにはゲート電極の抵抗率の低減は不可欠である。このため、一般のD R A Mでは、ワード線(ゲート電極)材料としてチタン、タングステン等のシリサイド膜

10

20

30

40

50

と多結晶シリコン膜との積層膜、あるいは、タングステン等の金属膜、ブロッキング膜および多結晶シリコン膜の積層膜が採用される。これらシリサイド膜あるいはメタル膜により抵抗率の低減を図っている。

【0007】

【発明が解決しようとする課題】

ところが、ロジック回路とDRAMを1チップに混載するようないわゆるシステムLSIに従来技術を適用すれば、以下のような問題が生じる。

【0008】

すなわち、DRAMのメモリセル形成領域に、ロジック回路用のMISFET形成プロセスで採用されているシリサイドプロセスを適用すると、メモリセルの選択MISFETのソース・ドレイン領域の表面をもシリサイド化してしまい、選択MISFETのリーク電流を増加する要因となる。これはDRAMのリフレッシュ特性を低下させる恐れがあり好ましくない。逆にシリサイドプロセスを適用せずDRAMのリフレッシュ特性を優先すると、MISFETのゲート電極の抵抗が大きくなり半導体装置の性能を阻害する。

10

【0009】

一方、ロジック回路領域に形成されるMISFETに、DRAMで採用されているゲート電極構造つまりシリサイド膜あるいはメタル膜と多結晶シリコン膜との積層構造を採用すると、ゲート電極の抵抗値の問題は回避でき、また、選択MISFETの耐リーク電流は維持されるが、構造上ゲート電極上にシリコン窒化膜等のキャップ絶縁膜を備える必要がある。このような場合、ロジック回路領域での配線形成プロセスにおいてゲート電極と上層配線とを接続する接続孔の開口プロセスがキャップ絶縁膜の存在により変更せざるを得ず、レイアウトルールの変更、設計変更等の必要を生じて好ましくない。

20

【0010】

勿論、ロジック回路とDRAMを1チップに混載するような場合でも、各々に最適なMISFET形成プロセスを領域を分けて適用する選択はある。しかし、このような場合には製造工程が増加し、コスト上昇の観点から採用することは難しい。

【0011】

また、ロジック回路とDRAMとを1チップに混載する場合のその他の問題点が存在する。すなわち、ゲート電極表面にシリサイド膜が形成され、そのシリサイド膜形成後に高い温度の熱工程が介在する場合には、シリサイド膜内の金属原子がゲート絶縁膜に拡散し、ゲート絶縁膜の耐圧を低下させるという問題が存在する。従来のロジック回路プロセスにおいては、MISFETの形成後、層間絶縁膜および配線形成等の工程が存在したが、これらの工程では特に高い温度の加熱プロセスは存在していなかった。このため、シリサイド膜内の金属原子のゲート絶縁膜への拡散という問題は生じなかった。ところが、ロジック回路とDRAMとを混載するプロセスでは、MISFETの形成後にメモリセルのキャパシタ形成工程が存在し、このキャパシタ形成工程におけるキャパシタ絶縁膜の形成工程では高い温度の熱処理を必要とする。特に酸化タンタル膜等高誘電率の金属酸化膜を適用する場合には高い温度の結晶化工程が介在する。このような熱処理により前記のような金属原子の拡散が生じる可能性があり、MISFETのゲート絶縁膜の耐圧低下の要因となる可能性がある。

30

40

【0012】

本発明の目的は、ロジック回路あるいはDRAMの周辺回路のMISFETの高い性能を維持しつつ、DRAMメモリセルのMISFETのリーク電流を低減し、良好なDRAMのリフレッシュ特性を実現できる技術を提供することにある。

【0013】

また、本発明の目的は、ロジック回路あるいはDRAMの周辺回路のMISFETとメモリセルの選択MISFETとに要求される相反する要求を低コストで実現できる技術を提供することにある。

【0014】

また、本発明の目的は、ロジック回路あるいはDRAMの周辺回路のMISFETとメモ

50

リセルの選択MISFETが1チップに混載されている場合にも良好な信頼性を実現できる技術を提供することにある。

【0015】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0016】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0017】

(1) 本発明の半導体装置の製造方法は、(a) メモリセルの選択MISFETが形成される第1領域、周辺回路または論理回路の第1チャンネル型の第1MISFETが形成される第2領域および周辺回路または論理回路の第2チャンネル型の第2MISFETが形成される第3領域を有する半導体基板の主面上に分離領域を形成する工程、(b) 分離領域で囲まれた半導体基板主面の活性領域にゲート絶縁膜を形成し、半導体基板の全面にシリコン膜を形成する工程、(c) 少なくとも第1領域のシリコン膜に第1導電型の不純物をイオン注入する工程、(d) シリコン膜上に第1絶縁膜を形成する工程、(e) ゲート電極パターンにパターニングされた第1フォトレジスト膜を第1絶縁膜上に形成する工程、(f) 第1フォトレジスト膜の存在下で第1絶縁膜およびシリコン膜をエッチングし、キャップ絶縁膜およびゲート電極を形成する工程、(g) ゲート電極およびキャップ絶縁膜を覆い、第1絶縁膜に対してエッチング選択比を有する第2絶縁膜を堆積し、異方性エッチングにより第2絶縁膜をエッチングしてゲート電極およびキャップ絶縁膜の側壁にサイドウォールを形成する工程、(h) キャップ絶縁膜およびサイドウォールの存在下で半導体基板を熱処理し、活性領域の表面に第1絶縁膜に対してエッチング選択比を有する第3絶縁膜を形成する工程、(i) 第3絶縁膜およびサイドウォールの存在下でキャップ絶縁膜を選択的に除去する工程、(j) 第1領域を覆う第2フォトレジスト膜を形成し、第2フォトレジスト膜の存在下でエッチング処理を施し、第2および第3領域の第3絶縁膜を除去する工程、(k) 半導体基板の全面に金属膜を堆積する工程、(l) 半導体基板を熱処理し、第1、第2および第3領域のゲート電極の表面ならびに第2および第3領域の活性領域の表面に金属膜を構成する金属のシリサイド膜を形成する工程、(m) 未反応の金属膜を除去する工程、を含むものである。

【0018】

(2) 本発明の半導体装置の製造方法は、前記項(1)記載の半導体装置の製造方法であって、(g)工程と(h)工程の間に、キャップ絶縁膜およびサイドウォールの存在下で、第2領域にn型の導電型を示す不純物を高濃度にイオン注入し、また、第3領域にp型の導電型を示す不純物を高濃度にイオン注入する工程を有するものである。

【0019】

(3) 本発明の半導体装置の製造方法は、前記項(1)記載の半導体装置の製造方法であって、(h)工程と(j)工程の間に、キャップ絶縁膜またはゲート電極、サイドウォールおよび第3絶縁膜の存在下で、第2領域にn型の導電型を示す不純物を高濃度にイオン注入し、また、第3領域にp型の導電型を示す不純物を高濃度にイオン注入する工程を有するものである。

【0020】

(4) 本発明の半導体装置の製造方法は、前記項(1)~(3)記載の半導体装置の製造方法であって、(c)工程において、同時に第2領域のシリコン膜にn型の導電型を示す不純物をイオン注入し、(c)工程に前後して、第3領域のシリコン膜にp型の導電型を示す不純物をイオン注入する工程を有するものである。

【0021】

(5) 本発明の半導体装置の製造方法は、前記項(3)記載の半導体装置の製造方法であって、イオン注入により、第2領域のゲート電極にn型の導電型を示す不純物を導入し、

10

20

30

40

50

または、第3領域のゲート電極にp型の導電型を示す不純物を導入するものである。

【0022】

(6)本発明の半導体装置の製造方法は、前記項(1)~(5)の何れか一項に記載の半導体装置の製造方法であって、(b)工程におけるシリコン膜はアモルファスシリコン膜であり、アモルファスシリコン膜への不純物の導入後に熱処理を施し、シリコン膜を結晶化するものである。

【0023】

(7)本発明の半導体装置の製造方法は、(a)メモリセルの選択MISFETが形成される第1領域、周辺回路または論理回路の第1チャンネル型の第1MISFETが形成される第2領域および周辺回路または論理回路の第2チャンネル型の第2MISFETが形成される第3領域を有する半導体基板の主面上に分離領域を形成する工程、(b)分離領域で囲まれた半導体基板主面の活性領域にゲート絶縁膜を形成し、半導体基板の全面に第1シリコン膜を堆積する工程、(c)第1および第2領域の第1シリコン膜に第1導電型の不純物をイオン注入し、第3領域の第1シリコン膜に第2導電型の不純物をイオン注入する工程、(d)第1シリコン膜上に、第1導電型の不純物を含む第2シリコン膜を形成する工程、(e)第2シリコン膜上に第1絶縁膜を堆積する工程、(f)ゲート電極のパターンにパターニングされた第1フォトレジスト膜を第1絶縁膜上に形成する工程、(g)第1フォトレジスト膜の存在下で第1絶縁膜、第1および第2シリコン膜をエッチングし、第1絶縁膜からなるキャップ絶縁膜および第1および第2シリコン膜からなるゲート電極を形成する工程、(h)ゲート電極およびキャップ絶縁膜を覆い、第1絶縁膜に対してエッチング選択比を有する第2絶縁膜を堆積し、異方性エッチングにより第2絶縁膜をエッチングしてゲート電極およびキャップ絶縁膜の側壁にサイドウォールを形成する工程、(i)キャップ絶縁膜およびサイドウォールの存在下で半導体基板を熱処理し、分離領域に囲まれた活性領域の表面に第1絶縁膜に対してエッチング選択比を有する第3絶縁膜を形成する工程、(j)第3絶縁膜およびサイドウォールの存在下でキャップ絶縁膜を選択的に除去する工程、(k)ゲート電極、サイドウォールおよび第3絶縁膜の存在下で、第2領域に第1導電型の不純物を高濃度にイオン注入し、また、第3領域に第2導電型の不純物を高濃度にイオン注入する工程、(l)第1領域を覆う第2フォトレジスト膜を形成し、第2フォトレジスト膜の存在下でエッチング処理を施し、第2および第3領域の第3絶縁膜を除去する工程、(m)半導体基板の全面に金属膜を堆積する工程、(n)半導体基板を熱処理し、第1、第2および第3領域のゲート電極の表面ならびに第2および第3領域の活性領域の表面に金属膜を構成する金属のシリサイド膜を形成する工程、(o)未反応の金属膜を選択的に除去する工程、を含むものである。

【0024】

(8)本発明の半導体装置の製造方法は、前記項(7)に記載の半導体装置の製造方法であって、(b)工程における第1シリコン膜はアモルファスシリコン膜であり、アモルファスシリコン膜への不純物の導入後であって第2シリコン膜の形成前に熱処理を施し、第1シリコン膜を結晶化するものである。

【0025】

(9)本発明の半導体装置の製造方法は、前記項(7)または(8)に記載の半導体装置の製造方法であって、第1シリコン膜の形成後に、第1シリコン膜の表面に自然酸化膜を形成するものである。

【0026】

(10)本発明の半導体装置の製造方法は、(a)半導体基板の主面上にゲート絶縁膜および多結晶または非晶質のシリコン膜を順次形成する工程、(b)シリコン膜上に第1絶縁膜を堆積する工程、(c)第1絶縁膜上にゲート電極パターンにパターニングされたフォトレジスト膜を形成し、フォトレジスト膜の存在下で第1絶縁膜およびシリコン膜をエッチングし、ゲート電極およびゲート電極上のキャップ絶縁膜を形成する工程、(d)半導体基板の全面に第1絶縁膜に対してエッチング選択比を有する第2絶縁膜を堆積し、第2絶縁膜を異方性エッチングすることによりキャップ絶縁膜およびゲート電極の側壁にサ

10

20

30

40

50

イドウォールを形成する工程、(e) キャップ絶縁膜およびサイドウォールの存在下で半導体基板に熱処理を施し、分離領域に囲まれた活性領域の表面に第1絶縁膜に対してエッチング選択比を有する第3絶縁膜を形成する工程、(f) 第3絶縁膜およびサイドウォールの存在下でキャップ絶縁膜を選択的に除去する工程、(g) 半導体基板の全面に金属膜を堆積する工程、(h) 半導体基板を熱処理し、ゲート電極の表面に金属膜を構成する金属のシリサイド膜を形成する工程、(i) 未反応の金属膜を除去する工程、を含むものである。

【0027】

(11) 本発明の半導体装置の製造方法は、前記項(1)～(10)の何れか一項に記載の半導体装置の製造方法であって、第1絶縁膜はシリコン窒化膜であり、第2および第3絶縁膜はシリコン酸化膜であるものである。

10

【0028】

(12) 本発明の半導体装置の製造方法は、(a) 半導体基板の主面上にゲート絶縁膜を介してゲート電極を形成し、ゲート電極の両側の半導体基板の主面に不純物半導体領域を形成する工程、(b) ゲート電極および不純物半導体領域を覆う絶縁膜を堆積する工程、または、ゲート電極および不純物半導体領域の表面上に選択的に絶縁膜を形成する工程、(c) 少なくともゲート電極の一部の領域上に開口を有するフォトリソ膜を形成し、フォトリソ膜の存在下でゲート電極上の絶縁膜の全部または一部をエッチングする工程、(d) フォトリソ膜を除去し、半導体基板の全面に金属膜を堆積する工程、(e) 半導体基板を熱処理し、ゲート電極の表面の全部または一部に金属膜を構成する金属のシリサイド膜を形成する工程、(f) 未反応の金属膜を選択的に除去する工程、を含むものである。

20

【0029】

(13) 本発明の半導体装置の製造方法は、前記項(1)～(12)の何れか一項に記載の半導体装置の製造方法であって、金属膜がコバルト膜である。

【0030】

(14) 本発明の半導体装置の製造方法は、前記項(1)～(9)の何れか一項に記載の半導体装置の製造方法であって、さらに、(a) 選択MISFEETならびに第1および第2MISFEETを覆う第1層間絶縁膜を形成し、選択MISFEETの一方のソース・ドレイン領域に接続する第1プラグを第1層間絶縁膜に形成する工程、(b) 第1層間絶縁膜上に、第1プラグに接続するビット線を形成する工程、(c) ビット線を覆う第2層間絶縁膜を形成し、選択MISFEETの他方のソース・ドレイン領域に接続する第2プラグを第1および第2層間絶縁膜に形成する工程、(d) 第2層間絶縁膜上に、第2プラグに接続するメモリセルのキャパシタ下部電極を形成する工程、を有するものである。

30

【0031】

(15) 本発明の半導体装置の製造方法は、前記項(14)に記載の半導体装置の製造方法であって、(a) 工程の第1プラグの形成に前後して、第1および第2MISFEETのソース・ドレイン領域に接続する第3プラグを第1層間絶縁膜に形成する工程を有し、第1層間絶縁膜の表面と第1および第3プラグの表面とは、ほぼ同一平面内に形成されるものである。

40

【0032】

(16) 本発明の半導体装置の製造方法は、前記項(15)に記載の半導体装置の製造方法であって、第3プラグに接続される配線がビット線と同時に形成され、配線およびビット線は、他の絶縁膜を介することなく第1層間絶縁膜上に形成されるものである。

【0033】

(17) 本発明の半導体装置の製造方法は、前記項(1)～(9)の何れか一項に記載の半導体装置の製造方法であって、さらに、(a) 多結晶シリコン膜からなるキャパシタ下部電極を形成する工程、(b) キャパシタ下部電極上にシリコン窒化膜からなるキャパシタ絶縁膜を形成する工程、を有するものである。

【0034】

50

(18) 本発明の半導体装置の製造方法は、前記項(17)記載の半導体装置の製造方法であって、さらに、キャパシタ絶縁膜上に窒化チタン膜からなるプレート電極を形成する工程を有するものである。

【0035】

(19) 本発明の半導体装置は、シリコン酸化膜からなる分離領域をその主面に有する半導体基板と、分離領域で囲まれた活性領域上にゲート絶縁膜を介して形成されたゲート電極、ゲート電極両側の活性領域に形成された一对の半導体領域を有する第1MISFETを含む半導体装置であって、第1MISFETのゲート電極の上部にはシリサイド膜が形成され、半導体領域の表面にはシリコン酸化膜が形成されているものである。

【0036】

(20) 本発明の半導体装置は、前記項(19)記載の半導体装置であって、第1MISFETのシリコン酸化膜は、活性領域上にのみ選択的に形成されているものである。

【0037】

(21) 本発明の半導体装置は、前記項(19)または(20)記載の半導体装置であって、シリサイド膜はコバルトシリサイド膜である。

【0038】

(22) 本発明の半導体装置は、前記項(19)～(21)の何れか一項に記載の半導体装置であって、ゲート電極は2層以上の多結晶シリコン膜で構成されるものである。

【0039】

(23) 本発明の半導体装置は、前記項(22)記載の半導体装置であって、積層された多結晶シリコン膜間には自然酸化膜が形成されているものである。

【0040】

(24) 本発明の半導体装置は、前記項(19)～(23)の何れか一項に記載の半導体装置であって、第1MISFETの他に第2MISFETを同一半導体基板内に有し、第2MISFETのゲート電極の上部および半導体領域の表面にはシリサイド膜が形成されているものである。

【0041】

(25) 本発明の半導体装置は、前記項(24)記載の半導体装置であって、第2MISFETはnチャネルMISFETおよびpチャネルMISFETで構成される相補型MISFET回路を構成し、nチャネルMISFETのゲート電極はn型にドーピングされ、pチャネルMISFETのゲート電極はp型にドーピングされているものである。

【0042】

(26) 本発明の半導体装置は、前記項(25)記載の半導体装置であって、第1MISFETはDRAMのメモリセルを構成する選択MISFETであり、第2MISFETはDRAMの周辺回路または論理回路を構成するMISFETであるものである。

【0043】

(27) 本発明の半導体装置は、前記項(26)記載の半導体装置であって、第1MISFETの一方の半導体領域とメモリセルのビット線とを接続する第1プラグが第1層間絶縁膜に形成され、第1層間絶縁膜の表面に接してビット線が形成されているものである。

【0044】

(28) 本発明の半導体装置は、前記項(27)記載の半導体装置であって、ビット線の上に第2層間絶縁膜が形成され、第1および第2層間絶縁膜に、第1MISFETの他方の半導体装置とメモリセルのキャパシタ株電極とを接続する第2プラグが形成されているものである。

【0045】

(29) 本発明の半導体装置は、前記項(26)記載の半導体装置であって、メモリセルのキャパシタ絶縁膜がシリコン窒化膜からなるものである。

【0046】

(30) 本発明の半導体装置は、前記項(29)記載の半導体装置であって、メモリセルのプレート電極が窒化チタン膜からなるものである。

10

20

30

40

50

【 0 0 4 7 】

【 発明の実施の形態 】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

【 0 0 4 8 】

(実施の形態 1)

図 1 は、実施の形態 1 の半導体装置のチップ全体を示した平面図である。本実施の形態の半導体装置は、D R A MとC P U等に代表されるロジック回路とを 1 チップに混載したいわゆるシステム L S I である。

10

【 0 0 4 9 】

半導体基板 1 の主面上には、たとえばメモリ素子である D R A M、演算装置である C P U、C P Uの制御回路 C N T L、インターフェース回路 I F、電源回路 P W等が形成されている。D R A Mが形成される D R A M領域 1 a には、メモリセルがアレイ状に配置されたメモリアレイ M A R Y、センスアンプ S A、ワード線ドライバ W D、D R A Mの制御回路、入出力回路等が含まれる。センスアンプ S A、ワード線ドライバ W D等は、直接周辺回路としてメモリアレイ M A R Yの周辺に形成され、D R A Mの制御回路、入出力回路等は間接周辺回路領域 1 b に形成される。C P U、制御回路 C N T L、インターフェース回路 I F、電源回路 P W等は、ロジック回路の例示である。なお、本実施の形態では、ロジック回路の一例として C P U等を例示しているが、その他の機能を有する論理回路が形成されていてもよい。また、ここに例示したロジック回路が半導体装置の機能上必要でない場合にこれを含まなくてもよいことはいうまでもない。

20

【 0 0 5 0 】

なお、本明細書では、半導体基板 1 の領域を以下のように分けて説明する。つまり、メモリアレイ M A R Yの形成されている領域(第 1 領域)とその他の領域(第 2 および第 3 領域)とに分け、説明の便宜上 D R A Mの周辺回路であるセンスアンプ S A、ワード線ドライバ W D、制御回路、入出力回路等をロジック回路に含めて考える。すなわちメモリアレイ M A R Yの形成される第 1 領域以外の領域をロジック回路形成領域とし、ロジック回路形成領域には、nチャネル M I S F E Tが形成される n M I S F E T領域(第 2 領域)と pチャネル M I S F E Tが形成される p M I S F E T領域(第 3 領域)とが含まれる。

30

【 0 0 5 1 】

次に、本実施の形態の D R A Mの製造方法を図面を用いて工程順に説明する。図 2 ~ 図 2 5 および図 2 7 は、実施の形態 1 の半導体装置の製造工程の一例を工程順に示した断面図である。

【 0 0 5 2 】

まず、図 2 に示すように、p型で比抵抗が 1 0 cm程度の単結晶シリコンからなる半導体基板 1 を用意し、たとえば 8 5 0 程度でウェット酸化して形成した膜厚 1 0 nm程度の薄いシリコン酸化膜(図示せず)およびたとえば C V D (Chemical Vapor Deposition) 法で形成した膜厚 1 4 0 nm程度のシリコン窒化膜(図示せず)を半導体基板 1 上に堆積する。ここでは単結晶シリコンの半導体基板 1 を例示するが、表面に単結晶シリコン層を有する S O I (Silicon On Insulator) 基板、あるいは、表面に多結晶シリコン膜を有するガラス、セラミックス等の誘電体基板であってもよい。

40

【 0 0 5 3 】

次に、フォトリソ膜(図示せず)をマスクにして、溝 2 が形成される領域の前記シリコン窒化膜およびシリコン酸化膜をパターニングし、このシリコン窒化膜をマスクとして半導体基板 1 をドライエッチングすることにより、素子分離領域の半導体基板 1 に深さ 3 0 0 ~ 4 0 0 nm程度の溝 2 を形成する。

【 0 0 5 4 】

次に、前記フォトリソ膜を除去した後、前記のエッチングによって溝 2 の内壁に生じたダメージ層を除去するために、たとえば 8 5 0 ~ 9 0 0 程度のウェット酸化による薄

50

い（膜厚10nm程度の）シリコン酸化膜3を溝2の内壁に形成し、たとえばオゾン（ O_3 ）とテトラエトキシシラン（TEOS）とをソースガスに用いたプラズマCVD法で堆積されたシリコン酸化膜（図示せず）を300～400nm程度の膜厚で堆積する。このシリコン酸化膜は、1000程度でドライ酸化によりシントリング（焼き締め）を行なってもよい。

【0055】

次に、このシリコン酸化膜をCMP法により研磨して溝2以外の領域のシリコン酸化膜を除去し、溝2の内部にシリコン酸化膜4を残して素子分離領域を形成する。なお、このCMP法による研磨の前に、溝2の領域にシリコン窒化膜を形成して、溝2領域のシリコン酸化膜が過剰に深く研磨されるディッシングを防止することができる。

10

【0056】

次に、図3に示すように、半導体基板1の表面に残存しているシリコン酸化膜およびシリコン窒化膜をたとえば熱リン酸を用いたウェットエッチングで除去した後、メモリセルを形成する第1領域A（メモリアレイMEMORY）の半導体基板1にn型不純物、たとえばP（リン）をイオン打ち込みしてn型半導体領域5を形成する。次に、第1領域Aと、ロジック回路（DRAMの周辺回路を含む）のnMISFETが形成される第2領域Bとにp型不純物、たとえばB（ホウ素）をイオン打ち込みしてp型ウエル6を形成し、ロジック回路（DRAMの周辺回路を含む）のpMISFETが形成される第3領域Cにn型不純物、たとえばP（リン）をイオン打ち込みしてn型ウエル7を形成する。n型半導体領域5は、入出力回路などから半導体基板1を通じてメモリアレイのp型ウエル6にノイズが侵入するのを防止するために形成される。

20

【0057】

次に、図4に示すように、半導体基板1の表面をたとえばHF（フッ酸）系の洗浄液を使って洗浄した後、半導体基板1を850程度でウェット酸化してp型ウエル6およびn型ウエル7の各表面に膜厚7nm程度の清浄なゲート酸化膜8を形成する。さらに、シリコン膜9を堆積する。シリコン膜9は後にゲート電極の一部となるものであり、たとえばCVD法により堆積できる。シリコン膜9は、アズデポ状態では非晶質（アモルファス）状態である。なお、特に限定はされないが、ゲート酸化膜8を形成した後、半導体基板1をNO（酸化窒素）雰囲気中または N_2O （亜酸化窒素）雰囲気中で熱処理することによって、ゲート酸化膜8と半導体基板1との界面に窒素を偏析させる酸窒化処理を施してもよい。これにより半導体基板1とゲート酸化膜8との熱膨張係数差に起因する界面の歪によるホットキャリアの発生を抑制できる。

30

【0058】

次に、図5に示すように、シリコン膜9上に、第3領域Cを覆うフォトレジスト膜10を形成し、第1領域Aおよび第2領域Bのシリコン膜9にn型不純物、たとえばリンをイオン注入する。これによりn型シリコン膜11を形成する。フォトレジスト膜10を除去した後、図6に示すように、第1領域Aおよび第2領域Bを覆うフォトレジスト膜12を形成し、第3領域Cのシリコン膜9にp型不純物、たとえばボロンをイオン注入する。これによりp型シリコン膜13を形成する。さらに、n型およびp型シリコン膜11、13に、たとえばRTA（Rapid Thermal Anneal）処理を施し、これを結晶化する。

40

【0059】

n型シリコン膜11は、nMISFETのゲート電極の一部となるものであり、p型シリコン膜13は、pMISFETのゲート電極の一部となるものである。すなわち、本実施の形態の半導体装置はいわゆるデュアルゲート構造を有するものである。このようにデュアルゲート構造を採用することにより、表面チャネル型のMISFETでCMIS（Complementary Metal Insulator Semiconductor）構造を構成することができ、微細化に有利になる。

【0060】

次に、図7に示すように、シリコン膜14をたとえばCVD法により堆積し、全面にn型不純物、たとえばリンをイオン注入する。シリコン膜14は、n型およびp型シリコン膜

50

11、13と同様に後にゲート電極の一部となるものであり、アズデポ状態では非晶質（アモルファス）状態である。n型不純物を全面にイオン注入するのは、後に説明するように、第1領域Aには後の工程で高濃度のn型不純物が注入されないことから、シリコン膜14がイントリンシックになることを防止する必要があるためである。なお、シリコン膜14は、アズデポ状態でn型不純物がドーブされたシリコン膜として堆積されてもよい。また、イオン注入の後にシリコン膜14をRTA等によりアニール処理をし、結晶化させてもよいが必須ではない。すなわち、後の熱工程により自然に結晶化されるため、この段階で結晶化させる必要はない。

【0061】

このようにゲート電極となる多結晶シリコン膜を2層で構成することにより、以下のような利点がある。

【0062】

第1に、後に説明するように、ソース・ドレイン領域を構成する高濃度不純物半導体領域を形成するためのイオン注入の際に、ゲート電極（n型およびp型シリコン膜11、13とシリコン膜14）の存在下でイオン注入が行われるが、この不純物のチャンネル領域への注入を防ぐことができる。つまり、仮にゲート電極が単一の多結晶シリコン膜で構成されている場合には、図8（a）に示すように、ゲート電極Gの表面から底部（ゲート絶縁膜Iの直上）まで結晶粒界のパスPが貫通する場合が生じる。このように貫通するパスPが存在する状況で不純物のイオン注入を行えば、ゲート電極Gの表面に不純物領域IRが形成される他、不純物Inpが半導体基板1に達して半導体基板1の主面にも不純物領域IRが形成される。通常ゲート電極Gの下部はMISFETのチャンネル領域であるから、このような基板主面上の不純物領域IRはMISFETのしきい値電圧を変動させる等その性能を著しく阻害する。

【0063】

一方本実施の形態では、図8（b）に示すように、ゲート電極Gを多結晶シリコン膜の2層構成としている。このように2層構成とした場合には、上層の多結晶シリコン膜の粒界は、下層の多結晶シリコン膜に阻まれてゲート電極Gの膜厚方向に貫通することがない。つまり、シリコン膜11、13の形成後これをアニールして下層の多結晶シリコン膜を形成した後に、改めてシリコン膜14を形成するため、上層多結晶シリコン膜の粒界と下層多結晶シリコン膜の粒界とはその位置が一致する確率は極めて少ない。このため、ゲート電極Gを通して結晶粒界が貫通することはほとんどない。このような状況でイオン注入を行えば、上層多結晶シリコン膜の粒界を通して不純物Inpが下部に注入されても、貫通した不純物Inpは下層多結晶シリコン膜の表面で止まり、半導体基板1の主面に達することがない。この結果MISFETの信頼性を低下させることがない。

【0064】

第2に、ゲート電極を多結晶シリコン膜の2層構成とすることにより、ゲート電極に蓄えられる内部応力を低減できる利点がある。すなわち、仮に単一層でゲート電極を構成した場合には、必要な膜厚を単一層で実現する必要がある。熱処理による結晶化あるいはその後の熱工程による結晶化が行われた後のゲート電極とゲート絶縁膜との界面に蓄積された熱応力は、厚い膜厚の非晶質シリコン膜から多結晶シリコン膜を形成した場合、薄い膜厚の場合と比較して大きくなる。本実施の形態では、薄い膜厚の非晶質シリコン膜から多結晶シリコン膜を形成するため、熱応力が小さく、それら薄い多結晶シリコン膜を積層していることから、各層毎に応力が緩和され、総合的な応力は低くすることができる。このため、ゲート絶縁膜の絶縁耐圧等を高め、MISFETの信頼性を高くすることができる。

【0065】

第3に、後に説明するように、ゲート電極の表面にはシリサイド膜が形成される。このシリサイド膜の存在下で熱工程、たとえばメモリセルを構成するキャパシタの絶縁膜の形成等が行われた場合、シリサイドを構成する金属が拡散することが考えられる。このような拡散金属がゲート絶縁膜に達した場合には、ゲート絶縁膜の耐圧を低下させ、MISFETの信頼性を低下させる恐れがある。しかし、本実施の形態では、ゲート電極を2層構成

10

20

30

40

50

とするため、上層多結晶シリコン膜（シリコン膜14）から下層多結晶シリコン膜（シリコン膜11、13）の界面で拡散が阻害され、金属のゲート絶縁膜への拡散を抑制できる。このような抑制は、拡散が主に結晶粒界に沿って生じることから、ゲート電極の膜厚方向での結晶粒界の貫通を阻害している結果の帰結と考えることも可能である。

【0066】

特に、上層多結晶シリコン膜と下層多結晶シリコン膜との界面にシリコン酸化膜等が形成されている場合には、金属の拡散が有効に抑制できる。すなわち、このシリコン酸化膜に拡散金属がトラップされ、下層多結晶シリコン膜（シリコン膜11、13）に拡散し難くなるからである。このようなシリコン酸化膜は、あまりに厚すぎるとゲート電極の電気的特性を損なうため、自然酸化膜程度の膜厚のシリコン酸化膜が好ましい。このような自然酸化膜（シリコン酸化膜）は、シリコン膜11、13の形成後に、たとえば基板を大気雰囲気中に暴露することにより形成することができる。その後、シリコン膜14を上記の通り形成すればよい。なお、自然酸化膜に限らず、積極的に薄いシリコン酸化膜を形成してもよいことはいうまでもない。また、大気雰囲気中の暴露ではなく、反応室中での酸素等酸性ガスに暴露する方法でもかまわない。

10

【0067】

なお、上記した方法では、シリコン膜11、13をまず非晶質シリコン膜として堆積し、その後RTA等でアニール処理しているが、アズデポ状態で多結晶シリコン膜となるように被膜堆積を行ってもよい。また、アニール処理はRTAに限らずハーネス等炉内での半導体基板1の熱処理を施してもよい。

20

【0068】

次に、図9に示すように、半導体基板1の全面にシリコン窒化膜15（第1絶縁膜）を形成する。シリコン窒化膜15はCVD法またはスパッタ法により形成でき、後に説明する活性領域表面の酸化処理の際に、シリコン膜14（ゲート電極）表面の酸化を抑制する作用をする。

【0069】

次に、図10に示すように、ゲート電極パターンにパターニングされたフォトリソ膜16をシリコン窒化膜15上に形成し、このフォトリソ膜16の存在下でエッチング処理を施す。すなわち、フォトリソ膜16をマスクとしてシリコン窒化膜15、シリコン膜14およびシリコン膜11、13をエッチングする。このようにしてシリコン膜14およびシリコン膜11、13からなるゲート電極17とゲート電極17上のキャップ絶縁膜18を形成する。なお、フォトリソ膜16をマスクとするエッチングによりシリコン窒化膜15をパターニングし、フォトリソ膜16を除去した後に、パターニングされたシリコン窒化膜15をマスクとしてシリコン膜14およびシリコン膜11、13をエッチングしてもよい。

30

【0070】

第1領域A（メモリセル形成領域）のゲート電極17は、選択MISFETの一部を構成し、活性領域以外の領域ではワード線WLとして使用される。このゲート電極17（ワード線WL）の幅、すなわちゲート長は、選択MISFETの短チャネル効果を抑制して、しきい値電圧を一定値以上に確保できる許容範囲内の最小寸法で構成される。また、隣接するゲート電極17（ワード線WL）同士の間隔は、フォトリソグラフィの解像限界で決まる最小寸法で構成される。第2領域Bのゲート電極17は、DRAMの周辺回路を含むロジック回路のnチャネル型MISFETの一部を構成し、第3領域Cのゲート電極17は、DRAMの周辺回路を含むロジック回路のpチャネル型MISFETの一部を構成する。

40

【0071】

ゲート電極17は、前記したとおり、n型またはp型の不純物がドーピングされたシリコン膜11、13と、n型の不純物がドーピングされたシリコン膜14との積層膜で構成される。第1領域Aおよび第2領域Bにおいてはn型のシリコン膜11とn型のシリコン膜14の積層膜であり、第3領域Cにおいてはp型のシリコン膜13とn型のシリコン膜14の積層

50

膜である。この段階では前記の通りの積層構成であるが、後に説明するように第2領域Bおよび第3領域Cにおいてはさらに高濃度の不純物がドーピングされ、特に第3領域Cでは、上層のシリコン膜14の不純物構成がn型からp型に転換される。

【0072】

なお、シリコン膜11、13とシリコン膜14の膜厚は各々100nm程度とすることができる。

【0073】

次に、フォトレジスト膜16を除去した後、フッ酸などのエッチング液を使って、半導体基板1の表面に残ったドライエッチング残渣やフォトレジスト残渣などを除去する。

【0074】

次に、図11に示すように、第1領域Aおよび第2領域Bにn型不純物、たとえばP(リン)をイオン打ち込みしてゲート電極17の両側のp型ウエル6にn⁻型半導体領域19を形成する。さらに、第3領域Cにp型不純物、たとえばB(ホウ素)をイオン打ち込みしてゲート電極17の両側のn型ウエル7にp⁻型半導体領域20を形成する。

【0075】

次に、図12に示すように、半導体基板1上にCVD法で膜厚50~100nm程度のシリコン酸化膜(図示せず)を堆積した後、このシリコン酸化膜を異方性エッチングすることにより、ゲート電極17およびキャップ絶縁膜18の側壁にサイドウォール21を形成する。

【0076】

次に、図13に示すように、半導体基板1の表面を酸化処理する。この酸化処理では、表面に露出されたシリコン部分が選択的に酸化されてシリコン酸化膜22が形成される。つまり、ゲート電極17の上にはキャップ絶縁膜18が、側面にはサイドウォール21が形成されているため、ゲート電極17の上および側面は酸化されず、また、活性領域以外には分離領域であるシリコン酸化膜4が形成されているため、ゲート電極17およびサイドウォール21をその表面に有しない活性領域、つまりn⁻型半導体領域19およびp⁻型半導体領域20の表面が酸化される。このようなシリコン酸化膜22は、次に説明するキャップ絶縁膜18の除去の際のブロッキング膜として、また、後に説明するサイリサイドプロセスの際の所定領域のブロッキング膜として機能する。なお、シリコン酸化膜22の膜厚は、後の洗浄工程での削れ量を考慮し、後に説明するシリサイド用の金属膜との反応をブロッキングするに十分な膜厚で、できるだけ薄く形成することが好ましい。

【0077】

次に、図14に示すように、キャップ絶縁膜18を除去する。キャップ絶縁膜18はシリコン窒化膜からなり、またそれ以外の領域は、シリコン酸化膜22で覆われているか、もしくは分離領域であるシリコン酸化膜4であるため、シリコン酸化膜に対してシリコン窒化膜が選択的にエッチングされる条件でエッチングを行うことにより、キャップ絶縁膜18のみを選択的に除去できる。エッチングは、たとえば熱リン酸によるウェットエッチングを施すことができる。また、シリコン窒化膜のエッチング速度がシリコン酸化膜のエッチング速度よりも高い条件でのドライエッチングを施すこともできる。

【0078】

次に、図15に示すように、第1領域Aおよび第3領域Cを覆うフォトレジスト膜23を形成し、このフォトレジスト膜23をマスクとして第2領域Bにn型不純物、たとえばP(リン)またはAs(ヒ素)を高濃度にイオン注入する。これにより高濃度のn⁺型半導体領域24を形成する。n⁺型半導体領域24とn⁻型半導体領域19とはnチャネル型MISFETのソース・ドレイン領域として機能し、いわゆるLDD(Lightly Doped Drain)を構成する。このとき、同時にゲート電極17の上層多結晶シリコン膜(シリコン膜14)にn型不純物が高濃度にドーピングされ、第2領域Bにおけるゲート電極17は、n型多結晶のシリコン膜11(下層)と高濃度n型多結晶のシリコン膜14との積層構成となる。

【0079】

次に、図16に示すように、第1領域Aおよび第2領域Bを覆うフォトレジスト膜25を形成し、このフォトレジスト膜25をマスクとして第3領域Cにp型不純物、たとえばB（ボロン）またはを高濃度にイオン注入する。これにより高濃度のp⁺型半導体領域26を形成する。p⁺型半導体領域26とp⁻型半導体領域20とはpチャネル型MISFETのソース・ドレイン領域として機能し、いわゆるLDDを構成する。このとき、同時にゲート電極17の上層多結晶シリコン膜（シリコン膜14）にp型不純物が高濃度にドーブされ、第3領域Cにおけるゲート電極17の上層多結晶シリコン膜は、n型からp型に転換される。従って第3領域Cにおけるゲート電極17は、p型多結晶のシリコン膜13（下層）と高濃度p型多結晶のシリコン膜14との積層構成となる。

【0080】

なお、n⁺型半導体領域24とp⁺型半導体領域26とを形成するためのイオン注入は、シリコン酸化膜22の存在下で行われる。このため、イオン注入によるロックオンにより、n⁺型半導体領域24とp⁺型半導体領域26に若干の酸素原子が導入される。この酸素原子は、後に説明するシリサイド膜がn⁺型半導体領域24とp⁺型半導体領域26の表面に形成された場合、シリサイド膜を構成する金属がコバルト（Co）の場合には有利に働く。すなわち、n⁺型半導体領域24およびp⁺型半導体領域26中の酸素は、各領域表面にシリサイド膜が形成されたときに同時にシリサイド膜内に取り込まれるが、この酸素原子はシリサイド膜内の物質移動を阻害する要因として働く。このため、チタンシリサイドのように結晶相によって抵抗率が異なり、低抵抗化のために熱処理等を施して相変化させる必要がある場合には酸素原子の存在は相変化を阻害し不利に働くが、コバルトシリサイドの場合には結晶相変化させなくても低抵抗であることから相変化する必要がなく、むしろコバルトシリサイドの物質移動を阻害することがその後の熱処理によるシリサイド膜の深化を抑制でき、n⁺型半導体領域24およびp⁺型半導体領域26（ソース・ドレイン領域）の導電率の確保の点からむしろ好ましい。

【0081】

また、上記イオン注入の際に、ゲート電極17が2層の多結晶シリコン膜で構成されているため、注入イオンがゲート電極17下のチャンネル領域に達しないことは前記した通りである。

【0082】

次に、図17に示すように、第1領域Aを覆うフォトレジスト膜27を形成し、第2領域Bと第3領域Cのシリコン酸化膜22を除去する。このように第1領域Aのシリコン酸化膜22を残存させるのは、次に説明するシリサイド工程において第1領域Aのn⁻型半導体領域19表面をシリサイド化させないためである。

【0083】

次に、たとえばフッ酸（HF）系水溶液による前洗浄を行った後に、図18に示すように、金属膜28を半導体基板1の全面にたとえばスパッタ法またはCVD法により堆積する。金属膜28は、たとえばコバルト（Co）膜とし、膜厚は約10nmとする。

【0084】

次に、図19に示すように、金属膜28とシリコンとのシリサイド化反応を生じさせるためのアニール処理を行い、金属シリサイド膜29（コバルトシリサイド膜）を形成する。その後未反応の金属膜28を選択的に除去する。未反応金属膜の選択的な除去は、たとえば塩酸（HCl）および過酸化水素水（H₂O₂）の混合液を用いたエッチングにより行うことができる。

【0085】

シリサイド化反応は、金属膜28とシリコンが接触している部分で生じることから、シリコン酸化膜で覆われていない部分、つまりゲート電極17の上面、第2領域Bおよび第3領域Cのn⁺型半導体領域24およびp⁺型半導体領域26の上面で発生する。従ってシリコン酸化膜22で覆われている第1領域A（メモリセル形成領域）のn⁻型半導体領域19上にはシリサイド膜は形成されない。

【0086】

10

20

30

40

50

このように、第1領域A（メモリセル形成領域）の n^- 型半導体領域19上にシリサイド膜が形成されないことにより、メモリセル選択用の選択MISFETのリーク電流を低減できる。これによりメモリセルのリフレッシュ特性を良好に維持できる。また、第2領域Bおよび第3領域Cにおけるゲート電極17表面とソース・ドレイン領域表面の両方を同時にシリサイド化するいわゆるサイリサイド技術を適用できるため工程を簡略化できるとともに、第1領域A、第2領域B、第3領域Cの全ての領域においてゲート電極17の表面をシリサイド化することができ、簡易な工程でゲート電極17を低抵抗化でき、半導体装置の性能を高く維持することができる。

【0087】

次に、図20に示すように、自己整合用のシリコン窒化膜30および層間絶縁膜31を形成し、さらに第1領域Aに多結晶シリコン膜からなるプラグ32を、第2領域Bおよび第3領域Cに金属膜からなるプラグ33を形成する。

【0088】

シリコン窒化膜30は、たとえばCVD法により堆積できる。層間絶縁膜31の形成は、半導体基板1上に膜厚300nm程度のSOG（Spin On Glass）膜をスピン塗布した後、半導体基板1を熱処理してこれをシンタリング（焼き締め）し、SOG膜の上部に膜厚600nm程度のシリコン酸化膜を堆積した後、このシリコン酸化膜をCMP法で研磨してその表面を平坦化することにより形成できる。さらに、CMP法で研磨されたときに生じた表面の微細な傷を補修するため、このシリコン酸化膜の上部に膜厚100nm程度のシリコン酸化膜を堆積してもよい。シリコン酸化膜は、たとえばオゾン（ O_3 ）とテトラエトキシシラン（TEOS）とをソースガスに用いたプラズマCVD法で堆積する。

【0089】

プラグ32の形成は、プラグ32が形成される領域に開口を有するフォトリソ膜をマスクとして、層間絶縁膜31に接続孔を形成し、その後、この接続孔を埋め込む n 型不純物（たとえばP（リン））がドーパされた多結晶シリコン膜をたとえばCVD法により堆積し、接続孔以外の領域の多結晶シリコン膜を除去して形成できる。多結晶シリコン膜の除去にはCMP法、またはエッチバック法を用いることができる。なお、接続孔の開口には、シリコン窒化膜30を用いた2段階エッチング法を用いることができる。つまり、層間絶縁膜31であるシリコン酸化膜がエッチングされやすい条件で行う第1段階のエッチングの後に、シリコン窒化膜がエッチングされやすい第2段階のエッチングを適用できる。このようにエッチングを2段階で行うことにより、半導体基板1の表面（特に分離領域であるシリコン酸化膜4）の過剰なエッチングが抑制できる。

【0090】

なお、この段階では、後に説明するビット線に接続するプラグ32を形成し、キャパシタに接続するためのプラグの形成は行わない。このように、キャパシタに接続するプラグを後に形成することにより、層間絶縁膜を1層省略することができる。これは、工程を簡略化するのみならず、メモリセル領域の標高が省略する絶縁膜の膜厚分だけ低く形成できることとなる。つまり、仮にこの段階でビット線に接続するプラグ32とともにキャパシタに接続するプラグをも形成すると、両プラグの電氣的絶縁性を実現するために絶縁膜を形成し、その絶縁膜上にビット線接続孔を介してプラグ32に接続されるビット線を形成することが必要になる。すなわちプラグ32とキャパシタに接続するプラグとを絶縁する絶縁膜が不可欠となる。ところが、本実施の形態では、このような絶縁膜は必要でなく、工程簡略化および素子の低層化を実現できる。

【0091】

プラグ33の形成は、プラグ33が形成される領域に開口を有するフォトリソ膜をマスクとして、層間絶縁膜31に接続孔を形成し、その後、この接続孔を埋め込む窒化チタン膜およびタングステン膜をたとえばスパッタ法あるいはCVD法により堆積し、接続孔以外の領域の窒化チタン膜およびタングステン膜を除去して形成できる。窒化チタン膜は半導体基板1（シリサイド膜29）とタングステン膜との反応を抑制するバリア層として機能する。窒化チタン膜およびタングステン膜の除去にはCMP法を用いることができる

。なお、接続孔の開口には、プラグ32の場合と同様に2段階エッチング法を用いることができる。

【0092】

次に、図21に示すように、第1領域Aにビット線BLを、第2領域Bおよび第3領域Cに第1層配線M1を形成する。ビット線BLおよび第1層配線M1は同一の工程で形成される。ビット線BLおよび第1層配線M1は、まずシリコン酸化膜31の上部に膜厚50nm程度の窒化チタン膜をたとえばスパッタリング法で堆積し、さらにその上部に膜厚150nm程度のタングステン膜をたとえばCVD法で堆積した後、フォトレジスト膜をマスクにしてこれらの膜をパターンングすることにより形成する。窒化チタン膜は、タングステン膜と多結晶シリコンからなるプラグ32との間の反応を抑制するために形成する。ビット線BLは、隣接するビット線BLとの間に形成される寄生容量をできるだけ低減して情報の読み出し速度および書き込み速度を向上させるために、その間隔がその幅よりも長くなるように形成する。ビット線BLの間隔はたとえば0.24μm程度とし、その幅はたとえば0.22μm程度とする。

10

【0093】

次に、図22に示すように、層間絶縁膜34を形成し、さらに、選択MISFETとキャパシタとを接続するプラグ35を形成する。

【0094】

層間絶縁膜34の一部には、膜厚300nm程度のSOG膜を用いることができる。SOG膜は、BPSG膜に比べてリフロー性が高く、微細な配線間のギャップフィル性に優れているので、微細化されたビット線BL同士の隙間を良好に埋め込むことができる。また、SOG膜上にたとえばオゾン(O₃)とテトラエトキシシラン(TEOS)とをソースガスに用いたプラズマCVD法で堆積したシリコン酸化膜を形成し、これをCMP法により平坦化して層間絶縁膜34とすることができる。これにより、ビット線BL同士の微細な隙間のギャップフィル性が向上すると共に、ビット線BLおよび第1層配線M1上の絶縁膜の平坦化を実現できる。なお、CMP法で研磨されたときに生じた前記シリコン酸化膜の表面の微細な傷を補修するためにさらにシリコン酸化膜を形成してもよい。

20

【0095】

プラグ35は、プラグ32と同様に形成できる。なお、プラグ32が形成される接続孔は、層間絶縁膜34、31に開口されるが、前記したとおり、ビット線BLとプラグ32との間に絶縁膜が形成されていないため、この接続孔の深さを低減でき、工程の難易度を下げることができる。

30

【0096】

次に、図23に示すように、絶縁膜36を堆積し、プラグ35に達する溝37を絶縁膜36に形成する。その後、溝37の内壁を覆う多結晶シリコン膜38を半導体基板1の全面に堆積する。

【0097】

絶縁膜36は、たとえばシリコン酸化膜とし、キャパシタの容量を考慮してその膜厚を約1μmとする。シリコン酸化膜はたとえばCVD法により形成できる。溝37は、フォトレジスト膜をマスクとしてエッチングにより形成し、多結晶シリコン膜38は、たとえばCVD法により形成する。多結晶シリコン膜38の膜厚は約70nmとする。

40

【0098】

なお、絶縁膜36の堆積前に薄いシリコン窒化膜を堆積してもよい。このシリコン窒化膜により溝37の形成を2段階のエッチングを用いて行うことができ、過剰にエッチングすることなくプラグ35表面の露出を均一性よく行うことができる。

【0099】

次に、レジスト膜(図示せず)等で溝37内を充填し、溝37の内部以外の絶縁膜36上の多結晶シリコン膜38をたとえばエッチバック法で除去する。これにより溝37内に多結晶シリコン膜38からなるキャパシタの下部電極39を形成する。その後、溝37内を充填したレジスト膜等を除去する。なお、下部電極39の内面に、容量増加のための表面

50

粗化処理を施してもよい。表面粗化は、粒状シリコン結晶の成長により行うことができる。

【0100】

次に、たとえばホスフィン (PH_3) ガスを用いたリン処理を行う、これにより下部電極 39 にリンをドーブする。また、不純物 (リン) の活性化を $750 \sim 4$ 分の熱処理により行う。その後シリコン窒化膜 40 を堆積する (図 24)。シリコン窒化膜 40 はキャパシタ絶縁膜として機能し、たとえばランプ加熱式の枚葉処理装置による CVD 法 (たとえば $730 \sim 10$ 分の処理条件) により形成できる。シリコン窒化膜 40 の膜厚は約 9 nm とする。

【0101】

なお、キャパシタ絶縁膜としては結晶化酸化タンタル膜 (Ta_2O_5) 等の高誘電率金属酸化膜を用いることもできるが、本実施の形態ではシリコン窒化膜 40 が適当である。すなわち、シリコン窒化膜の形成温度は、 $730 \sim$ 程度であり、 800 以上の処理温度を必要とする結晶化酸化タンタル膜よりも低温で形成できる。このような低温化は、本実施の形態のようにロジック回路を混載した半導体装置に好ましい。つまり、ロジック回路の場合、本実施の形態で既に説明したように、サリサイドプロセスを用いてゲート電極およびソース・ドレイン領域にシリサイド層 (シリサイド膜 29) が形成される。このシリサイド膜 29 が存在する状況で 800 以上の熱工程に曝すと、シリサイド中のコバルトの拡散あるいは深い領域へのシリサイドの成長が問題となる場合がある。これはシリサイド膜 29 の耐熱性の低さとして観測され、ロジック部の MISFET の信頼性、性能の低下

10

20

【0102】

また、本実施の形態のようにデュアルゲート構造の場合にも、キャパシタ絶縁膜としてシリコン窒化膜 40 を用いる効果大きい。すなわち、デュアルゲート構造の場合にはゲート電極 17 としてボロン等 p 型不純物がドーブされた多結晶シリコン膜を用いるが、高温プロセスが介在した場合にはこのボロンの拡散が問題となる場合がある。すなわち、ボロンのゲート絶縁膜あるいはチャネル領域への拡散により MISFET のしきい値電圧がシフトする原因となる。ところが、本実施の形態では低温化が可能なシリコン窒化膜 40 を

30

【0103】

次に、図 25 に示すように、溝 37 を埋め込む窒化チタン膜をシリコン窒化膜 40 上に堆積する。窒化チタン膜は、たとえば CVD 法およびスパッタ法により堆積する。すなわち、CVD 法により約 $500 \sim$ の成膜条件で窒化チタン膜を膜厚約 30 nm で堆積し、その後スパッタ法により窒化チタン膜を約 80 nm の膜厚で堆積する。このように、窒化チタン膜は 500 以下の低温で形成できるため、前記したような高温プロセスの問題が発生しない。その後、主に第 1 領域 A を覆うフォトリソグ膜をマスクとして窒化チタン膜およびシリコン窒化膜 40 をエッチングし、プレート電極 41 (キャパシタ上部電極) を形成する。

40

【0104】

なお、プレート電極 41 は、窒化チタン膜に代えて多結晶シリコン膜を用いることが可能であるが、本実施の形態では、窒化チタン膜の方が好ましい。すなわち、多結晶シリコン膜をプレート電極に用いる場合は、不純物の活性化処理が必要となり、活性化処理は一般に $750 \sim$ 程度の熱工程となる。このような熱工程が本実施の形態のようにロジック回路を混載する場合に好ましくないことは前記の通りである。

【0105】

また、図 26 に示すように、プレート電極 41 として窒化チタン膜を用いた場合と多結晶シリコン膜を用いた場合とでは、キャパシタの容量値が異なることを本発明者らは見いだ

50

している。図26は、本発明者らの実験検討によるデータを示したグラフであり、プレート電極として窒化チタン膜と多結晶シリコン膜を用いた場合を比較したデータである。図中のデータ群42はプレート電極として窒化チタン膜を用いた場合のデータであり、データ群43はプレート電極として多結晶シリコン膜を用いた場合のデータである。白丸はプレート電極に負電圧を印加した場合の容量値、黒丸はプレート電極に正電圧を印加した場合の容量値である。データ群43(多結晶シリコン膜プレート)の場合は活性化アニール処理の時間についてプロットしている。多結晶シリコン膜プレートの場合は活性化アニール時間が増加するに従い容量値が大きくなっていることがわかる。一方、窒化チタン膜プレートの場合は、活性化アニール処理が必要でないばかりか、多結晶シリコン膜プレートに比較して容量値が大きくなる。

10

【0106】

このような知見に基づき、容量絶縁膜としてシリコン窒化膜を用いる場合には、プレート電極41として窒化チタン膜を用いることが有効であることがわかる。

【0107】

次に、図27に示すように、キャパシタの上部に膜厚40nm程度のシリコン酸化膜44を堆積する。シリコン酸化膜44は、たとえばオゾン(O₃)とテトラエトキシシラン(TEOS)とをソースガスに用いたプラズマCVD法で堆積する。その後、フォトレジスト膜をマスクにしたドライエッチングで第1層配線M1の上部の絶縁膜を除去することにより、スルーホール45を形成する。その後、スルーホール45の内部にプラグ46を形成し、続いてシリコン酸化膜44の上部に第2層配線M2を形成する。プラグ46は、シリコン酸化膜44の上部にスパッタリング法で膜厚100nm程度のTiN膜を堆積し、さらにその上部にCVD法で膜厚500nm程度のW膜を堆積した後、これらの膜をエッチバックしてスルーホール45の内部に残すことにより形成する。第2層配線M2は、シリコン酸化膜44の上部にスパッタリング法で膜厚50nm程度のTiN膜、膜厚500nm程度のAl(アルミニウム)膜、膜厚50nm程度のTi膜を堆積した後、フォトレジスト膜をマスクにしたドライエッチングでこれらの膜をパターニングして形成する。

20

【0108】

その後、層間絶縁膜を介して第3層配線等の上層配線を形成し、その上部にシリコン酸化膜とシリコン窒化膜とで構成されたパッシベーション膜を堆積するが、その図示は省略する。以上の工程により、本実施の形態の半導体装置が略完成する。

30

【0109】

なお、第3層配線およびそれに接続するプラグは第2層配線の場合と同様に形成することができ、層間絶縁膜は、たとえば膜厚300nm程度のシリコン酸化膜、膜厚400nm程度のSiO₂膜および膜厚300nm程度のシリコン酸化膜で構成できる。シリコン酸化膜は、たとえばオゾン(O₃)とテトラエトキシシラン(TEOS)とをソースガスに用いたプラズマCVD法で堆積できる。

【0110】

本実施の形態によれば、最小限の工程追加(シリコン酸化膜22の形成)により、第1領域A(メモリセル形成領域)のソース・ドレイン領域にはシリサイド膜を形成することなく、シリサイドプロセスを適用してDRAM周辺回路を含むロジック領域(第2領域Bおよび第3領域C)のソース・ドレイン領域とゲート電極の低抵抗化を実現できる。これによりMISFETの性能を損なうことなくDRAM領域とロジック領域のプロセスを共通化して工程を簡略化することができる。

40

【0111】

また、ゲート電極17を2層構成とすることにより、イオン注入工程におけるチャネル領域へのイオンの注入を防止し、また、キャパシタ形成工程等の熱工程におけるシリサイド金属のゲート絶縁膜への拡散を防止できる。さらに、ゲート電極の内部応力を抑制してゲート絶縁膜の耐圧を向上できる。

【0112】

また、DRAMキャパシタの絶縁膜としてシリコン窒化膜を用いることにより、キャパシ

50

タ絶縁膜の形成工程を低温化し、シリサイド膜の熱劣化を防止し、また、デュアルゲートを構成するp型ゲート電極のボロンの拡散を抑制できる。さらに、シリコン窒化膜からなるキャパシタ絶縁膜と窒化チタン膜からなるプレート電極との組み合わせによりキャパシタの蓄積容量値を増加できる。

【0113】

また、ビット線BLに接続するプラグ32の形成とキャパシタに接続するプラグ35の形成を別工程とするため、ビット線BLとプラグ32との間に絶縁膜を形成する必要がなく、工程を簡略化できるとともにこの絶縁膜の膜厚分だけ素子の標高を低くすることができる。

【0114】

(実施の形態2)

図28～図34は、実施の形態2の半導体装置の製造工程の一例を工程順に示した断面図である。

【0115】

本実施の形態の半導体装置の製造方法は、実施の形態1における図4までの工程と同様である。ただし、本実施の形態では、ゲート電極が単一のシリコン層で構成されるため、実施の形態1のシリコン膜9よりも膜厚の厚いシリコン膜50が形成される。

【0116】

その後、実施の形態1と同様に、図28に示すように、シリコン膜50上に、第3領域Cを覆うフォトリソ膜10を形成し、第1領域Aおよび第2領域Bのシリコン膜50にn型不純物、たとえばリンをイオン注入する。これによりn型シリコン膜51を形成する。フォトリソ膜10を除去した後、図29に示すように、第1領域Aおよび第2領域Bを覆うフォトリソ膜12を形成し、第3領域Cのシリコン膜50にp型不純物、たとえばボロンをイオン注入する。これによりp型シリコン膜52を形成する。さらに、n型およびp型シリコン膜51、52に、たとえばRTA(Rapid Thermal Anneal)処理を施し、これを結晶化する。

【0117】

次に、実施の形態1の図9のシリコン窒化膜15と同様にシリコン窒化膜を形成し、実施の形態1の図10の工程と同様にこのシリコン窒化膜およびシリコン膜51、52をパターンニングしてゲート電極53およびキャップ絶縁膜18を形成する。さらに、実施の形態1の図11の工程と同様にn⁻型半導体領域19およびp⁻型半導体領域20を形成する。続いて、実施の形態1の図12の工程と同様にゲート電極53およびキャップ絶縁膜18の側壁にサイドウォール21を形成する(図30)。

【0118】

次に、実施の形態1の図13の工程と同様に、半導体基板1の表面を酸化処理してシリコン酸化膜22を形成する(図31)。

【0119】

次に、実施の形態1の図15および図16の工程と同様に、n⁺型半導体領域24およびp⁺型半導体領域26をイオン注入により形成する(図32)。このイオン注入の際には、ゲート電極53上にはキャップ絶縁膜18が形成されているため、注入イオンのチャンネル領域(半導体基板1)への貫通は生じない。

【0120】

次に、実施の形態1の図14の工程と同様に、キャップ絶縁膜18を除去する(図33)。

【0121】

次に、実施の形態1の図17の工程と同様に、第2領域Bと第3領域Cのシリコン酸化膜22を除去し、さらに実施の形態1の図18と同様に、金属膜を半導体基板1の全面にたとえばスパッタ法またはCVD法により堆積する。その後、実施の形態1の図19と同様に、金属膜とシリコンとのシリサイド化反応を生じさせるためのアニール処理を行い、金属シリサイド膜29(コバルトシリサイド膜)を形成する。その後未反応の金属膜を選択

10

20

30

40

50

的に除去する（図34）。

【0122】

その後の工程は実施の形態1と同様である。

【0123】

本実施の形態によれば、ゲート電極53を単層構成にして、工程を簡略化することができる。

【0124】

なお、本実施の形態では、シリコン酸化膜22の形成後に n^+ 型半導体領域24および p^+ 型半導体領域26を形成した（図32参照）が、図35に示すように、シリコン酸化膜22の形成前に n^+ 型半導体領域24および p^+ 型半導体領域26を形成してもよい。そして n^+ 型半導体領域24および p^+ 型半導体領域26の形成後にシリコン酸化膜22を形成し、さらに図33以降の工程を行うことができる。この場合には、シリコン酸化膜22が無い状態で高濃度の不純物イオン注入が行われるため、 n^+ 型半導体領域24および p^+ 型半導体領域26内に酸素イオンがロックオンされることがない。従って、シリサイド金属としてチタン等を用い、チタンシリサイド膜等の低抵抗化（相変化）が必要なシリサイド膜を形成する場合に有利である。

【0125】

（実施の形態3）

図36～図41は、実施の形態3の半導体装置の製造工程の一例を工程順に示した断面図である。

【0126】

図36に示すように、半導体基板1の主面にゲート絶縁膜60を介したゲート電極61、ソース・ドレイン領域である半導体領域62、サイドウォール63を有するMISFETを形成する。ゲート電極61は多結晶シリコン膜からなりその表面に絶縁膜等は形成されていない。

【0127】

次に、図37に示すように、絶縁膜64たとえばシリコン酸化膜を形成する。絶縁膜64は、たとえばCVD法による膜堆積で形成することができるが、熱酸化法によりゲート電極61表面および半導体領域62表面にのみ形成してもよい。

【0128】

次に、図38に示すように、ゲート電極61の上部に開口を有するフォトレジスト膜65を形成する。フォトレジスト膜65は、ゲート電極61のパターンを若干広げたパターンの反転パターンで形成できる。

【0129】

次に、図39に示すように、フォトレジスト膜65をマスクとして絶縁膜64をエッチングし、ゲート電極61の表面を露出する。そしてフォトレジスト膜65を除去する。

【0130】

次に、図40に示すように、金属膜66、たとえばコバルト膜を堆積し、熱処理を行って、金属膜66とゲート電極61（多結晶シリコン膜）との反応によりシリサイド膜67（たとえばコバルトシリサイド膜）を形成する。その後図41に示すように、未反応の金属膜66を除去する。

【0131】

本実施の形態では、絶縁膜64により半導体領域62が覆われているため、半導体領域62上にはシリサイド膜が形成されず、一方、ゲート電極61上の絶縁膜64はエッチングにより除去されているため、ゲート電極61上にシリサイド膜67が形成され低抵抗化が図られる。

【0132】

このように、本実施の形態の方法を用いてもシリサイド技術を用いてゲート電極61上のみシリサイド膜67を形成することができる。

【0133】

10

20

30

40

50

なお、微細化されたゲート電極 6 1 においてはフォトレジスト膜 6 5 のパターニングが困難になることが考えられるが、本実施の形態では、パターニングがゲート電極 6 1 の配線幅方向（図ではゲート長方向）に半分程度ずれても構わない。このようなずれの発生により、ゲート電極 6 1 のシリサイド化される領域が狭くなるが、ゲート電極 6 1 表面の半分程度にシリサイド膜 6 7 が形成されておればゲート電極 6 1 の低抵抗化を図ることに支障は生じない。これにより、ゲート電極 6 1 の低抵抗化を維持しつつフォトレジスト膜 6 5 のパターニング精度を低下することができ、工程の難易度を下げてプロセスマージンを広げることができる。

【 0 1 3 4 】

以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

10

【 0 1 3 5 】

たとえば、実施の形態 1、2 では、シリコン酸化膜 2 2 を形成して M I S F E T のソース・ドレイン領域にシリサイド膜を形成しない例として D R A M メモリセルの選択 M I S F E T を例示しているが、これに限られず、一般的な M I S F E T、あるいはロジック回路内に形成され、特にリーク電流の低減を図る必要のある M I S F E T に適用できることは言うまでもない。

【 0 1 3 6 】

【発明の効果】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

20

【 0 1 3 7 】

(1) ロジック回路あるいは D R A M の周辺回路の M I S F E T の高い性能を維持しつつ、D R A M メモリセルの M I S F E T のリーク電流を低減し、良好な D R A M のリフレッシュ特性を実現できる。

【 0 1 3 8 】

(2) ロジック回路あるいは D R A M の周辺回路の M I S F E T とメモリセルの選択 M I S F E T とに要求される相反する要求を低コストで実現できる。

【 0 1 3 9 】

(3) ロジック回路あるいは D R A M の周辺回路の M I S F E T とメモリセルの選択 M I S F E T が 1 チップに混載されている場合にも良好な信頼性を実現できる。

30

【図面の簡単な説明】

【図 1】実施の形態 1 の半導体装置のチップ全体を示した平面図である。

【図 2】実施の形態 1 の半導体装置の製造工程の一例を工程順に示した断面図である。

【図 3】実施の形態 1 の半導体装置の製造工程の一例を工程順に示した断面図である。

【図 4】実施の形態 1 の半導体装置の製造工程の一例を工程順に示した断面図である。

【図 5】実施の形態 1 の半導体装置の製造工程の一例を工程順に示した断面図である。

【図 6】実施の形態 1 の半導体装置の製造工程の一例を工程順に示した断面図である。

【図 7】実施の形態 1 の半導体装置の製造工程の一例を工程順に示した断面図である。

40

【図 8】(a) は比較のために示した半導体装置の一部拡大断面図であり、(b) は実施の形態 1 の半導体装置の製造工程の一例を工程順に示した一部拡大断面図である。

【図 9】実施の形態 1 の半導体装置の製造工程の一例を工程順に示した断面図である。

【図 10】実施の形態 1 の半導体装置の製造工程の一例を工程順に示した断面図である。

【図 11】実施の形態 1 の半導体装置の製造工程の一例を工程順に示した断面図である。

【図 12】実施の形態 1 の半導体装置の製造工程の一例を工程順に示した断面図である。

【図 13】実施の形態 1 の半導体装置の製造工程の一例を工程順に示した断面図である。

【図 14】実施の形態 1 の半導体装置の製造工程の一例を工程順に示した断面図である。

【図 15】実施の形態 1 の半導体装置の製造工程の一例を工程順に示した断面図である。

【図 16】実施の形態 1 の半導体装置の製造工程の一例を工程順に示した断面図である。

50

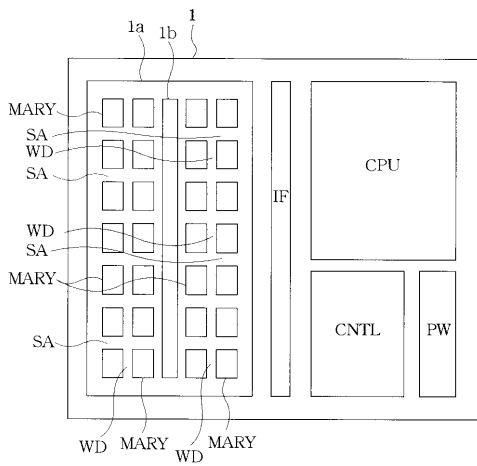
- 【図 1 7】実施の形態 1 の半導体装置の製造工程の一例を工程順に示した断面図である。
- 【図 1 8】実施の形態 1 の半導体装置の製造工程の一例を工程順に示した断面図である。
- 【図 1 9】実施の形態 1 の半導体装置の製造工程の一例を工程順に示した断面図である。
- 【図 2 0】実施の形態 1 の半導体装置の製造工程の一例を工程順に示した断面図である。
- 【図 2 1】実施の形態 1 の半導体装置の製造工程の一例を工程順に示した断面図である。
- 【図 2 2】実施の形態 1 の半導体装置の製造工程の一例を工程順に示した断面図である。
- 【図 2 3】実施の形態 1 の半導体装置の製造工程の一例を工程順に示した断面図である。
- 【図 2 4】実施の形態 1 の半導体装置の製造工程の一例を工程順に示した断面図である。
- 【図 2 5】実施の形態 1 の半導体装置の製造工程の一例を工程順に示した断面図である。
- 【図 2 6】本発明者らの実験検討によるデータを示したグラフであり、プレート電極として窒化チタン膜と多結晶シリコン膜を用いた場合を比較したデータである。 10
- 【図 2 7】実施の形態 1 の半導体装置の製造工程の一例を工程順に示した断面図である。
- 【図 2 8】実施の形態 2 の半導体装置の製造工程の一例を工程順に示した断面図である。
- 【図 2 9】実施の形態 2 の半導体装置の製造工程の一例を工程順に示した断面図である。
- 【図 3 0】実施の形態 2 の半導体装置の製造工程の一例を工程順に示した断面図である。
- 【図 3 1】実施の形態 2 の半導体装置の製造工程の一例を工程順に示した断面図である。
- 【図 3 2】実施の形態 2 の半導体装置の製造工程の一例を工程順に示した断面図である。
- 【図 3 3】実施の形態 2 の半導体装置の製造工程の一例を工程順に示した断面図である。
- 【図 3 4】実施の形態 2 の半導体装置の製造工程の一例を工程順に示した断面図である。
- 【図 3 5】実施の形態 2 の半導体装置の製造工程の他の例を工程順に示した断面図である 20
- 。
- 【図 3 6】実施の形態 3 の半導体装置の製造工程の一例を工程順に示した断面図である。
- 【図 3 7】実施の形態 3 の半導体装置の製造工程の一例を工程順に示した断面図である。
- 【図 3 8】実施の形態 3 の半導体装置の製造工程の一例を工程順に示した断面図である。
- 【図 3 9】実施の形態 3 の半導体装置の製造工程の一例を工程順に示した断面図である。
- 【図 4 0】実施の形態 3 の半導体装置の製造工程の一例を工程順に示した断面図である。
- 【図 4 1】実施の形態 3 の半導体装置の製造工程の一例を工程順に示した断面図である。
- 【符号の説明】
- 1 半導体基板
- 1 a D R A M領域 30
- 1 b 間接周辺回路領域
- 2 溝
- 3 シリコン酸化膜
- 4 シリコン酸化膜
- 5 n型半導体領域
- 6 p型ウエル
- 7 n型ウエル
- 8 ゲート酸化膜
- 9 シリコン膜
- 1 0 フォトレジスト膜 40
- 1 1 シリコン膜 (n型シリコン膜)
- 1 2 フォトレジスト膜
- 1 3 シリコン膜 (p型シリコン膜)
- 1 4 シリコン膜
- 1 5 シリコン窒化膜
- 1 6 フォトレジスト膜
- 1 7 ゲート電極
- 1 8 キャップ絶縁膜
- 1 9 n⁻型半導体領域
- 2 0 p⁻型半導体領域 50

2 1	サイドウォール	
2 2	シリコン酸化膜	
2 3	フォトレジスト膜	
2 4	n ⁺ 型半導体領域	
2 5	フォトレジスト膜	
2 6	p ⁺ 型半導体領域	
2 7	フォトレジスト膜	
2 8	金属膜	
2 9	シリサイド膜	
3 0	シリコン窒化膜	10
3 1	層間絶縁膜(シリコン酸化膜)	
3 2	プラグ	
3 3	プラグ	
3 4	層間絶縁膜	
3 5	プラグ	
3 6	絶縁膜	
3 7	溝	
3 8	多結晶シリコン膜	
3 9	下部電極	
4 0	シリコン窒化膜	20
4 1	プレート電極	
4 4	シリコン酸化膜	
4 5	スルーホール	
4 6	プラグ	
5 0	シリコン膜	
5 1	n型シリコン膜	
5 2	p型シリコン膜	
5 3	ゲート電極	
6 0	ゲート絶縁膜	
6 1	ゲート電極	30
6 2	半導体領域	
6 3	サイドウォール	
6 4	絶縁膜	
6 5	フォトレジスト膜	
6 6	金属膜	
6 7	シリサイド膜	
M 1	第1層配線	
M 2	第2層配線	
A	第1領域	
B	第2領域	40
C	第3領域	
B L	ビット線	
C N T L	制御回路	
G	ゲート電極	
I	ゲート絶縁膜	
I F	インターフェース回路	
I R	不純物領域	
I n p	不純物	
M A R Y	メモリアレイ	
P	パス	50

- P W 電源回路
- S A センスアンプ
- W D ワード線ドライバ
- W L ワード線

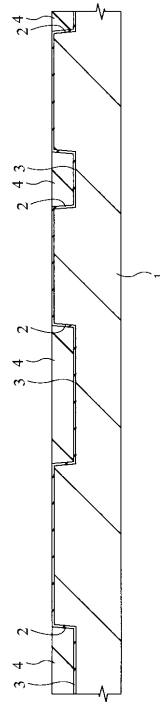
【図 1】

図 1



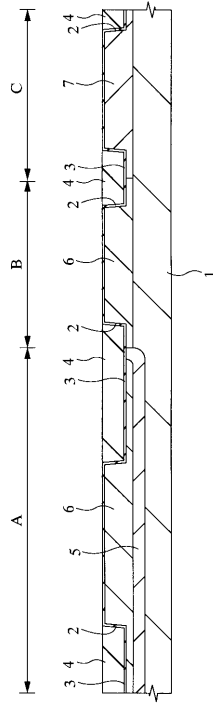
【図 2】

図 2



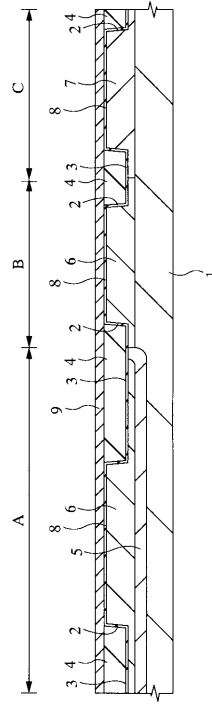
【図 3】

図 3



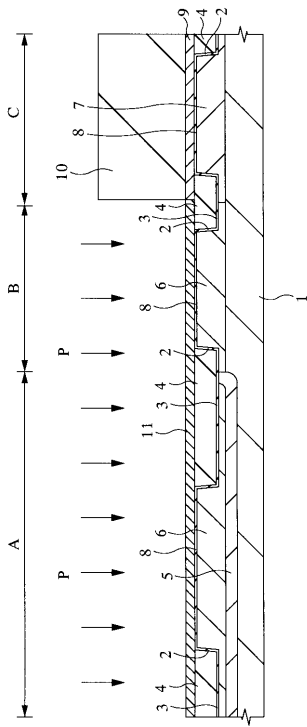
【図 4】

図 4



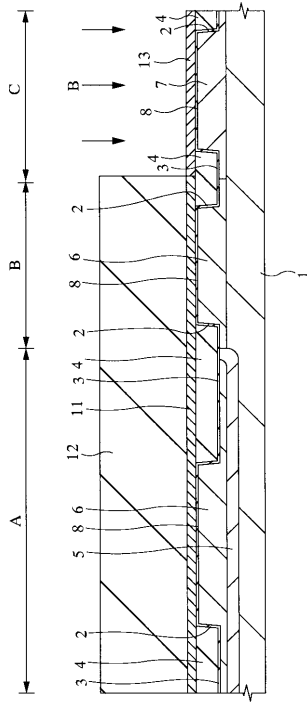
【図 5】

図 5



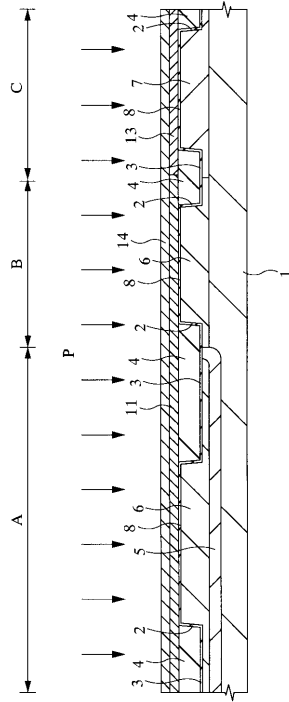
【図 6】

図 6



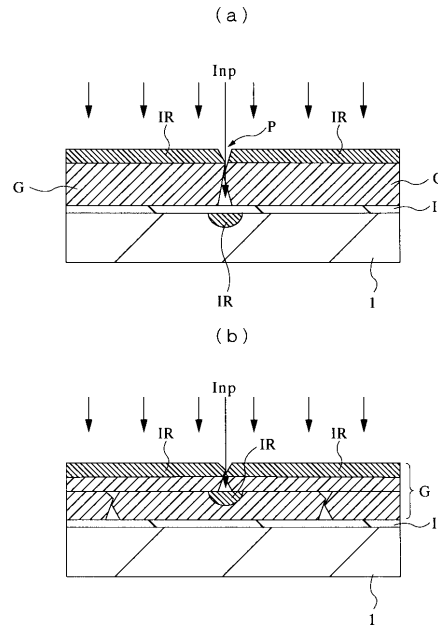
【 図 7 】

図 7



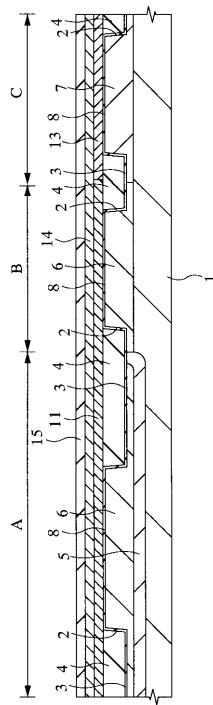
【 図 8 】

図 8



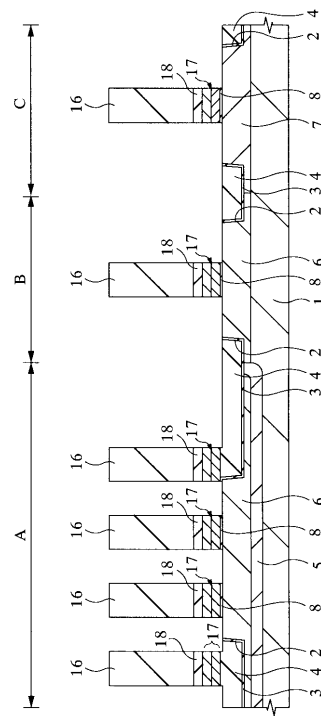
【 図 9 】

図 9



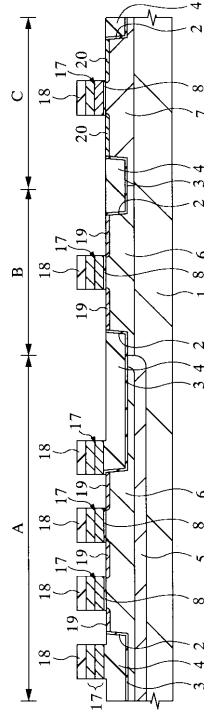
【 図 10 】

図 10



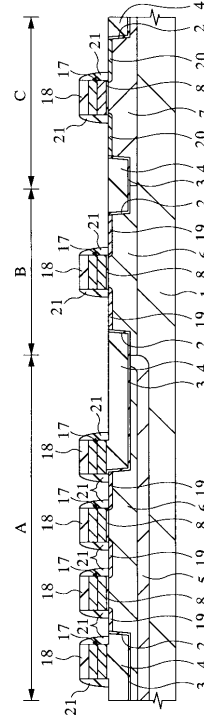
【図 11】

図 11



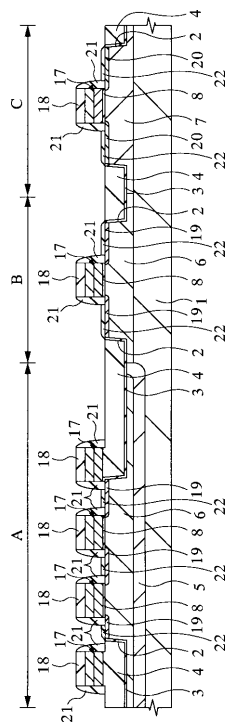
【図 12】

図 12



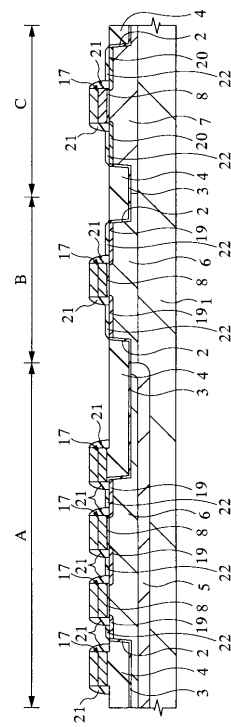
【図 13】

図 13



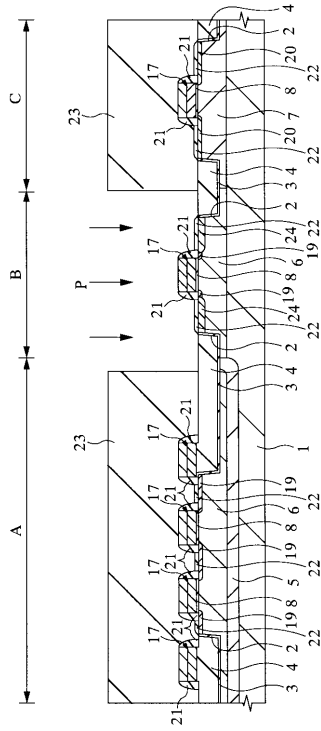
【図 14】

図 14



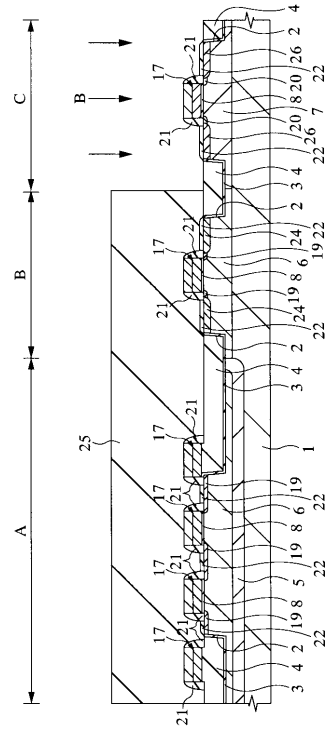
【図 15】

図 15



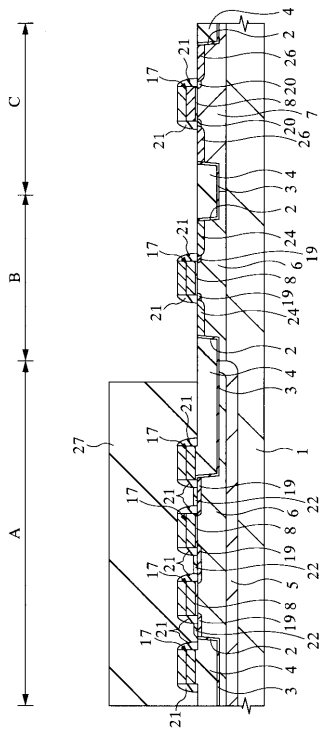
【図 16】

図 16



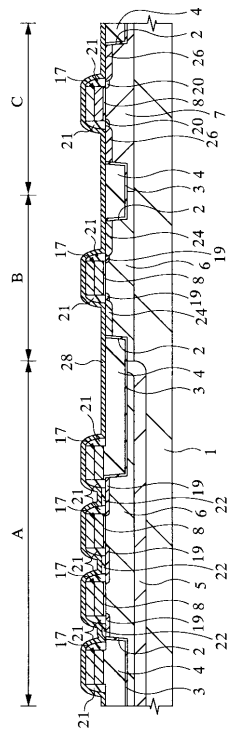
【図 17】

図 17



【図 18】

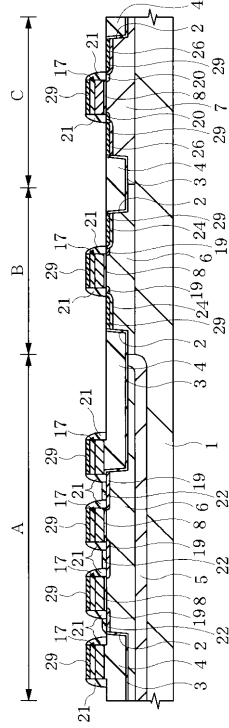
図 18



【図 19】

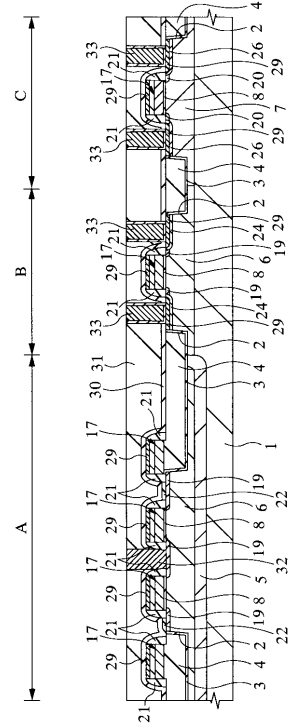
図 19

- 1: 半導体基板
- 17: ゲート電極
- 21: サイドウォール
- 22: シリコン酸化膜
- 29: シリサイド膜
- A: 第1領域
- B: 第2領域
- C: 第3領域



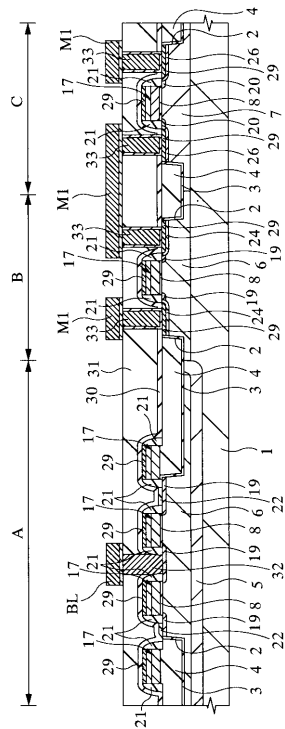
【図 20】

図 20



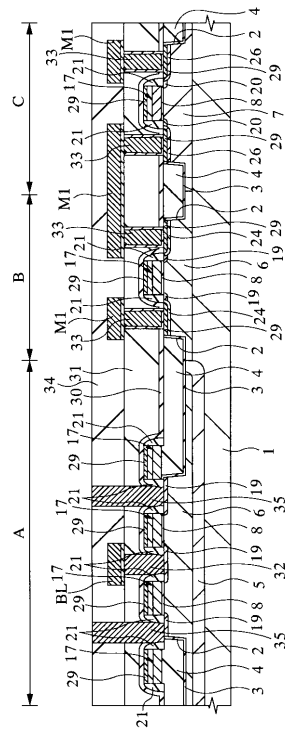
【図 21】

図 21



【図 22】

図 22



【図 23】

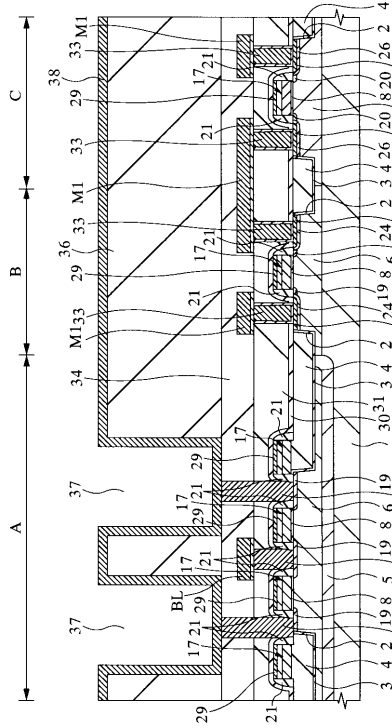


図 23

【図 24】

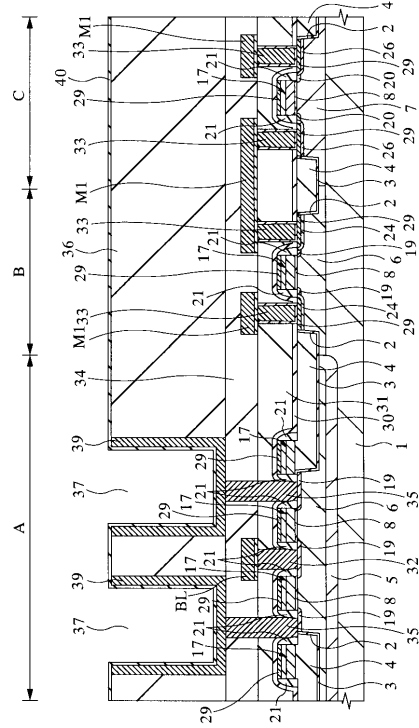


図 24

【図 25】

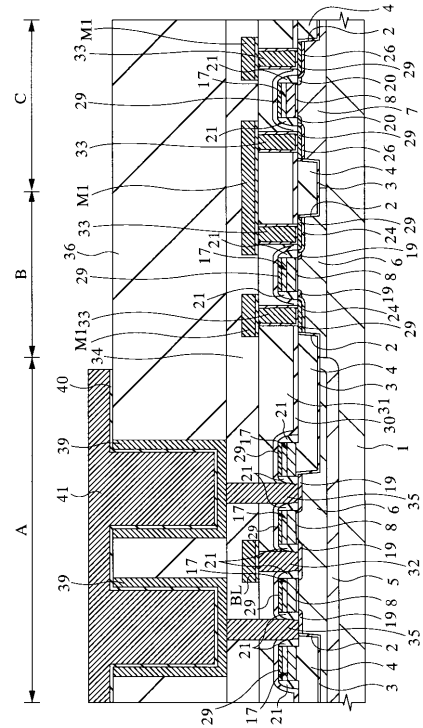
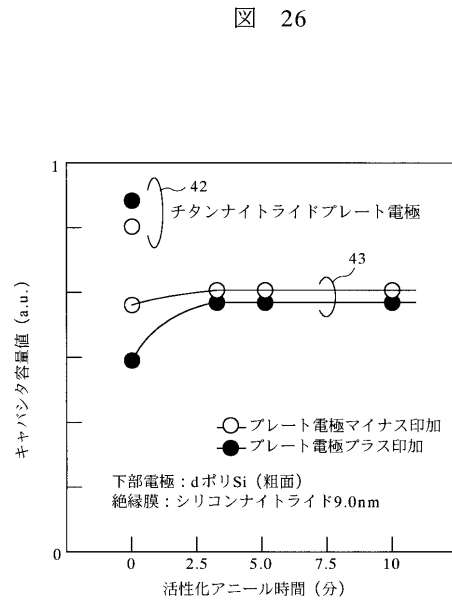
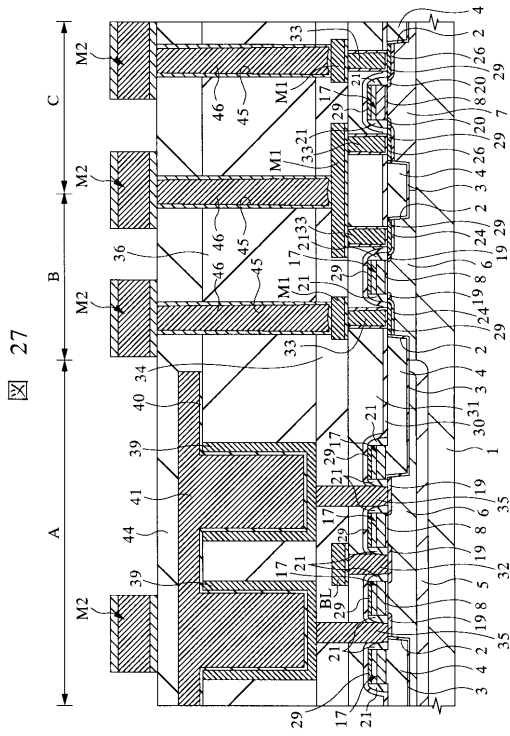


図 25

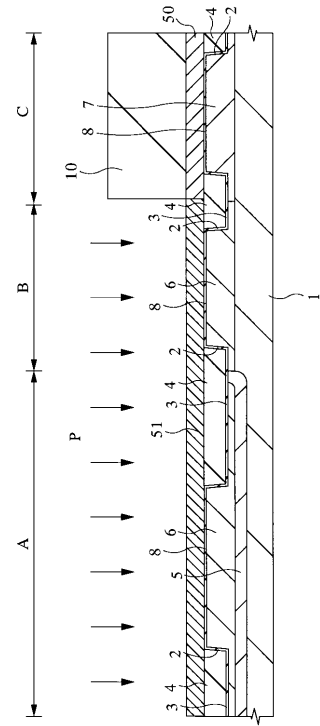
【図 26】



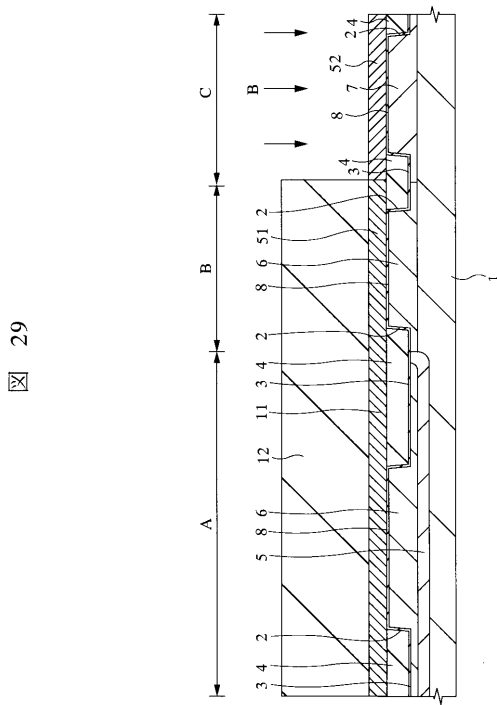
【 27 】



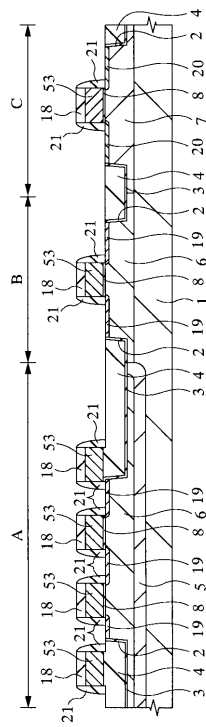
【 28 】



【 29 】

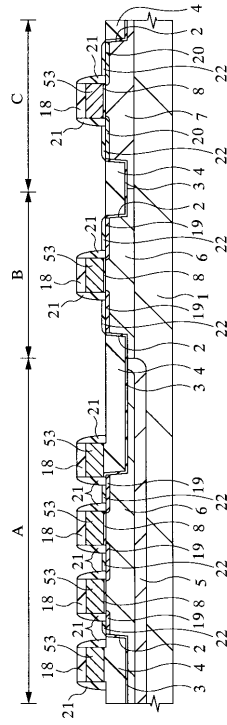


【 30 】



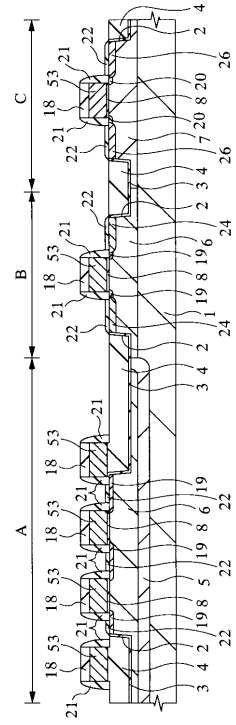
【 3 1 】

31



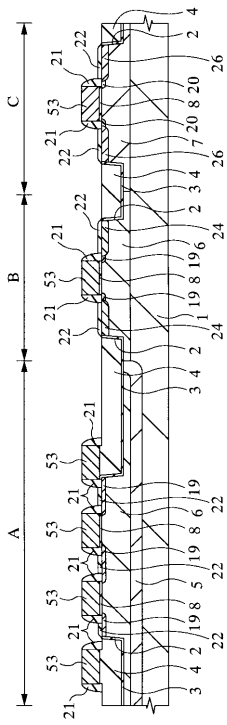
【 3 2 】

32



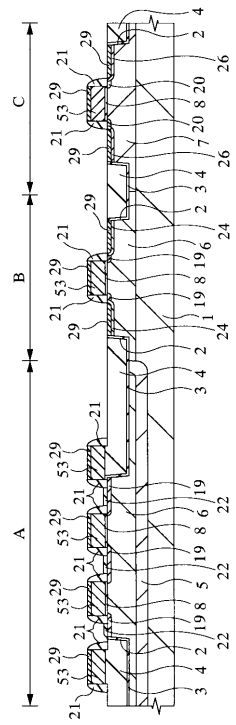
【 3 3 】

33



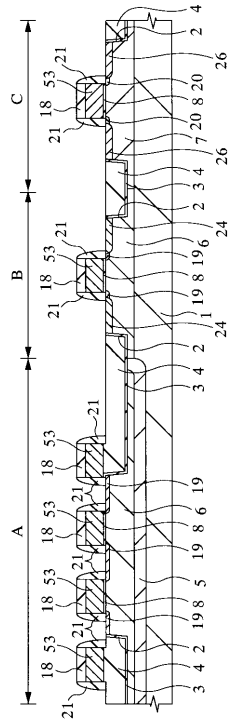
【 3 4 】

34



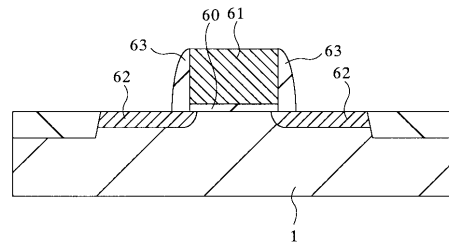
【 35 】

35



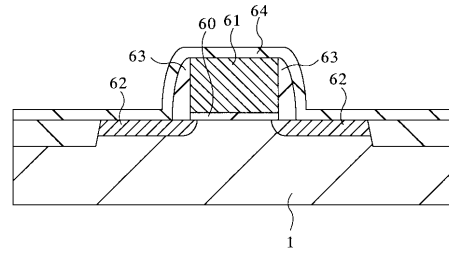
【 36 】

36



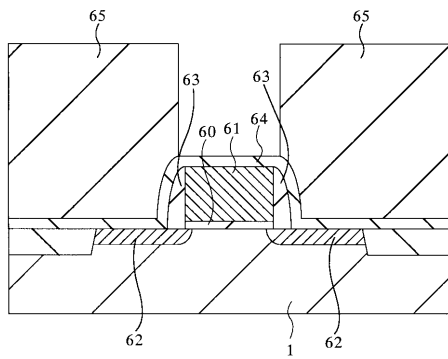
【 37 】

37



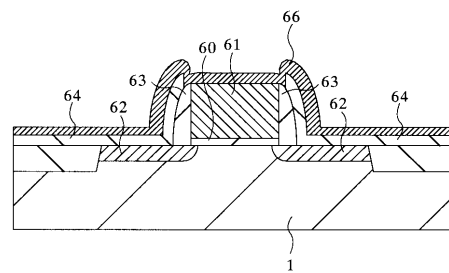
【 38 】

38



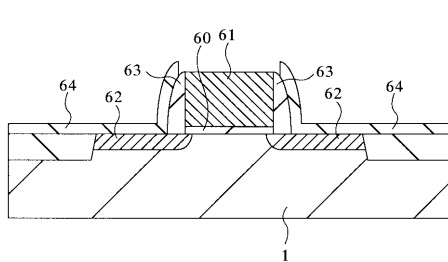
【 40 】

40



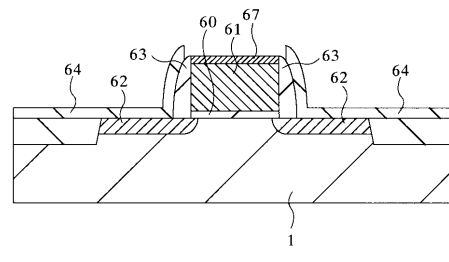
【 39 】

39



【 41 】

41



フロントページの続き

(72)発明者 吉田 省史

東京都小平市上水本町5丁目2番1号 株式会社日立超エル・エス・アイ・システムズ内

(72)発明者 豊川 滋也

東京都小平市上水本町5丁目2番1号 株式会社日立超エル・エス・アイ・システムズ内

審査官 河口 雅英

(58)調査した分野(Int.Cl. , D B名)

H01L 27/108

H01L 27/04

H01L 21/822

H01L 21/8242