

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6311815号
(P6311815)

(45) 発行日 平成30年4月18日(2018.4.18)

(24) 登録日 平成30年3月30日(2018.3.30)

(51) Int.Cl.		F I			
H04R 17/00	(2006.01)	H04R 17/00	330G		
A61B 8/14	(2006.01)	A61B 8/14			

請求項の数 12 (全 16 頁)

(21) 出願番号	特願2017-39098 (P2017-39098)	(73) 特許権者	000002369
(22) 出願日	平成29年3月2日(2017.3.2)		セイコーエプソン株式会社
(62) 分割の表示	特願2012-78672 (P2012-78672) の分割		東京都新宿区新宿四丁目1番6号
原出願日	平成24年3月30日(2012.3.30)	(74) 代理人	100090479 弁理士 井上 一
(65) 公開番号	特開2017-130952 (P2017-130952A)	(74) 代理人	100104710 弁理士 竹腰 昇
(43) 公開日	平成29年7月27日(2017.7.27)	(74) 代理人	100124682 弁理士 黒田 泰
審査請求日	平成29年3月30日(2017.3.30)	(72) 発明者	中村 友亮 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		(72) 発明者	鶴野 次郎 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

最終頁に続く

(54) 【発明の名称】 超音波トランスデューサー素子チップおよびプローブ並びに電子機器および超音波診断装置

(57) 【特許請求の範囲】

【請求項1】

基部と、

前記基部の第1面に位置し、複数の開口を仕切る壁部と、

前記複数の開口を覆い、前記開口を覆う部分が前記基部の前記第1面と対向する可撓膜と、

前記可撓膜の前記開口を覆う領域に位置する超音波トランスデューサー素子とを備え、前記基部は前記開口の内部空間および前記基部の外部空間を連通する通気経路を有し、前記超音波トランスデューサー素子は前記可撓膜上に位置する第1電極と、前記第1電極上に位置する圧電体膜と、前記圧電体膜上に位置する第2電極と、を有し、

前記壁部の厚みが前記壁部の高さより小さいことを特徴とする超音波トランスデューサー素子チップ。

【請求項2】

請求項1に記載の超音波トランスデューサー素子チップにおいて、前記基部の厚み方向からの平面視で、前記圧電体膜と前記壁部とが重ならないことを特徴とする超音波トランスデューサー素子チップ。

【請求項3】

請求項1または請求項2に記載の超音波トランスデューサー素子チップにおいて、前記可撓膜は酸化シリコン層と酸化ジルコニウム層からなり、前記酸化シリコン層と前記超音波トランスデューサー素子との間に前記酸化ジルコニウム層が位置することを特徴とする

10

20

超音波トランスデューサー素子チップ。

【請求項 4】

請求項 1 ~ 3 のいずれか 1 項に記載の超音波トランスデューサー素子チップにおいて、前記第 1 電極と前記第 2 電極との間に位置する前記圧電体膜は、前記第 1 電極を覆うことを特徴とする超音波トランスデューサー素子チップ。

【請求項 5】

請求項 2 ~ 4 のいずれか 1 項に記載の超音波トランスデューサー素子チップにおいて、前記基部の厚み方向の断面視で、前記圧電体膜の前記可撓膜と交差する側面は、前記基部の厚み方向に対して傾斜していることを特徴とする超音波トランスデューサー素子チップ。

10

【請求項 6】

請求項 1 ~ 5 のいずれか 1 項に記載の超音波トランスデューサー素子チップにおいて、前記超音波トランスデューサー素子は、保護膜で覆われていることを特徴とする超音波トランスデューサー素子チップ。

【請求項 7】

請求項 6 に記載の超音波トランスデューサー素子チップにおいて、前記保護膜はシリコン樹脂膜であることを特徴とする超音波トランスデューサー素子チップ。

【請求項 8】

請求項 1 ~ 7 のいずれか 1 項に記載の超音波トランスデューサー素子チップにおいて、前記超音波トランスデューサー素子は、前記基部の反対側に超音波を出力することを特徴とする超音波トランスデューサー素子チップ。

20

【請求項 9】

請求項 1 ~ 8 のいずれか 1 項に記載の超音波トランスデューサー素子チップと、前記超音波トランスデューサー素子チップを支持する筐体とを備えることを特徴とするプローブ。

【請求項 10】

請求項 9 に記載のプローブと、前記プローブに接続されて、前記超音波トランスデューサー素子の出力を処理する処理回路とを備えることを特徴とする電子機器。

【請求項 11】

請求項 9 に記載のプローブと、前記プローブに接続されて、前記超音波トランスデューサー素子の出力を処理し、画像を生成する処理回路と、前記画像を表示する表示装置とを備えることを特徴とする超音波診断装置。

30

【請求項 12】

請求項 1 ~ 8 のいずれか 1 項に記載の超音波トランスデューサー素子チップと、前記超音波トランスデューサー素子チップを支持する筐体と、を備えることを特徴とするプローブヘッド。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、超音波トランスデューサー素子チップ、および、それを利用したプローブ、並びに、そういったプローブを利用した電子機器および超音波診断装置等に関する。

40

【背景技術】

【0002】

例えば特許文献 1 に開示されるように、超音波トランスデューサー素子チップは基板を備える。基板には複数の開口が形成される。個々の開口に超音波トランスデューサー素子が設けられる。超音波トランスデューサー素子は振動膜を備える。振動膜は基板の表面から開口を塞ぐ。

【先行技術文献】

【特許文献】

【0003】

50

【特許文献1】特開2011-82624号公報

【特許文献2】特開2011-77918号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

基板に開口が形成されると、基板の強度は低下する。基板の厚み方向の力に対して強度が不足する。超音波トランスデューサー素子チップが被検体に押し付けられると、超音波トランスデューサー素子が破損することがあった。

【0005】

本発明の少なくとも1つの態様によれば、薄型で、かつ、基板の厚み方向の押圧力に耐える強度を有する超音波トランスデューサー素子チップは提供されることができる。

10

【課題を解決するための手段】

【0006】

(1)本発明の一態様は、開口がアレイ状に配置された基板と、前記基板の第1面において個々の前記開口に設けられる超音波トランスデューサー素子と、前記基板の前記第1面とは反対側の前記基板の第2面に固定されて前記基板を補強する補強部材と、前記開口の内部空間および前記基板の外部空間を相互に連通する通気経路とを備える超音波トランスデューサー素子チップに関する。

【0007】

こうした超音波トランスデューサー素子チップでは超音波トランスデューサー素子は薄型に形成されることができる。超音波トランスデューサー素子は薄型の基板に形成されることができる。補強部材が基板に固定されても、超音波トランスデューサー素子チップは薄型に形成されることができる。加えて、基板の第2面には補強部材が固定されることから、基板の厚み方向に基板の強度は補強されることができる。このとき、開口の内部空間は基板の外部空間と連通する。開口の内部空間と基板の外部空間との間で通気は確保される。したがって、開口の内部空間は密閉されない。開口の内部空間は周囲の圧力変動に容易に追従することができる。こうして超音波トランスデューサー素子の破損は確実に回避されることができる。仮に開口の内部空間が気密に密閉されてしまうと、圧力変動に起因して超音波トランスデューサー素子の破損が懸念されてしまう。

20

【0008】

(2)前記補強部材は、アレイ状に配置された前記開口の間の前記基板の仕切り壁部に少なくとも1カ所の接合域で接合されることができる。仕切り壁部が補強部材に接合されると、仕切り壁部の動きは補強部材で拘束される。したがって、仕切り壁部の振動は防止されることができる。その結果、超音波トランスデューサー素子同士のクロストークは防止されることができる。しかも、こうして仕切り壁部の動きが拘束されると、超音波トランスデューサー素子の超音波振動に対して仕切り壁部の振動の作用は回避されることができる。超音波トランスデューサー素子ではクリアな振動モードの超音波振動が得られる。こうして仕切り壁部の振動が回避されると、超音波振動の振幅の低下も抑制されることができる。

30

【0009】

(3)前記補強部材は、前記基板の前記第2面に重ねられる第1面を有し、前記通気経路は、前記補強部材の前記第1面に配置される溝部を含むことができる。こうして比較的簡単に通気経路は確保されることができる。

40

【0010】

(4)前記通気経路は、前記基板の前記第2面に配置されて前記開口同士を連通する溝部を含むことができる。こうして比較的簡単に通気経路は確保されることができる。

【0011】

(5)前記基板および前記補強部材の少なくとも一部は多孔質材で構成されることができる。前記通気経路は当該多孔質材の孔を含むことができる。こうして比較的簡単に通気経路は確保されることができる。

50

【0012】

(6) 超音波トランスデューサー素子チップはプローブに組み込まれて利用されることができる。プローブは、超音波トランスデューサー素子チップと、前記超音波トランスデューサー素子チップを支持する筐体とを備えることができる。

【0013】

(7) プローブは電子機器に組み込まれて利用されることができる。電子機器は、プローブと、前記プローブに接続されて、前記超音波トランスデューサー素子の出力を処理する処理回路とを備えることができる。

【0014】

(8) 同様にプローブは超音波診断装置に組み込まれて利用されることができる。超音波診断装置は、プローブと、前記プローブに接続されて、前記超音波トランスデューサー素子の出力を処理し、画像を生成する処理回路と、前記画像を表示する表示装置とを備えることができる。

10

【0015】

(9) 超音波トランスデューサー素子チップはプローブヘッドに組み込まれて利用されることができる。プローブヘッドは、超音波トランスデューサー素子チップと、前記超音波トランスデューサー素子チップを支持する筐体とを備えることができる。

【図面の簡単な説明】

【0016】

【図1】一実施形態に係る電子機器の一具体例すなわち超音波診断装置を概略的に示す外觀図である。

20

【図2】超音波プローブの拡大正面図である。

【図3】超音波トランスデューサー素子チップの拡大平面図である。

【図4】図3の4-4線に沿った断面図である。

【図5】溝を示す補強板の平面図である。

【図6】図5の拡大部分平面図である。

【図7】超音波診断装置の回路構成を概略的に示すブロック図である。

【図8】シリコンウエハー上に形成された可撓膜および下部電極を概略的に示す部分拡大垂直断面図である。

【図9】下部電極上に形成された圧電体膜および上部電極を概略的に示す部分拡大垂直断面図である。

30

【図10】シリコンウエハーを覆う導電膜を概略的に示す部分拡大垂直断面図である。

【図11】シリコンウエハーに形成された開口および補強板用のウエハーを概略的に示す部分拡大垂直断面図である。

【図12】図4に対応し、第2実施形態に係る超音波トランスデューサー素子チップの垂直断面図である。

【図13】図6に対応し、第2実施形態に係る超音波トランスデューサー素子チップの拡大部分平面図である。

【図14】シリコンウエハーの裏面に形成された溝を概略的に示す部分拡大垂直断面図である。

40

【図15】図4に対応し、第3実施形態に係る超音波トランスデューサー素子チップの垂直断面図である。

【発明を実施するための形態】

【0017】

以下、添付図面を参照しつつ本発明の一実施形態を説明する。なお、以下に説明する本実施形態は、特許請求の範囲に記載された本発明の内容を不当に限定するものではなく、本実施形態で説明される構成の全てが本発明の解決手段として必須であるとは限らない。

【0018】

(1) 超音波診断装置の全体構成

図1は本発明の一実施形態に係る電子機器の一具体例すなわち超音波診断装置11の構

50

成を概略的に示す。超音波診断装置 1 1 は装置端末 1 2 と超音波プローブ（プローブ） 1 3 とを備える。装置端末 1 2 と超音波プローブ 1 3 とはケーブル 1 4 で相互に接続される。装置端末 1 2 と超音波プローブ 1 3 とはケーブル 1 4 を通じて電気信号をやりとりする。装置端末 1 2 にはディスプレイパネル（表示装置） 1 5 が組み込まれる。ディスプレイパネル 1 5 の画面は装置端末 1 2 の表面で露出する。装置端末 1 2 では、後述されるように、超音波プローブ 1 3 で検出された超音波に基づき画像が生成される。画像化された検出結果がディスプレイパネル 1 5 の画面に表示される。

【 0 0 1 9 】

図 2 に示されるように、超音波プローブ 1 3 は筐体 1 6 を有する。筐体 1 6 内には超音波トランスデューサー素子チップ（以下「素子チップ」という） 1 7 が収容される。素子チップ 1 7 の表面は筐体 1 6 の表面で露出することができる。素子チップ 1 7 は表面から超音波を出力するとともに超音波の反射波を受信する。その他、超音波プローブ 1 3 は、プローブ本体 1 3 a に着脱自在に連結されるプローブヘッド 1 3 b を備えることができる。このとき、素子チップ 1 7 はプローブヘッド 1 3 b の筐体 1 6 内に組み込まれることができる。

10

【 0 0 2 0 】

（ 2 ）第 1 実施形態に係る超音波トランスデューサー素子チップの構成

図 3 は第 1 実施形態に係る素子チップ 1 7 の平面図を概略的に示す。素子チップ 1 7 は基板 2 1 を備える。基板 2 1 の表面（第 1 面）には素子アレイ 2 2 が形成される。素子アレイ 2 2 は超音波トランスデューサー素子（以下「素子」という） 2 3 の配列で構成される。配列は複数行複数列のマトリクスで形成される。個々の素子 2 3 は圧電素子部を備える。圧電素子部は下部電極 2 4、上部電極 2 5 および圧電体膜 2 6 で構成される。個々の素子 2 3 ごとに下部電極 2 4 および上部電極 2 5 の間に圧電体膜 2 6 が挟み込まれる。

20

【 0 0 2 1 】

下部電極 2 4 は複数本の第 1 導電体 2 4 a を有する。第 1 導電体 2 4 a は配列の行方向に相互に平行に延びる。1 行の素子 2 3 ごとに 1 本の第 1 導電体 2 4 a が割り当てられる。1 本の第 1 導電体 2 4 a は配列の行方向に並ぶ素子 2 3 の圧電体膜 2 6 に共通に配置される。第 1 導電体 2 4 a の両端は 1 対の引き出し配線 2 7 にそれぞれ接続される。引き出し配線 2 7 は配列の列方向に相互に平行に延びる。したがって、全ての第 1 導電体 2 4 a は同一長さを有する。こうしてマトリクス全体の素子 2 3 に共通に下部電極 2 4 は接続される。

30

【 0 0 2 2 】

上部電極 2 5 は複数本の第 2 導電体 2 5 a を有する。第 2 導電体 2 5 a は配列の列方向に相互に平行に延びる。1 列の素子 2 3 ごとに 1 本の第 2 導電体 2 5 a が割り当てられる。1 本の第 2 導電体 2 5 a は配列の列方向に並ぶ素子 2 3 の圧電体膜 2 6 に共通に配置される。列ごとに素子 2 3 の通電は切り替えられる。こうした通電の切り替えに応じてラインスキャンやセクタースキャンは実現される。1 列の素子 2 3 は同時に超音波を出力することから、1 列の個数すなわち配列の行数は超音波の出力レベルに応じて決定されることができる。行数は例えば 1 0 ~ 1 5 行程度に設定されればよい。図中では省略されて 5 行が描かれる。配列の列数はスキャンの範囲の広がりに応じて決定されることができる。列数は例えば 1 2 8 列や 2 5 6 列に設定されればよい。図中では省略されて 8 列が描かれる。その他、配列では千鳥配置が確立されてもよい。千鳥配置では偶数列の素子 2 3 群は奇数列の素子 2 3 群に対して行ピッチの 2 分の 1 でずらされればよい。奇数列および偶数列の一方の素子数は他方の素子数に比べて 1 つ少なくてもよい。さらにまた、下部電極 2 4 および上部電極 2 5 の役割は入れ替えられてもよい。すなわち、マトリクス全体の素子 2 3 に共通に上部電極が接続される一方で、配列の列ごとに共通に素子 2 3 に下部電極が接続されてもよい。

40

【 0 0 2 3 】

基板 2 1 の外縁は、相互に平行な 1 対の直線 2 9 で仕切られて対向する第 1 辺 2 1 a および第 2 辺 2 1 b を有する。素子アレイ 2 2 の輪郭と基板 2 1 の外縁との間に広がる周縁

50

領域 3 1 には、第 1 辺 2 1 a と素子アレイ 2 2 の輪郭との間に 1 ラインの第 1 端子アレイ 3 2 a が配置され、第 2 辺 2 1 b と素子アレイ 2 2 の輪郭との間に 1 ラインの第 2 端子アレイ 3 2 b が配置される。第 1 端子アレイ 3 2 a は第 1 辺 2 1 a に平行に 1 ラインを形成することができる。第 2 端子アレイ 3 2 b は第 2 辺 2 1 b に平行に 1 ラインを形成することができる。第 1 端子アレイ 3 2 a は 1 対の下部電極端子 3 3 および複数の上部電極端子 3 4 で構成される。同様に、第 2 端子アレイ 3 2 b は 1 対の下部電極端子 3 5 および複数の上部電極端子 3 6 で構成される。1 本の引き出し配線 2 7 の両端にそれぞれ下部電極端子 3 3、3 5 は接続される。引き出し配線 2 7 および下部電極端子 3 3、3 5 は素子アレイ 2 2 を二等分する垂直面で対称に形成されればよい。1 本の第 2 導電体 2 5 a の両端にそれぞれ上部電極端子 3 4、3 6 は接続される。第 2 導電体 2 5 a および上部電極端子 3 4、3 6 は素子アレイ 2 2 を二等分する垂直面で対称に形成されればよい。ここでは、基板 2 1 の輪郭は矩形に形成される。基板 2 1 の輪郭は正方形であってもよく台形であってもよい。

10

【0024】

基板 2 1 には第 1 フレキシブルプリント基板（以下「第 1 フレキ」という）3 7 が連結される。第 1 フレキ 3 7 は第 1 端子アレイ 3 2 a に覆い被さる。第 1 フレキ 3 7 の一端には下部電極端子 3 3 および上部電極端子 3 4 に個別に対応して導電線すなわち第 1 信号線 3 8 が形成される。第 1 信号線 3 8 は下部電極端子 3 3 および上部電極端子 3 4 に個別に向き合わせられ個別に接合される。同様に、基板 2 1 には第 2 フレキシブルプリント基板（以下「第 2 フレキ」という）4 1 が覆い被さる。第 2 フレキ 4 1 は第 2 端子アレイ 3 2 b に覆い被さる。第 2 フレキ 4 1 の第 1 端 4 1 a には下部電極端子 3 5 および上部電極端子 3 6 に個別に対応して導電線すなわち第 2 信号線 4 2 が形成される。第 2 信号線 4 2 は下部電極端子 3 5 および上部電極端子 3 6 に個別に向き合わせられ個別に接合される。

20

【0025】

図 4 に示されるように、個々の素子 2 3 は振動膜 4 3 を有する。振動膜 4 3 の構築にあたって基板 2 1 の基体 4 4 には個々の素子 2 3 ごとに開口 4 5 が形成される。開口 4 5 は基体 4 4 に対してアレイ状に配置される。基体 4 4 の表面（第 1 面）には可撓膜 4 6 が一面に形成される。可撓膜 4 6 は、基体 4 4 の表面に積層される酸化シリコン（ SiO_2 ）層 4 7 と、酸化シリコン層 4 7 の表面に積層される酸化ジルコニウム（ ZrO_2 ）層 4 8 とで構成される。可撓膜 4 6 は開口 4 5 に接する。こうして開口 4 5 の輪郭に対応して可撓膜 4 6 の一部が振動膜 4 3 として機能する。酸化シリコン層 4 7 の膜厚は共振周波数に基づき決定されることができる。

30

【0026】

振動膜 4 3 の表面に下部電極 2 4、圧電体膜 2 6 および上部電極 2 5 が順番に積層される。下部電極 2 4 には例えばチタン（ Ti ）、イリジウム（ Ir ）、白金（ Pt ）およびチタン（ Ti ）の積層膜が用いられることができる。圧電体膜 2 6 は例えばジルコン酸チタン酸鉛（ PZT ）で形成されることができる。上部電極 2 5 は例えばイリジウム（ Ir ）で形成されることができる。下部電極 2 4 および上部電極 2 5 にはその他の導電材が利用されてもよく、圧電体膜 2 6 にはその他の圧電材料が用いられてもよい。ここでは、上部電極 2 5 の下で圧電体膜 2 6 は完全に下部電極 2 4 を覆う。圧電体膜 2 6 の働きで上部電極 2 5 と下部電極 2 4 との間で短絡は回避されることができる。

40

【0027】

基板 2 1 の表面には保護膜 4 9 が積層される。保護膜 4 9 は例えば全面にわたって基板 2 1 の表面に覆い被さる。その結果、素子アレイ 2 2 や第 1 および第 2 端子アレイ 3 2 a、3 2 b、第 1 および第 2 フレキ 3 7、4 1 の第 1 端 3 7 a、4 1 a は保護膜 4 9 で覆われる。保護膜 4 9 には例えばシリコーン樹脂膜が用いられることができる。保護膜 4 9 は、素子アレイ 2 2 の構造や、第 1 端子アレイ 3 2 a および第 1 フレキ 3 7 の接合、第 2 端子アレイ 3 2 b および第 2 フレキ 4 1 の接合を保護する。

【0028】

隣接する開口 4 5 同士の間には仕切り壁 5 1 が区画される。開口 4 5 同士は仕切り壁 5

50

1で仕切られる。仕切り壁51の壁厚み t は開口45の空間同士の間隔に相当する。仕切り壁51は相互に平行に広がる平面内に2つの壁面を規定する。壁厚み t は壁面同士の距離に相当する。すなわち、壁厚み t は壁面に直交して壁面同士の間に挟まれる垂線の長さで規定されることができる。仕切り壁51の壁高さ H は開口45の深さに相当する。開口45の深さは基体44の厚みに相当する。したがって、仕切り壁51の壁高さ H は基体44の厚み方向に規定される壁面の長さで規定されることができる。基体44は均一な厚みを有することから、仕切り壁51は全長にわたって一定の壁高さ H を有することができる。仕切り壁51の壁厚み t が縮小されれば、振動膜43の配置密度は高められる。素子チップ17の小型化に寄与することができる。壁厚み t に比べて仕切り壁51の壁高さ H が大きければ、素子チップ17の曲げ剛性は高められることができる。こうして開口45同士の間隔は開口45の深さよりも小さく設定される。

10

【0029】

基体44の表面の反対側の基体44の裏面(第2面)には補強板(補強部材)52が固定される。補強板52の表面に基体44の裏面が重ねられる。補強板52は素子チップ17の裏面で開口45に被さる。補強板52はリジッドな基材を備えることができる。補強板52は例えばシリコン基板から形成されることができる。基体44の板厚は例えば100 μm 程度に設定され、補強板52の板厚は例えば100~150 μm 程度に設定される。ここでは、仕切り壁51は補強板52に結合される。補強板52は個々の仕切り壁51に少なくとも1カ所の接合域で接合される。接合にあたって接着剤は用いられることができる。「重ねられ」には、基体44と補強板52との重ね合わせのほか、基体44の裏面に対する補強材の積層や、基体44と補強板52との対向配置での接続が含まれる。

20

【0030】

補強板52の表面には複数の直線状の溝(溝部)53が配置される。溝53は補強板52の表面を複数の平面54に分割する。複数の平面54は1つの仮想平面 HP 内で広がる。その仮想平面 HP 内で基体44の裏面は広がる。仕切り壁51は平面54に接合される。溝53は仮想平面 HP から窪む。溝53の断面形状は四角形であってもよく三角形であってもよく半円形その他の形状であってもよい。

【0031】

図5に示されるように、開口45は第1方向 $D1$ に列を形成する。開口45の輪郭形状の図心45cは第1方向 $D1$ の1直線56上で等ピッチに配置される。開口45は1つの輪郭形状の複写で象られることから、同一形状の開口45が一定のピッチで繰り返し配置される。開口45の輪郭45aは例えば四角形に規定される。具体的には矩形に形成される。矩形の長辺は第1方向 $D1$ に合わせ込まれる。こうして開口45は矩形の輪郭45aを有することから、仕切り壁51は全長にわたって一定の壁厚み t を有することができる。このとき、仕切り壁51の接合域は長辺の中央位置を含む領域であればよい。特に、仕切り壁51の接合域は長辺の全長を含む領域であればよい。仕切り壁51は長辺の全長にわたって開口45同士の間の全面で補強板52に面接合されることができる。さらに、仕切り壁51の接合域は四角形の各辺に少なくとも1カ所ずつ配置されることができる。仕切り壁51の接合域は四角形を途切れなく囲むことができる。仕切り壁51は四角形の全周にわたって開口45同士の間の全面で補強板52に面接合されることができる。

30

40

【0032】

溝53は一定の間隔で相互に平行に第1方向 $D1$ に並べられる。溝53は第1方向 $D1$ に交差する第2方向 $D2$ に延びる。溝53の両端は補強板52の端面57a、57bで開口する。基板21の表面に直交する方向すなわち基板21の厚み方向から見た平面視で、1本の溝53は1列(ここでは1行)の開口45の輪郭45aを順番に横切る。個々の開口45には少なくとも1本の溝53が接続される。ここでは、第2方向 $D2$ は第1方向 $D1$ に直交する。したがって、溝53は矩形の短辺方向に開口45の輪郭45aを横切る。

【0033】

図6に示されるように、平面54同士の間で溝53は基体44と補強板52との間に通気経路58a、58bを形成する。こうして溝53内の空間は開口45の内部空間に連通

50

する。通気経路 5 8 a、5 8 b は開口 4 5 の内部空間および基板 2 1 の外部空間を相互に連通する。こうして開口 4 5 の内部空間と基板 2 1 の外部空間との間で通気が確保される。基板 2 1 の厚み方向からの平面視で、1 本の溝 5 3 は 1 列（ここでは 1 行）の開口 4 5 の輪郭 4 5 a を順番に横切ることから、次々に開口 4 5 同士は通気経路 5 8 a で接続される。溝 5 3 の両端は補強板 5 2 の端面 5 7 a、5 7 b で開口する。こうして列端の開口 4 5 から基板 2 1 の外縁の外側に通気経路 5 8 b は開放される。

【 0 0 3 4 】

(3) 超音波診断装置の回路構成

図 7 に示されるように、集積回路はマルチプレクサー 6 1 および送受信回路 6 2 を備える。マルチプレクサー 6 1 は素子チップ 1 7 側のポート群 6 1 a と送受信回路 6 2 側のポート群 6 1 b とを備える。素子チップ 1 7 側のポート群 6 1 a には第 1 配線 5 4 経由で第 1 信号線 3 8 および第 2 信号線 4 2 が接続される。こうしてポート群 6 1 a は素子アレイ 2 2 に繋がる。ここでは、送受信回路 6 2 側のポート群 6 1 b には集積回路チップ 5 5 内の規定数の信号線 6 3 が接続される。規定数はスキャンにあたって同時に出力される素子 2 3 の列数に相当する。マルチプレクサー 6 1 はケーブル 1 4 側のポートと素子チップ 1 7 側のポートとの間で相互接続を管理する。

10

【 0 0 3 5 】

送受信回路 6 2 は規定数の切り替えスイッチ 6 4 を備える。個々の切り替えスイッチ 6 4 はそれぞれ個別に対応の信号線 6 3 に接続される。送受信回路 6 2 は個々の切り替えスイッチ 6 4 ごとに送信経路 6 5 および受信経路 6 6 を備える。切り替えスイッチ 6 4 には送信経路 6 5 と受信経路 6 6 とが並列に接続される。切り替えスイッチ 6 4 はマルチプレクサー 6 1 に選択的に送信経路 6 5 または受信経路 6 6 を接続する。送信経路 6 5 にはパルサー 6 7 が組み込まれる。パルサー 6 7 は共振周波数に
4 3 の共振周波数に応じた周波数でパルス信号を出力する。受信経路 6 6 にはアンプ 6 8、ローパスフィルター (L P F) 6 9 およびアナログデジタル変換器 (A D C) 7 1 が組み込まれる。個々の素子 2 3 の検出信号は増幅されてデジタル信号に変換される。

20

【 0 0 3 6 】

送受信回路 6 2 は駆動 / 受信回路 7 2 を備える。送信経路 6 5 および受信経路 6 6 は駆動 / 受信回路 7 2 に接続される。駆動 / 受信回路 7 2 はスキャンの形態に応じて同時にパルサー 6 7 を制御する。駆動 / 受信回路 7 2 はスキャンの形態に応じて検出信号のデジタル信号を受信する。駆動 / 受信回路 7 2 は制御線 7 3 でマルチプレクサー 6 1 に接続される。マルチプレクサー 6 1 は駆動 / 受信回路 7 2 から供給される制御信号に基づき相互接続の管理を実施する。

30

【 0 0 3 7 】

装置端末 1 2 には処理回路 7 4 が組み込まれる。処理回路 7 4 は例えば中央演算処理装置 (C P U) やメモリーを備えることができる。超音波診断装置 1 1 の全体動作は処理回路 7 4 の処理に従って制御される。ユーザーから入力される指示に応じて処理回路 7 4 は駆動 / 受信回路 7 2 を制御する。処理回路 7 4 は素子 2 3 の検出信号に応じて画像を生成する。画像は描画データで特定される。

【 0 0 3 8 】

装置端末 1 2 には描画回路 7 5 が組み込まれる。描画回路 7 5 は処理回路 7 4 に接続される。描画回路 7 5 にはディスプレイパネル 1 5 が接続される。描画回路 7 5 は処理回路 7 4 で生成された描画データに応じて駆動信号を生成する。駆動信号はディスプレイパネル 1 5 に送り込まれる。その結果、ディスプレイパネル 1 5 に画像が映し出される。

40

【 0 0 3 9 】

(4) 超音波診断装置の動作

次に超音波診断装置 1 1 の動作を簡単に説明する。処理回路 7 4 は駆動 / 受信回路 7 2 に超音波の送信および受信を指示する。駆動 / 受信回路 7 2 はマルチプレクサー 6 1 に制御信号を供給するとともに個々のパルサー 6 7 に駆動信号を供給する。パルサー 6 7 は駆動信号の供給に応じてパルス信号を出力する。マルチプレクサー 6 1 は制御信号の指示に

50

従ってポート群61bのポートにポート群61aのポートを接続する。パルス信号はポートの選択に応じて下部電極端子33、35および上部電極端子34、36を通じて列ごとに素子23に供給される。パルス信号の供給に応じて振動膜43は振動する。その結果、対象物（例えば人体の内部）に向けて所望の超音波は発せられる。

【0040】

超音波の送信後、切り替えスイッチ64は切り替えられる。マルチプレクサー61はポートの接続関係を維持する。切り替えスイッチ64は送信経路65および信号線63の接続に代えて受信経路66および信号線63の接続を確立する。超音波の反射波は振動膜43を振動させる。その結果、素子23から検出信号が出力される。検出信号はデジタル信号に変換されて駆動/受信回路72に送り込まれる。

10

【0041】

超音波の送信および受信は繰り返される。繰り返しにあたってマルチプレクサー61はポートの接続関係を変更する。その結果、ラインスキャンやセクタスキャンは実現される。スキャンが完了すると、処理回路74は検出信号のデジタル信号に基づき画像を形成する。形成された画像はディスプレイパネル15の画面に表示される。

【0042】

素子チップ17では素子23は薄型に形成されることができる。素子23は薄型の基板21に形成されることができる。補強板52が基板21に固定されても、素子チップ17は薄型に形成されることができる。同時に、補強板52は基板21の強度を補強する。特に、仕切り壁51で壁厚み t が壁高さ H よりも小さいことから、断面係数の関係で仕切り壁51では基板21の厚み方向に十分な剛性が確保されることができる。基板21の厚み方向の力は仕切り壁51を伝って補強板52で支持されることができる。こうして素子チップ17は基板21の厚み方向に十分な強度を有することができる。そして、基板21の板厚が例えば100 μm 程度に設定されても、補強板52は基板21の破損を防止することができる。その一方で、バルク型の超音波トランスデューサー素子で素子アレイが構成される場合には、基板の板厚は数mm程度に設定される。たとえ補強板52が接合されても、本実施形態に係る素子チップ17の厚みは、バルク型の超音波トランスデューサー素子で素子アレイが構成される場合に比べて確実に縮小されることができる。加えて、振動膜43の音響インピーダンスはバルク型の超音波トランスデューサー素子に比べて人体のそれに近いことから、素子チップ17ではバルク型の超音波トランスデューサー素子に比べて音響インピーダンスの整合層が省略されることができる。こういった整合層の省略は素子チップ17の薄型化にさらに寄与することができる。

20

30

【0043】

補強板52は個々の仕切り壁51に少なくとも1カ所の接合域で接合される。仕切り壁51が補強板52に接合されると、仕切り壁51の動きは補強板52で拘束される。したがって、仕切り壁51の振動は防止されることができる。その結果、素子23同士のクロストークは防止されることができる。しかも、こうして仕切り壁51の動きが拘束されると、素子23の超音波振動に対して仕切り壁51の振動の作用は回避されることができる。素子23ではクリアな振動モードの超音波振動が得られる。こうして仕切り壁51の振動が回避されると、超音波振動の振幅の低下も抑制されることができる。その一方で、仕切り壁51が動くとき、振動膜43の上下振動モードよりも低い周波数の歪んだ振動モードが現れる。しかも、仕切り壁51が動く分だけ振動膜43の運動エネルギーが減少し振動の振幅が低下してしまう。

40

【0044】

このとき、開口45内の空間は基板21、可撓膜46（振動膜43）および補強板52で囲まれるものの、溝53は個々の開口45の内部空間と基板21の外部空間との間で通気確保する。したがって、開口45の内部空間は密閉されない。開口45の内部空間は大気空間に繋がる。開口45の内部空間は周囲の圧力変動に容易に追従することができる。こうして素子23の破損は確実に回避されることができる。仮に開口45の内部空間が気密に密閉されてしまうと、圧力変動に起因して超音波トランスデューサー素子の破損が

50

懸念される。ここで、外部空間は、基板 2 1、可撓膜 4 6 および補強板 5 2 で内部空間から隔てられる空間であって内部空間に比べて著しく大きな空間を意味する。

【 0 0 4 5 】

仕切り壁 5 1 の接合域は長辺の中央位置を含む領域であることができる。仕切り壁 5 1 のうち振動振幅の大きい部位が補強板 5 2 に接合される。その結果、仕切り壁 5 1 の振動は効果的に防止されることができる。しかも、仕切り壁 5 1 の接合域は長辺の全長を含む領域であることができる。こうして長辺の全長にわたって仕切り壁 5 1 が補強板 5 2 に接合されれば、仕切り壁 5 1 の振動は確実に防止されることができる。さらに、仕切り壁 5 1 は長辺の全長にわたって開口 4 5 同士の間で全面で面接合されることができる。こうして長辺の全長にわたって開口 4 5 同士の間で全面で仕切り壁 5 1 が補強板 5 2 に面接合されれば、仕切り壁 5 1 の振動は確実に防止されることができる。

10

【 0 0 4 6 】

仕切り壁 5 1 の接合域は四角形の各辺に少なくとも 1 カ所ずつ配置されればよい。こうして四角形の各辺で仕切り壁 5 1 が補強板 5 2 に接合されれば、仕切り壁 5 1 の振動は確実に防止されることができる。しかも、仕切り壁 5 1 の接合域は四角形を途切れなく囲むことができる。こうして四角形の全域で仕切り壁 5 1 が補強板 5 2 に接合されれば、仕切り壁 5 1 の振動は確実に防止されることができる。その上、仕切り壁 5 1 は四角形の全周にわたって開口 4 5 同士の間で全面で面接合されることができる。こうして四角形の全周にわたって開口 4 5 同士の間で全面で仕切り壁 5 1 が補強板 5 2 に面接合されれば、仕切り壁 5 1 の振動は確実に防止されることができる。

20

【 0 0 4 7 】

(5) 第 1 実施形態に係る超音波トランスデューサー素子チップの製造方法

図 8 に示されるように、シリコンウエハー 7 8 の表面で個々の素子チップ 1 7 ごとに下部電極 2 4、引き出し配線 2 7 および下部電極端子 3 3、3 5 (図 8 以降では図示されず) が形成される。下部電極 2 4、引き出し配線 2 7 および下部電極端子 3 3、3 5 の形成に先立ってシリコンウエハー 7 8 の表面には酸化シリコン膜 7 9 および酸化ジルコニウム膜 8 1 が相次いで形成される。酸化ジルコニウム膜 8 1 の表面には導電膜が形成される。導電膜はチタン、イリジウム、白金およびチタンの積層膜で構成される。フォトリソグラフィ技術に基づき導電膜から下部電極 2 4、引き出し配線 2 7 および下部電極端子 3 3、3 5 は成形される。

30

【 0 0 4 8 】

図 9 に示されるように、下部電極 2 4 の表面で個々の素子 2 3 ごとに圧電体膜 2 6 および上部電極 2 5 が形成される。圧電体膜 2 6 および上部電極 2 5 の形成にあたってシリコンウエハー 7 8 の表面には圧電材料膜および導電膜が成膜される。圧電材料膜は P Z T 膜から構成される。導電膜はイリジウム膜から構成される。フォトリソグラフィ技術に基づき個々の素子 2 3 ごとに圧電材料膜および導電膜から圧電体膜 2 6 および上部電極 2 5 が成形される。

【 0 0 4 9 】

続いて、図 1 0 に示されるように、シリコンウエハー 7 8 の表面に導電膜 8 2 が成膜される。導電膜 8 2 は個々の素子チップ 1 7 内で列ごとに上部電極 2 5 を相互に接続する。そして、フォトリソグラフィ技術に基づき導電膜 8 2 から上部電極 2 5、上部電極端子 3 4、3 6 が成形される。

40

【 0 0 5 0 】

その後、図 1 1 に示されるように、シリコンウエハー 7 8 の裏面からアレイ状の開口 4 5 が形成される。開口 4 5 の形成にあたってエッチング処理が施される。酸化シリコン膜 7 9 はエッチングストップ層として機能する。酸化シリコン膜 7 9 および酸化ジルコニウム膜 8 1 に振動膜 4 3 は区画される。開口 4 5 の形成後、シリコンウエハー 7 8 の裏面に補強板用のウエハー 8 3 の表面が重ね合わせられる。ウエハー 8 3 には例えばリジッドな絶縁性基板が用いられることができる。絶縁性基板にはシリコンウエハーが用いられることができる。接合に先立って補強板用のウエハー 8 3 の表面には直線状の溝 8 4 が形成さ

50

れる。溝 8 4 は相互に平行に等間隔で延びる。溝 8 4 の少なくとも一端はウエハー 8 3 の端面で開放される。接合にあたって例えば接着剤が用いられることができる。接合後、シリコンウエハー 7 8 から個々の素子チップ 1 7 は切り出される。溝 8 4 は溝 5 3 を提供する。

【 0 0 5 1 】

こうして溝 8 4 が形成されると、シリコンウエハー 7 8 およびウエハー 8 3 が大気中またはその他の気体雰囲気下で相互に重ね合わせられる場合でも、比較的簡単に重ね合わせは実現されることができる。その一方で、シリコンウエハー 7 8 の裏面が均一な平面に重ね合わせられると、個々の開口 4 5 内に補強板用のウエハーの平面で気体が押し詰められる。大気圧では開口 4 5 内の空間の体積よりも大きい体積の気体が開口 4 5 内に留まろうとする。開口 4 5 の封鎖と同時に、シリコンウエハー 7 8 および補強板用のウエハーの隙間から余分な気体が逃げないと、シリコンウエハー 7 8 および補強板用のウエハーの張り合わせは実現されることができない。

10

【 0 0 5 2 】

(6) 第 2 実施形態に係る超音波トランスデューサー素子チップ

図 1 2 は第 2 実施形態に係る超音波トランスデューサー素子チップ 1 7 a を概略的に示す。この素子チップ 1 7 a では基板 2 1 の裏面に複数の溝 (溝部) 8 6 が配置される。溝 8 6 は仕切り壁 5 1 の下端で基板 2 1 の裏面を複数の平面 8 7 に分割する。複数の平面 8 7 は 1 つの仮想平面 H P 内で広がる。その仮想平面 H P 内で補強板 5 2 の表面は広がる。溝 8 6 は仮想平面 H P から窪む。溝 8 6 の断面形状は四角形であってもよく三角形であってもよく半円形その他の形状であってもよい。図 1 3 に示されるように、平面 8 7 同士の間で溝 8 6 は基体 4 4 と補強板 5 2 との間に通気経路 8 8 a、8 8 b を形成する。こうして溝 8 6 内の空間は開口 4 5 内の空間に接続される。通気経路 8 8 a、8 8 b は開口 4 5 内の空間の内外を相互に接続する。こうして開口 4 5 内の空間と開口 4 5 の外側との間で通気が確保される。1 列 (ここでは 1 行) の開口 4 5 では次々に開口 4 5 同士は通気経路 8 8 a で接続される。列端の開口 4 5 と基板 2 1 の外縁の外側とは通気経路 8 8 b で接続される。こうして列端の開口 4 5 は基板 2 1 の外縁の外側に開放される。その他の構成は素子チップ 1 7 と同様に構成されることができ。図中、素子チップ 1 7 と均等な構成や構造には同一の参照符号が付される。

20

【 0 0 5 3 】

図 1 4 に示されるように、素子チップ 1 7 a の製造方法では開口 4 5 の形成に先立ってシリコンウエハー 7 8 の裏面に溝 8 9 が形成される。溝 8 9 の形成にあたって例えばリソグラフィ技術が用いられることができる。シリコンウエハー 7 8 の裏面には例えばレジスト膜 9 1 が形成される。レジスト膜 9 1 には溝 8 9 のパターンが象られる。こうして溝 8 9 が形成されると、レジスト膜 9 1 は除去される。図 1 0 と同様に、シリコンウエハー 7 8 の裏面からアレイ状の開口 4 5 が形成される。シリコンウエハー 7 8 から個々の素子チップ 1 7 a が切り出されると、溝 8 9 は溝 8 6 を提供する。

30

【 0 0 5 4 】

(7) 第 3 実施形態に係る超音波トランスデューサー素子チップ

図 1 5 は第 3 実施形態に係る超音波トランスデューサー素子チップ 1 7 b を概略的に示す。この素子チップ 1 7 b では基板 2 1 および補強板 5 2 の少なくとも一部は多孔質材で構成される。こうした多孔質材は少なくとも開口 4 5 同士の間や列端の開口 4 5 と基板 2 1 の外縁との間に配置される。ここでは、補強板 5 2 は多孔質材から形成される。多孔質材の孔は相互に連なって通気経路を形成する。その他の構成は素子チップ 1 7 と同様に構成されることができ。図中、素子チップ 1 7 と均等な構成や構造には同一の参照符号が付される。

40

【 0 0 5 5 】

なお、上記のように本実施形態について詳細に説明したが、本発明の新規事項および効果から実体的に逸脱しない多くの変形が可能であることは当業者には容易に理解できであろう。したがって、このような変形例はすべて本発明の範囲に含まれる。例えば、明細

50

書または図面において、少なくとも一度、より広義または同義な異なる用語とともに記載された用語は、明細書または図面のいかなる箇所においても、その異なる用語に置き換えられることができる。また、超音波診断装置 11 や超音波プローブ 13、プローブヘッド 13b、素子チップ 17、17a、17b、素子 23 等の構成および動作も本実施形態で説明したものに限定されず、種々の変形が可能である。

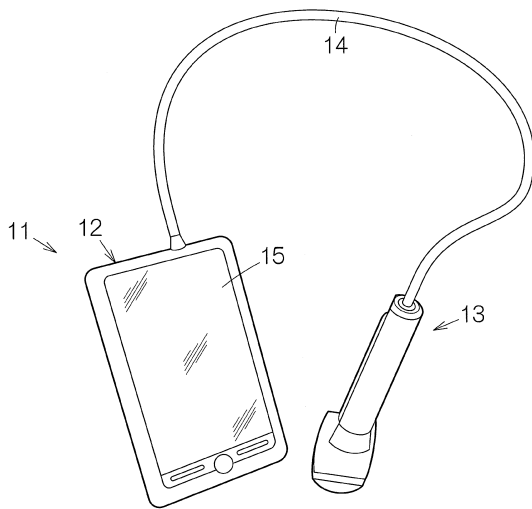
【符号の説明】

【0056】

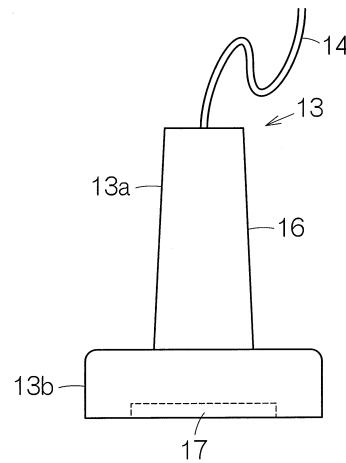
11 電子機器（超音波診断装置）、13 プローブ（超音波プローブ）、13b プローブヘッド、15 表示装置（ディスプレイパネル）、16 筐体、17 超音波トランスデューサー素子チップ、17a 超音波トランスデューサー素子チップ、17b 超音波トランスデューサー素子チップ、21 基板、23 超音波トランスデューサー素子、45 開口、51 仕切り壁部（仕切り壁）、52 補強部材（補強板）、53 溝部（溝）、58a 通気経路、58b 通気経路、86 溝部（溝）、88a 通気経路、88b 通気経路

10

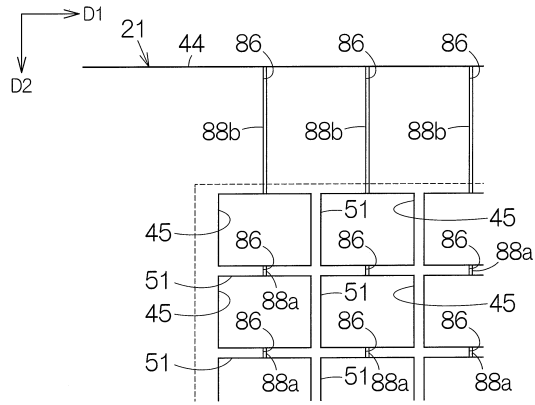
【図 1】



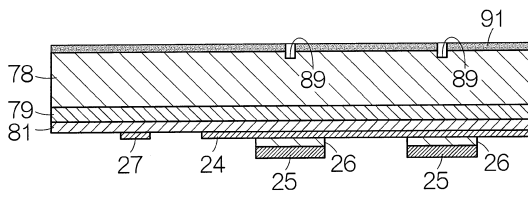
【図 2】



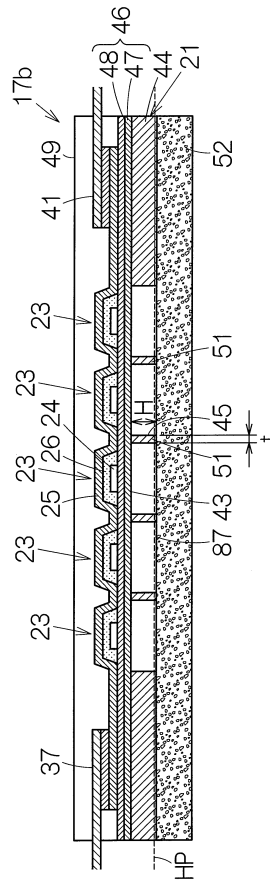
【図 13】



【図 14】



【図 15】



フロントページの続き

(72)発明者 清瀬 摂内
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

審査官 堀 洋介

(56)参考文献 国際公開第2012/014111(WO, A2)
特開2012-059770(JP, A)
特開2009-005023(JP, A)
特開2006-242738(JP, A)
特開2005-185420(JP, A)
特開2004-349815(JP, A)
特開2004-349817(JP, A)
特開2004-200382(JP, A)
特開2006-332799(JP, A)

(58)調査した分野(Int.Cl., DB名)
H04R 17/00
A61B 8/14