



(12)发明专利申请

(10)申请公布号 CN 105788636 A

(43)申请公布日 2016.07.20

(21)申请号 201610203037.3

(22)申请日 2016.04.05

(71)申请人 山东华芯半导体有限公司

地址 250101 山东省济南市高新区新泺大街1768号齐鲁软件园大厦B座二层

(72)发明人 刘奇浩 孙晓宁 杨萌 刘大销 王运哲 刘尚

(74)专利代理机构 济南泉城专利商标事务所 37218

代理人 刘艳艳

(51)Int.Cl.

G11C 16/10(2006.01)

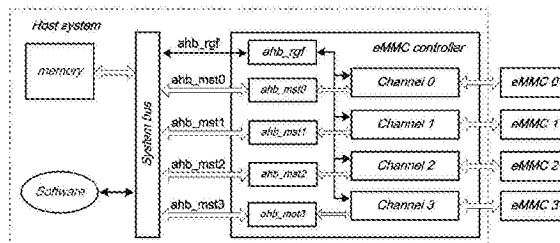
权利要求书1页 说明书4页 附图3页

(54)发明名称

一种基于并行多通道结构的eMMC控制器

(57)摘要

本发明基于并行多通道结构的eMMC控制器,包括ahb总线配置寄存器模块ahb_rgf、至少2个ahb总线数据传输模块ahb_mst以及与ahb_mst数量相等的单通道控制模块Channel;CPU将Software中对eMMC控制器的操作通过ahb_rgf对通道传输模式、传输命令、传输单位、传输量进行配置;ahb_mst负责完成eMMC控制器内部与系统总线System bus之间数据的读和写操作;Channel负责完成命令信息、数据信息的协议格式的封装与拆解,完成eMMC控制器与eMMC器件之间的命令和数据交互。该控制器可根据不同的应用场景,灵活切换eMMC控制器的单通道/多通道工作模式。



1. 一种基于并行多通道结构的eMMC控制器,其特征在于,包括ahb总线配置寄存器模块ahb_rgf、至少2个ahb总线数据传输模块ahb_mst以及与ahb_mst数量相等的单通道控制模块Channel;

所述ahb_rgf通过系统总线System bus与驱动软件Software相连接,CPU将Software中对eMMC控制器的操作通过ahb_rgf对通道传输模式、传输命令、传输单位、传输量进行配置;

所述每个ahb_mst通过系统总线System bus与存储器memory相连接,ahb_mst负责完成eMMC控制器内部与系统总线System bus之间数据的读和写操作;

所述每个Channel的一端与ahb_rgf以及相对应的ahb_mst连接、另一端与相对应的外部eMMC器件连接,所述eMMC器件与Channel的数量相等,Channel负责完成命令信息、数据信息的协议格式的封装与拆解,完成eMMC控制器与eMMC器件之间的命令和数据交互。

2. 根据权利要求1所述的eMMC控制器,其特征在于,所述ahb_mst、Channel和eMMC器件均为4个,ahb_mst包括ahb_mst 0、ahb_mst 1、ahb_mst 2和ahb_mst 3,Channel包括Channel 0、Channel 1、Channel 2和Channel 3,eMMC器件包括eMMC 0、eMMC 1、eMMC 2和eMMC 3;ahb_rgf的一端连接于System bus上、另一端与Channel 0、Channel 1、Channel 2和Channel 3的一端分别连接,Channel 0、Channel 1、Channel 2和Channel 3的一端还分别与ahb_mst 0、ahb_mst 1、ahb_mst 2和ahb_mst 3的一端对应连接,ahb_mst 0、ahb_mst 1、ahb_mst 2和ahb_mst 3的另一端分别连接于System bus上,Channel 0、Channel 1、Channel 2和Channel 3的另一端分别与eMMC 0、eMMC 1、eMMC 2和eMMC 3对应连接。

3. 根据权利要求2所述的eMMC控制器,其特征在于,当操作模式为单通道传输时,eMMC控制器内逻辑地址0与eMMC器件物理存储地址0相对应,eMMC控制器内逻辑地址1与eMMC器件物理存储地址1相对应,eMMC控制器内逻辑地址2与eMMC器件物理存储地址2相对应,eMMC控制器内逻辑地址3与eMMC器件物理存储地址3相对应;假设四个通道同时使能,且每个通道挂接4个eMMC器件,则四个通道分别对应P0、P1、P2、P3四个区,所述P0区包括eMMC 0_0、eMMC 0_1、eMMC 0_2和eMMC 0_3,P1区包括eMMC 1_0、eMMC 1_1、eMMC 1_2和eMMC 1_3,P2区包括eMMC 2_0、eMMC 2_1、eMMC 2_2和eMMC 2_3,P3区包括eMMC 3_0、eMMC 3_1、eMMC 3_2和eMMC 3_3,按照顺序累加的方式完成存储容量的扩展。

4. 根据权利要求2所述的eMMC控制器,其特征在于,当操作模式为多通道传输时,eMMC控制器内逻辑地址0与eMMC器件0_0物理存储地址0相对应,eMMC控制器内逻辑地址1与eMMC器件1_0物理存储地址0相对应,eMMC控制器内逻辑地址2与eMMC器件2_0物理存储地址0相对应,eMMC控制器内逻辑地址3与eMMC器件3_0物理存储地址0相对应;假设四个通道同时使能,且每个通道挂接4个eMMC器件,则四个通道分别对应P0、P1、P2、P3四个区,所述P0区包括eMMC 0_0、eMMC 1_0、eMMC 2_0和eMMC 3_0,P1区包括eMMC 0_1、eMMC 1_1、eMMC 2_1和eMMC 3_1,P2区包括eMMC 0_2、eMMC 1_2、eMMC 2_2和eMMC 3_2,P3区包括eMMC 0_3、eMMC 1_3、eMMC 2_3和eMMC 3_3,按照通道数量 \times 4的方式完成存储容量的扩展。

一种基于并行多通道结构的eMMC控制器

技术领域

[0001] 本发明涉及一种基于并行多通道结构的eMMC控制器,属于微电子技术领域。

背景技术

[0002] 目前U盘、SSD固态硬盘等存储产品,大多采用NAND FLASH作为非易失性存储介质,通过对主控中NAND FLASH控制器设计相对应的驱动软件,控制NAND FLASH控制器接口电路产生相关操作命令,完成对NAND FLASH的读取、写入、擦除等操作。然而,随着NAND FLASH制造工艺进程不断提升,带来NAND FLASH性能的提升,例如表现在页读取时间减小、编程时间减小、片内交错操作等方面;同时,由于各家NAND FLASH发展性能不一、通信协议不一致的原因,相关的硬件和驱动程序都需要根据每家公司的产品和技术特性重新进行设计,增加了产品研发周期。

[0003] 因此,一种嵌入式多媒体卡(Embedded Multi Media Card,简称eMMC)广泛应用于手机、平板电脑等可移动设备中。eMMC采用统一的MMC标准接口,把高密度NAND FLASH以及MMC controller封装在一颗BGA芯片中。针对FLASH特性,产品内部已经包含了FLASH管理技术,包括错误探测与纠正、磨损均衡、坏块管理、掉电保护等技术。用户只需要设计相应的eMMC控制器以及驱动程序,即可完成对于数据存储的管理。然而,随着eMMC使用范围的扩大,单通道传输性能并不能满足高带宽存储系统的要求。

发明内容

[0004] 本发明为了克服以上技术的不足,提供了一种基于并行多通道结构的eMMC控制器,该eMMC控制器可根据不同的应用场景,灵活切换eMMC控制器的单通道/多通道工作模式,保证eMMC控制器的灵活性和高带宽:在单通道传输操作模式下,每个通道完成不同的命令,eMMC控制器具有很强的灵活性;在多通道传输操作模式下,每个通道完成相同的命令,eMMC控制器可达到最大的传输速度。

[0005] 本发明克服其技术问题所采用的技术方案是:

一种基于并行多通道结构的eMMC控制器,包括ahb总线配置寄存器模块ahb_rgf、至少2个ahb总线数据传输模块ahb_mst以及与ahb_mst数量相等的单通道控制模块Channel;所述ahb_rgf通过系统总线System bus与驱动软件Software相连接,CPU将Software中对eMMC控制器的操作通过ahb_rgf对通道传输模式、传输命令、传输单位、传输量进行配置;所述每个ahb_mst通过系统总线System bus与存储器memory相连接,ahb_mst负责完成eMMC控制器内部与系统总线System bus之间数据的读和写操作;所述每个Channel的一端与ahb_rgf以及相对应的ahb_mst连接、另一端与相对应的外部eMMC器件连接,所述eMMC器件与Channel的数量相等,Channel负责完成命令信息、数据信息的协议格式的封装与拆解,完成eMMC控制器与eMMC器件之间的命令和数据交互。

[0006] 根据本发明优选的,所述ahb_mst、Channel和eMMC器件均为4个,ahb_mst包括ahb_mst 0、ahb_mst 1、ahb_mst 2和ahb_mst 3,Channel包括Channel 0、Channel 1、Channel 2

和Channel 3,eMMC器件包括eMMC 0、eMMC 1、eMMC 2和eMMC 3;ahb_rgf的一端连接于System bus上、另一端与Channel 0、Channel 1、Channel 2和Channel 3的一端分别连接,Channel 0、Channel 1、Channel 2和Channel 3的一端还分别与ahb_mst 0、ahb_mst 1、ahb_mst 2和ahb_mst 3的一端对应连接,ahb_mst 0、ahb_mst 1、ahb_mst 2和ahb_mst 3的另一端分别连接于System bus上,Channel 0、Channel 1、Channel 2和Channel 3的另一端分别与eMMC 0、eMMC 1、eMMC 2和eMMC 3对应连接。

[0007] 根据本发明优选的,当操作模式为单通道传输时,eMMC控制器内逻辑地址0与eMMC器件物理存储地址0相对应,eMMC控制器内逻辑地址1与eMMC器件物理存储地址1相对应,eMMC控制器内逻辑地址2与eMMC器件物理存储地址2相对应,eMMC控制器内逻辑地址3与eMMC器件物理存储地址3相对应;假设四个通道同时使能,且每个通道挂接4个eMMC器件,则四个通道分别对应P0、P1、P2、P3四个区,所述P0区包括eMMC 0_0、eMMC 0_1、eMMC 0_2和eMMC 0_3,P1区包括eMMC 1_0、eMMC 1_1、eMMC 1_2和eMMC 1_3,P2区包括eMMC 2_0、eMMC 2_1、eMMC 2_2和eMMC 2_3,P3区包括eMMC 3_0、eMMC 3_1、eMMC 3_2和eMMC 3_3,按照顺序累加的方式完成存储容量的扩展。

[0008] 根据本发明优选的,当操作模式为多通道传输时,eMMC控制器内逻辑地址0与eMMC器件0_0物理存储地址0相对应,eMMC控制器内逻辑地址1与eMMC器件1_0物理存储地址0相对应,eMMC控制器内逻辑地址2与eMMC器件2_0物理存储地址0相对应,eMMC控制器内逻辑地址3与eMMC器件3_0物理存储地址0相对应;假设四个通道同时使能,且每个通道挂接4个eMMC器件,则四个通道分别对应P0、P1、P2、P3四个区,所述P0区包括eMMC 0_0、eMMC 1_0、eMMC 2_0和eMMC 3_0,P1区包括eMMC 0_1、eMMC 1_1、eMMC 2_1和eMMC 3_1,P2区包括eMMC 0_2、eMMC 1_2、eMMC 2_2和eMMC 3_2,P3区包括eMMC 0_3、eMMC 1_3、eMMC 2_3和eMMC 3_3,按照通道数量 \times 4的方式完成存储容量的扩展。

[0009] 本发明的有益效果是:

1、本发明可根据不同的应用场景,灵活切换eMMC控制器的单通道/多通道工作模式,保证eMMC控制器的灵活性和高带宽:在单通道传输操作模式下,每个通道完成不同的命令,eMMC控制器具有很强的灵活性;在多通道传输操作模式下,每个通道完成相同的命令,eMMC控制器可达到最大的传输速度。

[0010] 2、eMMC阵列扩展简单,在单通道传输操作模式下,按照顺序累加的方式完成存储容量的扩展;在多通道传输操作模式下,按照通道数量 \times 每个通道内挂接eMMC器件的个数的方式完成存储容量的扩展,可保证eMMC控制器最佳性能。

[0011] 3、在多通道传输操作模式下,可实现最大化的连续存储带宽,同时保证了各eMMC器件之间的负载均衡,适用于对稳定性、存储容量和带宽要求较高的场合。

附图说明

[0012] 图1为本发明基于并行多通道结构的eMMC控制器的结构示意图。

[0013] 图2为本发明单通道操作模式下数据流的结构示意图。

[0014] 图3为本发明基于单通道操作模式下eMMC逻辑阵列结构示意图。

[0015] 图4为本发明多通道操作模式下数据流的结构示意图。

[0016] 图5为本发明基于多通道操作模式下eMMC逻辑阵列结构示意图。

具体实施方式

[0017] 为了便于本领域人员更好的理解本发明,下面结合附图和具体实施例对本发明做进一步详细说明,下述仅是示例性的不限定本发明的保护范围。

[0018] 本实施例以四个通道为例,如图1所示,基于并行多通道结构的eMMC控制器,包括ahb总线配置寄存器模块ahb_rgf、4个ahb总线数据传输模块ahb_mst以及4个单通道控制模块Channel。所述ahb_mst包括ahb_mst 0、ahb_mst 1、ahb_mst 2和ahb_mst 3;所述Channel包括Channel 0、Channel 1、Channel 2和Channel 3;相对应地还包括4个eMMC器件,所述eMMC器件包括eMMC 0、eMMC 1、eMMC 2和eMMC 3。

[0019] ahb_rgf的一端通过系统总线System bus与驱动软件Software相连接、另一端与Channel 0、Channel 1、Channel 2和Channel 3的一端分别连接,Channel 0、Channel 1、Channel 2和Channel 3的一端还分别与ahb_mst 0、ahb_mst 1、ahb_mst 2和ahb_mst 3的一端对应连接,ahb_mst 0、ahb_mst 1、ahb_mst 2和ahb_mst 3的另一端分别连接于System bus上并通过System bus与存储器memory相连接,Channel 0、Channel 1、Channel 2和Channel 3的另一端分别与eMMC 0、eMMC 1、eMMC 2和eMMC 3对应连接。

[0020] 本实施例的eMMC控制器在主控系统中以系统总线主设备的形式出现,CPU将Software中对eMMC控制器的操作通过ahb_rgf对通道传输模式、传输命令、传输单位、传输量进行配置,当命令完成后eMMC控制器会产生相应的中断信息,并对寄存器中的中断标志位进行置位。所述ahb总线数据传输模块ahb_mst负责完成eMMC控制器内部与系统总线System bus之间数据的读和写操作。所述单通道控制模块Channel负责完成命令信息、数据信息的协议格式的封装与拆解,完成eMMC控制器与eMMC器件之间的命令和数据交互。

[0021] 如图2所示,在单通道传输操作模式下,eMMC控制器中的四个通道对用户都是可见的,用户可以通过ahb总线配置寄存器模块对各自通道相对应的通道传输模式、传输命令、传输单位、传输量寄存器进行配置,对这四个通道分别进行操作,eMMC控制器中的每个通道可以完成不同的命令,所以在单通道传输操作模式下,eMMC控制器具有很强的灵活性。

[0022] 当操作模式为单通道传输时,eMMC控制器内逻辑地址向eMMC器件物理存储地址映射的逻辑关系可以采用一一映射的关系,如图3所示。在软件角度来看,即eMMC控制器内逻辑地址0与eMMC器件物理存储地址0相对应,eMMC控制器内逻辑地址1与eMMC器件物理存储地址1相对应,eMMC控制器内逻辑地址2与eMMC器件物理存储地址2相对应,eMMC控制器内逻辑地址3与eMMC器件物理存储地址3相对应。以单个eMMC器件的存储容量为8GB为例,假设四个通道同时使能,且每个通道挂接4个eMMC器件(挂接4个器件可以保证eMMC控制器最佳性能,当一个通道挂接eMMC器件数量大于4个时,则eMMC控制器内部会产生多余的等待时间),则软件可用存储空间约为128GB,四个通道分别对应P0、P1、P2、P3四个区,所述P0区包括eMMC 0_0、eMMC 0_1、eMMC 0_2和eMMC 0_3,P1区包括eMMC 1_0、eMMC 1_1、eMMC 1_2和eMMC 1_3,P2区包括eMMC 2_0、eMMC 2_1、eMMC 2_2和eMMC 2_3,P3区包括eMMC 3_0、eMMC 3_1、eMMC 3_2和eMMC 3_3,顺序访问存储空间eMMC 0_0、eMMC 0_1、eMMC 0_2、eMMC 0_3、eMMC 1_0、eMMC 1_1、eMMC 1_2、eMMC 1_3、eMMC 2_0、eMMC 2_1、eMMC 2_2、eMMC 2_3、eMMC 3_0、eMMC 3_1、eMMC 3_2和eMMC 3_3,按照顺序累加的方式完成存储容量的增加,读有效带宽可达到150MB/s、写有效带宽可达到70MB/s,所述读有效带宽和写有效带宽这俩数据是eMMC器

件厂家手册上提供的单通道的实际性能参数。

[0023] 如图4所示,在多通道传输操作模式下,eMMC控制器中的四个通道对用户并不是全部可见的,用户可以通过ahb总线配置寄存器模块统一对四个通道的通道传输模式、传输命令、传输单位、传输量寄存器、access size参数、jump size参数进行配置,对这四个通道同时进行操作,eMMC控制器中的每个通道完成相同的命令,所以在多通道传输操作模式下,eMMC控制器可以达到最大的传输速度。

[0024] 当操作模式为多通道传输时,eMMC控制器内逻辑地址向eMMC器件物理存储地址映射的逻辑关系,如图5所示。从软件角度来看,即eMMC控制器内逻辑地址0与eMMC器件0_0物理存储地址0相对应,eMMC控制器内逻辑地址1与eMMC器件1_0物理存储地址0相对应,eMMC控制器内逻辑地址2与eMMC器件2_0物理存储地址0相对应,eMMC控制器内逻辑地址3与eMMC器件3_0物理存储地址0相对应。以单个eMMC器件的存储容量为8GB为例,假设四个通道同时使能,且每个通道挂接4个eMMC器件,则软件可用存储空间约为128GB,四个通道分别对应P0、P1、P2、P3四个区,所述P0区包括eMMC 0_0、eMMC 1_0、eMMC 2_0和eMMC 3_0,P1区包括eMMC 0_1、eMMC 1_1、eMMC 2_1和eMMC 3_1,P2区包括eMMC 0_2、eMMC 1_2、eMMC 2_2和eMMC 3_2,P3区包括eMMC 0_3、eMMC 1_3、eMMC 2_3和eMMC 3_3,按照通道数量 \times 4的方式完成存储容量的增加,读有效带宽可达到600MB/s、写有效带宽可达到280MB/s。

[0025] 以上仅描述了本发明的基本原理和优选实施方式,本领域人员可以根据上述描述作出许多变化和改进,这些变化和改进应该属于本发明的保护范围。

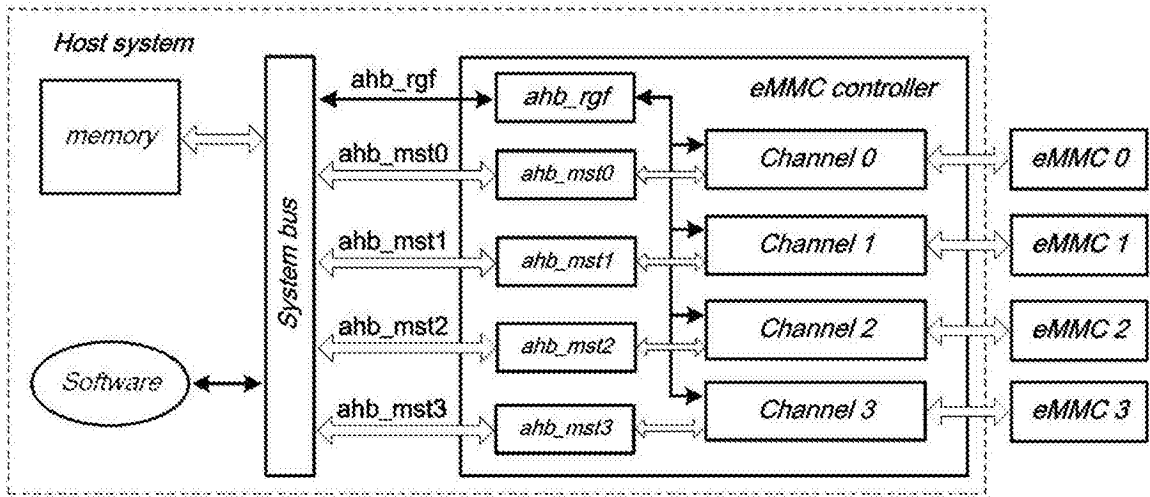


图1

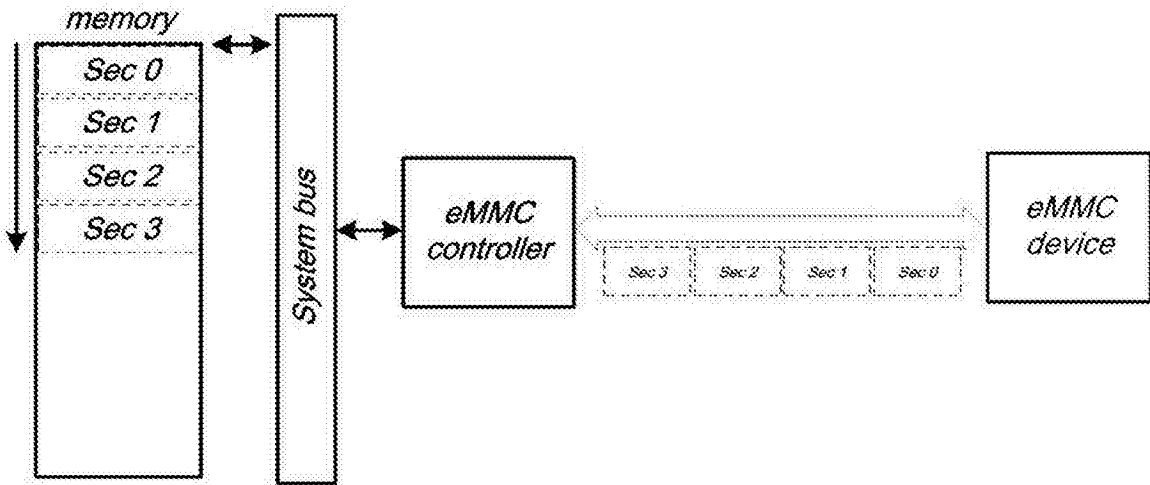


图2

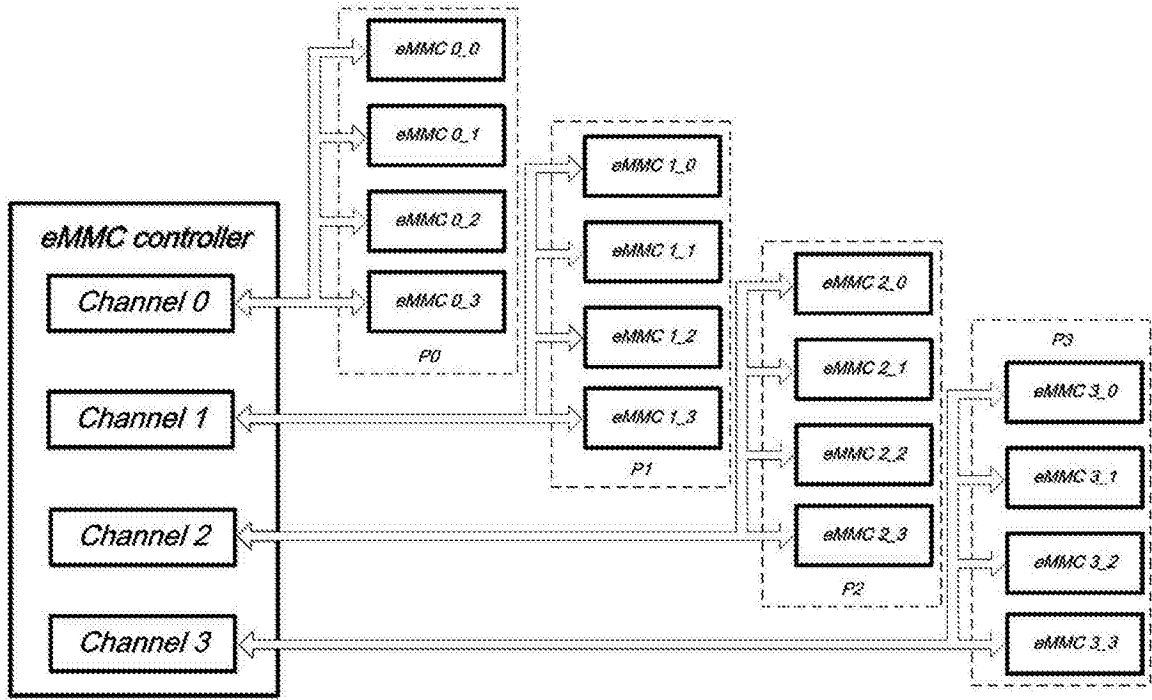


图3

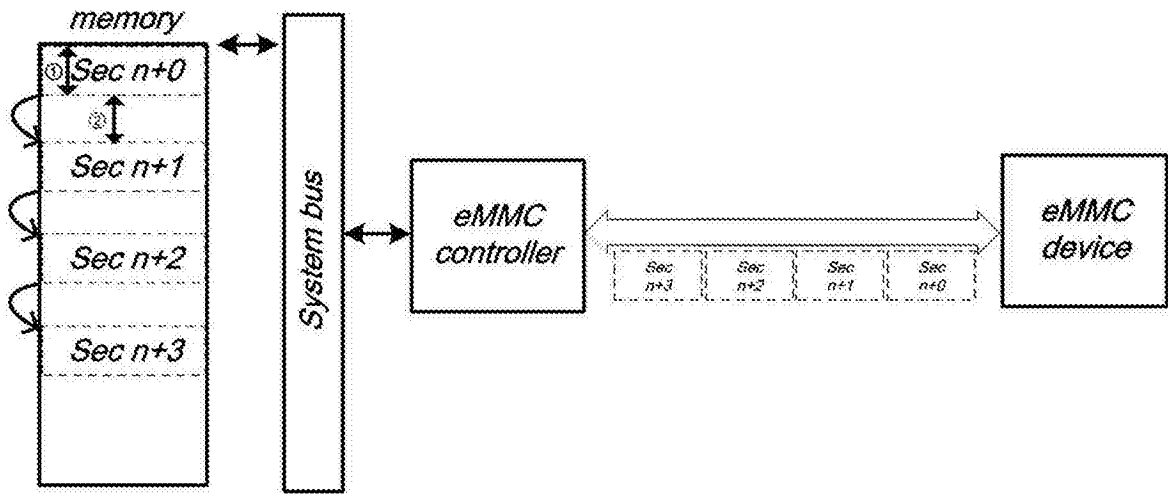


图4

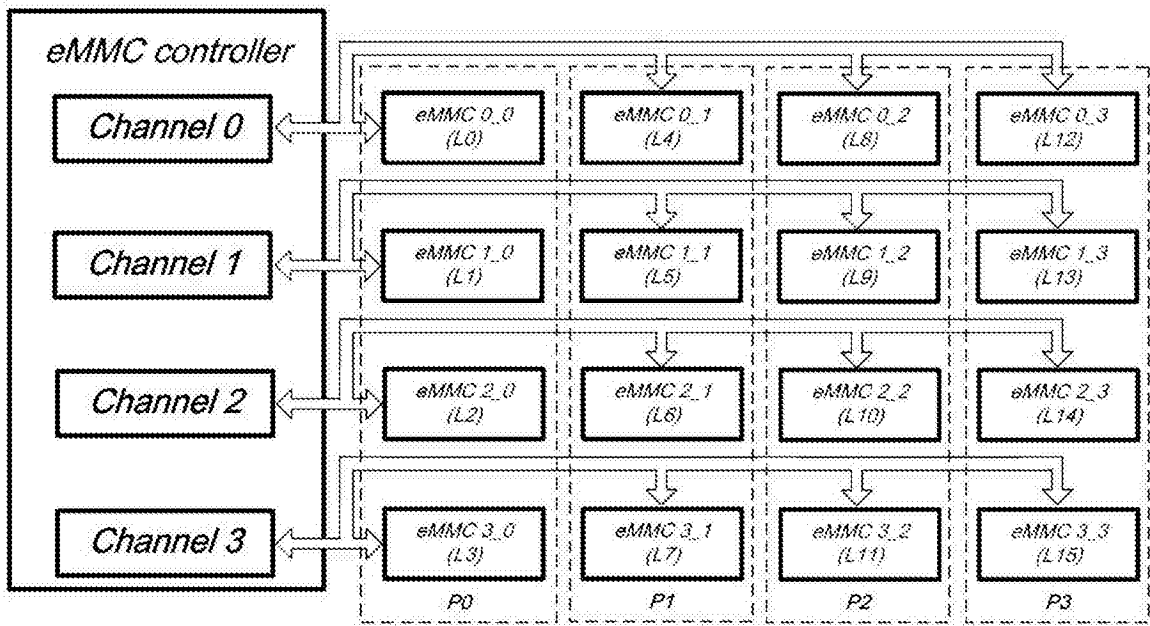


图5