



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0089513  
(43) 공개일자 2012년08월13일

(51) 국제특허분류(Int. Cl.)  
H01L 27/115 (2006.01) H01L 21/8247 (2006.01)  
(21) 출원번호 10-2010-0127155  
(22) 출원일자 2010년12월13일  
심사청구일자 없음

(71) 출원인  
삼성전자주식회사  
경기도 수원시 영통구 삼성로 129 (매탄동)  
(72) 발명자  
김민철  
경기도 화성시 동탄지성로 294, 참누리2단지아파트 206동 904호 (기산동)  
심재황  
경기 화성시 능동 1116 광명메이루즈 818동 903호  
송상빈  
경기도 용인시 수지구 신봉2로 72, 신LG아이2차아파트 202동 1601호 (신봉동)  
(74) 대리인  
권혁수, 송윤호, 오세준

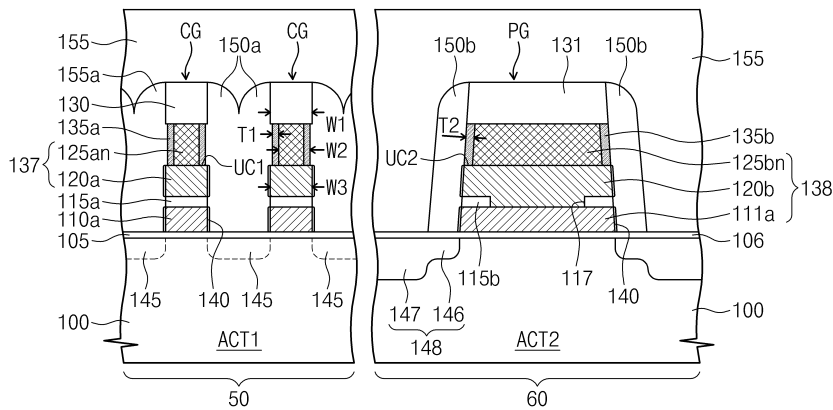
전체 청구항 수 : 총 30 항

(54) 발명의 명칭 비휘발성 기억 소자 및 그 제조 방법

(57) 요약

비휘발성 기억 소자 및 그 제조 방법을 제공한다. 이 소자에 따르면, 기판 상에 제어 베이스 게이트, 제어 금속 패턴 및 게이트 마스크 패턴이 차례로 적층될 수 있다. 한 쌍의 산화 방지 스페이서들이 제어 금속 패턴의 양 측 벽들 상에 배치될 수 있다. 이때, 한 쌍의 산화 방지 스페이서들은 제어 베이스 게이트의 양 가장자리들 및 게이트 마스크 패턴의 양 가장자리들 사이에 배치될 수 있다.

대표도 - 도1



**특허청구의 범위**

**청구항 1**

기관 상에 차례로 적층된 제어 베이스 게이트(control base gate) 및 제어 금속 패턴을 포함하는 제어 게이트 전극;

상기 제어 금속 패턴 상에 배치된 게이트 마스크 패턴, 상기 제어 금속 패턴의 폭은 상기 제어 베이스 게이트 및 상기 게이트 마스크 패턴의 폭들 보다 작고;

상기 제어 금속 패턴의 양 측벽들 상에 각각 배치되고, 상기 제어 베이스 게이트의 양 가장자리들 및 상기 게이트 마스크 패턴의 양 가장자리들 사이에 개재된 한 쌍의 산화 방지 스페이서들; 및

상기 기관 및 제어 게이트 전극 사이에 차례로 적층된 터널 유전막, 전하 저장층 및 블로킹 유전막을 포함하는 비휘발성 기억 소자.

**청구항 2**

청구항 1에 있어서,

상기 제어 게이트 전극은 상기 제어 금속 패턴 및 상기 제어 베이스 게이트 사이에 개재된 하부 배리어 패턴(lower barrier pattern)을 더 포함하는 비휘발성 기억 소자.

**청구항 3**

청구항 2에 있어서,

상기 하부 배리어 패턴의 폭은 상기 제어 금속 패턴의 폭 보다 크고,

상기 산화 방지 스페이서는 상기 게이트 마스크 패턴의 가장자리 및 상기 하부 배리어 패턴의 가장자리 사이에 개재된 비휘발성 기억 소자.

**청구항 4**

청구항 1에 있어서,

상기 제어 게이트 전극은 상기 제어 금속 패턴 및 상기 게이트 마스크 패턴 사이에 개재된 상부 배리어 패턴을 더 포함하는 비휘발성 기억 소자.

**청구항 5**

청구항 4에 있어서,

상기 상부 배리어 패턴의 폭은 상기 제어 금속 패턴의 폭 보다 크고,

상기 산화 방지 스페이서는 상기 상부 배리어 패턴의 가장자리 및 상기 제어 베이스 게이트의 가장자리 사이에 개재된 비휘발성 기억 소자.

**청구항 6**

청구항 1에 있어서,

상기 산화 방지 스페이서는 질화물을 포함하는 비휘발성 기억 소자.

**청구항 7**

청구항 6에 있어서,

상기 산화 방지 스페이서는 절연성 질화물을 포함하는 비휘발성 기억 소자.

**청구항 8**

청구항 6에 있어서,

상기 산화 방지 스페이서는 도전성 금속 질화물을 포함하는 비휘발성 기억 소자.

**청구항 9**

청구항 1에 있어서,

상기 제어 베이스 게이트의 윗부분의 폭은 그 아랫부분의 폭 보다 작고,

상기 제어 베이스 게이트의 측벽은 계단형태(steped shape)인 비휘발성 기억 소자.

**청구항 10**

청구항 1에 있어서,

상기 전하 저장층은 반도체 물질을 포함하는 플로팅 게이트이고,

상기 전하 저장층은 도펀트로 도핑 되거나, 언도프트 상태인 비휘발성 기억 소자.

**청구항 11**

청구항 1에 있어서,

상기 전하 저장층은 전하를 축적하는 트랩들을 갖는 유전 물질을 포함하는 비휘발성 기억 소자.

**청구항 12**

청구항 1에 있어서,

상기 제어 베이스 게이트의 양 측벽 상의 산화막을 더 포함하는 비휘발성 기억 소자.

**청구항 13**

청구항 1에 있어서,

상기 기판은 셀 영역 및 주변 영역을 포함하고, 상기 제어 게이트 전극은 상기 셀 영역의 기판 상에 배치되고, 상기 산화 방지 스페이서들은 제1 산화 방지 스페이서들이고, 상기 게이트 마스크 패턴은 제1 게이트 마스크 패턴이되,

상기 주변 영역의 기판 상에 차례로 적층된 주변 서브-게이트(peripheral sub-gate) 및 주변 금속 패턴을 포함하는 주변 게이트 전극;

상기 주변 금속 패턴 상에 배치된 제2 게이트 마스크 패턴, 상기 주변 금속 패턴의 폭은 상기 주변 서브-게이트 및 제2 게이트 마스크 패턴의 폭들 보다 작고;

상기 주변 금속 패턴의 양 측벽들 상에 각각 배치되고, 상기 주변 서브-게이트의 양 가장자리들과 상기 제2 게이트 마스크 패턴의 양 가장자리들 사이에 개재된 한 쌍의 제2 산화 방지 스페이서들; 및

상기 주변 게이트 전극 및 상기 기판 사이에 개재된 주변 게이트 유전막을 더 포함하는 비휘발성 기억 소자.

**청구항 14**

청구항 13에 있어서,

상기 주변 서브-게이트는 상기 제어 베이스 게이트와 동일한 물질을 포함하고,

상기 주변 금속 패턴은 상기 제어 금속 패턴과 동일한 금속을 포함하고,

상기 제2 산화 방지 스페이서들은 상기 제1 산화 방지 스페이서들과 동일한 물질을 포함하는 비휘발성 기억 소자.

**청구항 15**

청구항 13에 있어서,

상기 제어 금속 패턴의 측벽을 기준으로 상기 제1 산화 방지 스페이서의 두께는 상기 주변 금속 패턴의 측벽을 기준으로 상기 제2 산화 방지 스페이서의 두께와 다른 비휘발성 기억 소자.

**청구항 16**

청구항 13에 있어서,

상기 전하 저장층은 반도체 물질을 포함하는 플로팅 게이트이고,

상기 주변 게이트 전극은 상기 주변 서브-게이트와 상기 주변 게이트 유전막 사이에 개재된 주변 바닥 게이트를 더 포함하고,

상기 주변 바닥 게이트는 상기 전하 저장층과 동일한 반도체 물질을 포함하고,

상기 주변 서브-게이트와 상기 주변 바닥 게이트는 서로 전기적으로 접속된 비휘발성 기억 소자.

**청구항 17**

청구항 13에 있어서,

상기 전하 저장층은 전하를 저장하는 트랩들을 갖는 유전 물질을 포함하고,

상기 주변 서브-게이트는 상기 주변 게이트 유전막 바로 위에(directly on) 배치된 비휘발성 기억 소자.

**청구항 18**

청구항 13에 있어서,

상기 주변 서브-게이트의 측벽은 계단형태인 비휘발성 기억 소자.

**청구항 19**

기관 상에 차례로 적층된 제어 베이스 게이트 및 제어 금속 패턴을 포함하는 제어 게이트 전극;

상기 제어 금속 패턴 상에 배치된 게이트 마스크 패턴, 상기 제어 금속 패턴의 폭은 상기 제어 베이스 게이트 및 상기 게이트 마스크 패턴의 폭들 보다 작아서, 상기 제어 금속 패턴 양 측에 한 쌍의 언더컷 영역들이 각각 정의되고;

상기 제어 금속 패턴 양 측벽들 상에 각각 배치되고, 상기 한 쌍의 언더컷 영역들 내에 각각 한정적(confined)으로 배치된 한 쌍의 산화 방지 스페이서들;

상기 기관 및 제어 게이트 전극 사이에 차례로 적층된 터널 유전막, 전하 저장층 및 블로킹 유전막을 포함하는 비휘발성 기억 소자.

**청구항 20**

청구항 18에 있어서,

상기 산화 방지 스페이서들은 질화물을 포함하는 비휘발성 기억 소자.

**청구항 21**

기관 상에 베이스 도전막 및 금속막을 차례로 형성하는 것;

상기 금속막 상에 게이트 마스크 패턴을 형성하는 것;

상기 게이트 마스크 패턴을 식각 마스크로 사용하여 상기 금속막을 식각하여 제어 금속 패턴을 형성하는 것;

상기 제어 금속 패턴의 양 측벽들을 옆으로 식각하여, 상기 게이트 마스크 패턴의 양 가장자리들 아래에 언더컷 영역들을 형성하는 것;

상기 언더컷 영역들을 포함한 기관 상에 산화 방지막을 증착하는 것;

상기 산화 방지막을 식각하여, 상기 각 언더컷 영역 내에 산화 방지 스페이서를 형성하는 것;

상기 게이트 마스크 패턴을 식각 마스크로 사용하여, 상기 베이스 도전막을 식각하여 제어 베이스 게이트를 형

성하는 것; 및

상기 기판 및 제어 베이스 게이트 사이에 차례로 적층된 터널 유전막, 전하 저장층 및 블로킹 유전막을 형성하는 것을 포함하는 비휘발성 기억 소자의 제조 방법.

**청구항 22**

청구항 21에 있어서,

상기 제어 베이스 게이트를 형성한 후에, 상기 산화 방지 스페이서는 상기 언더컷 영역 내에 한정적으로 배치되는 비휘발성 기억 소자의 제조 방법.

**청구항 23**

청구항 21에 있어서,

상기 제어 베이스 게이트를 형성한 후에, 상기 기판에 게이트 산화 공정을 수행하는 것을 더 포함하는 비휘발성 기억 소자의 제조 방법.

**청구항 24**

청구항 23에 있어서,

상기 제어 베이스 게이트를 형성한 후, 및 상기 게이트 산화 공정을 수행하기 전에 세정 공정을 수행하는 것을 더 포함하는 비휘발성 기억 소자의 제조 방법.

**청구항 25**

청구항 21에 있어서,

상기 금속막을 형성하기 전에, 상기 베이스 도전막 상에 하부 배리어막을 형성하는 것을 더 포함하되,

상기 제어 금속 게이트를 형성하는 것은, 상기 게이트 마스크 패턴을 식각 마스크로 사용하여 상기 금속막 및 상기 하부 배리어막을 연속적으로 식각하여, 차례로 적층된 하부 배리어 패턴 및 상기 제어 금속 패턴을 형성하는 것을 포함하는 비휘발성 기억 소자의 제조 방법.

**청구항 26**

청구항 21에 있어서,

상기 게이트 마스크 패턴을 형성하기 전에, 상기 금속막 상에 상부 배리어막을 형성하는 것을 더 포함하되,

상기 제어 금속 게이트를 형성하는 것은, 상기 게이트 마스크 패턴을 식각 마스크로 사용하여, 상기 상부 배리어막 및 금속막을 연속적으로 식각하여 차례로 적층된 상기 제어 금속 패턴 및 상부 배리어 패턴을 형성하는 것을 포함하는 비휘발성 기억 소자의 제조 방법.

**청구항 27**

청구항 21에 있어서,

상기 터널 유전막, 전하 저장층 및 블로킹 유전막을 형성하는 것 및 상기 베이스 도전막 및 금속막을 형성하는 것은,

기판 상에 터널 유전막 및 반도체 패턴을 차례로 형성하는 것;

상기 반도체 패턴을 갖는 기판 상에 블로킹 유전막을 형성하는 것; 및

상기 블로킹 유전막 상에 상기 베이스 도전막 및 금속막을 차례로 형성하는 것을 포함하되,

상기 제어 베이스 게이트를 형성하는 것은, 상기 게이트 마스크 패턴을 식각 마스크로 사용하여 상기 노출된 베이스 도전막, 블로킹 유전막 및 반도체 패턴을 연속적으로 식각하여, 차례로 적층된 전하 저장층, 패터닝된 블로킹 유전막 및 제어 베이스 게이트를 형성하는 것을 포함하는 비휘발성 기억 소자의 제조 방법.

**청구항 28**

청구항 21에 있어서,

상기 터널 유전막, 전하 저장층 및 블로킹 유전막을 형성하는 것, 및 상기 베이스 도전막 및 금속막을 형성하는 것은,

기관 상에, 터널 유전막, 전하 저장층 및 블로킹 유전막을 차례로 형성하는 것; 및

상기 블로킹 유전막 상에 상기 베이스 도전막 및 금속막을 차례로 형성하는 것을 포함하되,

상기 전하 저장층은 전하를 저장하는 트랩들을 갖는 유전 물질을 포함하는 비휘발성 기억 소자의 제조 방법.

### 청구항 29

청구항 21에 있어서,

상기 기관은 셀 영역 및 주변 영역을 포함하고,

상기 게이트 마스크 패턴을 형성하는 것은, 상기 셀 영역 내 상기 금속막 상의 제1 게이트 마스크 패턴 및 상기 주변 영역 내 상기 금속막 상의 제2 게이트 마스크 패턴을 형성하는 것을 포함하고,

상기 제어 금속 패턴을 형성하는 것은, 상기 제1 및 제2 게이트 마스크 패턴들을 식각 마스크로 사용하여 상기 금속막을 식각하여 상기 셀 영역 내의 상기 제어 금속 패턴, 및 상기 주변 영역 내의 주변 금속 패턴을 형성하는 것을 포함하고,

상기 언더컷 영역들을 형성하는 것은, 상기 제어 금속 패턴의 양 측벽들 및 상기 주변 금속 패턴의 양 측벽들을 옆으로 식각하여, 상기 제1 게이트 마스크 패턴의 양 가장자리들 아래의 제1 언더컷 영역들 및 상기 제2 게이트 마스크 패턴의 양 가장자리들 아래의 제2 언더컷 영역들을 정의하는 것을 포함하고,

상기 산화 방지 스페이서를 형성하는 것은, 상기 산화 방지막을 식각하여 상기 제1 언더컷 영역들 내의 제1 산화 방지 스페이서들 및 상기 제2 언더컷 영역들 내의 제2 산화 방지 스페이서들을 형성하는 것을 포함하고,

상기 제어 베이스 게이트를 형성하는 것은, 상기 제1 및 제2 게이트 마스크 패턴들을 식각 마스크로 사용하여 상기 베이스 도전막을 식각하여 상기 제어 금속 패턴 아래의 제어 베이스 게이트, 및 상기 주변 금속 패턴 아래의 주변 서브-게이트를 형성하는 것을 포함하는 비휘발성 기억 소자의 제조 방법.

### 청구항 30

청구항 29에 있어서,

상기 제어 금속 패턴의 측벽을 기준으로 상기 제1 산화 방지 스페이서의 두께는 상기 주변 금속 패턴의 측벽을 기준으로 상기 제2 산화 방지 스페이서의 두께와 다른 비휘발성 기억 소자의 제조 방법.

## 명세서

### 기술분야

[0001] 본 발명은 반도체 소자 및 그 제조 방법에 관한 것으로, 보다 상세하게는, 비휘발성 기억 소자 및 그 제조 방법에 관한 것이다.

### 배경기술

[0002] 소형화, 다기능화 및/또는 낮은 제조 단가 등의 특성들로 인하여 반도체 소자는 전자 산업에서 중요한 요소로 각광 받고 있다. 반도체 소자들은 논리 데이터를 저장하는 기억 소자, 논리 데이터를 연산 처리하는 논리 소자, 및 기억 요소와 논리 요소를 포함하는 하이브리드(hybrid) 소자 등을 포함할 수 있다.

[0003] 전자 산업이 발전함에 따라, 반도체 소자의 특성에 대한 요구치가 증가되고 있다. 예컨대, 보다 빠르게 동작하는 반도체 소자에 대한 요구가 증가되고 있으며, 및/또는 우수한 신뢰성을 갖는 반도체 소자에 대한 요구가 증가되고 있다. 하지만, 반도체 소자의 고집적화 경향으로 반도체 소자 내 패턴들이 점점 미세해지고 있다. 선폭의 감소로 인하여, 고속화된 반도체 소자 및/또는 우수한 신뢰성을 갖는 반도체 소자의 구현이 점점 어려워지고 있다.

**발명의 내용**

**해결하려는 과제**

- [0004] 본 발명이 이루고자 하는 일 기술적 과제는 우수한 신뢰성을 갖는 비휘발성 기억 소자 및 그 제조 방법을 제공 하는 데 있다.
- [0005] 본 발명이 이루고자 하는 다른 기술적 과제는 고집적화에 최적화된 비휘발성 기억 소자 및 그 제조 방법을 제공 하는 데 있다.
- [0006] 본 발명이 이루고자 하는 또 다른 기술적 과제는 고속화에 최적화된 비휘발성 기억 소자 및 그 제조 방법을 제 공하는 데 있다.

**과제의 해결 수단**

- [0007] 상술된 기술적 과제들을 해결하기 위한 비휘발성 기억 소자들을 제공한다. 본 발명의 일 실시예에 따른 비휘발 성 기억 소자는 기판 상에 차례로 적층된 제어 베이스 게이트(control base gate) 및 제어 금속 패턴을 포함하 는 제어 게이트 전극; 상기 제어 금속 패턴 상에 배치된 게이트 마스크 패턴, 상기 제어 금속 패턴의 폭은 상기 제어 베이스 게이트 및 상기 게이트 마스크 패턴의 폭들 보다 작고; 상기 제어 금속 패턴의 양 측벽들 상에 각 각 배치되고, 상기 제어 베이스 게이트의 양 가장자리들 및 상기 게이트 마스크 패턴의 양 가장자리들 사이에 개재된 한 쌍의 산화 방지 스페이서들; 및 상기 기판 및 제어 게이트 전극 사이에 차례로 적층된 터널 유전막, 전하 저장층 및 블로킹 유전막을 포함할 수 있다.
- [0008] 일 실시예에 따르면, 상기 제어 게이트 전극은 상기 제어 금속 패턴 및 상기 제어 베이스 게이트 사이에 개재된 하부 배리어 패턴(lower barrier pattern)을 더 포함할 수 있다. 상기 하부 배리어 패턴의 폭은 상기 제어 금속 패턴의 폭 보다 클 수 있다. 이 경우에, 상기 산화 방지 스페이서는 상기 게이트 마스크 패턴의 가장자리 및 상 기 하부 배리어 패턴의 가장자리 사이에 개재될 수 있다.
- [0009] 일 실시예에 따르면, 상기 제어 게이트 전극은 상기 제어 금속 패턴 및 상기 게이트 마스크 패턴 사이에 개재된 상부 배리어 패턴을 더 포함할 수 있다. 상기 상부 배리어 패턴의 폭은 상기 제어 금속 패턴의 폭 보다 클 수 있다. 이 경우에, 상기 산화 방지 스페이서는 상기 상부 배리어 패턴의 가장자리 및 상기 제어 베이스 게이트의 가장자리 사이에 개재될 수 있다.
- [0010] 일 실시예에 따르면, 상기 산화 방지 스페이서는 질화물을 포함할 수 있다. 일 실시예에 따르면, 상기 산화 방 지 스페이서는 절연성 질화물을 포함할 수 있다. 이와는 다르게, 상기 산화 방지 스페이서는 도전성 금속 질화 물을 포함할 수 있다.
- [0011] 일 실시예에 따르면, 상기 제어 베이스 게이트의 윗부분의 폭은 그 아랫부분의 폭 보다 작을 수 있다. 이로써, 상기 제어 베이스 게이트의 측벽은 계단형태(steped shape)일 수 있다.
- [0012] 일 실시예에 따르면, 상기 전하 저장층은 반도체 물질을 포함하는 플로팅 게이트일 수 있다. 이 경우에, 상기 전하 저장층은 도펀트로 도핑 되거나, 언도프트 상태일 수 있다.
- [0013] 이와는 다르게, 상기 전하 저장층은 전하를 축적하는 트랩들을 갖는 유전 물질을 포함할 수 있다.
- [0014] 일 실시예에 따르면, 상기 소자는 상기 제어 베이스 게이트의 양 측벽 상의 산화막을 더 포함할 수 있다.
- [0015] 일 실시예에 따르면, 상기 기판은 셀 영역 및 주변 영역을 포함할 수 있다. 상기 제어 게이트 전극은 상기 셀 영역의 기판 상에 배치될 수 있으며, 상기 산화 방지 스페이서들은 제1 산화 방지 스페이서들에 해당할 수 있다. 상기 게이트 마스크 패턴은 제1 게이트 마스크 패턴에 해당할 수 있다. 이 경우에, 상기 소자는 상기 주 변 영역의 기판 상에 차례로 적층된 주변 서브-게이트(peripheral sub-gate) 및 주변 금속 패턴을 포함하는 주 변 게이트 전극; 상기 주변 금속 패턴 상에 배치된 제2 게이트 마스크 패턴, 상기 주변 금속 패턴의 폭은 상기 주변 서브-게이트 및 제2 게이트 마스크 패턴의 폭들 보다 작고; 상기 주변 금속 패턴의 양 측벽들 상에 각각 배치되고, 상기 주변 서브-게이트의 양 가장자리들과 상기 제2 게이트 마스크 패턴의 양 가장자리들 사이에 개 재된 한 쌍의 제2 산화 방지 스페이서들; 및 상기 주변 게이트 전극 및 상기 기판 사이에 개재된 주변 게이트 유전막을 더 포함할 수 있다.
- [0016] 일 실시예에 따르면, 상기 주변 서브-게이트는 상기 제어 베이스 게이트와 동일한 물질을 포함할 수 있으며, 상

기 주변 금속 패턴은 상기 제어 금속 패턴과 동일한 금속을 포함할 수 있다. 상기 제2 산화 방지 스페이서들은 상기 제1 산화 방지 스페이서들과 동일한 물질을 포함할 수 있다.

- [0017] 일 실시예에 따르면, 상기 제어 금속 패턴의 측벽을 기준으로 상기 제1 산화 방지 스페이서의 두께는 상기 주변 금속 패턴의 측벽을 기준으로 상기 제2 산화 방지 스페이서의 두께와 다를 수 있다.
- [0018] 일 실시예에 따르면, 상기 전하 저장층은 반도체 물질을 포함하는 플로팅 게이트인 경우에, 상기 주변 게이트 전극은 상기 주변 서브-게이트와 상기 주변 게이트 유전막 사이에 개재된 주변 바닥 게이트를 더 포함할 수 있다. 상기 주변 바닥 게이트는 상기 전하 저장층과 동일한 반도체 물질을 포함할 수 있다. 상기 주변 서브-게이트와 상기 주변 바닥 게이트는 서로 전기적으로 접속될 수 있다.
- [0019] 일 실시예에 따르면, 상기 전하 저장층은 전하를 저장하는 트랩들을 갖는 유전 물질을 포함하는 경우에, 상기 주변 서브-게이트는 상기 주변 게이트 유전막 바로 위에(directly on) 배치될 수 있다.
- [0020] 일 실시예에 따르면, 상기 주변 서브-게이트의 측벽은 계단형태일 수 있다.
- [0021] 본 발명의 다른 실시예에 따른 비휘발성 기억 소자는 기판 상에 차례로 적층된 제어 베이스 게이트 및 제어 금속 패턴을 포함하는 제어 게이트 전극; 상기 제어 금속 패턴 상에 배치된 게이트 마스크 패턴, 상기 제어 금속 패턴의 폭은 상기 제어 베이스 게이트 및 상기 게이트 마스크 패턴의 폭들 보다 작아서, 상기 제어 금속 패턴 양 측에 한 쌍의 언더컷 영역들이 각각 정의되고; 상기 제어 금속 패턴 양 측벽들 상에 각각 배치되고, 상기 한 쌍의 언더컷 영역들 내에 각각 한정적(confined)으로 배치된 한 쌍의 산화 방지 스페이서들; 상기 기판 및 제어 게이트 전극 사이에 차례로 적층된 터널 유전막, 전하 저장층 및 블로킹 유전막을 포함할 수 있다.
- [0022] 상술된 기술적 과제들을 해결하기 위한 비휘발성 기억 소자의 제조 방법을 제공한다. 이 방법은 기판 상에 베이스 도전막 및 금속막을 차례로 형성하는 것; 상기 금속막 상에 게이트 마스크 패턴을 형성하는 것; 상기 게이트 마스크 패턴을 식각 마스크로 사용하여 상기 금속막을 식각하여 제어 금속 패턴을 형성하는 것; 상기 제어 금속 패턴의 양 측벽들을 옆으로 식각하여, 상기 게이트 마스크 패턴의 양 가장자리들 아래에 언더컷 영역들을 형성하는 것; 상기 언더컷 영역들을 포함한 기판 상에 산화 방지막을 증착하는 것; 상기 산화 방지막을 식각하여, 상기 각 언더컷 영역 내에 산화 방지 스페이서를 형성하는 것; 상기 게이트 마스크 패턴을 식각 마스크로 사용하여, 상기 베이스 도전막을 식각하여 제어 베이스 게이트를 형성하는 것; 및 상기 기판 및 제어 베이스 게이트 사이에 차례로 적층된 터널 유전막, 전하 저장층 및 블로킹 유전막을 형성하는 것을 포함한다.
- [0023] 일 실시예에 따르면, 상기 제어 베이스 게이트를 형성한 후에, 상기 산화 방지 스페이서는 상기 언더컷 영역 내에 한정적으로 배치될 수 있다.
- [0024] 일 실시예에 따르면, 상기 방법은 상기 제어 베이스 게이트를 형성한 후에, 상기 기판에 게이트 산화 공정을 수행하는 것을 더 포함할 수 있다.
- [0025] 일 실시예에 따르면, 상기 방법은 상기 제어 베이스 게이트를 형성한 후 및 상기 게이트 산화 공정을 수행하기 전에, 세정 공정을 수행하는 것을 더 포함할 수 있다.
- [0026] 일 실시예에 따르면, 상기 방법은 상기 금속막을 형성하기 전에, 상기 베이스 도전막 상에 하부 배리어막을 형성하는 것을 더 포함할 수 있다. 이 경우에, 상기 제어 금속 게이트를 형성하는 것은, 상기 게이트 마스크 패턴을 식각 마스크로 사용하여 상기 금속막 및 상기 하부 배리어막을 연속적으로 식각하여, 차례로 적층된 하부 배리어 패턴 및 상기 제어 금속 패턴을 형성하는 것을 포함할 수 있다.
- [0027] 일 실시예에 따르면, 상기 방법은 상기 게이트 마스크 패턴을 형성하기 전에, 상기 금속막 상에 상부 배리어막을 형성하는 것을 더 포함할 수 있다. 이 경우에, 상기 제어 금속 게이트를 형성하는 것은, 상기 게이트 마스크 패턴을 식각 마스크로 사용하여, 상기 상부 배리어막 및 금속막을 연속적으로 식각하여 차례로 적층된 상기 제어 금속 패턴 및 상부 배리어 패턴을 형성하는 것을 포함할 수 있다.
- [0028] 일 실시예에 따르면, 상기 터널 유전막, 전하 저장층 및 블로킹 유전막을 형성하는 것 및 상기 베이스 도전막 및 금속막을 형성하는 것은, 기판 상에 터널 유전막 및 반도체 패턴을 차례로 형성하는 것; 상기 반도체 패턴을 갖는 기판 상에 블로킹 유전막을 형성하는 것; 및 상기 블로킹 유전막 상에 상기 베이스 도전막 및 금속막을 차례로 형성하는 것을 포함할 수 있다. 이 경우에, 상기 제어 베이스 게이트를 형성하는 것은, 상기 게이트 마스크 패턴을 식각 마스크로 사용하여 상기 노출된 베이스 도전막, 블로킹 유전막 및 반도체 패턴을 연속적으로 식각하여, 차례로 적층된 전하 저장층, 패턴링된 블로킹 유전막 및 제어 베이스 게이트를 형성하는 것을 포함할



수 있다.

[0029] 일 실시예에 따르면, 상기 터널 유전막, 전하 저장층 및 블로킹 유전막을 형성하는 것 및 상기 베이스 도전막 및 금속막을 형성하는 것은, 기판 상에, 터널 유전막, 전하 저장층 및 블로킹 유전막을 차례로 형성하는 것; 및 상기 블로킹 유전막 상에 상기 베이스 도전막 및 금속막을 차례로 형성하는 것을 포함할 수 있다. 이 경우에, 상기 전하 저장층은 전하를 저장하는 트랩들을 갖는 유전 물질을 포함할 수 있다.

[0030] 일 실시예에 따르면, 상기 기판은 셀 영역 및 주변 영역을 포함할 수 있다. 이 경우에, 상기 게이트 마스크 패턴을 형성하는 것은, 상기 셀 영역 내 상기 금속막 상의 제1 게이트 마스크 패턴 및 상기 주변 영역 내 상기 금속막 상의 제2 게이트 마스크 패턴을 형성하는 것을 포함할 수 있다. 상기 제어 금속 패턴을 형성하는 것은, 상기 제1 및 제2 게이트 마스크 패턴들을 식각 마스크로 사용하여 상기 금속막을 식각하여 상기 셀 영역 내의 상기 제어 금속 패턴, 및 상기 주변 영역 내의 주변 금속 패턴을 형성하는 것을 포함할 수 있다. 상기 언더컷 영역들을 형성하는 것은, 상기 제어 금속 패턴의 양 측벽들 및 상기 주변 금속 패턴의 양 측벽들을 옆으로 식각하여, 상기 제1 게이트 마스크 패턴의 양 가장자리들 아래의 제1 언더컷 영역들 및 상기 제2 게이트 마스크 패턴의 양 가장자리들 아래의 제2 언더컷 영역들을 정의하는 것을 포함할 수 있다. 상기 산화 방지 스페이서를 형성하는 것은, 상기 산화 방지막을 식각하여 상기 제1 언더컷 영역들 내의 제1 산화 방지 스페이서들 및 상기 제2 언더컷 영역들 내의 제2 산화 방지 스페이서들을 형성하는 것을 포함할 수 있다. 상기 제어 베이스 게이트를 형성하는 것은, 상기 제1 및 제2 게이트 마스크 패턴들을 식각 마스크로 사용하여 상기 베이스 도전막을 식각하여 상기 제어 금속 패턴 아래의 제어 베이스 게이트, 및 상기 주변 금속 패턴 아래의 주변 서브-게이트를 형성하는 것을 포함할 수 있다.

### 발명의 효과

[0031] 상술된 비휘발성 기억 소자에 따르면, 상기 한 쌍의 제1 산화 방지 스페이서들이 상기 제어 금속 패턴의 양 측벽들 상에 배치된다. 이에 따라, 상기 제어 금속 패턴이 산화 공정 및/또는 산화물 등에 의하여 산화되는 것이 방지할 수 있다. 또한, 상기 제1 산화 방지 스페이서들이 상기 제어 금속 패턴 아래위에 배치된 상기 제어 베이스 게이트의 양 가장자리들 및 상기 게이트 마스크 패턴의 양 가장자리들 사이에 한정적으로 배치됨으로써, 상기 제1 산화 방지 스페이서들에 의하여 셀 게이트 패턴의 선폴이 증가되는 것이 최소화될 수 있다. 그 결과, 우수한 신뢰성을 갖고 고집적화에 최적화된 비휘발성 기억 소자를 구현할 수 있다. 또한, 상기 제어 게이트 전극이 낮은 비저항을 갖는 상기 제어 금속 패턴을 포함함으로써, 고속으로 동작하는 비휘발성 기억 소자를 구현할 수 있다.

### 도면의 간단한 설명

[0032] 도 1은 본 발명의 일 실시예에 따른 비휘발성 기억 소자를 나타내는 단면도.  
 도 2는 본 발명의 일 실시예에 따른 비휘발성 기억 소자의 일 변형예를 나타내는 단면도.  
 도 3은 본 발명의 일 실시예에 따른 비휘발성 기억 소자의 다른 변형예를 나타내는 단면도.  
 도 4는 본 발명의 일 실시예에 따른 비휘발성 기억 소자의 또 다른 변형예를 나타내는 단면도.  
 도 5는 본 발명의 일 실시예에 따른 비휘발성 기억 소자의 또 다른 변형예를 나타내는 단면도.  
 도 6a 내지 도 6g는 본 발명의 일 실시예에 따른 비휘발성 기억 소자의 제조 방법을 설명하기 위한 단면도들.  
 도 7은 본 발명의 일 실시예에 따른 비휘발성 기억 소자의 산화 방지 스페이서 및 게이트 패턴들을 형성하는 방법을 설명하기 위한 플로우 차트.  
 도 8a 내지 도 8d는 도 5에 개시된 비휘발성 기억 소자의 제조 방법을 설명하기 위한 단면도들.  
 도 9는 본 발명의 다른 실시예에 비휘발성 기억 소자를 나타내는 단면도.  
 도 10은 본 발명의 다른 실시예에 따른 비휘발성 기억 소자의 일 변형예를 나타내는 단면도.  
 도 11은 본 발명의 다른 실시예에 따른 비휘발성 기억 소자의 다른 변형예를 나타내는 단면도.  
 도 12는 본 발명의 다른 실시예에 따른 비휘발성 기억 소자의 또 다른 변형예를 나타내는 단면도.  
 도 13a 내지 도 13d는 본 발명의 다른 실시예에 따른 비휘발성 기억 소자의 제조 방법을 나타내는 단면도들.

도 14는 본 발명의 다른 실시예에 따른 비휘발성 기억 소자의 산화 방지 스페이서 및 게이트 패턴들을 형성하는 방법을 설명하기 위한 플로우 차트.

도 15a 내지 도 15c는 도 12에 개시된 비휘발성 기억 소자의 제조 방법을 설명하기 위한 단면도들.

도 16은 본 발명의 또 다른 실시예에 따른 비휘발성 기억 소자를 나타내는 단면도.

도 17은 본 발명의 기술적 사상에 기초한 비휘발성 기억 소자를 포함하는 전자 시스템의 일 예를 도시한 블록도.

도 18은 본 발명의 기술적 사상에 기초한 비휘발성 기억 소자를 포함하는 메모리 카드의 일 예를 도시한 블록도.

**발명을 실시하기 위한 구체적인 내용**

[0033] 이상의 본 발명의 목적들, 다른 목적들, 특징들 및 이점들은 첨부된 도면과 관련된 이하의 바람직한 실시예들을 통해서 쉽게 이해될 것이다. 그러나, 본 발명은 여기서 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되는 것이다.

[0034] 본 명세서에서, 어떤 막(또는 층)이 다른 막(또는 층) 또는 기판 상에 있다고 언급되는 경우에 그것은 다른 막(또는 층) 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 막(또는 층)이 개재될 수도 있다 또한, 도면들에 있어서, 구성들의 크기 및 두께 등은 명확성을 위하여 과장된 것이다. 또한, 본 명세서의 다양한 실시예들에서 제1, 제2, 제3 등의 용어가 다양한 영역, 막들(또는 층들) 등을 기술하기 위해서 사용되었지만, 이들 영역, 막들이 이 같은 용어들에 의해서 한정되어서는 안 된다. 이들 용어들은 단지 어느 소정 영역 또는 막(또는 층)을 다른 영역 또는 막(또는 층)과 구별시키기 위해서 사용되었을 뿐이다. 따라서, 어느 한 실시예에 의 제1막질로 언급된 막질이 다른 실시예에서는 제2막질로 언급될 수도 있다. 여기에 설명되고 예시되는 각 실시예는 그것의 상보적인 실시예도 포함한다. 본 명세서에서 '및/또는' 이란 표현은 전후에 나열된 구성요소들 중 적어도 하나를 포함하는 의미로 사용된다. 명세서 전체에 걸쳐서 동일한 참조번호로 표시된 부분들은 동일한 구성요소들을 나타낸다.

[0035] (제1 실시예)

[0036] 도 1은 본 발명의 일 실시예에 따른 비휘발성 기억 소자를 나타내는 단면도이다.

[0037] 도 1을 참조하면, 반도체 기판(100, 이하 기판이라 함)은 셀 영역(50) 및 주변 영역(60)을 포함할 수 있다. 상기 셀 영역(50)은 논리 데이터를 저장하는 비휘발성 기억 셀들이 배치되는 영역에 해당할 수 있다. 상기 주변 영역(60)은 주변회로를 구성하는 단일 요소들(예컨대, 주변 전계 효과 트랜지스터 등)이 배치되는 영역에 해당할 수 있다. 상기 기판(100)은 실리콘 기판, 게르마늄 기판 또는 실리콘-게르마늄 기판 동일 수 있다. 하지만, 본 발명은 여기에 한정되지 않는다. 상기 기판(100)은 화합물 반도체 기판일 수도 있다.

[0038] 상기 기판(100)에 활성부들(ACT1, ACT2)을 정의하는 소자분리 패턴(미도시함)이 배치될 수 있다. 상기 소자분리 패턴은 상기 제1 영역(50) 내의 제1 활성부(ACT1) 및 상기 제2 영역(60) 내의 제2 활성부(ACT2)를 정의할 수 있다. 상기 제1 활성부(ACT1)는 상기 소자분리 패턴에 의해 둘러싸인 상기 셀 영역(50) 내 기판(100)의 일부분일 수 있다. 상기 제2 활성부(ACT2)는 상기 소자분리 패턴에 의해 둘러싸인 상기 주변 영역(60) 내 기판(100)의 일부분일 수 있다. 상기 제1 활성부(ACT1)는 제1 도전형의 도펀트로 도핑될 수 있다. 상기 제2 활성부(ACT2)는 상기 제1 활성부(ACT1)와 동일한 타입의 도펀트로 도핑될 수 있다. 이와는 다르게, 상기 제2 활성부(ACT2)는 상기 제1 활성부(ACT1)와 다른 타입, 즉, 제2 도전형의 도펀트로 도핑될 수 있다.

[0039] 상기 제1 활성부(ACT1) 상에 셀 게이트 패턴(CG)이 배치될 수 있다. 상기 셀 게이트 패턴(CG)은 비휘발성 기억 셀에 포함될 수 있다. 상기 셀 게이트 패턴(CG)은, 상기 제1 활성부(ACT1) 상부(over)를 가로지르는 제어 게이트 전극(137)을 포함할 수 있다. 상기 제어 게이트 전극(137)은 차례로 적층된 제어 베이스 게이트(120a, control base gate) 및 제어 금속 패턴(125an)를 포함할 수 있다. 상기 셀 게이트 패턴(CG)은, 상기 제어 게이트 전극(137) 상에 배치된 제1 게이트 마스크 패턴(130)을 더 포함할 수 있다. 이에 더하여, 상기 셀 게이트 패턴(CG)은, 상기 제어 게이트 전극(137) 및 상기 제1 활성부(ACT1) 사이에 차례로 적층된 터널 유전막(105), 전하 저장층(110a) 및 블로킹 유전막(115a)을 더 포함할 수 있다.

[0040] 상기 제1 게이트 마스크 패턴(130)은 제1 폭(W1)을 갖고, 상기 제어 금속 패턴(125an)은 제2 폭(W2)을 가지며,

상기 제어 베이스 게이트(120a)는 제3 폭(W3)을 갖는다. 이때, 상기 제어 금속 패턴(125an)의 제2 폭(W2)은 상기 제1 게이트 마스크 패턴(130)의 제1 폭(W1) 및 상기 제어 베이스 게이트(120a)의 제3 폭(W3) 보다 작은 것이 바람직하다. 이에 따라, 상기 상기 제어 금속 패턴(125an)의 양 측에 한 쌍의 제1 언더컷 영역들(UC1, undercut region)이 각각 정의될 수 있다. 상기 한 쌍의 제1 언더컷 영역들(UC1)은 상기 제1 게이트 마스크 패턴(130)의 양 가장자리들 아래에 정의될 수 있다.

[0041] 한 쌍의 제1 산화 방지 스페이서들(135a)이 상기 제어 금속 패턴(125an)의 양 측벽들 상에 각각 배치된다. 상기 한 쌍의 제1 산화 방지 스페이서들(135a)은 상기 제1 게이트 마스크 패턴(130)의 양 가장자리들 및 상기 제어 베이스 게이트(120a)의 양 가장자리들 사이에 배치되는 것이 바람직하다. 다시 말해서, 상기 산화 방지 스페이서의 하단(bottom end)은 상기 제어 베이스 게이트(120a)의 상부면의 레벨과 같거나 높은 레벨에 위치할 수 있으며, 상기 산화 방지 스페이서(120a)의 상단(top end)은 상기 제1 게이트 마스크 패턴(130)의 하부면의 레벨과 같거나 낮은 레벨에 위치할 수 있다. 상기 제1 한 쌍의 제1 산화 방지 스페이서들(135a)은 상기 제어 금속 패턴(125an)의 양 측벽들과 직접 접촉될 수 있다. 일 실시예에 따르면, 상기 한 쌍의 제1 산화 방지 스페이서들(135a)은 상기 한 쌍의 제1 언더컷 영역들(UC1) 내에 각각 한정적(confined)으로 배치될 수 있다.

[0042] 상기 제어 금속 패턴(125an)은 낮은 비저항을 갖는 금속을 포함할 수 있다. 예컨대, 상기 제어 금속 패턴(125an)은 텅스텐 또는 구리 등을 포함할 수 있다. 상기 제1 산화 방지 스페이서(135a)는 내산화성이 우수한 물질을 포함할 수 있다. 예컨대, 상기 제1 산화 방지 스페이서(135a)은 질화물을 포함할 수 있다. 일 실시예에 따르면, 상기 제1 산화 방지 스페이서(135a)은 절연성 질화물을 포함할 수 있다. 예컨대, 상기 제1 산화 방지 스페이서(135a)은 실리콘 질화물 및/또는 실리콘 산화질화물 등을 포함할 수 있다. 다른 실시예에 따르면, 상기 제1 산화 방지 스페이서(135a)는 도전성 질화물을 포함할 수 있다. 예컨대, 상기 제1 산화 방지 스페이서(135a)는 도전성 금속 질화물(ex, 질화 티타늄, 질화 탄탈륨 및/또는 질화텅스텐 등)을 포함할 수도 있다.

[0043] 상기 제어 베이스 게이트(120a)는 상기 제어 금속 패턴(125an)에 대하여 식각 선택비를 갖는 도전 물질을 포함할 수 있다. 예컨대, 상기 제어 베이스 게이트(120a)는 도핑된 반도체(ex, 도핑된 실리콘, 도핑된 실리콘-게르마늄 등)를 포함할 수 있다. 하지만, 본 발명은 여기에 한정되지 않는다. 상기 제어 베이스 게이트(120a)는 상기 제어 금속 패턴(125an)과 식각 선택비를 갖는 다른 도전 물질을 포함할 수도 있다. 일 실시예에 따르면, 상기 제어 베이스 게이트(120a)는 도전성 금속 질화물(ex, TiN, TaN 등) 및/또는 전이 금속(ex, Ti, Ta 등)을 포함할 수도 있다. 이와는 다르게, 상기 제어 베이스 게이트(120a)는 도핑된 반도체 및 도전성 금속 질화물을 포함할 수 있다. 이와는 또 다르게, 상기 제어 베이스 게이트(120a)는 도핑된 반도체, 전이 금속 및 제어 베이스 게이트(120a)를 포함할 수도 있다.

[0044] 상기 제1 게이트 마스크 패턴(130)은 상기 제어 금속 패턴(125an)에 대하여 식각 선택비를 갖는 유전 물질을 포함할 수 있다. 또한, 상기 제1 게이트 마스크 패턴(130)은 상기 제1 산화 방지 스페이서(135a)에 대하여 식각 선택비를 갖는 유전 물질을 포함할 수 있다. 예컨대, 상기 제1 게이트 마스크 패턴(130)은 산화물(ex, 실리콘 산화물 등)을 포함할 수 있다. 하지만, 본 발명은 여기에 한정되지 않는다. 상기 제1 산화 방지 스페이서(135a)가 상기 도전성 질화물을 포함하는 경우에, 상기 제1 게이트 마스크 패턴(130)은 실리콘 산화물, 실리콘 질화물 및/또는 실리콘 산화질화물 등을 포함할 수도 있다.

[0045] 상기 전하 저장층(110a)은 반도체 물질을 포함할 수 있다. 예컨대, 상기 전하 저장층(110a)은 다결정 실리콘 등을 포함할 수 있다. 이 경우에, 상기 전하 저장층(110a)은 플로팅 게이트일 수 있다. 다시 말해서, 데이터의 저장을 위한 전하들은 상기 전하 저장층(110a) 내에서 자유 전하의 형태로 저장될 수 있다. 상기 전하 저장층(110a)은 상기 제어 베이스 게이트(120a)의 양 측벽들에 실질적으로 자기정렬된 양 측벽들을 포함할 수 있다. 상기 전하 저장층(110a)은 언도프트(undoped) 상태일 수 있다. 이와는 달리, 상기 전하 저장층(110a)은 도펀트로 도핑된 상태일 수 있다. 일 실시예에 따르면, 상기 전하 저장층(110a)은 상기 전하 저장층(110a) 아래의 제1 활성화부(ACT1)와 다른 타입의 도펀트인 상기 제2 도전형의 도펀트로 도핑될 수 있다. 상기 제1 도전형의 도펀트 및 상기 제2 도전형의 도펀트 중에서 어느 하나는 n형 도펀트이고, 다른 하나는 p형 도펀트일 수 있다.

[0046] 이와는 다르게, 상기 전하 저장층(110a)은 상기 제1 활성화부(ACT1)와 동일한 타입인 상기 제1 도전형의 도펀트로 도핑될 수 있다. 상기 전하 저장층(110a) 및 제1 활성화부(ACT1)가 서로 동일한 타입의 도펀트로 도핑되는 경우에, 상기 전하 저장층(110a)에 저장되는 전하는 상기 전하 저장층(110a)내 다수 캐리어(major carriers)가 서로 반대 타입 일 수 있다. 이 경우에, 상기 전하 저장층(110a) 내에 저장된 전하들과 상기 터널 유전막(105) 간의 에너지 장벽이 증가되어, 비휘발성 기억 셀의 데이터 유지 특성이 증가될 수 있다.

[0047] 상기 터널 유전막(105)은 산화물(ex, 실리콘 산화물 등) 및/또는 산화질화물(ex, 실리콘 산화질화물 등)을 포함

할 수 있다. 예컨대, 상기 터널 유전막(105)은, 상기 제1 활성부(ACT1)에 산화 공정을 수행하여 형성된 산화물 및/또는 상기 제1 활성부(ACT1)에 산화질화 공정을 수행하여 형성된 산화질화물 등을 포함할 수 있다.

- [0048] 상기 블로킹 유전막(115a)은 ONO(oxide/nitride/oxide)를 포함할 수 있다. 이와는 다르게, 상기 블로킹 유전막(115a)은 상기 터널 유전막(105) 보다 높은 유전상수를 갖는 고유전물질(ex, 산화알루미늄, 산화하프늄 등과 같은 절연성 금속 산화물 등)을 포함할 수 있다. 이에 더하여, 상기 블로킹 유전막(115a)은 상기 고유전 물질 및 장벽 유전 물질을 포함할 수 있다. 상기 장벽 유전 물질은 상기 고유전 물질 보다 큰 에너지 밴드갭을 갖는 유전 물질(ex, 실리콘 산화물 등)을 포함할 수 있다.
- [0049] 일 실시예에 따르면, 산화막(140)이 상기 제어 베이스 게이트(120a)의 양측벽 및 상기 전하 저장층(110a)의 양측벽 상에 배치될 수 있다. 예컨대, 상기 산화막(140)은 상기 제어 베이스 게이트(120a)의 양측벽 및 상기 전하 저장층(110a)의 양측벽이 산화되어 형성된 산화물을 포함할 수 있다.
- [0050] 상기 셀 게이트 패턴(CG) 양측에 인접한 상기 제1 활성부(ACT1) 내에 셀 소오스/드레인(145)이 정의될 수 있다. 일 실시예에 따르면, 상기 셀 소오스/드레인(145)은 상기 제1 활성부(ACT1)과 다른 타입의 도펀트(즉, 상기 제2 도전형의 도펀트)로 도핑될 수 있다.
- [0051] 제1 게이트 스페이서(150a)가 상기 셀 게이트 패턴(CG)의 양 측벽 상에 배치될 수 있다. 일 실시예에 따르면, 복수의 상기 셀 게이트 패턴들(CG)이 상기 제1 활성부(ACT1) 상에 배치될 수 있다. 상기 셀 게이트 패턴들(CG)은 서로 옆으로 이격될 수 있다. 도 1에 개시된 바와 같이, 일 실시예에 따르면, 인접한 상기 셀 게이트 패턴들(CG) 사이의 공간의 적어도 일부는 상기 제1 게이트 스페이서들(150a)에 의해 채워질 수 있다. 예컨대, 적어도 상기 제1 게이트 마스크 패턴(130)의 하부면 아래의 상기 공간은 상기 제1 게이트 스페이서들(150a)에 의해 채워질 수 있다. 하지만, 본 발명은 여기에 한정되지 않는다. 상기 제1 게이트 스페이서(150a)은 산화물(ex, 실리콘 산화물 등)을 포함할 수 있다. 일 실시예에 따르면, 상기 제1 게이트 스페이서(150a)는 실리콘 질화물을 포함하지 않을 수 있다.
- [0052] 계속해서, 도 1을 참조하면, 상기 주변 영역(60)의 제2 활성부(ACT1) 상에 주변 게이트 패턴(PG)이 배치될 수 있다. 상기 주변 게이트 패턴(PG)은 차례로 적층된 주변 게이트 유전막(106), 주변 게이트 전극(138) 및 제2 게이트 마스크 패턴(131)을 포함할 수 있다. 상기 주변 게이트 전극(138)은 차례로 적층된 주변 바닥 게이트(111a, peripheral bottom gate), 주변 서브-게이트(120b, peripheral sub-gate) 및 주변 금속 패턴(125bn)을 포함할 수 있다.
- [0053] 상기 주변 금속 패턴(125bn)의 폭은 상기 제2 게이트 마스크 패턴(131)의 폭 및 상기 주변 서브-게이트(120b)의 폭 보다 작을 수 있다. 이에 따라, 한 쌍의 제2 언더컷 영역들(UC2)이 상기 주변 금속 패턴(125bn)의 양측에 각각 정의될 수 있다. 상기 한 쌍의 제2 언더컷 영역들(UC2)은 상기 제2 게이트 마스크 패턴(131)의 양 가장자리들 아래에 각각 정의될 수 있다.
- [0054] 한 쌍의 제2 산화 방지 스페이서들(135b)이 상기 주변 금속 패턴(125bn) 양 측벽들 상에 각각 배치될 수 있다. 이때, 상기 한 쌍의 제2 산화 방지 스페이서들(135b)은 상기 제2 게이트 마스크 패턴(131)의 양 가장자리들 및 상기 주변 서브-게이트(120b)의 양 가장자리들 사이에 개재될 수 있다. 상기 제2 산화 방지 스페이서(135b)의 하단은 상기 주변 서브-게이트(120b)의 상부면의 레벨과 같거나 높은 레벨에 위치할 수 있다. 상기 제2 산화 방지 스페이서(135b)의 상단은 제2 게이트 마스크 패턴(131)의 하부면의 레벨과 같거나 낮은 레벨에 위치할 수 있다. 상기 한 쌍의 제2 산화 방지 스페이서들(135b)은 상기 제어 금속 패턴(125an)의 양 측벽들과 직접 접촉될 수 있다. 일 실시예에 따르면, 상기 한 쌍의 제2 산화 방지 스페이서들(135b)은 상기 한 쌍의 제2 언더컷 영역들(UC2) 내에 각각 한정적으로 배치될 수 있다. 상기 제2 산화 방지 스페이서(135b)는 내산화성이 우수한 물질을 포함할 수 있다. 예컨대, 상기 제2 산화 방지 스페이서(135b)는 상기 제1 산화 방지 스페이서(135a)와 동일한 물질로 형성될 수 있다.
- [0055] 상기 제2 게이트 마스크 패턴(131)은 상기 주변 금속 패턴(125bn)에 대하여 식각 선택비를 갖는 유전 물질을 포함할 수 있다. 상기 주변 서브-게이트(120b)는 상기 주변 금속 패턴(125bn)에 대하여 식각 선택비를 갖는 도전 물질을 포함할 수 있다. 상기 주변 금속 패턴(125bn)은 상기 제어 금속 패턴(125an)과 동일한 물질로 형성될 수 있다. 상기 제2 게이트 마스크 패턴(131)은 상기 제1 게이트 마스크 패턴(130)과 동일한 유전물질로 형성될 수 있다. 상기 주변 서브-게이트(120b)는 상기 제어 베이스 게이트(120a)와 동일한 도전 물질을 포함할 수 있다.
- [0056] 상기 주변 바닥 게이트(111a)는 상기 전하 저장층(110a)과 동일한 반도체 물질을 포함할 수 있다. 이때, 상기 주변 바닥 게이트(111a)는 도펀트에 의하여 도핑되어, 전기적 전도성을 가질 수 있다. 상기 주변 서브-게이트

(120b)는 상기 주변 바닥 게이트(111a)와 전기적으로 접속된다. 층간 유전 패턴(115b)이 상기 주변 서브-게이트(120b)와 상기 주변 바닥 게이트(111a) 사이에 개재될 수 있다. 이때, 상기 주변 서브-게이트(120b)는 연장되어, 상기 층간 유전 패턴(115b)을 관통하는 개구부(117)를 채울 수 있다. 이에 따라, 상기 주변 서브-게이트(120b)는 상기 주변 바닥 게이트(111a)와 직접 접촉될 수 있다. 상기 층간 유전 패턴(115b)은 상기 블로킹 유전막(115a)과 동일한 물질로 형성될 수 있다.

[0057] 상기 주변 영역(60)의 상기 주변 게이트 패턴(PG)을 포함한 패턴들의 조밀도는 상기 셀 영역(50)의 상기 셀 게이트 패턴들(CG)을 포함한 패턴들의 조밀도와 다를 수 있다. 이에 따라, 여러 로딩 효과(loading effect)에 의하여 상기 주변 게이트 패턴(PG)의 측벽의 경사도와 상기 셀 게이트 패턴(CG)의 측벽의 경사도가 다를 수 있다. 좀 더 구체적으로, 상기 주변 게이트 패턴(PG)의 측벽 및 상기 기관(100)의 상부면 간의 경사각이 상기 셀 게이트 패턴(PG)의 측벽 및 상기 기관(100)의 상부면 간의 경사각과 다를 수 있다. 이로 인하여, 상기 제어 금속 패턴(125an)의 측벽을 기준으로한 상기 제1 산화 방지 스페이서(135a)의 제1 두께(T1)는 상기 주변 금속 패턴(125bn)의 측벽을 기준으로 한 상기 제2 산화 방지 스페이서(135b)의 제2 두께(T2)와 다를 수 있다. 상기 제1 산화 방지 스페이서(135a)는 상기 제어 금속 패턴(125an)의 측벽에 인접한 제1 내측벽 및 상기 제1 내측벽에 대향된 제1 외측벽을 가질 수 있다. 상기 제1 산화 방지 스페이서(135a)의 상기 제1 두께(T1)는 상기 제1 산화 방지 스페이서(135a)의 상기 제1 내측벽 및 상기 제1 외측벽간의 최단 거리에 해당할 수 있다. 이와 마찬가지로, 상기 제2 산화 방지 스페이서(135b)는 상기 주변 금속 패턴(125bn)의 측벽에 인접한 제2 내측벽 및 상기 제2 내측벽에 대향된 제2 외측벽을 가질 수 있다. 상기 제2 산화 방지 스페이서(135b)의 상기 제2 두께(T2)는 상기 제2 산화 방지 스페이서(135b)의 제2 내측벽 및 제2 외측벽간의 최단 거리에 해당할 수 있다.

[0058] 일 실시예에 따르면, 상기 주변 게이트 패턴(PG)의 측벽이 상기 셀 게이트 패턴(CG)의 측벽 보다 완만하게 경사질 수 있다. 즉, 상기 주변 게이트 패턴(PG)의 측벽 및 기관(100)의 상부면 간의 경사각이 상기 셀 게이트 패턴(CG)의 측벽 및 기관(100)의 상부면 간의 경사각 보다 작을 수 있다. 이 경우에, 상기 제2 산화 방지 스페이서(135b)의 상기 제2 두께(T2)가 상기 제1 산화 방지 스페이서(135a)의 상기 제1 두께(T1) 보다 클 수 있다.

[0059] 일 실시예에 따르면, 상기 제1 산화 방지 스페이서(135a)의 상기 제1 외측벽은 상기 제1 게이트 마스크 패턴(130)의 측벽 보다 옆으로 리세스된 상태일 수 있다. 상기 제어 금속 패턴(125an)의 제2 폭(W2)과 상기 한 쌍의 제1 산화 방지 스페이서들(135a)의 제1 두께들(T1)의 합은 상기 제어 베이스 게이트(120a)의 제3 폭(W3) 보다 작을 수 있다.

[0060] 일 실시예에 따르면, 주변 서브-게이트(120b) 및 주변 바닥 게이트(111a)의 양측벽들 상에도 상기 산화막(140)이 배치될 수 있다. 주변 소오스/드레인들(148)이 상기 주변 게이트 패턴(PG) 양측의 인접한 상기 제2 활성부(ACT2) 내에 각각 배치될 수 있다. 상기 주변 소오스/드레인(148)은 상기 제2 활성부(ACT2) 내 도펀트와 다른 타입의 도펀트로 도핑될 수 있다. 제2 게이트 스페이서들(150b)이 상기 주변 게이트 패턴(PG)의 양 측벽들 상에 각각 배치될 수 있다. 상기 주변 소오스/드레인(148)은 저농도 영역(146) 및 고농도 영역(147)을 포함하는 엘디디 구조일 수 있다. 상기 제2 게이트 스페이서(150b)는 상기 제1 게이트 스페이서(150a)와 동일한 물질로 형성될 수 있다. 층간 유전막(155)이 상기 게이트 스페이서들(150a, 150b) 및 게이트 패턴들(CG, PG)을 포함한 기관(100) 전면 상에 배치될 수 있다. 상기 층간 유전막(155)은 산화물을 포함할 수 있다.

[0061] 상술된 비휘발성 기억 소자에 따르면, 상기 한 쌍의 제1 산화 방지 스페이서들(135a)이 상기 제어 금속 패턴(125an)의 양 측벽들 상에 배치된다. 이에 따라, 상기 제어 금속 패턴(125an)이 산화 공정 및/또는 산화물 등에 의하여 산화되는 것을 방지할 수 있다. 또한, 상기 제1 산화 방지 스페이서들(135a)이 상기 제1 게이트 마스크 패턴(130)의 양 가장자리들 및 제어 베이스 게이트(120a)의 양 가장자리들 사이에 한정적으로 배치됨으로써, 상기 제1 산화 방지 스페이서들(135a)에 의하여 상기 셀 게이트 패턴(CG)의 선포이 증가되는 것을 최소화할 수 있다. 그 결과, 우수한 신뢰성을 갖고 고집적화에 최적화된 비휘발성 기억 소자를 구현할 수 있다.

[0062] 이에 더하여, 낮은 비저항을 갖는 상기 제어 금속 패턴(125an)에 의하여 상기 제어 게이트 전극(137)의 저항을 최소화할 수 있다. 이에 따라, 고속으로 동작하는 비휘발성 기억 소자를 구현할 수 있다.

[0063] 이와 마찬가지로, 상기 제2 산화 방지 스페이서들(135b)이 상기 주변 금속 패턴(125bn)의 양 측벽들 상에 배치되어, 상기 주변 금속 패턴(125bn)이 산화되는 것이 방지될 수 있다. 또한, 상기 제2 산화 방지 스페이서들(135b)이 상기 제2 게이트 마스크 패턴(131)의 양 가장자리들 및 주변 서브-게이트(120b)의 양 가장자리들 사이에 한정적으로 배치됨으로써, 주변 게이트 패턴(PG)의 선포이 증가되는 것이 최소화될 수 있다. 그 결과, 상기 주변 영역(60)내 주변 트랜지스터는 우수한 신뢰성을 갖고, 고집적화에 최적화될 수 있다. 이에 더하여, 상기 주변 게이트 전극(138)도 상기 주변 금속 패턴(125bn)을 포함함으로써, 상기 주변 트랜지스터는 고속으로 동작

될 수 있다.

- [0064] 다음으로, 본 실시예에 따른 비휘발성 기억 소자의 여러 변형예들을 도면들을 참조하여 설명한다.
- [0065] 도 1에 따르면, 상기 제어 금속 패턴(120a)의 폭(W2)과 상기 한 쌍의 제1 산화 방지 스페이서들(135a)의 두께들(T1)의 합은 상기 제어 베이스 게이트(120a)의 폭(W3) 보다 작을 수 있다.
- [0066] 하지만, 본 발명은 여기에 한정되지 않는다. 도 2에 개시된 바와 같이, 제어 금속 패턴(125an)의 폭과 상기 제어 금속 패턴(125an)의 양측벽들 상에 배치된 한 쌍의 제1 산화 방지 스페이서들(135a')의 두께들의 합은 제어 베이스 게이트(120a)의 폭과 실질적으로 동일할 수 있다. 이 경우에, 상기 제1 산화 방지 스페이서(135a')의 외측벽은 제1 게이트 마스크 패턴(130)의 측벽과 실질적으로 자기정렬될 수 있다. 도 2의 제1 산화 방지 스페이서들(135a')은 도 1의 제1 산화 방지 스페이서(135a)와 동일한 물질로 형성될 수 있다.
- [0067] 도 3은 본 발명의 일 실시예에 따른 비휘발성 기억 소자의 다른 변형예를 나타내는 단면도이다.
- [0068] 본 변형예에 따르면, 도 3에 개시된 바와 같이, 제어 게이트 전극(137')에 포함된 제어 베이스 게이트(120a')의 측벽은 계단형태(steped shape)일 수 있다. 구체적으로, 상기 제어 베이스 게이트(120a')의 윗부분의 폭은 상기 제어 베이스 게이트(120a')의 아랫부분의 폭 보다 작을 수 있다. 이로써, 상기 제어 베이스 게이트(120a')의 측벽은 계단 형태일 수 있다. 이 경우에, 전하 저장층(110a')의 양 측벽들은 상기 제어 베이스 게이트(120a')의 아랫부분의 양 측벽들에 자기정렬될 수 있다. 일 실시예에 따르면, 상기 제어 베이스 게이트(120a')의 측벽이 계단 형태인 경우에, 상기 제1 산화 방지 스페이서(135a')의 외측벽은 제1 게이트 마스크 패턴(130)의 측벽에 실질적으로 자기정렬될 수 있다.
- [0069] 이와 유사하게, 주변 게이트 전극(138')에 포함된 주변 서브-게이트(120b')의 측벽도 계단 형태일 수 있다. 즉, 상기 주변 서브-게이트(120b')의 윗부분의 폭은 아랫부분의 폭 보다 작을 수 있다. 이 경우에, 주변 바닥 게이트(111a')의 양 측벽들은 상기 주변 서브-게이트(120b')의 아랫부분의 양 측벽들에 실질적으로 자기정렬될 수 있다.
- [0070] 도 4는 본 발명의 일 실시예에 따른 비휘발성 기억 소자의 또 다른 변형예를 나타내는 단면도이다.
- [0071] 본 변형예에 따르면, 도 4에 개시된 바와 같이, 제어 게이트 전극(137) 내 제어 베이스 게이트(120a)의 양 측벽들은 편평한 반면에, 상기 주변 게이트 전극(138') 내 주변 서브-게이트(120b')의 측벽은 계단 형태일 수 있다. 이 경우에, 상기 제1 산화 방지 스페이서(135a)의 외측벽은 상기 제1 게이트 마스크 패턴(130)의 측벽 보다 옆으로 리세스될 수 있다. 하지만, 본 발명은 여기에 한정되지 않는다. 도 4에서, 제1 산화 방지 스페이서(135a)의 외측벽은 상기 제1 게이트 마스크 패턴(130)의 측벽에 실질적으로 자기정렬될 수도 있다.
- [0072] 도 5는 본 발명의 일 실시예에 따른 비휘발성 기억 소자의 또 다른 변형예를 나타내는 단면도이다.
- [0073] 도 5를 참조하면, 본 변형예에 따르면, 제어 게이트 전극(137a)은, 제어 베이스 게이트(120a) 및 제어 금속 패턴(125an) 사이에 개재된 제1 하부 배리어 패턴(170a)을 더 포함할 수 있다. 이 경우에, 상기 제어 베이스 게이트(120a)는 도핑된 반도체(ex, 도핑된 실리콘, 도핑된 실리콘-게르마늄 등)으로 형성될 수 있다. 상기 제1 하부 배리어 패턴(170a)은 상기 제어 금속 패턴(125an) 내 금속 원자들이 상기 제어 베이스 게이트(120a) 내로 확산되는 것을 최소화시킬 수 있는 도전 물질로 형성될 수 있다. 예컨대, 상기 제1 하부 배리어 패턴(170a)은 도전성 금속 질화물(ex, 질화 티타늄, 질화 탄탈륨 또는 질화 텅스텐 등)을 포함할 수 있다. 이에 더하여, 상기 제1 하부 배리어 패턴(170a)은 상기 도전성 금속 질화물과 상기 제어 베이스 게이트(120a) 사이에 개재된 전이 금속(ex, 티타늄 또는 탄탈륨 등)을 더 포함할 수도 있다.
- [0074] 상기 제1 하부 배리어 패턴(170a)의 폭은 상기 제어 금속 패턴(125an)의 폭 보다 클 수 있다. 이 경우에, 상기 한 쌍의 제1 산화 방지 스페이서들(135a)은 상기 제1 마스크 게이트 패턴(130)의 양 가장자리들 및 상기 제1 하부 배리어 패턴(170a)의 양 가장자리들 사이에 배치될 수 있다. 상기 제1 하부 배리어 패턴(170a)의 양 측벽들은 상기 제1 게이트 마스크 패턴(130)의 양 측벽들에 실질적으로 자기정렬될 수 있다.
- [0075] 일 실시예에 따르면, 상기 제어 게이트 전극(137a)은 상기 제어 금속 패턴(125an)과 상기 제1 게이트 마스크 패턴(130) 사이에 개재된 제1 상부 배리어 패턴(175a)을 더 포함할 수 있다. 상기 제1 상부 배리어 패턴(175a)은 상기 제어 금속 패턴(125an)내 금속 원자들이 상기 제1 게이트 마스크 패턴(130)으로 확산되는 것을 최소화할 수 있는 도전 물질로 형성될 수 있다. 예컨대, 상기 제1 상부 배리어 패턴(175a)은 도전성 금속 질화물(ex, 질화티타늄, 질화탄탈륨 또는 질화텅스텐 등)을 포함할 수 있다. 이에 더하여, 상기 제1 상부 배리어 패턴(175a)은 상기 도전성 금속 질화물과 상기 제어 금속 패턴(125an) 사이에 개재된 전이 금속(ex, 티타늄 또는 탄탈륨

등)을 더 포함할 수도 있다. 상기 제1 상부 배리어 패턴(175a)의 폭은 상기 제어 금속 패턴(125an)의 폭 보다 클 수 있다. 이때, 상기 한 쌍의 제1 산화 방지 스페이서들(135a)은 상기 제1 상부 배리어 패턴(175a)의 양 가장자리들 및 상기 제1 하부 배리어 패턴(170a)의 양 가장자리들 사이에 개재될 수 있다. 상기 제1 상부 배리어 패턴(175a)의 양 측벽들은 상기 제1 게이트 마스크 패턴(130)의 양 측벽들에 실질적으로 자기정렬될 수 있다. 일 실시예에 따르면, 상기 제1 하부 배리어 패턴(170a) 및 제1 상부 배리어 패턴(175a) 중에서 어느 하나는 생략될 수도 있다.

[0076] 상기 셀 게이트 패턴과 유사하게, 주변 영역(60) 내의 주변 게이트 전극(138a)는 주변 서브-게이트(120b) 및 주변 금속 패턴(125bn) 사이에 개재된 제2 하부 배리어 패턴(170b)을 더 포함할 수 있다. 상기 제2 하부 배리어 패턴(170b)의 폭은 상기 주변 금속 패턴(125bn)의 폭 보다 클 수 있다. 이 경우에, 한 쌍의 제2 산화 방지 스페이서들(135b)은 상기 제2 하부 배리어 패턴(170b)의 양 가장자리들 및 상기 제2 게이트 마스크 패턴(131)의 양 가장자리들 사이에 개재될 수 있다. 상기 제2 하부 배리어 패턴(170b)의 양 측벽들은 상기 제2 게이트 마스크 패턴(131)의 양 측벽들에 실질적으로 자기정렬될 수 있다. 상기 주변 게이트 전극(138a)은 상기 주변 금속 패턴(125bn) 및 제2 게이트 마스크 패턴(131) 사이에 개재된 제2 상부 배리어 패턴(175b)을 더 포함할 수 있다. 상기 제2 상부 배리어 패턴(175b)의 폭은 상기 주변 금속 패턴(125bn)의 폭보다 클 수 있다. 이 경우에, 한 쌍의 제2 산화 방지 스페이서들(135b)은 상기 제2 상부 배리어 패턴(175b)의 양 가장자리들 및 상기 제2 하부 배리어 패턴(170b)의 양 가장자리들 사이에 배치될 수 있다. 상기 제2 하부 배리어 패턴(170b)은 상기 제1 하부 배리어 패턴(170a)과 동일한 도전 물질로 형성될 수 있으며, 상기 제2 상부 배리어 패턴(175b)은 상기 제1 상부 배리어 패턴(175a)과 동일한 도전 물질로 형성될 수 있다. 일 실시예에 따르면, 상기 제2 하부 배리어 패턴(170b) 및 제2 상부 배리어 패턴(175b) 중에서 어느 하나는 생략될 수 있다.

[0077] 상기 제1 및 제2 하부 배리어 패턴들(170a, 170b) 및/또는 상기 제1 및 제2 상부 배리어 패턴들(175a, 175b)은 상술된 도 2 내지 도 4의 비휘발성 기억 소자들 중에서 어느 하나에 적용될 수 있다.

[0078] 일 실시예에 따르면, 인접한 셀 게이트 패턴들(CG) 사이의 공간 내에 공극(157, air gap)이 배치될 수 있다. 상기 인접한 셀 게이트 패턴들(CG) 사이의 간격이 협소해짐에 따라, 상기 공극(157)이 형성될 수 있다. 상기 공극(157)은 상기 제1 게이트 스페이서들(150a)의 의해 덮혀 질 수 있다. 상기 공극(157)은 산화물 보다 낮은 유전율을 갖는다. 이에 따라, 상기 인접한 셀 게이트 패턴들(CG)간의 기생 정전용량이 최소화되어 우수한 신뢰성을 갖는 비휘발성 기억 소자가 구현될 수 있다. 일 실시예에 따르면, 도 1 내지 도 4의 비휘발성 기억 소자들에 포함된 인접한 셀 게이트 패턴들(CG) 사이에도 상기 공극(157)이 형성될 수도 있다.

[0079] 다음으로, 본 발명의 일 실시예에 따른 비휘발성 기억 소자의 제조 방법을 도면들을 참조하여 설명한다.

[0080] 도 6a 내지 도 6g는 본 발명의 일 실시예에 따른 비휘발성 기억 소자의 제조 방법을 설명하기 위한 단면도들이고, 도 7은 본 발명의 일 실시예에 따른 비휘발성 기억 소자의 산화 방지 스페이서 및 게이트 패턴들을 형성하는 방법을 설명하기 위한 플로우 차트이다.

[0081] 도 6a를 참조하면, 셀 영역(50) 및 주변 영역(60)을 포함하는 기판(100)을 준비한다. 상기 셀 영역(50) 내의 제1 활성부(ACT1) 및 상기 주변 영역(60) 내의 제2 활성부(ACT2)를 정의할 수 있다. 상기 제1 활성부(ACT1) 상에 터널 유전막(105) 및 제1 반도체 패턴(110)을 차례로 형성할 수 있다. 상기 제2 활성부(ACT2) 상에 주변 게이트 유전막(106) 및 제2 반도체 패턴(111)을 차례로 형성할 수 있다. 상기 제1 및 제2 활성부들(ACT1, ACT2)는 상기 기판(100)에 형성된 소자분리 패턴(미도시함)에 의해 정의될 수 있다. 상기 제1 반도체 패턴(110)은 상기 제1 활성부(ACT1)에 자기정렬적으로 형성될 수 있으며, 상기 제2 반도체 패턴(111)은 상기 제2 활성부(ACT2)에 자기정렬적으로 형성될 수 있다.

[0082] 예컨대, 상기 셀 영역(50)의 기판(100) 상에 상기 터널 유전막(105)을 형성할 수 있다. 상기 주변 영역(60)의 기판(100) 상에 주변 게이트 유전막(106)을 형성할 수 있다. 상기 터널 유전막(105) 및 주변 게이트 유전막(106)은 동시에 형성될 수 있다. 이와는 다르게, 상기 터널 유전막(105) 및 주변 게이트 유전막(106)은 순서에 관계없이 순차적으로 형성될 수 있다. 상기 유전막들(105, 106)을 갖는 기판(100) 전면 상에 반도체막 및 하드 마스크막을 차례로 형성할 수 있다. 상기 하드마스크막, 반도체막, 유전막(105, 106) 및 기판(100)을 연속적으로 패터닝하여, 상기 제1 및 제2 활성부들(ACT1, ACT2)을 정의하는 트렌치(미도시함)를 형성할 수 있다. 이때, 상기 제1 활성부(ACT1) 상의 터널 유전막(105) 상에 상기 제1 반도체 패턴(110) 및 제1 하드마스크 패턴(미도시함)이 차례로 형성될 수 있으며, 상기 제2 활성부(ACT2)의 주변 게이트 유전막(106) 상에 상기 제2 반도체 패턴(111) 및 제2 하드마스크 패턴(미도시함)이 형성될 수 있다. 이로써, 상기 제1 및 제2 반도체 패턴들(110, 111)은 상기 제1 및 제2 활성부들(ACT1, ACT2)에 각각 자기정렬적으로 형성될 수 있다. 이어서, 상기 트렌치를 채

우는 소자분리 패턴(미도시함)을 형성할 수 있다. 이어서, 상기 제1 및 제2 하드마스크 패턴들을 제거할 수 있다.

- [0083] 상기 제2 반도체 패턴(111)은 도펀트로 도핑되어 전기적 전도성을 가질 수 있다. 상기 제1 반도체 패턴(110)은 언도프트 상태 또는 도펀트로 도핑된 상태일 수 있다. 상기 제1 및 제2 반도체 패턴들(110, 111)이 서로 동일한 타입의 도펀트로 도핑되는 경우에, 상기 반도체막을 인시츄(in-situ) 방식으로 도핑할 수 있다. 이와는 달리, 상기 제1 반도체 패턴(110)이 언도프트 상태 또는 상기 제2 반도체 패턴(111)과 다른 타입의 도펀트로 도핑되는 경우에, 상기 반도체막에 선택적 도핑 방법을 수행할 수 있다.
- [0084] 하지만, 본 발명은 여기에 한정되지 않는다. 상기 제1 및 제2 반도체 패턴들(110, 111)은 다른 방법에 의해 형성될 수도 있다.
- [0085] 도 6b를 참조하면, 상기 제1 및 제2 반도체 패턴들(110, 111)을 갖는 기판(100) 상에 블로킹 유전막(115)을 형성할 수 있다. 상기 주변 영역(60)내 블로킹 유전막(115)을 패터닝하여, 상기 제2 반도체 패턴(111)을 노출시키는 개구부(117)를 형성할 수 있다. 이어서, 상기 기판(100) 전면 상에 베이스 도전막(120, base conductive layer) 및 금속막(125)을 차례로 형성할 수 있다. 상기 주변 영역(60) 내 베이스 도전막(120)은 상기 개구부(117)를 채워 상기 제2 반도체 패턴(111)과 접촉될 수 있다.
- [0086] 상기 금속막(125) 상에 게이트 마스크막을 형성하고, 상기 게이트 마스크막을 패터닝하여, 상기 셀 영역(50) 내의 제1 게이트 마스크 패턴(130) 및 상기 주변 영역(60)내의 제2 게이트 마스크 패턴(131)을 형성할 수 있다. 상기 게이트 마스크막은 상기 금속막(125), 베이스 도전막(120) 및 반도체 패턴들(110, 111)에 대하여 식각 선택비를 갖는 유전 물질을 포함할 수 있다. 예컨대, 상기 게이트 마스크막은 산화막으로 형성될 수 있다.
- [0087] 도 6c를 참조하면, 상기 제1 및 제2 게이트 마스크 패턴들(130, 131)을 식각 마스크로 사용하여 상기 금속막(125)을 식각하여, 상기 셀 영역(50) 내의 제어 금속 패턴(125a) 및 상기 주변 영역(60) 내에 주변 금속 패턴(125b)을 형성할 수 있다. 상기 금속막(125)은, 이방성이 우세한 제1 건식 식각 공정으로 식각될 수 있다. 상기 제어 및 주변 금속 패턴들(125a, 125b) 양측의 베이스 도전막(120)이 노출될 수 있다.
- [0088] 일 실시예에 따르면, 상기 셀 영역(50) 및 주변 영역(60)간의 패턴 조밀도 차이 등에 의하여, 상기 제어 금속 패턴(125a) 및 제1 게이트 마스크 패턴(130)의 측벽들의 경사도는 상기 주변 금속 패턴(125b) 및 제2 게이트 마스크 패턴(131)의 측벽들의 경사도와 다를 수 있다. 예컨대, 상기 주변 영역(60) 내의 적층된 패턴들(125b, 131)의 측벽들이 상기 셀 영역(50) 내의 적층된 패턴들(125a, 130)의 측벽들에 비하여 완만하게 경사질 수 있다. 즉, 상기 주변 영역(60) 내의 적층된 패턴들(125b, 131)의 측벽들과 상기 기판(100)의 상부면 간의 경사각이 상기 셀 영역(50) 내의 적층된 패턴들(125a, 130)의 측벽들과 상기 기판(100)의 상부면 간의 경사각 보다 작을 수 있다.
- [0089] 도 6d를 참조하면, 상기 제어 금속 패턴(125a)의 양 측벽들 및 상기 주변 금속 패턴(125a)의 양 측벽들을 옆으로 식각한다. 이에 따라, 한 쌍의 제1 언더컷 영역들(UC1)이 상기 옆으로 식각된 제어 금속 패턴(125an) 양측에 각각 형성될 수 있다. 또한, 한 쌍의 제2 언더컷 영역들(UC2)이 상기 옆으로 식각된 주변 금속 패턴(125bn) 양측에 형성될 수 있다. 상기 한 쌍의 제1 언더컷 영역들(UC1)은 상기 제1 게이트 마스크 패턴(130)의 양 가장자리들 아래에 각각 형성될 수 있으며, 상기 한 쌍의 제2 언더컷 영역들(UC2)은 상기 제2 게이트 마스크 패턴(131)의 양 가장자리들 아래에 각각 형성될 수 있다.
- [0090] 일 실시예에 따르면, 상기 제어 및 주변 금속 패턴들(125a, 125b)의 양 측벽들은 반응성 건식 식각 공정에 의하여 옆으로 식각될 수 있다. 상기 반응성 건식 식각 공정은 등방성이 우세할 수 있다. 이에 따라, 상기 제어 및 주변 금속 패턴들(125a, 125b)의 양 측벽들이 옆으로 식각될 수 있다. 예컨대, 상기 반응성 건식 식각 공정의 백바이어스(back bias)를 감소시키거나, 상기 반응성 건식 식각 공정의 식각 가스내 라디칼(radical) 성분들을 증가시킬 수 있다. 이와는 다르게, 상기 제어 및 주변 금속 패턴들(125a, 125b)의 양 측벽들은 습식 식각 공정으로 식각될 수도 있다.
- [0091] 도 6e를 참조하면, 상기 언더컷 영역들(UC1, UC2)을 갖는 기판(100) 상에 산화 방지막(135)을 증착할 수 있다. 상기 산화 방지막(135)은 화학 기상 증착 공정 또는 원자층 증착 공정 등으로 증착될 수 있다. 상기 산화 방지막(135)은 상기 언더컷 영역들(UC1, UC2)을 부분적 또는 완전히 채울 수 있다.
- [0092] 일 실시예에 따르면, 상술된 바와 같이, 측벽들의 경사도 차이에 의하여, 상기 셀 영역(50)내 적층된 패턴들(125an, 130)의 측벽들 상의 산화 방지막(135)의 증착 두께는 상기 주변 영역(60) 내 적층된 패턴들(125bn, 131)의 측벽들 상의 산화 방지막(135)의 증착 두께는 다를 수 있다. 예컨대, 상기 주변 영역(60) 내 적층된 패



턴들(125bn, 131)의 측벽들이 상기 셀 영역(50) 내 적층된 패턴들(125an, 130)의 측벽들 보다 완만하게 경사지는 경우에, 상기 주변 영역(60) 내 적층된 패턴들(125bn, 131)의 측벽들 상의 산화 방지막(135)의 증착 두께가 상기 셀 영역(50)내 적층된 패턴들(125an, 130)의 측벽들 상의 산화 방지막(135)의 증착 두께 보다 클 수 있다. 게이트 마스크 패턴들(130, 131) 및 베이스 도전막(120)의 상부면들 상의 산화 방지막(135)은 상기 패턴들(125an, 130, 125bn, 131)의 측벽들 상의 산화 방지막(135) 보다 두꺼울 수 있다.

[0093] 다음으로, 산화 방지 스페이서들 및 게이트 패턴들의 형성 방법을 도 7의 플로우 차트를 참조하여 구체적으로 설명한다.

[0094] 도 6e, 도 6f 및 도 7을 참조하면, 상기 산화 방지막(135)을 식각하여 게이트 마스크 패턴들(130, 131) 양측의 베이스 도전막(120)을 노출시킬 수 있다(S300). 이때, 상기 제1 언더컷 영역(UC1) 내에 제1 산화 방지 스페이서(135a)가 형성될 수 있으며, 상기 제2 언더컷 영역(UC2) 내에 제2 산화 방지 스페이서(135b)가 형성될 수 있다. 상기 산화 방지막(135)은, 이방성이 우세한 제2 건식 식각 공정으로 식각될 수 있다. 상기 제2 건식 식각 공정은 우세한 이방성 식각 성분 및 열세한 등방성 식각 성분을 포함할 수 있다. 상기 제2 건식 식각 공정의 우세한 이방성 식각 성분에 의하여 상기 게이트 마스크 패턴들(130, 131) 및 베이스 도전막(120) 상의 산화 방지막(135)이 식각되어, 상기 게이트 마스크 패턴들(130, 131) 및 베이스 도전막(120)의 상부면들이 노출될 수 있다. 상기 제2 건식 식각 공정의 열세한 등방성 식각 성분에 의하여, 상기 게이트 마스크 패턴들(130, 131)의 측벽들 상의 산화 방지막(135)이 식각될 수 있다.

[0095] 일 실시예에 따르면, 상기 제2 건식 식각 공정을 수행한 직후에, 상기 제1 및 제2 산화 방지 스페이서들(135a, 135b)의 일부분들이 상기 언더컷 영역들(UC1, UC2) 외부에 배치될 수 있다. 예컨대, 상기 게이트 마스크 패턴들(130, 131)의 측벽들의 적어도 일부 상에 상기 제1 및 제2 산화 방지 스페이서들(135a, 135b)의 일부분들이 배치될 수도 있다.

[0096] 다른 실시예에 따르면, 상기 제2 건식 식각 공정을 수행한 직후에, 상기 제1 및 제2 산화 방지 스페이서들(135a, 135b) 중에서 적어도 하나는 상기 언더컷 영역(UC1 및/또는 UC2) 내에 한정적으로 형성될 수 있다. 예컨대, 상기 주변 영역(60)내 적층된 패턴들(125bn, 131)의 측벽들 상의 산화 방지막(135)이 상기 셀 영역(50) 내 적층된 패턴들(125an, 130)의 측벽들 상의 산화 방지막(135) 보다 두꺼운 경우에, 상기 제1 산화 방지 스페이서(135a)는 상기 제1 언더컷 영역(UC1) 내에 한정적으로 형성될 수 있으며, 상기 제2 산화 방지 스페이서(135b)의 일부는 상기 제2 언더컷 영역(UC2) 외부에 배치될 수도 있다. 이와는 다르게, 상기 제2 건식 식각 공정을 수행한 직후에, 상기 제1 및 제2 산화 방지 스페이서들(135a, 135b) 모두가 상기 제1 및 제2 언더컷 영역들(UC1, UC2) 내에 한정적으로 형성될 수도 있다.

[0097] 상기 게이트 마스크 패턴들(130, 131)을 식각 마스크로 사용하여, 상기 노출된 베이스 도전막(120), 블로킹 유전막(115) 및 반도체 패턴들(110, 111)을 연속적으로 식각할 수 있다(S302). 이에 따라, 상기 제1 활성부(ACT1) 상에 차례로 적층된 전하 저장층(110a), 패터닝된 블로킹 유전막(115a) 및 제어 베이스 게이트(120a)이 형성될 수 있다. 또한, 상기 제2 활성부(ACT2) 상에 차례로 적층된 주변 바닥 게이트(111a), 층간 유전 패턴(115b) 및 주변 서브-게이트(120b)가 형성될 수 있다. 상기 층간 유전 패턴(115b)은 상기 개구부(117)를 포함할 수 있다. 이에 따라, 상기 주변 서브-게이트(120b)는 상기 주변 바닥 게이트(111a)와 전기적으로 접속될 수 있다.

[0098] 상기 베이스 도전막(120), 블로킹 유전막(115) 및 반도체 패턴들(110, 111)은 제3 건식 식각 공정으로 식각될 수 있다. 일 실시예에 따르면, 상기 제3 건식 식각 공정은 제1 부-식각 공정(first sub-etching process), 제2 부-식각 공정 및 제3 부-식각 공정을 포함할 수 있다. 상기 제1 부-식각 공정에 의하여 상기 베이스 도전막(120)이 식각될 수 있으며, 상기 제2 부-식각 공정에 의하여 상기 블로킹 유전막(115)이 식각될 수 있다. 상기 제3 부-식각 공정에 의하여 상기 반도체 패턴들(110, 111)이 식각될 수 있다. 일 실시예에 따르면, 상기 제1, 제2 및 제3 부-식각 공정들의 식각 레시피들(etching recipes)은 서로 다를 수 있다.

[0099] 상기 제3 건식 식각 공정은 우세한 이방성 식각 성분 및 열세한 등방성 식각 성분을 가질 수 있다. 다시 말해서, 상기 제1, 제2 및 제3 부-식각 공정들의 각각은 우세한 이방성 식각 성분 및 열세한 등방성 식각 성분을 가질 수 있다. 상술된 바와 같이, 상기 제2 건식 식각 공정 직후에 상기 제1 및 제2 산화 방지 스페이서들(135a, 135b)의 일부분들이 상기 제1 및 제2 언더컷 영역들(UC1, UC2) 외부로 연장될 수 있다. 이 경우에, 상기 제3 건식 식각 공정을 수행한 후에, 상기 언더컷 영역들(UC1, UC2) 외부에 위치한 상기 제1 및 제2 산화 방지 스페이서들(135a, 135b)의 일부분들이 식각될 수 있다. 이에 따라, 상기 제3 건식 식각 공정 후에 상기 제1 및 제2 산화 방지 스페이서들(135a, 135b)은 상기 제1 및 제2 언더컷 영역들(UC1, UC2) 내에 한정적으로 형성될 수 있다.

- [0100] 상기 제2 건식 식각 공정을 수행한 직후에 상기 제1 및 제2 산화 방지 스페이서들(135a, 135b) 중에서 적어도 하나가 상기 언더컷 영역(UC1 및/또는 UC2) 내에 한정적으로 형성되는 경우에, 상기 한정된 산화 방지 스페이서(135a 및/또는 135b)의 외측벽은 상기 제3 건식 식각 공정의 열세한 등방성 식각 성분에 의하여 상기 게이트 마스크 패턴(130 및/또는 131)의 측벽 보다 옆으로 리세스될 수도 있다. 일 실시예에 따르면, 상기 제3 건식 식각 공정을 수행한 후에, 산화 방지막(135)의 두께 차이로 인하여 상기 제1 산화 방지 스페이서(135a)의 외측벽은 상기 제1 게이트 마스크 패턴(130)의 측벽 보다 옆으로 리세스될 수 있다.
- [0101] 하지만, 본 발명은 여기에 한정되지 않는다. 일 실시예에 따르면, 상기 제3 건식 식각 공정을 수행한 후에도 상기 제1 및 제2 산화 방지 스페이서들(135a, 135b) 중에서 적어도 하나의 일부는 언더컷 영역(UC1 및/또는 UC2) 외부에 배치될 수도 있다.
- [0102] 상기 단계(S302)를 수행한 후에, 상기 기판(100)에 세정 공정을 수행할 수 있다(S304). 상기 제3 건식 식각 공정을 수행한 후에 상기 제1 및 제2 산화 방지 스페이서들(135a, 135b) 중에서 적어도 하나의 일부가 언더컷 영역(UC1 및/또는 UC2) 외부에 배치되는 경우에, 상기 세정 공정에 의하여 제거될 수도 있다. 결과적으로, 상기 단계(S300), 단계(S302) 또는 단계(S304)를 수행한 직 후에, 상기 제1 및 제2 산화 방지 스페이서들(135a, 135b)은 상기 제1 및 제2 언더컷 영역들(UC1, UC2) 내에 한정적으로 형성될 수 있다.
- [0103] 도 6g 및 도 7을 참조하면, 상기 세정 공정(S304)을 수행한 후에, 상기 기판(100)에 게이트 산화 공정을 수행할 수 있다(S306). 이에 따라, 상기 제어 베이스 게이트(120a), 전하 저장층(110a), 주변 서브-게이트(120b) 및 주변 바닥 게이트(111a)의 양 측벽들 상에 산화막(140)이 형성될 수 있다. 상기 게이트 산화 공정에 의하여 상기 게이트들(120a, 120b, 111a) 및 전하 저장층(110a)의 식각된 측벽이 치유(curing)될 수 있다. 상기 게이트 산화 공정은 산소 소스 가스 분위기에서 수행될 수 있다. 예컨대, 상기 게이트 산화 공정의 산소 소스 가스는 산소(O<sub>2</sub>), 산화질소(NO), 수증기(H<sub>2</sub>O) 및/또는 이산화질소(N<sub>2</sub>O) 등을 포함할 수 있다. 상기 게이트 산화 공정의 공정 온도는 약 300° 내지 약 900°일 수 있다.
- [0104] 상술한 방법에 따르면, 상기 게이트 산화 공정을 수행(S306)할 때, 상기 제어 금속 패턴(125an) 및 주변 금속 패턴(125bn)은 상기 제1 및 제2 산화 방지 스페이서들(135a, 135b)에 의하여 보호된다. 이로 인하여, 상기 금속 패턴들(125an, 125bn)이 산화되는 현상을 최소화하여 우수한 신뢰성을 갖는 비휘발성 기억 소자를 구현할 수 있다.
- [0105] 만약, 상기 게이트 산화 공정에 의하여 상기 금속 패턴들(125an, 125bn)이 산화되는 경우에, 산화막의 이상 성장 등의 여러 문제점들이 발생되어, 비휘발성 기억 소자의 신뢰성이 열화될 수 있다. 하지만, 본 발명의 실시예들에 따르면, 상기 제1 및 제2 산화 방지 스페이서들(135a, 135b)이 상기 금속 패턴들(125an, 125bn)을 보호함으로써, 우수한 신뢰성을 갖는 비휘발성 기억 소자를 구현할 수 있다.
- [0106] 또한, 상기 제1 및 제2 산화 방지 스페이서들(135a, 135b)은 상기 제1 및 제2 언더컷 영역들(UC1, UC2) 내에 한정적으로 형성될 수 있다. 이로 인하여, 게이트 패턴들의 선폴들이 증가되는 것 등의 현상을 최소화할 수 있다. 그 결과, 고집적화에 최적화된 비휘발성 기억 소자를 구현할 수 있다.
- [0107] 계속해서, 도 6g를 참조하면, 상기 제1 게이트 마스크 패턴(130) 양측의 제1 활성부(ACT1) 내에 셀 소오스/드레인(145)을 형성할 수 있다. 상기 제2 게이트 마스크 패턴(131) 양측의 제2 활성부(ACT2) 내에 주변 소오스/드레인의 저농도 영역(146)을 형성할 수 있다. 상기 셀 소오스/드레인(145) 및 상기 저농도 영역(146)은 동시에 형성되거나, 순서에 관계없이 순차적으로 형성될 수 있다.
- [0108] 이어서, 게이트 스페이서막을 형성하고, 상기 게이트 스페이서막을 에치백(etch back)하여 도 1의 제1 및 제2 게이트 스페이서들(150a, 150b)을 형성할 수 있다. 이어서, 상기 주변 게이트 패턴(PG) 및 제2 게이트 스페이서(150b)을 마스크로 사용하여 상기 제2 활성부(ACT2) 내에 도펀트를 제공하여, 도 1의 고농도 영역(147)을 형성할 수 있다. 이로써, 도 1의 주변 소오스/드레인(148)이 형성될 수 있다. 이어서, 상기 기판(100) 전면 상에 층간 유전막(155)을 형성할 수 있다. 이로써, 도 1의 비휘발성 기억 소자를 구현할 수 있다.
- [0109] 한편, 도 2 내지 도 4에 개시된 비휘발성 기억 소자들의 제조 방법들은 도 6a 내지 도 6g 및 도 7을 참조하여 설명한 것과 유사하다. 도 2 내지 도 4의 비휘발성 기억 소자들은 도 6e의 산화 방지막(135)의 두께를 조절하는 것에 의하여 구현될 수 있다.
- [0110] 예컨대, 도 6e에서, 셀 영역(50) 내 적층된 패턴들(125an, 130)의 측벽들 상의 산화 방지막(135)의 두께가 주변 영역(60)의 적층된 패턴들(125bn, 131)의 측벽들 상의 산화 방지막(135)의 두께와 유사한 경우에, 도 2에 개시

된 비휘발성 기억 소자가 구현될 수 있다.

- [0111] 도 6e에서, 셀 영역(50)내 적층된 패턴들(125an, 130) 및 주변 영역(60) 내 적층된 패턴들(125bn, 131)의 측벽들 상의 산화 방지막(135)이 충분히 두꺼울 수 있다. 이 경우에, 도 7의 단계(S302)를 수행할 때, 상기 언더컷 영역들(UC1, UC2) 외부에 배치된 제1 및 제2 산화 방지 스페이서들(135a, 135b)의 일부분들이 식각 마스크로 사용될 수 있다. 이로써, 도 3에 개시된 바와 같이, 제어 베이스 게이트(120a') 및 주변 서브-게이트(120b')의 측벽들은 계단 형태로 형성될 수도 있다. 이 경우에도, 상기 언더컷 영역들(UC1, UC2) 외부에 위치한 상기 산화 방지 스페이서들(135a, 135b)의 일부분들은 도 7의 단계(S302) 또는 단계(S304) 직후에 제거될 수 있다. 이로써, 상기 산화 방지 스페이서들(135a, 135b)은 상기 언더컷 영역들(UC1, UC2) 내에 한정적으로 형성될 수 있다.
- [0112] 도 6e에서, 경사도 차이에 의하여 상기 제1 게이트 마스크 패턴(130)의 측벽 상의 산화 방지막(135)의 두께가 제2 게이트 마스크 패턴(131)의 측벽 상의 산화 방지막(135)의 두께 보다 얇을 수 있으며, 또한, 상기 제2 게이트 마스크 패턴(131)의 측벽 상의 산화 방지막(135)의 두께가 충분히 두꺼울 수 있다. 이 경우에, 도 4에 개시된 바와 같이, 상기 제어 베이스 게이트(120a)의 측벽은 플랫폼(flat)할 수 있으며, 상기 주변 서브-게이트(120b')의 측벽은 계단 형태로 형성될 수도 있다. 이 경우에, 도 7의 단계(S302) 또는 단계(S304) 후에 상기 제2 언더컷 영역(UC2) 외부에 위치한 상기 제2 산화 방지 스페이서(135b)의 일부분은 제거될 수 있다. 이로써, 상기 제2 산화 방지 스페이서(135b)는 상기 제2 언더컷 영역(UC2) 내에 한정적으로 형성될 수 있다.
- [0113] 다음으로, 도 5에 개시된 비휘발성 기억 소자의 제조 방법을 도면들을 참조하여 설명한다.
- [0114] 도 8a 내지 도 8d는 도 5에 개시된 비휘발성 기억 소자의 제조 방법을 설명하기 위한 단면도들이다.
- [0115] 도 8a를 참조하면, 베이스 도전막(120)을 형성한 후에, 하부 배리어막(170), 금속막(125) 상부 배리어막(175)을 차례로 형성할 수 있다. 상기 셀 영역(50)의 상부 배리어막(175) 상에 제1 게이트 마스크 패턴(130)을 형성할 수 있으며, 상기 주변 영역(60)의 상부 배리어막(175) 상에 제2 게이트 마스크 패턴(131)을 형성할 수 있다. 일 실시예에 따르면, 상기 하부 배리어막(170) 및 상부 배리어막(175) 중에서 어느 하나는 생략할 수도 있다. 이하 설명에서는, 설명의 편의를 위하여 상기 하부 및 상부 배리어막들(170, 175)이 모두 형성된 경우에 대해서 설명한다.
- [0116] 도 8b를 참조하면, 상기 제1 및 제2 게이트 마스크 패턴들(130, 131)을 식각 마스크로 사용하여, 상기 상부 배리어막(175), 금속막(125) 및 하부 배리어막(170)을 연속적으로 식각할 수 있다. 이에 따라, 상기 제1 게이트 마스크 패턴(130) 아래에 적층된 제1 하부 배리어 패턴(170a), 제어 금속 패턴(125a) 및 제1 상부 배리어 패턴(175a)이 형성될 수 있다. 또한, 상기 제2 게이트 마스크 패턴(131) 아래에 적층된 제2 하부 배리어 패턴(170b), 주변 금속 패턴(125b) 및 제2 상부 배리어 패턴(175b)이 형성될 수 있다.
- [0117] 도 8c를 참조하면, 상기 제어 금속 패턴(125a) 및 주변 금속 패턴(125b)의 양 측벽들을 옆으로 식각한다. 이에 따라, 상기 옆으로 식각된 제어 금속 패턴(125an) 양측에 제1 언더컷 영역들(UC1)이 형성되고, 상기 옆으로 식각된 주변 금속 패턴(125bn) 양측에 제2 언더컷 영역들(UC2)이 형성된다. 상기 제어 및 주변 금속 패턴들(125a, 125b)은 도 6d를 참조하여 설명한 방법과 동일하게 옆으로 식각할 수 있다.
- [0118] 도 5를 참조하여 설명한 것과 같이, 상기 하부 및 상부 배리어 패턴들(170a, 170b, 175a, 175b)은 상기 금속 패턴들(125a, 125b)에 대하여 식각선택비를 가질 수 있다. 이에 따라, 상기 제1 언더컷 영역(UC1)은 상기 제1 하부 및 상부 배리어 패턴들(170a, 175a) 사이에 형성될 수 있으며, 상기 제2 언더컷 영역(UC2)은 상기 제2 하부 및 상부 배리어 패턴들(170b, 175b) 사이에 형성될 수 있다.
- [0119] 이어서, 도 6e, 도 6f, 도 7 및 도 6g를 참조하여 설명한 산화 방지막의 형성 공정과, 도 7의 단계들(S300, S302, S304, S306)을 순차적으로 수행할 수 있다. 이에 따라, 도 8d에 개시된 바와 같이, 상기 제1 및 제2 언더컷 영역들(UC1, UC2) 내에 제1 및 제2 산화 방지 스페이서들(135a, 135b)이 형성될 수 있다. 또한, 상기 제1 하부 배리어 패턴(170a) 아래에 차례로 적층된 전하 저장층(110a), 패터닝된 블로킹 유전막(115a) 및 제어 베이스 게이트(120a)가 형성될 수 있다. 상기 제2 하부 배리어 패턴(170b) 아래에 차례로 적층된 주변 바닥 게이트(111a), 층간 유전 패턴(115b) 및 주변 서브-게이트(120b)가 형성될 수 있다. 산화막(140)이 상기 게이트들(120a, 120b, 111a) 및 전하 저장층(110a)의 측벽들 상에 형성될 수 있다. 이 후속의 공정은 도 6g 및 도 1을 참조하여 설명한 것과 동일하게 수행할 수 있다.

- [0120] (제2 실시예)
- [0121] 도 9는 본 발명의 다른 실시예에 비휘발성 기억 소자를 나타내는 단면도이다.
- [0122] 도 9를 참조하면, 셀 및 주변 영역들(50, 60)을 포함하는 기관(100)에 소자분리 패턴(미도시함)이 형성되어, 셀 영역(50) 내의 제1 활성부(ACT1) 및 주변 영역(60) 내의 제2 활성부(ACT2)를 정의할 수 있다. 상기 제1 활성부(ACT1) 상에 셀 게이트 패턴(CG)이 배치될 수 있으며, 상기 제2 활성부(ACT2) 상에 주변 게이트 패턴(PG)이 배치될 수 있다.
- [0123] 상기 셀 게이트 패턴(CG)은 상기 제1 활성부(ACT1)를 가로지르는 제어 게이트 전극(237)을 포함할 수 있다. 또한, 상기 셀 게이트 패턴(CG)은 상기 제어 게이트 전극(237) 상에 배치된 제1 게이트 마스크 패턴(230)을 더 포함할 수 있다. 이에 더하여, 상기 셀 게이트 패턴(CG)은 상기 제어 게이트 전극(237) 아래에 차례로 적층된 터널 유전막(205), 전하저장층(210) 및 블로킹 유전막(215)을 포함할 수 있다. 상기 주변 게이트 패턴(PG)은 상기 제2 활성부(ACT2)를 가로지르는 주변 게이트 전극(238)을 포함할 수 있다. 또한, 상기 주변 게이트 패턴(PG)은 상기 주변 게이트 전극(238) 상에 배치된 제2 게이트 마스크 패턴(231)과, 상기 주변 게이트 전극(238) 및 제2 활성부(ACT2) 사이에 개재된 주변 게이트 유전막(217)을 더 포함할 수 있다.
- [0124] 상기 제어 게이트 전극(237)은 차례로 적층된 제어 베이스 게이트(220a) 및 제어 금속 패턴(225an)을 포함할 수 있다. 상기 제어 금속 패턴(225an)의 폭은 상기 제1 게이트 마스크 패턴(230) 및 제어 베이스 게이트(220a)의 폭들 보다 작을 수 있다. 이로써, 상기 제어 금속 패턴(225an) 양측에 한 쌍의 제1 언더컷 영역들(UC1)이 정의될 수 있다. 한 쌍의 제1 산화 방지 스페이서들(235a)이 상기 제어 금속 패턴(225an)의 양 측벽들 상에 각각 배치된다. 상기 한 쌍의 제1 산화 방지 스페이서들(235a)은 상기 제1 게이트 마스크 패턴(230)의 양 가장자리들 및 제어 베이스 게이트(220a)의 양 가장자리들 사이에 배치되는 것이 바람직하다. 상기 제1 산화 방지 스페이서들(235a)은 상기 제1 언더컷 영역들(UC1) 내에 한정적으로 배치될 수 있다.
- [0125] 상기 주변 게이트 전극(238)은 차례로 적층된 주변 서브-게이트(220b) 및 주변 금속 패턴(225bn)을 포함할 수 있다. 본 실시예에 따르면, 상기 주변 서브-게이트(220b)는 상기 주변 게이트 유전막(217) 바로 위(directly on)에 배치될 수 있다. 상기 주변 금속 패턴(225bn)의 폭은 상기 제2 게이트 마스크 패턴(231) 및 상기 주변 서브-게이트(220b)의 폭들 보다 작을 수 있다. 이로써, 상기 주변 금속 패턴(225bn) 양측에 한 쌍의 제2 언더컷 영역들(UC2)이 각각 정의될 수 있다. 한 쌍의 제2 산화 방지 스페이서들(235b)이 상기 주변 금속 패턴(225bn)의 양 측벽들 상에 각각 배치될 수 있다. 상기 한 쌍의 제2 산화 방지 스페이서들(235b)은 상기 제1 게이트 마스크 패턴(231)의 양 가장자리들 및 상기 주변 서브-게이트(220b)의 양 가장자리들 사이에 개재되는 것이 바람직하다. 상기 제2 산화 방지 스페이서들(235b)은 상기 제2 언더컷 영역들(UC2) 내에 한정적으로 배치될 수 있다.
- [0126] 일 실시예에 따르면, 상기 제어 금속 패턴(225an)의 측벽을 기준으로 한 상기 제1 산화 방지 스페이서(235a)의 두께는 상기 주변 금속 패턴(225bn)의 측벽을 기준으로 한 상기 제2 산화 방지 스페이서(235b)의 두께와 다를 수 있다. 예컨대, 상기 제2 산화 방지 스페이서(235b)의 상기 두께는 상기 제1 산화 방지 스페이서(235a)의 상기 두께 보다 두꺼울 수 있다. 상기 제1 산화 방지 스페이서(235a)의 외측벽은 상기 제1 게이트 마스크 패턴(230)의 측벽 보다 옆으로 리세스될 수 있다.
- [0127] 상기 제어 금속 패턴(225an)은 낮은 비저항을 갖는 금속을 포함할 수 있다. 예컨대, 상기 제어 금속 패턴(225an)은 텅스텐 및/또는 구리 등을 포함할 수 있다. 상기 제1 게이트 마스크 패턴(230)은 상기 제어 금속 패턴(225an) 및 제어 베이스 게이트(220a)에 대하여 식각선택비를 갖는 유전물질을 포함할 수 있다. 예컨대, 상기 제1 게이트 마스크 패턴(230)은 산화물을 포함할 수 있다. 상기 제어 베이스 게이트(220a)는 상기 제어 금속 패턴(225an)에 대하여 식각선택비를 갖는 도전 물질을 포함할 수 있다. 또한, 상기 제어 베이스 게이트(220a)은 특정 일함수를 갖는 도전 물질을 포함할 수 있다. 일 실시예에 따르면, 상기 제2 게이트 마스크 패턴(231), 주변 금속 패턴(225bn) 및 주변 서브-게이트(220b)는 상기 제1 게이트 마스크 패턴(230), 제어 금속 패턴(225an) 및 제어 베이스 게이트(220a)와 각각 동일한 물질로 형성될 수 있다. 상기 제1 및 제2 산화 방지 스페이서들(235a, 235b)은 도 1의 제1 및 제2 산화 방지 스페이서들(135a, 135b)과 동일한 물질로 형성될 수 있다.
- [0128] 상기 터널 유전막(205)은 산화물(ex, 열산화물) 및/또는 산화질화물 등을 포함할 수 있다. 상기 전하 저장층(210)은 전하를 저장하는 트랩들을 갖는 유전 물질을 포함할 수 있다. 예컨대, 상기 전하 저장층(210)은 실리콘 질화물, 나노 도트들(nano dots)을 포함하는 실리콘 산화물 및/또는 절연성 금속 질화물(ex, 산화 하프늄 등) 등을 포함할 수 있다. 상기 나노 도트들은 반도체 물질 및/또는 금속 등을 포함할 수 있다. 상기 블로킹 유전막

(215)은 상기 터널 유전막(205)의 유전 상수 보다 높은 유전 상수를 갖는 고유전 물질(ex, 산화 알루미늄 및/또는 산화 하프늄 등과 같은 절연성 금속 질화물 등)을 포함할 수 있다. 이에 더하여, 상기 블로킹 유전막(215)은 상기 고유전 물질 보다 큰 에너지 밴드 갭(energy band gap)을 갖는 장벽 유전 물질(ex, 산화물 등)을 더 포함할 수 있다.

[0129] 상기 전하 저장층(210)이 상기 트랩들을 갖는 유전 물질을 포함함으로써, 상기 전하 저장층(210)은 이웃한 셀 게이트 패턴 내 전하 저장층과 연결될 수도 있다. 예컨대, 도 9에 도시된 바와 같이, 상기 전하 저장층(210) 및 블로킹 유전막(215)은 상기 제어 게이트 전극(237)의 양 측벽들을 넘어(beyond) 옆으로 연장되어, 이웃한 셀 게이트 패턴의 전하 저장층 및 블로킹 유전막(215)과 연결될 수 있다.

[0130] 일 실시예에 따르면, 상기 제어 베이스 게이트(220a)의 일함수를 조절하여, 상기 제어 베이스 게이트(220a) 및 블로킹 유전막(215) 간의 에너지 장벽을 증가시킬 수 있다. 예컨대, 본 발명의 실시예들에 따른 비휘발성 기억 셀이 엔모스형 인 경우에, 상기 제어 베이스 게이트(220a)는 n형 실리콘의 일함수 보다 큰 일함수를 갖는 도전 물질을 포함할 수 있다. 예컨대, 상기 제어 베이스 게이트(220a)는 p형 실리콘, p형 실리콘-게르마늄, TiN, TaN, TaSiN 및/또는 WN 등을 포함할 수 있다.

[0131] 상기 주변 게이트 유전막(217)은 산화물을 포함할 수 있다. 상기 주변 게이트 유전막(217)의 두께는 상기 터널 유전막(205)과 다른 두께를 가질 수도 있다.

[0132] 산화막(240)이 상기 제어 베이스 게이트(220a) 및 주변 서브-게이트(220b)의 양 측벽들 상에 배치될 수 있다. 상기 산화막(240)은 상기 게이트들(220a, 220b)의 양 측벽들이 산화되어 형성된 산화물을 포함할 수 있다. 제1 게이트 스페이서들(250a)이 상기 셀 게이트 패턴(CG)의 양 측벽들 상에 배치될 수 있으며, 제2 게이트 스페이서들(250b)이 상기 주변 게이트 전극(PG)의 양 측벽들 상에 배치될 수 있다. 상기 제1 및 제2 게이트 스페이서들(250a, 250b)은 산화물을 포함할 수 있다. 일 실시예에 따르면, 상기 제1 및 제2 게이트 스페이서들(250a, 250b)은 실리콘 산화물을 포함하지 않을 수 있다.

[0133] 상기 제1 게이트 마스크 패턴(230) 양측의 상기 활성화부(ACT1) 내에 셀 소오스/드레인(245)이 정의될 수 있다. 일 실시예에 따르면, 상기 셀 소오스/드레인(245)은 상기 제1 활성화부(ACT1)의 도핑 도펀트와 다른 타입의 도펀트로 도핑될 수 있다. 이와는 달리, 상기 셀 소오스/드레인(245)은, 상기 제어 게이트 전극(237)에 인가된 동작 전압으로 생성되는 주변부 전계(fringe field)에 의해 생성되는 반전층으로 정의될 수도 있다. 상기 제2 게이트 마스크 패턴(231) 양측의 상기 제2 활성화부(ACT2) 내에 주변 소오스/드레인(248)이 배치될 수 있다. 상기 주변 소오스/드레인(248)은 상기 제2 활성화부(ACT2)의 도펀트와 다른 타입의 도펀트로 도핑될 수 있다. 상기 주변 소오스/드레인(248)은 엘디디 구조를 가질 수 있다. 층간 유전막(255)이 상기 기판(100) 전면 상에 배치될 수 있다. 상기 층간 유전막(255)은 산화물을 포함할 수 있다.

[0134] 상술된 비휘발성 기억 소자에 따르면, 상기 제1 및 제2 산화 방지 스페이서들(235a, 235b)이 상기 제어 및 주변 금속 패턴들(225an, 225bn)의 양 측벽들 상에 배치된다. 이에 따라, 상기 금속 패턴들(225an, 225bn)이 산화되는 것을 방지하여 우수한 신뢰성을 갖는 비휘발성 기억 소자를 구현할 수 있다. 또한, 상기 제1 및 제2 산화 방지 스페이서들(235a, 235b)이 상기 언더컷 영역들(UC1, UC2) 내에 한정적으로 배치됨으로써, 고집적화에 최적화된 비휘발성 기억 소자를 구현할 수 있다.

[0135] 도 10은 본 발명의 다른 실시예에 따른 비휘발성 기억 소자의 일 변형예를 나타내는 단면도이다.

[0136] 도 10을 참조하면, 제어 게이트 전극(237')에 포함된 제어 베이스 게이트(220a')는 계단 형태의 측벽을 가질 수 있다. 이 경우에, 상기 제1 산화 방지 스페이서(235a')는 제1 언더컷 영역(UC1)을 채울 수 있다. 주변 게이트 전극(238)에 포함된 주변 서브-게이트(220b')의 측벽도 계단 형태일 수 있다. 일 실시예에 따르면, 상기 제어 베이스 게이트의 측벽은 플랫폼(flat) 형태이고, 상기 주변 서브-게이트(220b')의 측벽은 계단 형태일 수도 있다.

[0137] 도 11은 본 발명의 다른 실시예에 따른 비휘발성 기억 소자의 다른 변형예를 나타내는 단면도이다.

[0138] 도 11을 참조하면, 본 변형예에 따르면, 이웃한 셀 게이트 패턴들(CG) 내 전하 저장층들(210a)은 서로 분리되어, 옆으로 이격될 수 있다. 이와 마찬가지로, 상기 이웃한 셀 게이트 패턴들(CG)내 블로킹 유전막들(215a)도 서로 분리되어, 옆으로 이격될 수 있다.

[0139] 도 12는 본 발명의 다른 실시예에 따른 비휘발성 기억 소자의 또 다른 변형예를 나타내는 단면도이다.

[0140] 도 12를 참조하면, 제어 게이트 전극(237a)은 제어 금속 패턴(225an) 및 제어 베이스 게이트(220a) 사이에 개재

된 제1 하부 배리어 패턴(270a)을 더 포함할 수 있다. 이에 더하여, 상기 제어 게이트 전극(237a)은 제1 게이트 마스크 패턴(130) 및 제어 금속 패턴(225an) 사이에 개재된 제1 상부 배리어 패턴(275a)을 더 포함할 수 있다. 상기 제1 하부 및 상부 배리어 패턴들(270a, 275a)의 폭들은 상기 제어 금속 패턴(225an)의 폭 보다 클 수 있다. 이에 따라, 상기 한 쌍의 제1 산화 방지 스페이서들(235a)은 상기 제1 하부 배리어 패턴(270a)의 양 가장자리들 및 제1 상부 배리어 패턴(275a)의 양 가장자리들 사이에 배치될 수 있다. 상기 제1 하부 및 상부 배리어 패턴들(270a, 270b)은 도 5의 제1 하부 및 상부 배리어 패턴들(170a, 170b)과 각각 동일한 물질로 형성될 수 있다. 일 실시예에 따르면, 상기 제1 하부 배리어 패턴(270a) 및 제1 상부 배리어 패턴(275a) 중에서 어느 하나는 생략될 수도 있다. 상기 제어 게이트 전극(237)이 상기 제1 하부 배리어 패턴(270a)을 포함하는 경우에, 상기 제어 베이스 게이트(220a)은 도핑된 반도체(ex, 도핑된 실리콘, 도핑된 실리콘-게르마늄 등)를 포함할 수 있다.

[0141] 이와 유사하게, 주변 게이트 전극(238a)은 주변 금속 패턴(225bn) 및 주변 서브-게이트(220b) 사이에 개재된 제2 하부 배리어 패턴(270b), 및/또는, 제2 게이트 마스크 패턴(231) 및 주변 금속 패턴(225bn) 사이에 개재된 제2 상부 배리어 패턴(275b)을 더 포함할 수 있다. 제2 산화 방지 스페이서들(235b)은 상기 제2 하부 배리어 패턴(270b)의 양 가장자리들 및 제2 상부 배리어 패턴(275b)의 양 가장자리들 사이에 개재될 수 있다. 상기 제2 하부 및 상부 배리어 패턴들(270b, 275b)은 상기 제1 하부 및 상부 배리어 패턴들(270a, 270b)과 각각 동일한 물질로 형성될 수 있다.

[0142] 일 실시예에 따르면, 인접한 상기 셀 게이트 패턴들(CG)들 사이에 공극(257)이 형성될 수 있다. 상기 공극(257)은 제1 게이트 스페이서(250a)에 의해 덮혀질 수 있다. 도 9 내지 도 11에 개시된 비휘발성 기억 소자들의 인접한 셀 게이트 패턴들(CG) 사이에도 상기 공극(257)에 생성될 수도 있다.

[0143] 다음으로, 본 실시예에 따른 비휘발성 기억 소자의 제조 방법을 도면들을 참조하여 설명한다.

[0144] 도 13a 내지 도 13d는 본 발명의 다른 실시예에 따른 비휘발성 기억 소자의 제조 방법을 나타내는 단면도들이고, 도 14는 본 발명의 다른 실시예에 따른 비휘발성 기억 소자의 산화 방지 스페이서 및 게이트 패턴들을 형성하는 방법을 설명하기 위한 플로우 차트이다.

[0145] 도 13a를 참조하면, 기판(100)에 소자분리 패턴(미도시함)을 형성하여, 셀 영역(50)내의 제1 활성부(ACT1) 및 주변 영역(60) 내의 제2 활성부(ACT2)를 정의할 수 있다. 상기 제1 활성부(ACT1) 상에 터널 유전막(205), 전하 저장층(210) 및 블로킹 유전막(215)을 차례로 형성할 수 있다. 상기 제2 활성부(ACT2) 상에 주변 게이트 유전막(217)을 형성할 수 있다. 일 실시예에 따르면, 상기 제1 및 제2 활성부들(ACT1, ACT2)을 갖는 기판 전면 상에 터널 유전막(205), 전하 저장층(210) 및 블로킹 유전막(215)을 차례로 형성할 수 있다. 상기 주변 영역(60) 내의 블로킹 유전막(215), 전하 저장층(210) 및 터널 유전막(205)을 제거하여 제2 활성부(ACT2)를 노출시킬 수 있다. 이때, 상기 셀 영역(50) 내의 터널 유전막(205), 전하 저장층(210) 및 블로킹 유전막(215)은 잔존될 수 있다. 상기 노출된 제2 활성부(ACT2) 상에 상기 주변 게이트 유전막(217)을 형성할 수 있다. 하지만, 본 발명은 여기에 한정되지 않는다. 차례로 적층된 상기 터널 유전막(205), 전하 저장층(210) 및 블로킹 유전막(215)과, 주변 게이트 유전막(217)은 다른 방법으로 형성될 수도 있다.

[0146] 이어서, 상기 기판(100) 전면 상에 베이스 도전막(220) 및 금속막(225)을 형성할 수 있다. 상기 베이스 도전막(220)은 상기 블로킹 유전막(215) 및 주변 게이트 유전막(217) 바로 위에(directly on) 형성될 수 있다. 이어서, 상기 셀 영역(50) 내 금속막(225) 상의 제1 게이트 마스크 패턴(230) 및 상기 주변 영역(60) 내 금속막(225) 상에 제2 게이트 마스크 패턴(231)을 형성할 수 있다.

[0147] 도 13b를 참조하면, 상기 게이트 마스크 패턴들(230, 231)을 식각 마스크로 사용하여, 상기 금속막(225)을 식각하여 제어 금속 패턴(225a) 및 주변 금속 패턴(225b)을 형성할 수 있다. 상기 금속막(225)은 우세한 이방성을 갖는 제1 건식 식각 공정으로 식각될 수 있다.

[0148] 도 13c를 참조하면, 상기 제어 및 주변 금속 패턴들(225a, 225b)의 양 측벽들을 옆으로 식각한다. 이에 따라, 상기 옆으로 식각된 제어 금속 패턴(225an) 양측에 제1 언더컷 영역들(UC1)이 형성되고, 상기 옆으로 식각된 주변 금속 패턴(225bn) 양측에 제2 언더컷 영역들(UC2)이 형성된다. 상기 제어 및 주변 금속 패턴들(225a, 225b)의 양 측벽들은 반응성 건식 식각 공정에 의하여 옆으로 식각될 수 있다. 상기 반응성 건식 식각 공정은 도 6D를 참조하여 설명한 반응성 식각 공정과 동일할 수 있다.

[0149] 다음으로, 산화 방지 스페이서들 및 게이트 패턴들을 형성하는 방법을 도 14의 플로우 차트를 참조하여 구체적으로 설명한다.

[0150] 도 13c, 도 13d 및 도 14를 참조하면, 상기 언더컷 영역들(UC1, UC2)을 갖는 기판(100) 상에 산화 방지막을 증

착한다(S310). 상기 산화 방지막은 화학기상 증착 공정 및/또는 원자층 증착 공정 등으로 증착될 수 있다. 상기 산화 방지막은 상기 언더컷 영역들(UC1, UC2) 내에도 형성된다. 상기 산화 방지막을 식각하여 게이트 마스크 패턴들(230, 231) 양 측의 베이스 도전막(220)을 노출시킨다(S312). 이때, 상기 제1 및 제2 언더컷 영역들(UC1, UC2) 내에 제1 및 제2 산화 방지 스페이서들(235a, 235b)이 형성될 수 있다. 상기 게이트 마스크 패턴들(230, 231)의 상부면들 상의 상기 산화 방지막도 제거되어, 상기 게이트 마스크 패턴들(230, 231)도 노출될 수 있다.

[0151] 상기 게이트 마스크 패턴들(230, 231)을 식각 마스크로 사용하여, 노출된 베이스 도전막(220)을 식각할 수 있다(S314). 이에 따라, 상기 제어 금속 패턴(225an) 아래에 제어 베이스 게이트(220a)이 형성되고, 상기 주변 금속 패턴(225bn) 아래에 주변 서브-게이트(220b)가 형성된다. 이어서, 상기 기판(100)에 세정 공정을 수행할 수 있다(S316). 상기 제1 및 제2 산화 방지 스페이서들(235a, 235b)은 상기 단계(S312), 단계(S314) 또는 단계(S316) 후에 상기 제1 및 제2 언더컷 영역들(UC1, UC2) 내에 한정적으로 형성될 수 있다. 이어서, 상기 기판(100)에 게이트 산화 공정(S318)을 수행할 수 있다. 이에 따라, 상기 제어 베이스 게이트(220a) 및 주변 서브-게이트(220b)의 양 측벽들 상에 산화막(240)이 형성될 수 있다. 이 후에, 도 9의 주변 소오스/드레인(248), 게이트 스페이서들(250a, 250b) 및 층간 유전막(255)을 형성할 수 있다. 상기 셀 소오스/드레인(245)이 도펀트로 도핑되는 경우에, 셀 소오스/드레인(245)도 형성될 수 있다. 일 실시예에 따르면, 상기 게이트 스페이서들(250a, 250b)을 형성한 후에, 인접한 셀 게이트 패턴들(CG) 사이에 도 12의 공극(257)이 형성될 수도 있다.

[0152] 제1 실시예에서 상술한 바와 같이, 셀 영역(50) 내 적층된 패턴들(225an, 230)의 측벽들의 경사도가 주변 영역(60) 내 적층된 패턴들(225bn, 231)의 측벽들의 경사도와 다를 수 있다. 이에 따라, 셀 영역(50) 내 적층된 패턴들(225an, 230)의 측벽들 상의 산화 방지막의 두께가 주변 영역(60) 내 적층된 패턴들(225bn, 231)의 측벽들 상의 산화 방지막의 두께가 다를 수 있다. 이에 따라, 제1 산화 방지 스페이서(235a)의 두께가 제2 산화 방지 스페이서(235b)의 두께와 다를 수 있다. 예컨대, 상기 제2 산화 방지 스페이서(235b)의 두께가 상기 제1 산화 방지 스페이서(235a)의 두께 보다 두꺼울 수 있다.

[0153] 일 실시예에 따르면, 상기 적층된 패턴들(225an, 230, 225bn, 231)의 측벽들 상의 산화 방지막의 두께를 조절하여, 도 10에 개시된 계단 형태의 측벽들을 갖는 제어 베이스 게이트(220a') 및 주변 서브-게이트(220b')를 구현할 수 있다.

[0154] 일 실시예에 따르면, 상기 제어 베이스 게이트(220a) 및 주변 서브-게이트(220b)를 형성한 후에, 상기 게이트 마스크 패턴들(230, 231)을 식각 마스크로 사용하여 상기 블로킹 유전막(215) 및 전하 저장층(210)을 식각할 수 있다. 이에 따라, 도 11에 도시된 비휘발성 기억 소자를 구현할 수 있다.

[0155] 다음으로, 도 12에 개시된 비휘발성 기억 소자의 제조 방법을 특징적인 부분들을 중심으로 설명한다.

[0156] 도 15a 내지 도 15c는 도 12에 개시된 비휘발성 기억 소자의 제조 방법을 설명하기 위한 단면도들이다.

[0157] 도 13a 및 도 15a를 참조하면, 금속막(225)을 형성하기 전에 베이스 도전막(220) 상에 하부 배리어막을 형성할 수 있다. 상기 금속막(225)은 상기 베이스 도전막(220) 상에 형성될 수 있다. 게이트 마스크 패턴들(230, 231)을 형성하기 전에, 상기 금속막(225) 상에 상부 배리어막을 형성할 수 있다. 상기 게이트 마스크 패턴들(230, 231)은 상기 상부 배리어막 상에 형성될 수 있다.

[0158] 상기 게이트 마스크 패턴들(230, 231)을 식각 마스크로 사용하여 상부 배리어막, 금속막(225) 및 하부 배리어막을 연속적으로 식각할 수 있다. 이에 따라, 상기 제1 게이트 마스크 패턴(230) 아래에 차례로 적층된 제1 하부 배리어 패턴(270a), 제어 금속 패턴(225a) 및 제1 상부 배리어 패턴(275a)이 형성될 수 있다. 또한, 상기 제2 게이트 마스크 패턴(231) 아래에 차례로 적층된 제2 하부 배리어 패턴(270b), 주변 금속 패턴(225b) 및 제2 상부 배리어 패턴(275b)이 형성될 수 있다.

[0159] 도 15a를 참조하면, 상기 제어 및 주변 금속 패턴들(225a, 225b)의 양 측벽들을 옆으로 식각하여, 제1 및 제2 언더컷 영역들(UC1, UC2)을 형성할 수 있다. 이때, 상기 배리어 패턴들(270a, 270b, 275a, 275b)은 상기 금속 패턴들(225a, 225b)에 대하여 식각 선택비를 가질 수 있다. 이에 따라, 상기 제1 언더컷 영역(UC1)은 상기 제1 하부 및 상부 배리어 패턴들(270a, 275a) 사이에 형성될 수 있으며, 상기 제2 언더컷 영역(UC2)은 상기 제2 하부 및 상부 배리어 패턴들(270b, 275b) 사이에 형성될 수 있다.

[0160] 도 15c를 참조하면, 이어서, 도 14의 플로우 차트에 개시된 단계들을 수행할 수 있다. 이에 따라, 상기 언더컷 영역들 내에 산화 방지 스페이서들(235a, 235b)이 형성될 수 있으며, 제어 베이스 게이트(220a) 및 주변 서브-게이트(220b)가 형성될 수 있다. 또한, 제어 베이스 게이트(220a) 및 주변 서브-게이트(220b)의 양측벽들 상에 산화막(240)이 형성될 수 있다. 이 후에 도 12의 셀 소오스/드레인(245), 주변 소오스/드레인(248), 게이트 스

페이서들(250a, 250b) 및 층간 유전막(255)을 형성할 수 있다.

- [0161] 상술된 제1 실시예에 개시된 비휘발성 기억 소자들 및 제2 실시예에 개시된 비휘발성 기억 소자들은 노어형(NOR type) 비휘발성 기억 소자 또는 낸드형(NAND type) 비휘발성 기억 소자로 구현될 수 있다.
- [0162] (제3 실시예)
- [0163] 본 실시예에서는, 상술된 제1 및 제2 실시예들의 비휘발성 기억 소자들이 낸드형 비휘발성 기억 소자로 구현된 예를 설명한다.
- [0164] 도 16은 본 발명의 또 다른 실시예에 따른 비휘발성 기억 소자를 나타내는 단면도이다.
- [0165] 도 16을 참조하면, 기판(100)의 셀 영역(50) 내에 정의된 제1 활성부(ACT1) 상에 제1 선택 게이트 패턴(GSG) 및 제2 선택 게이트 패턴(SSG)이 배치될 수 있다. 복수의 셀 게이트 패턴들(CG)이 상기 제1 및 제2 선택 게이트 패턴들(GSG, SSG) 사이의 제1 활성부(ACT1) 상에 배치될 수 있다. 상기 제1 선택 게이트 패턴(GSG) 일 측의 제1 활성부(ACT1) 내에 공통 소오스(CSR)이 배치될 수 있으며, 상기 제2 선택 게이트 패턴(SSG) 일 측의 제1 활성부(ACT1) 내에 공통 드레인(CDR)이 배치될 수 있다. 상기 제1 선택 게이트 패턴(GSG), 복수의 셀 게이트 패턴들(CG) 및 제2 선택 게이트 패턴(SSG)은 상기 공통 소오스(CSR) 및 공통 드레인(CDR) 사이의 제1 활성부(ACT1) 상에 배치될 수 있다. 상기 각 셀 게이트 패턴(CG) 양 측의 제1 활성부(ACT1) 내에 셀 소오스/드레인들(145)이 배치될 수 있다. 상기 제1 선택 게이트 패턴(GSG)은 제1 선택 트랜지스터에 포함되고, 상기 셀 게이트 패턴들(CG)은 비휘발성 기억 셀들에 각각 포함되며, 상기 제2 선택 게이트 패턴(SSG)은 제2 선택 트랜지스터에 포함된다. 상기 제1 선택 트랜지스터, 비휘발성 기억 셀들 및 제2 선택 트랜지스터는 하나의 셀 스트링을 구성할 수 있다.
- [0166] 상기 제1 선택 게이트 패턴(GSG)은 차례로 적층된 제1 서브-게이트(110g), 제2 서브-게이트(120g) 및 제3 서브-게이트(125g)를 포함할 수 있다. 또한, 상기 제1 선택 게이트 패턴(GSG)은 상기 제3 서브-게이트(125g) 상에 배치된 제1 선택 마스크 패턴을 더 포함할 수 있다. 상기 제3 서브-게이트(125g)는 셀 게이트 패턴(CG)의 제어 금속 패턴과 동일한 금속을 포함할 수 있다. 상기 제3 서브-게이트(125g)의 폭은 상기 제1 선택 마스크 패턴 및 제2 서브-게이트(120a)의 폭들 보다 작을 수 있다. 이에 따라, 상기 제3 서브-게이트(125g)의 양 측에 제1 선택 언더컷 영역들이 정의될 수 있다. 한 쌍의 제1 선택 산화 방지 스페이서들(135g)이 상기 제3 서브-게이트(125g)의 양 측벽들 상에 배치될 수 있다. 상기 한 쌍의 제1 선택 산화 방지 스페이서들(135g)은 상기 제1 선택 언더컷 영역들 내에 한정적으로 배치될 수 있다. 상기 제1 및 제2 서브-게이트들(110g, 120g) 사이에 제1 선택 층간 패턴이 개재될 수 있다. 이 경우에, 상기 제2 서브-게이트(120g)는 상기 제1 선택 층간 패턴을 관통하는 제1 선택 개구부를 경유하여 상기 제1 서브-게이트(110g)에 접속될 수 있다.
- [0167] 이와 마찬가지로, 상기 제2 선택 게이트 패턴(SSG)도 차례로 적층된 제1 서브-게이트(110s), 제2 서브-게이트(120s), 제3 서브-게이트(125s) 및 제2 선택 마스크 패턴을 포함할 수 있다. 상기 제2 선택 게이트 패턴(SSG)의 제3 서브-게이트(125s)는 상기 제어 금속 패턴과 동일한 금속을 포함할 수 있다. 상기 제2 선택 게이트 패턴(SSG)의 제3 서브-게이트(125s) 양 측에 제2 선택 언더컷 영역들이 정의되고, 제2 선택 산화 방지 스페이서들(135s)이 제2 선택 게이트 패턴(SSG)의 제3 서브-게이트(125s) 양 측벽들 상에 배치될 수 있다. 상기 제2 선택 산화 방지 스페이서들(135s)은 상기 제2 선택 언더컷 영역들 내에 한정적으로 배치될 수 있다. 상기 제2 선택 게이트 패턴(SSG)의 제1, 제2 및 제3 서브-게이트들(110s, 120s, 125s)도 서로 전기적으로 접속될 수 있다.
- [0168] 상기 제1 및 제2 선택 게이트 패턴들(GSG, SSG)의 제1 서브-게이트들(110g, 110s)은 셀 게이트 패턴(CG)의 전하 저장층과 동일한 반도체 물질을 포함할 수 있다. 상기 제2 서브-게이트들(120g, 120s)은 셀 게이트 패턴(CG)의 제어 베이스 게이트와 동일한 물질을 포함할 수 있으며, 상기 제3 서브-게이트들(125g, 125s)은 상기 셀 게이트 패턴(CG)의 제어 금속 패턴과 동일한 금속을 포함할 수 있다. 상기 제1 및 제2 선택 마스크 패턴들은 상기 셀 게이트 패턴(CG)의 제1 게이트 마스크 패턴과 동일한 물질로 형성될 수 있다.
- [0169] 주변 영역(60) 내에 도 1에 개시된 주변 게이트 패턴(PG)을 포함하는 주변 트랜지스터가 배치될 수 있다. 상기 선택 게이트 패턴들(GSG, SSG) 및 셀 게이트 패턴들(CG)의 약 측벽들 상에 제1 게이트 스페이서들이 배치될 수 있다. 이때, 상기 셀 게이트 패턴들(CG) 사이에 상기 게이트 스페이서들에 의해 덮혀진 공극(157)이 생성될 수도 있다. 하지만, 본 발명은 여기에 한정되지 않는다. 상기 공극(157)이 생성되지 않을 수도 있다.
- [0170] 제1 층간 유전막(155)이 기판(100) 전면 상에 배치될 수 있다. 공통 소오스 라인(160)이 상기 제1 층간 유전막



(155)을 관통하여 상기 공통 소오스(CSR)에 전기적으로 접속될 수 있다. 상기 제1 층간 유전막(155) 및 공통 소오스 라인(160) 상에 제2 층간 유전막(162)이 배치될 수 있다. 제1 콘택 플러그(165)가 상기 셀 영역(50) 내 상기 제2 및 제1 층간 유전막들(162, 155)을 연속적으로 관통하여 상기 공통 드레인(CDR)에 전기적으로 접속될 수 있다. 제2 콘택 플러그(166)가 상기 주변 영역(60) 내 제2 및 제1 층간 유전막들(162, 155)을 연속적으로 관통하여 주변 소오스/드레인(148)에 전기적으로 접속될 수 있다. 비트 라인(180)이 상기 셀 영역(50)내 상기 제2 층간 유전막(162) 상에 배치되어, 상기 제1 콘택 플러그(165)와 전기적으로 접속될 수 있다. 배선(181)이 상기 주변 영역(60) 내 제2 층간 유전막(162) 상에 배치되어, 상기 제2 콘택 플러그(166) 상에 전기적으로 접속될 수 있다.

[0171] 도 16에서, 셀 게이트 패턴(CG) 및 주변 게이트 패턴(PG)은 도 1의 셀 게이트 패턴(CG) 및 주변 게이트 패턴(PG)을 도시하였다. 하지만, 본 발명은 여기에 한정되지 않는다. 도 16의 셀 게이트 패턴들(CG) 및 주변 게이트 패턴(PG)은 도 2-5 및 도 9-12의 셀 게이트 패턴들(CG) 및 주변 게이트 패턴들(PG) 중에서 어느 하나와 대체될 수 있다. 이 경우에, 상기 선택 게이트 패턴들(GSG, SSG)은 상기 주변 게이트 패턴(PG)과 유사한 형태를 가질 수 있다.

[0172] 상술된 실시예들에서 개시된 비휘발성 기억 소자들은 다양한 형태들의 반도체 패키지(semiconductor package)로 구현될 수 있다. 예를 들면, 본 발명의 실시예들에 따른 비휘발성 기억 소자들은 PoP(Package on Package), Ball grid arrays(BGAs), Chip scale packages(CSPs), Plastic Leaded Chip Carrier(PLCC), Plastic Dual In-Line Package(PDIP), Die in Waffle Pack, Die in Wafer Form, Chip On Board(COB), Ceramic Dual In-Line Package(CERDIP), Plastic Metric Quad Flat Pack(MQFP), Thin Quad Flatpack(TQFP), Small Outline(SOIC), Shrink Small Outline Package(SSOP), Thin Small Outline(TSOP), Thin Quad Flatpack(TQFP), System In Package(SIP), Multi Chip Package(MCP), Wafer-level Fabricated Package(WFP), Wafer-Level Processed Stack Package(WSP) 등의 방식으로 패키징될 수 있다.

[0173] 본 발명의 실시예들에 따른 비휘발성 기억 소자가 실장된 패키지는 상기 비휘발성 기억 소자를 제어하는 컨트롤러 및/또는 논리 소자 등을 더 포함할 수도 있다.

[0174] 도 17은 본 발명의 기술적 사상에 기초한 비휘발성 기억 소자를 포함하는 전자 시스템의 일 예를 도시한 블록도이다.

[0175] 도 17을 참조하면, 본 발명의 일 실시예에 따른 전자 시스템(1100)은 컨트롤러(1110), 입출력 장치(1120, I/O), 기억 장치(1130, memory device), 인터페이스(1140) 및 버스(1150, bus)를 포함할 수 있다. 상기 컨트롤러(1110), 입출력 장치(1120), 기억 장치(1130) 및/또는 인터페이스(1140)는 상기 버스(1150)를 통하여 서로 결합될 수 있다. 상기 버스(1150)는 데이터들이 이동되는 통로(path)에 해당한다.

[0176] 상기 컨트롤러(1110)는 마이크로프로세서, 디지털 신호 프로세서, 마이크로컨트롤러, 및 이들과 유사한 기능을 수행할 수 있는 논리 소자들 중에서 적어도 하나를 포함할 수 있다. 상기 입출력 장치(1120)는 키패드(keypad), 키보드 및 디스플레이 장치 등을 포함할 수 있다. 상기 기억 장치(1130)는 데이터 및/또는 명령어 등을 저장할 수 있다. 상기 기억 장치(1130)는 상술된 실시예들에 개시된 비휘발성 기억 소자들 중에서 적어도 하나를 포함할 수 있다. 또한, 상기 기억 장치(1130)는 다른 형태의 반도체 기억 소자(ex, 상변화 기억 소자, 자기 기억 소자, 디램 소자 및/또는 에스램 소자 등)를 더 포함할 수 있다. 상기 인터페이스(1140)는 통신 네트워크로 데이터를 전송하거나 통신 네트워크로부터 데이터를 수신하는 기능을 수행할 수 있다. 상기 인터페이스(1140)는 유선 또는 무선 형태일 수 있다. 예컨대, 상기 인터페이스(1140)는 안테나 또는 유무선 트랜시버등을 포함할 수 있다. 도시하지 않았지만, 상기 전자 시스템(1100)은 상기 컨트롤러(1110)의 동작을 향상시키기 위한 동작 기억 소자로서, 고속의 디램 소자 및/또는 에스램 소자 등을 더 포함할 수도 있다.

[0177] 상기 전자 시스템(1100)은 개인 휴대용 정보 단말기(PDA, personal digital assistant) 포터블 컴퓨터(portable computer), 웹 타블렛(web tablet), 무선 전화기(wireless phone), 모바일 폰(mobile phone), 디지털 뮤직 플레이어(digital music player), 메모리 카드(memory card), 또는 정보를 무선환경에서 송신 및/또는 수신할 수 있는 모든 전자 제품에 적용될 수 있다.

[0178] 도 18은 본 발명의 기술적 사상에 기초한 비휘발성 기억 소자를 포함하는 메모리 카드의 일 예를 도시한 블록도이다.

[0179] 도 18을 참조하면, 본 발명의 일 실시예에 따른 메모리 카드(1200)는 기억 장치(1210)를 포함한다. 상기 기억 장치(1210)는 상술된 실시예들에 따른 비휘발성 기억 소자들 중에서 적어도 하나를 포함할 수 있다. 또한, 상기

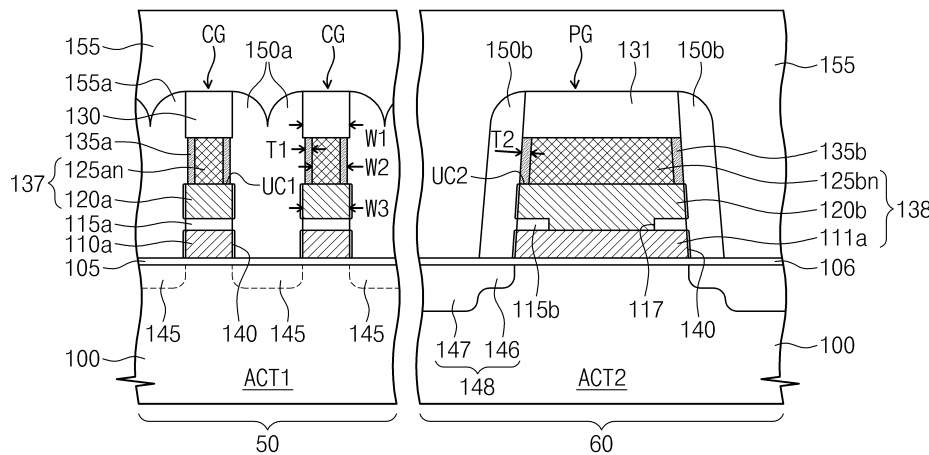
기억 장치(1210)는 다른 형태의 반도체 기억 소자(ex, 상변화 기억 소자, 자기 기억 소자, 디램 소자 및/또는 에스램 소자 등)를 더 포함할 수 있다. 상기 메모리 카드(1200)는 호스트(Host)와 상기 기억 장치(1210) 간의 데이터 교환을 제어하는 메모리 컨트롤러(1220)를 포함할 수 있다.

[0180] 상기 메모리 컨트롤러(1220)는 메모리 카드의 전반적인 동작을 제어하는 프로세싱 유닛(1222)을 포함할 수 있다. 또한, 상기 메모리 컨트롤러(1220)는 상기 프로세싱 유닛(1222)의 동작 메모리로서 사용되는 에스램(1221, SRAM)을 포함할 수 있다. 이에 더하여, 상기 메모리 컨트롤러(1220)는 호스트 인터페이스(1223), 메모리 인터페이스(1225)를 더 포함할 수 있다. 상기 호스트 인터페이스(1223)는 메모리 카드(1200)와 호스트(Host)간의 데이터 교환 프로토콜을 구비할 수 있다. 상기 메모리 인터페이스(1225)는 상기 메모리 컨트롤러(1220)와 상기 기억 장치(1210)를 접속시킬 수 있다. 더 나아가서, 상기 메모리 컨트롤러(1220)는 에러 정정 블록(1224, Ecc)를 더 포함할 수 있다. 상기 에러 정정 블록(1224)은 상기 기억 장치(1210)로부터 독출된 데이터의 에러를 검출 및 정정할 수 있다. 도시하지 않았지만, 상기 메모리 카드(1200)는 호스트(Host)와의 인터페이스를 위한 코드 데이터를 저장하는 롬 장치(ROM device)를 더 포함할 수도 있다. 상기 메모리 카드(1200)는 휴대용 데이터 저장 카드로 사용될 수 있다. 이와는 달리, 상기 메모리 카드(1200)는 컴퓨터시스템의 하드디스크를 대체할 수 있는 고상 디스크(SSD, Solid State Disk)로도 구현될 수 있다.

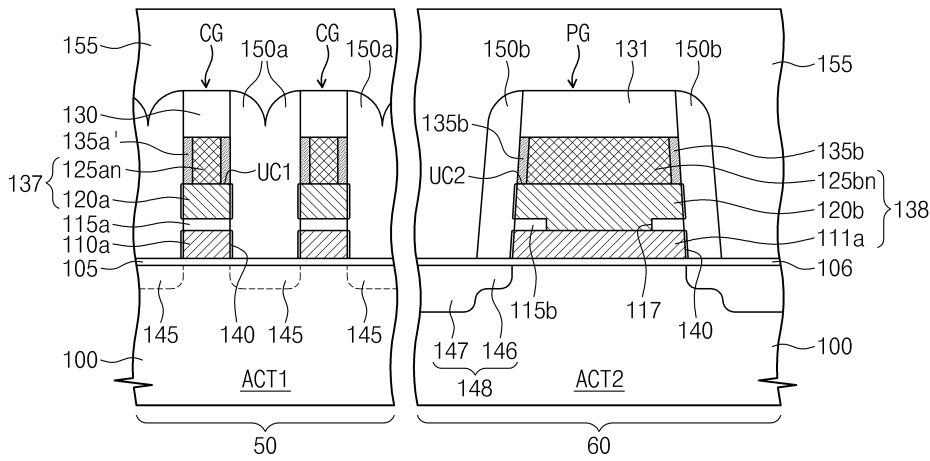
[0181] 이상, 첨부된 도면들을 참조하여 본 발명의 실시예들을 설명하였지만, 본 발명은 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수도 있다. 그러므로 이상에서 기술한 실시예들에는 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

**도면**

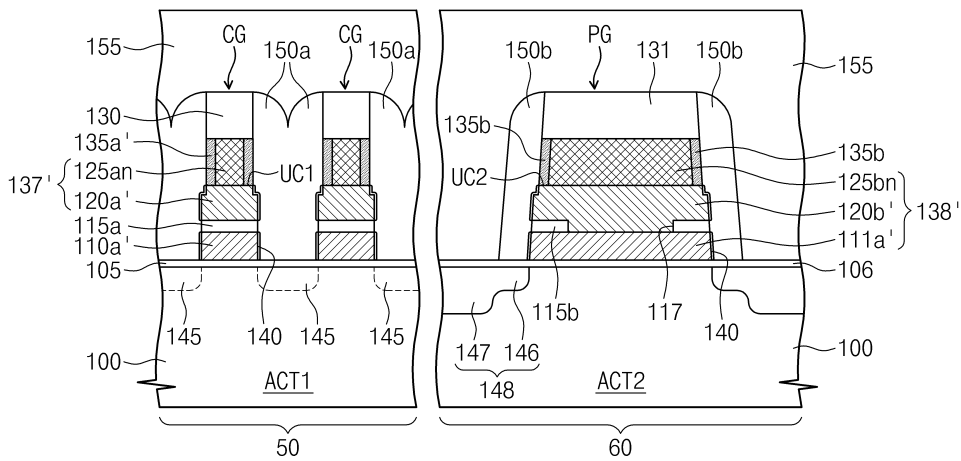
**도면1**



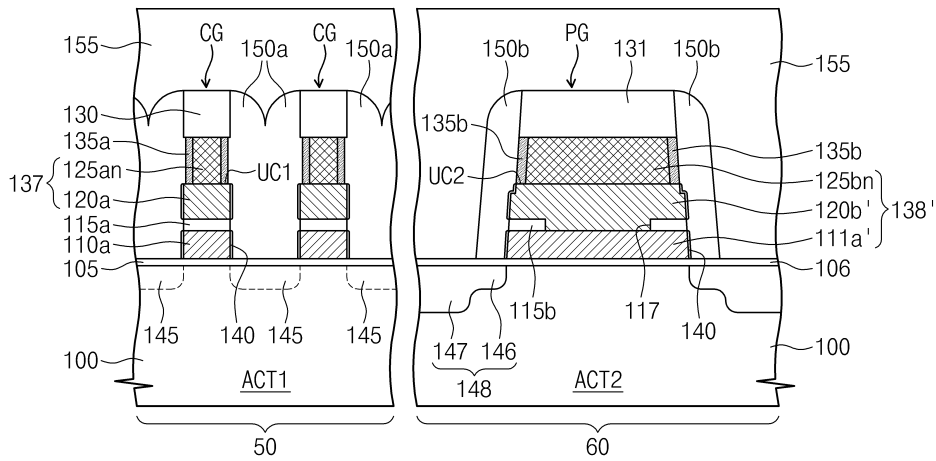
도면2



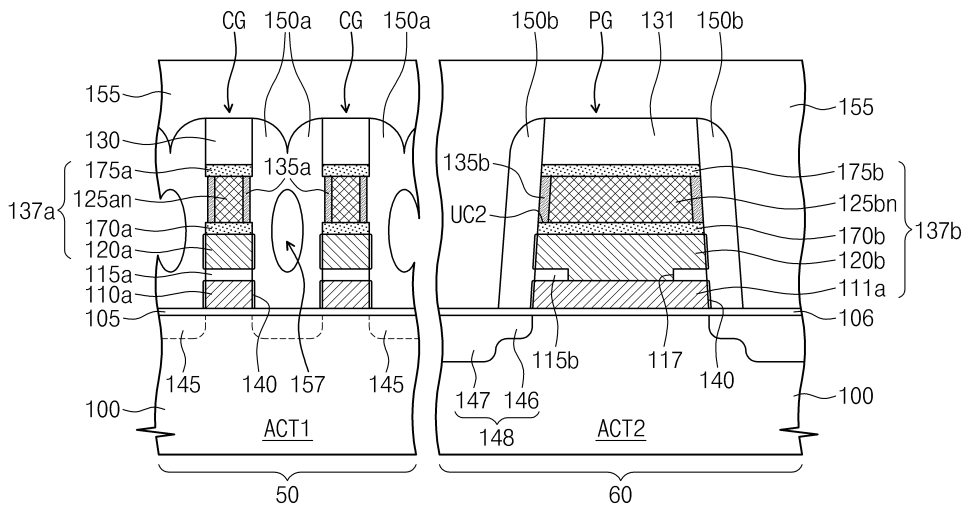
도면3



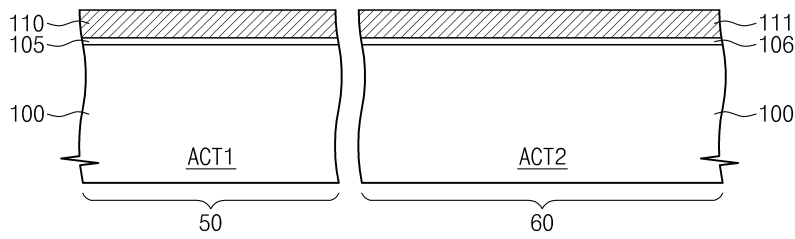
도면4



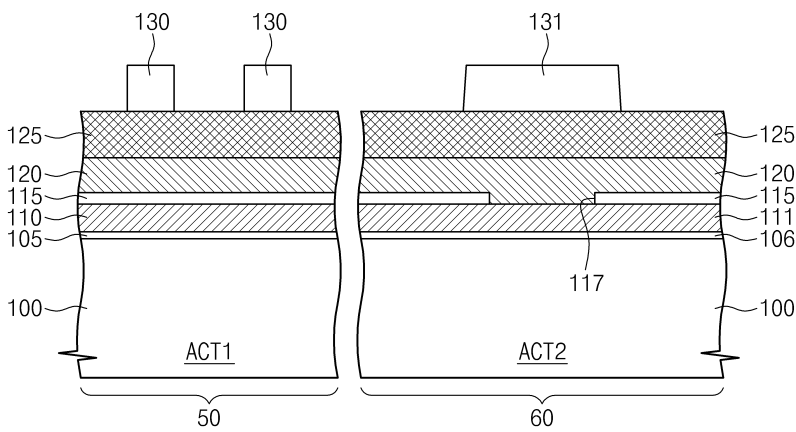
도면5



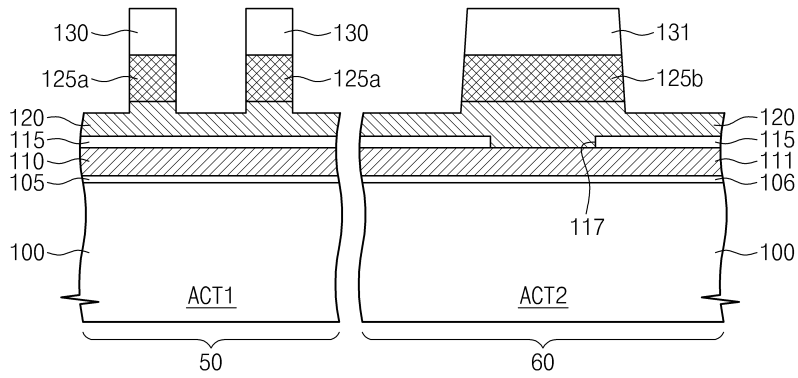
도면6a



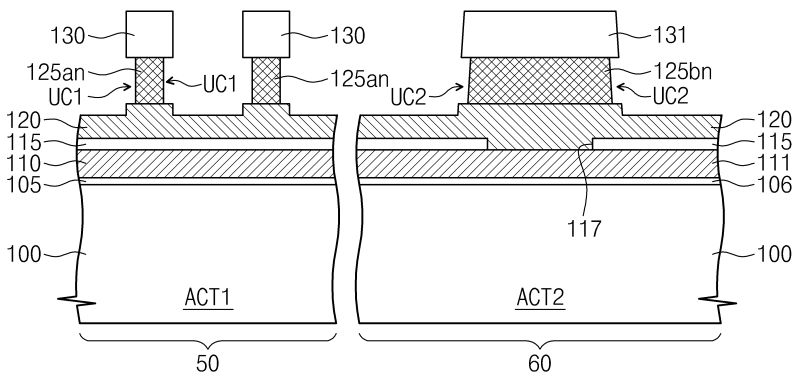
도면6b



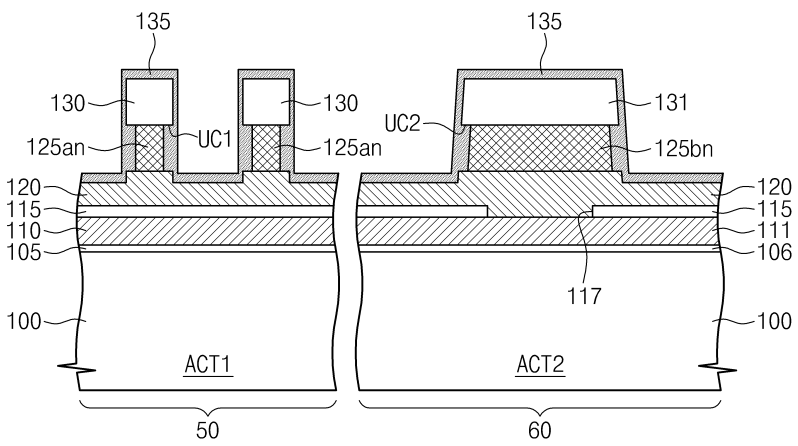
도면6c



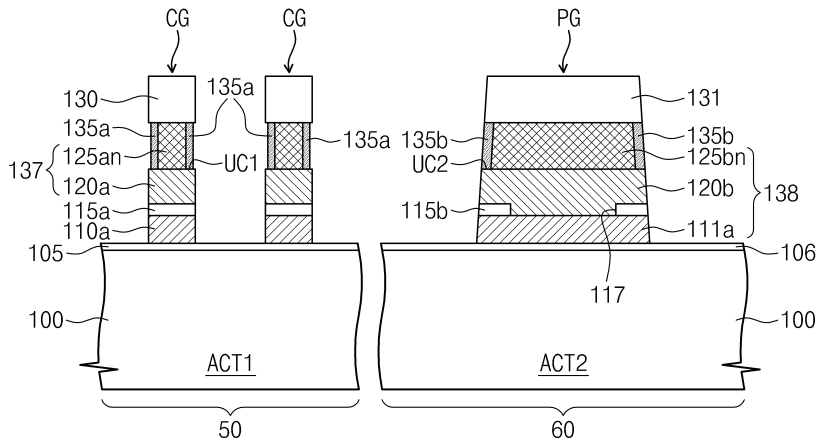
도면6d



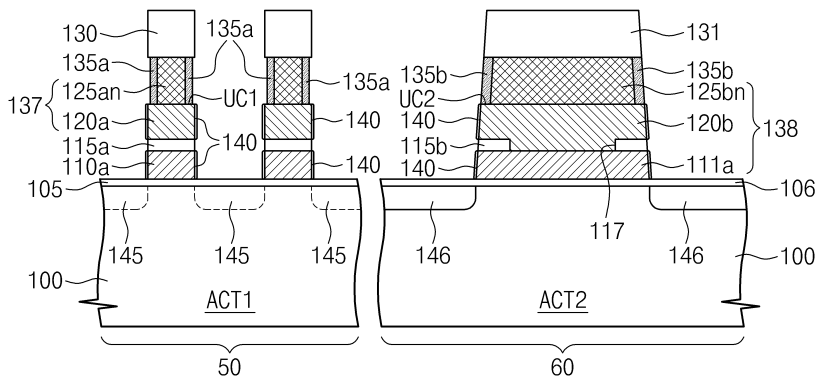
도면6e



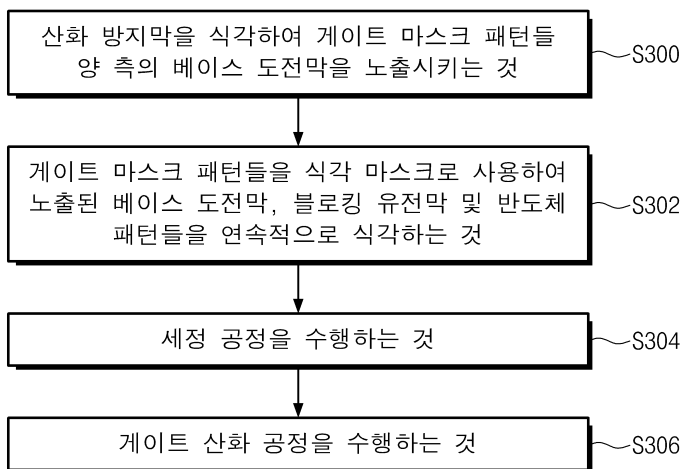
도면6f



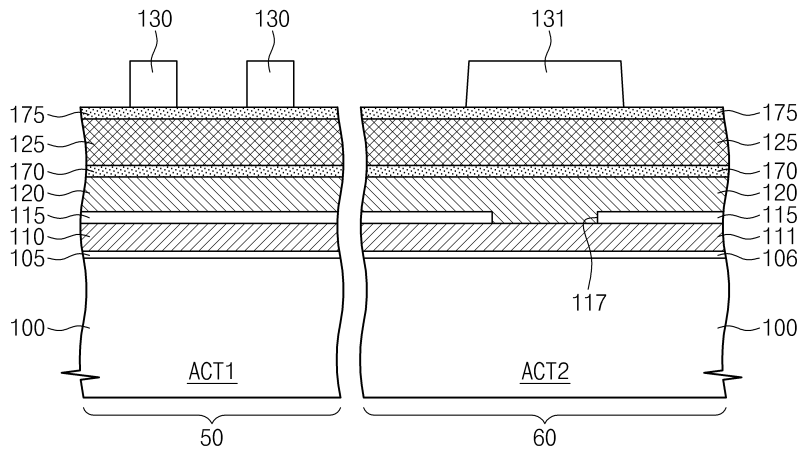
도면6g



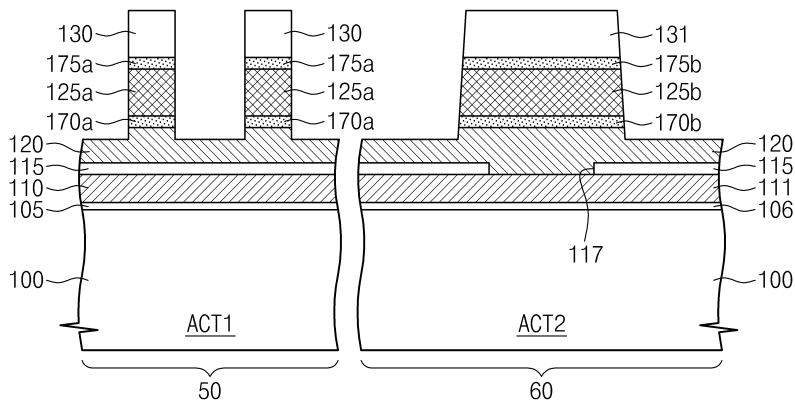
도면7



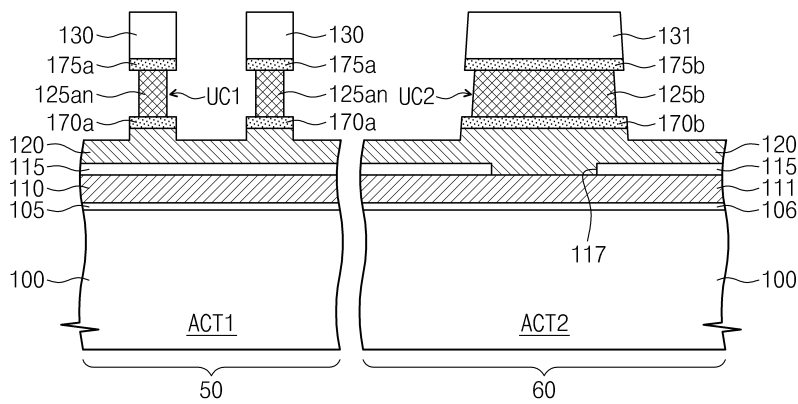
도면8a



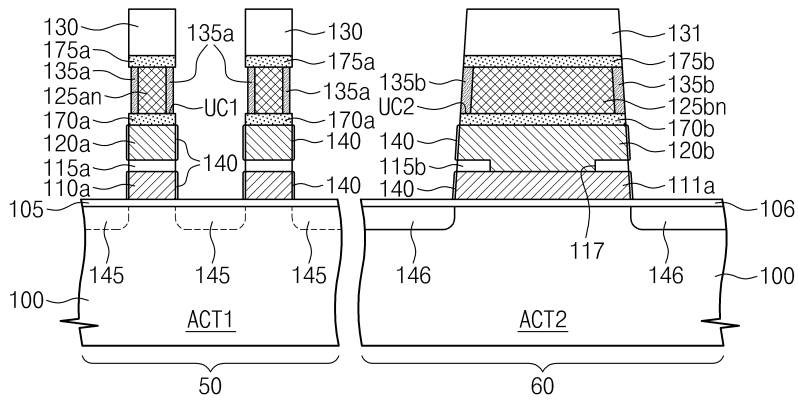
도면8b



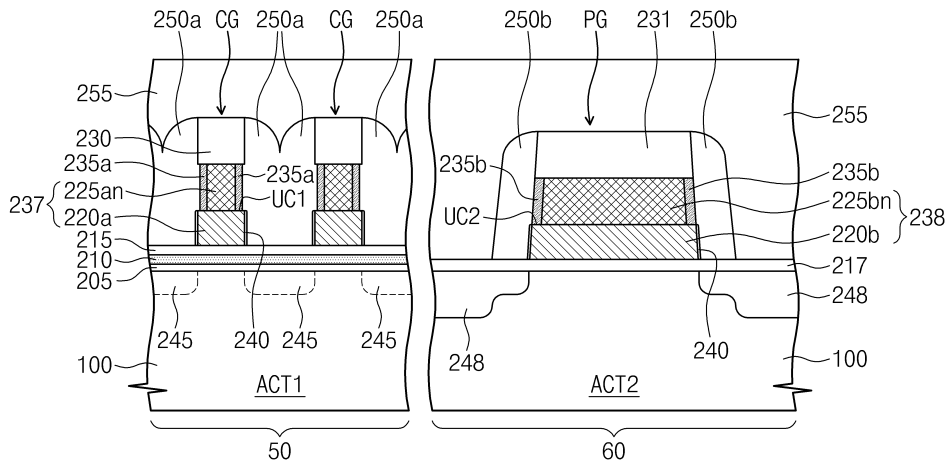
도면8c



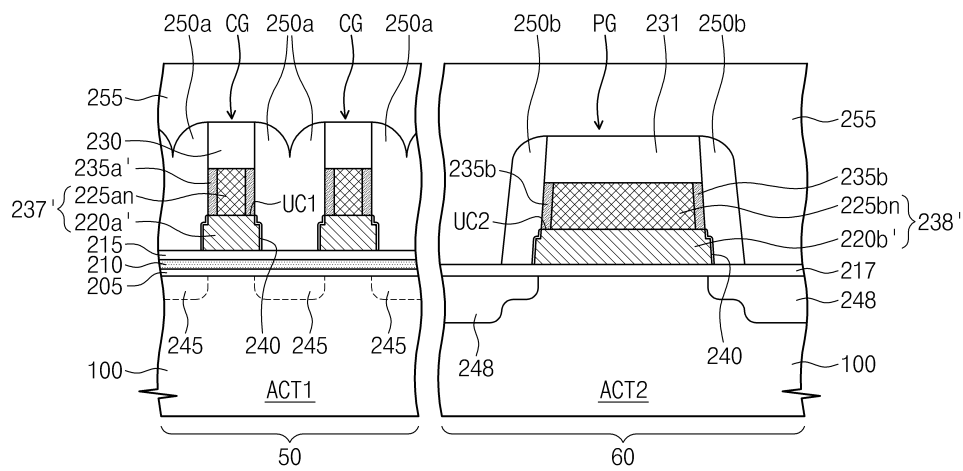
도면8d



도면9

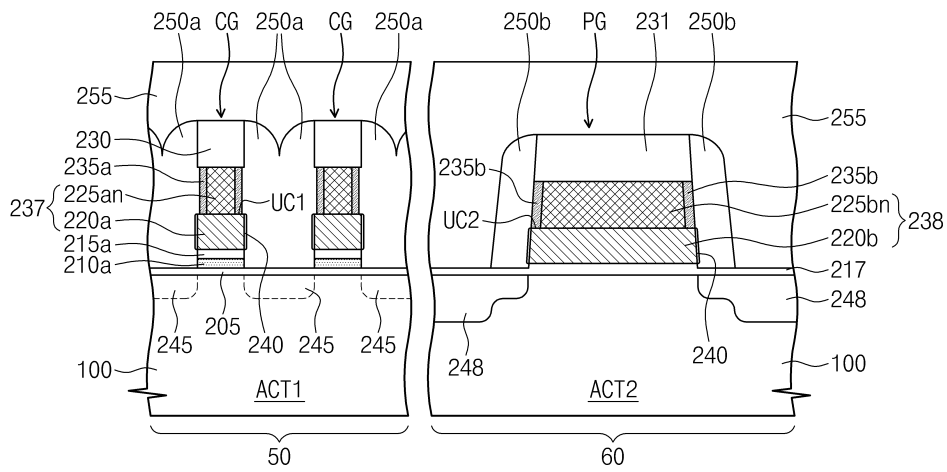


도면10

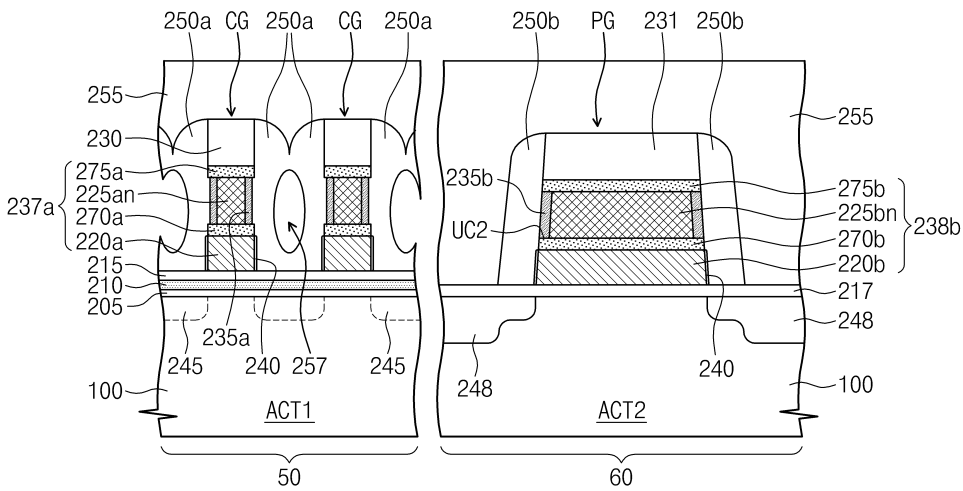




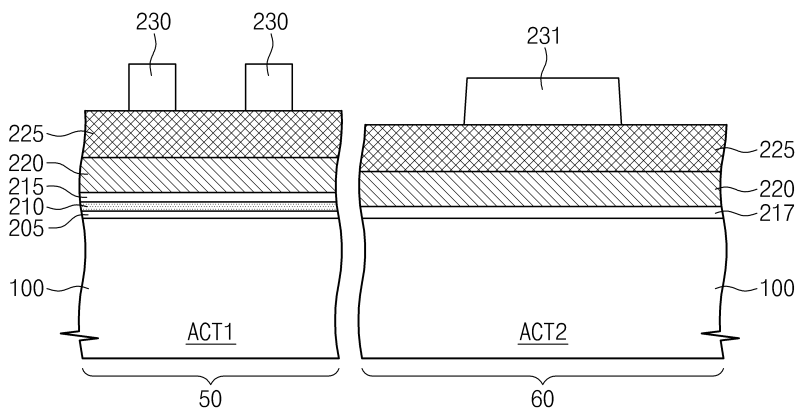
도면11



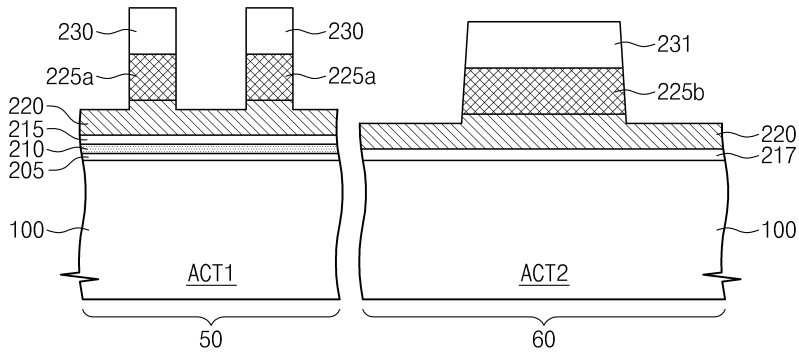
도면12



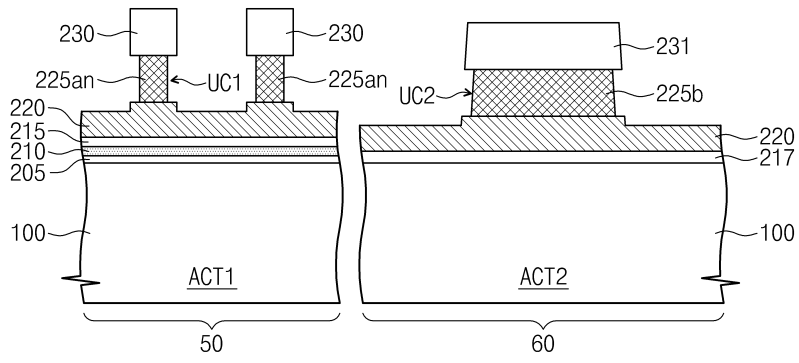
도면13a



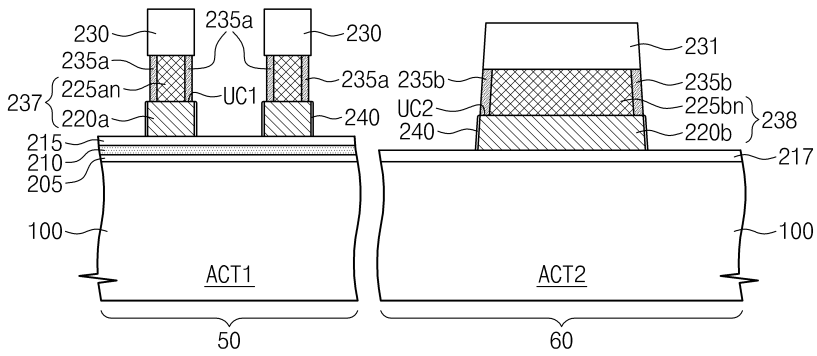
도면13b



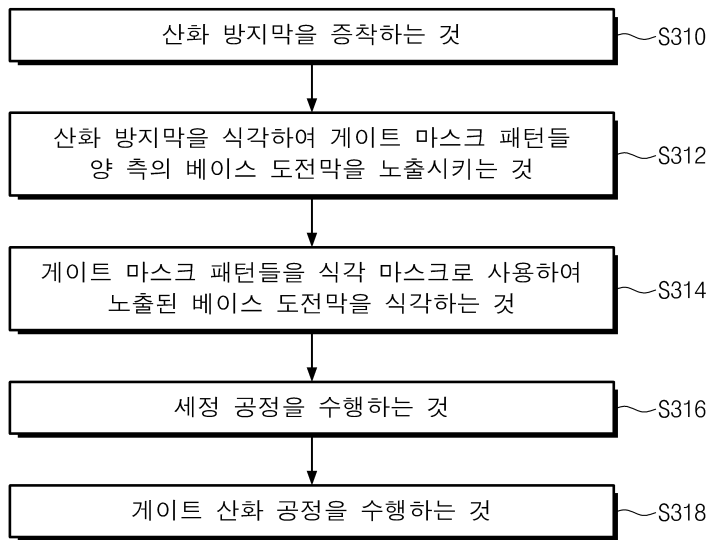
도면13c



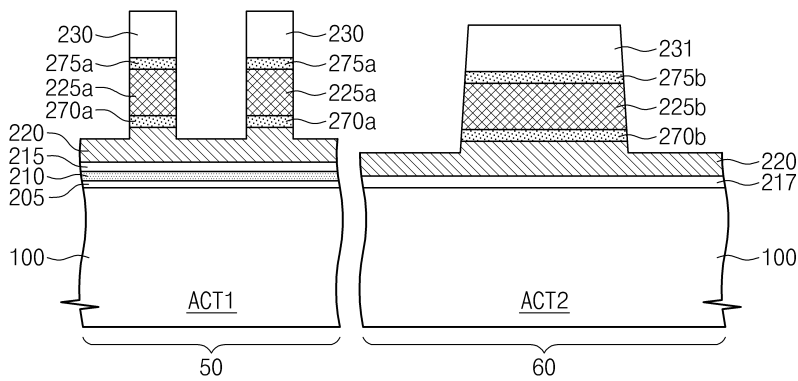
도면13d



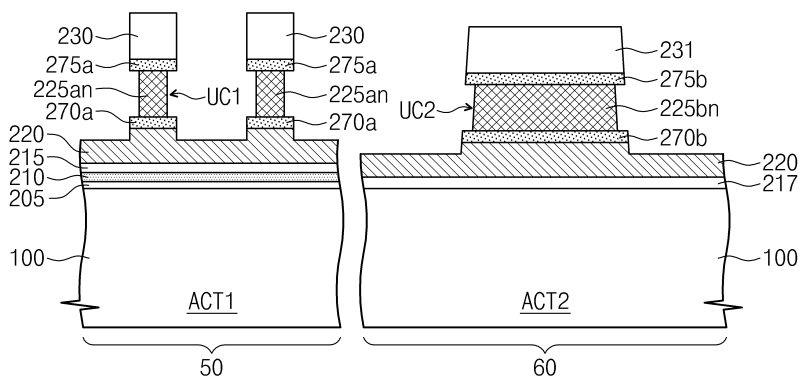
도면14



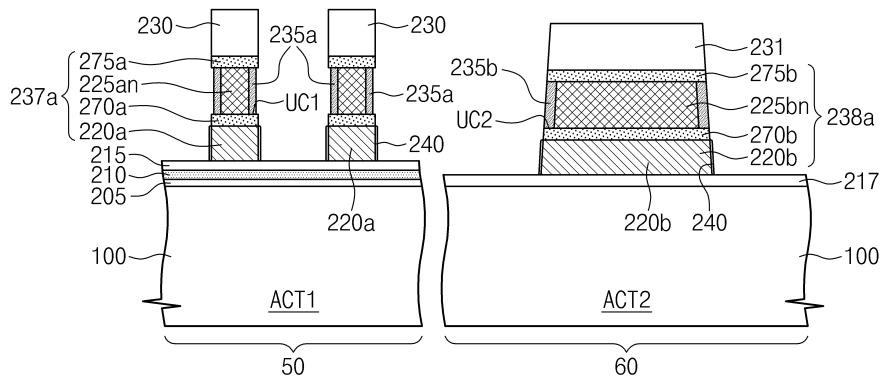
도면15a



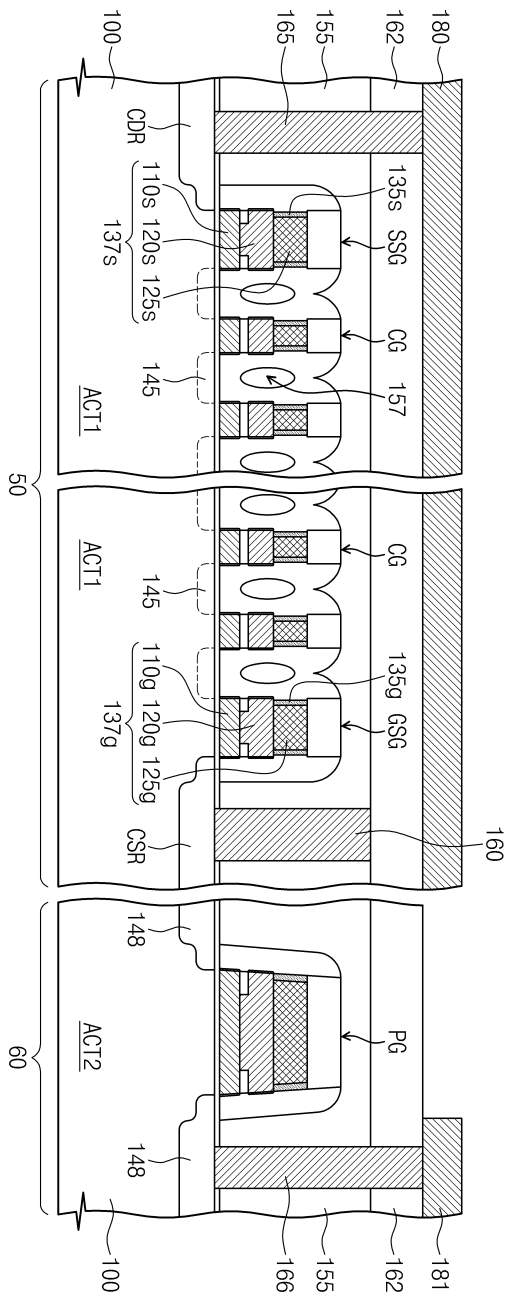
도면15b



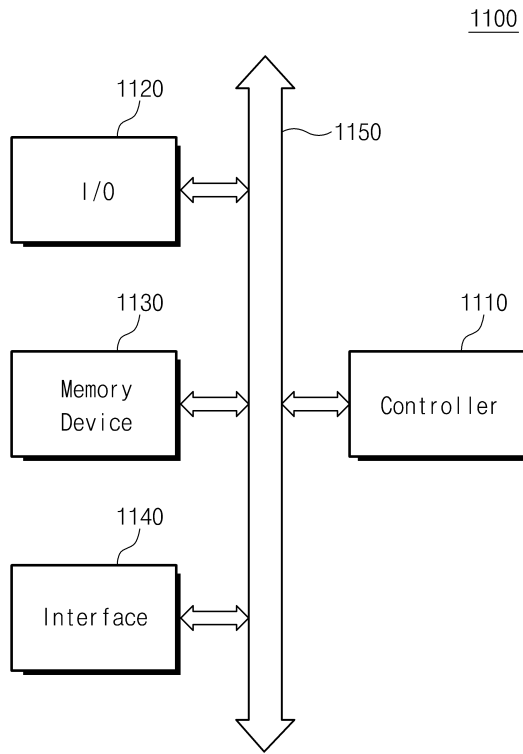
도면15c



도면16



도면17



도면18

