



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2007년10월17일
 (11) 등록번호 10-0767233
 (24) 등록일자 2007년10월09일

(51) Int. Cl.

H01L 29/786(2006.01)

(21) 출원번호 10-2002-7013880
 (22) 출원일자 2002년10월16일
 심사청구일자 2006년04월07일
 번역문제출일자 2002년10월16일
 (65) 공개번호 10-2002-0089479
 공개일자 2002년11월29일
 (86) 국제출원번호 PCT/US2001/012429
 국제출원일자 2001년04월17일
 (87) 국제공개번호 WO 2001/80287
 국제공개일자 2001년10월25일
 (30) 우선권주장
 60/197,731 2000년04월18일 미국(US)
 (56) 선행기술조사문헌
 KR 100211605 B
 (뒷면에 계속)

(73) 특허권자

이 잉크 코퍼레이션

미국 매사추세츠주 캠브리지 콩코드 애버뉴 733
 (우:02138)

(72) 발명자

데니스케빈엘

미국01915매사추세츠주베벌리팜즈웨스트스트리트
 리어36

천유

미국02138매사추세츠주캠브릿지트로우브릿지스트
 리트77아파트먼트23

(뒷면에 계속)

(74) 대리인

특허법인코리아나

전체 청구항 수 : 총 18 항

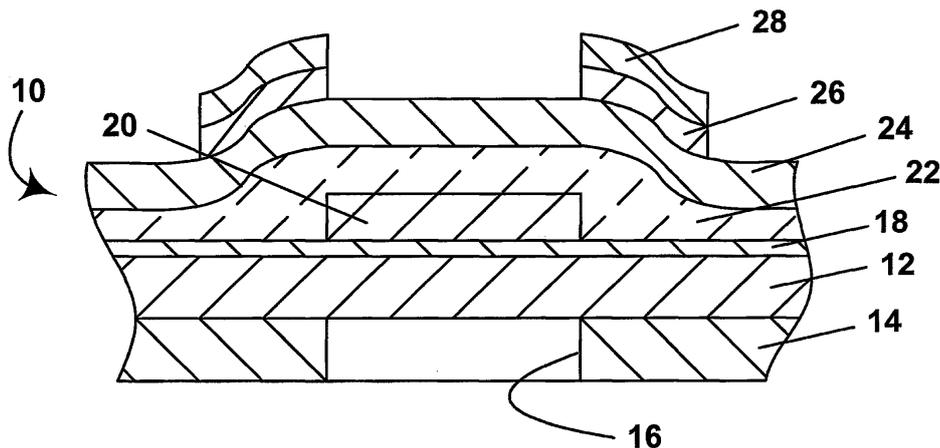
심사관 : 최광섭

(54) 박막 트랜지스터의 제조 공정 및 기관

(57) 요약

폴리페닐렌 폴리이미드를 포함하는 기관 상에 적어도 하나의 반도체 재료층을 증착함으로써 트랜지스터를 형성한다. 트랜지스터를 형성하기 위한 공정에서, 300℃를 초과하는 공정 온도에서 기관을 사용할 수 있으므로, 고품질 실리콘층의 형성이 가능해진다. 또한, 이 기관은 저 열팽창 계수를 갖게 되어, 실리콘과 거의 매칭되므로, 실리콘층의 균열 또는 박리과 같은 경향이 감소될 수 있다.

대표도 - 도1



(72) 발명자

드라자익폴에스

미국02421매사추세츠주렉싱턴패독레인2

제이콥슨조셉엠

미국02159매사추세츠주뉴턴센터그랜트애브뉴223

카즈라스피터티

미국01776매사추세츠주서드베리더튼로드405

(56) 선행기술조사문헌

JP 11001614 A

JP 01303413 A

(81) 지정국

국내특허 : 아랍에미리트, 안티구와바부다, 알바니아, 아르메니아, 오스트리아, 오스트레일리아, 아제르바이잔, 보스니아 헤르체고비나, 바베이도스, 불가리아, 브라질, 벨라루스, 벨리제, 캐나다, 스위스, 중국, 코스타리카, 쿠바, 체코, 독일, 덴마크, 도미니카, 알제리, 에스토니아, 스페인, 핀란드, 영국, 그라나다, 그루지야, 가나, 감비아, 크로아티아, 헝가리, 인도네시아, 이스라엘, 인도, 아이슬란드, 일본, 케냐, 키르기스스탄, 북한, 대한민국, 카자흐스탄, 세인트루시아, 스리랑카, 리베리아, 레소토, 리투아니아, 룩셈부르크, 라트비아, 모로코, 몰도바, 마다가스카르, 마케도니아공화국, 몽고, 말라위, 멕시코, 모잠비크, 노르웨이, 뉴질랜드, 폴란드, 포르투갈, 루마니아, 러시아, 수단, 스웨덴, 싱가포르, 슬로베니아, 슬로바키아, 시에라리온, 타지키스탄, 투르크멘, 터어키, 트리니다드토바고, 탄자니아, 우크라이나, 우간다, 미국, 우즈베키스탄, 베트남, 세르비아 앤 몬테네그로, 남아프리카, 짐바브웨

AP ARIPO특허 : 가나, 감비아, 케냐, 레소토, 말라위, 모잠비크, 수단, 시에라리온, 스와질랜드, 탄자니아, 우간다, 짐바브웨

EA 유라시아특허 : 아르메니아, 아제르바이잔, 벨라루스, 키르기스스탄, 카자흐스탄, 몰도바, 러시아, 타지키스탄, 투르크멘

EP 유럽특허 : 오스트리아, 벨기에, 스위스, 사이프러스, 독일, 덴마크, 스페인, 핀란드, 프랑스, 영국, 그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투갈, 스웨덴, 터어키

OA OAPI특허 : 부르키나파소, 베닌, 중앙아프리카, 콩고, 코트디부아르, 카메룬, 가봉, 기니, 말리, 모리타니, 니제르, 세네갈, 차드, 토고, 기니 비사우

특허청구의 범위

청구항 1

기판 (12) 상에 하나 이상의 트랜지스터 (10) 를 형성하기 위한 제조 방법으로서,

상기 기판 (12) 상에 하나 이상의 반도체 재료 (24, 26) 의 층을 증착하는 단계를 포함하고, 상기 기판 (12) 은 폴리페닐렌 폴리이미드를 포함하는 것을 특징으로 하는 제조 방법.

청구항 2

제 1 항에 있어서,

상기 폴리페닐렌 폴리이미드는 비페닐-3,3',4,4'-테트라카르복실산의 유도체인 것을 특징으로 하는 제조 방법.

청구항 3

제 2 항에 있어서,

상기 폴리이미드는 비페닐-3,3',4,4'-테트라카르복실산 및 α, ω -알칸디아민의 유도체인 것을 특징으로 하는 제조 방법.

청구항 4

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 반도체 재료 (24, 26) 를 증착하기 전에, 상기 기판 (12) 의 일 표면 또는 양 표면에 패시베이션층 (18) 을 증착하는 것을 특징으로 하는 제조 방법.

청구항 5

제 4 항에 있어서,

상기 패시베이션층 (18) 은 실리콘 디옥사이드 또는 알루미늄 니트라이드를 포함하는 것을 특징으로 하는 제조 방법.

청구항 6

제 4 항에 있어서,

상기 패시베이션층 (18) 을 증착하기 전에, 150℃를 초과하는 온도에서 1분 이상 동안 상기 기판 (12) 을 가열하는 것을 특징으로 하는 제조 방법.

청구항 7

제 4 항에 있어서,

상기 패시베이션층 (18) 을 증착한 후, 250℃를 초과하는 온도에서 5시간 이상 동안 상기 기판 (12) 을 가열하는 것을 특징으로 하는 제조 방법.

청구항 8

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 반도체 재료 (24, 26) 를 증착하기 전에, 250℃를 초과하는 온도에서 1시간 이상 동안 상기 기판 (12) 을 가열하는 것을 특징으로 하는 제조 방법.

청구항 9

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 기판 (12) 은 상기 반도체 재료 (24, 26) 로부터 이격된 면에 금속층 (14) 을 구비하는 것을 특징으로 하는 제조 방법.

청구항 10

제 9 항에 있어서,
 상기 금속층 (14) 은 관통하여 연장되는 개구부 (16) 를 갖는 것을 특징으로 하는 제조 방법.

청구항 11

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,
 상기 반도체 재료 (24) 의 증착은 300℃를 초과하는 온도에서 실시되는 것을 특징으로 하는 제조 방법.

청구항 12

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,
 상기 반도체 재료 (24) 는 비정질 실리콘을 포함하는 것을 특징으로 하는 제조 방법.

청구항 13

제 12 항에 있어서,
 상기 기판 (12) 상에 두 개 이상의 트랜지스터 (10) 가 형성되고,
 상기 비정질 실리콘은, 적어도 몇몇의 근접하는 트랜지스터 쌍 사이에 연속적으로 연장되도록, 패터닝되지 않는 것을 특징으로 하는 제조 방법.

청구항 14

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,
 상기 반도체 재료 (24, 26) 의 증착은 상기 기판 (12) 의 연속적인 웹 상에서 실시되는 것을 특징으로 하는 제조 방법.

청구항 15

폴리페닐렌 폴리이미드를 포함하고,
 하나 이상의 트랜지스터 (10) 를 갖는 것을 특징으로 하는 기판 (12).

청구항 16

제 15 항에 있어서,
 상기 폴리페닐렌 폴리이미드는 비페닐-3,3',4,4'-테트라카르복실산의 유도체인 것을 특징으로 하는 기판.

청구항 17

제 16 항에 있어서,
 상기 폴리페닐렌 폴리이미드는 비페닐-3,3',4,4'-테트라카르복실산 및 α, ω -알칸디아민의 유도체인 것을 특징으로 하는 기판.

청구항 18

제 4 항에 있어서,
 상기 패시베이션층 (18) 은 20 내지 100nm 범위의 두께를 갖는 것을 특징으로 하는 제조 방법.

명세서

기술분야

<1> 본 발명은 박막 트랜지스터의 제조 공정에 관한 것이다.

배경 기술

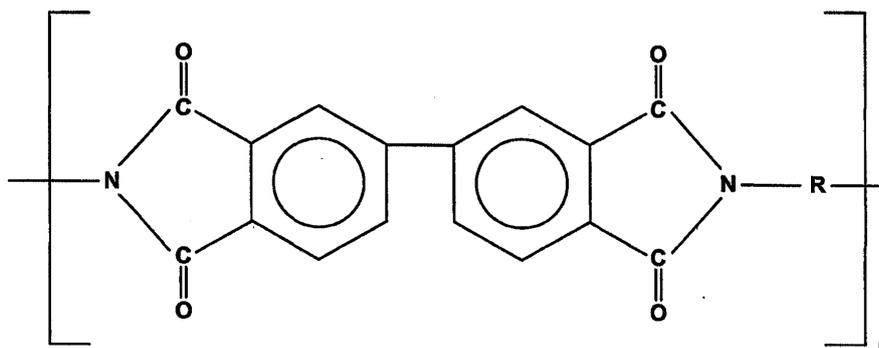
- <2> 박막 트랜지스터 (TFT's) 는 다양한 유형의 디스플레이를 제어하는데 유용한 것으로 알려져 있으며, 예를 들면, 통상, TFT's는 휴대용 컴퓨터 및 그와 유사한 전자 장치에 사용되는 액정 디스플레이를 제어하기 위해 사용된다. 또한, TFT's는 전기 영동 (electrophoretic) 디스플레이를 제어하기 위해 사용될 수 있는데, 예를 들면, WO-A-00/67327, WO-A-01/08241, WO-A-01/17029, WO-A-01/17040, 및 WO-A-01/17041에 개시되어 있다. 본 명세서에서 이들 모든 출원에 개시된 바는 참조로 포함된다.
- <3> 대부분의 TFT's는 경질 기판 상에 제조되어 왔지만, 가요성 기판, 특히, 가요성 폴리머릭 (polymeric) 막 상에 TFT's를 제조하는 것에 대한 관심이 증가되고 있다. 이와 같은 가요성 기판 상에 제조된 TFT's는, 아직 경량화가 어려운 대화면 디스플레이의 토대가 된다. 비정질 실리콘 반도체 기반 TFT's는, 최소의 공정 단계로 낮게 발열되도록 제조되므로, 이와 같은 가요성 기판 상에 사용되는 것이 바람직하다. 비정질 실리콘 트랜지스터는 초박형 스테인레스 스틸 기판 (예를 들면, 1999년, Applied Physics Letters, Ma et al., 74(18), 2661) 및 폴리이미드막 (1999년, IEEE Electronic Device Letter, Gleskova et al., 20(9), 473) 상에 제조된다.
- <4> 그러나, 후자의 논문에 기재된 공정에 사용된 폴리이미드는, "Kapton (등록 상표)"의 제품으로 판매되고 있으며, 오직 약 300°C의 유리 천이 온도를 가지므로, 제조 공정 시 사용할 수 있는 온도를 제한하고, 만족스럽지 못한 비정질 실리콘 반도체층을 초래한다. 또한, 이 폴리이미드는 고 흡습성 (중량당 약 4%) 을 갖고 있으므로, 이와 같은 고 흡습성은 기판의 팽창, 기판에 증착된 박막층의 균열, 또는, 기판으로부터의 박막의 박리 (delaminate) 를 초래 할 수 있다. 스테인레스 스틸 기판은 300°C를 초과하는 높은 공정 온도에 견딜 수 있지만, 이러한 기판은, 기판 위에 트랜지스터를 제조하기 이전에, 패시베이션 및 평탄화 단계를 모두 필요로 한다. 패시베이션은, 기판상에 형성될 인접하는 금속 전도체들 간의 전기적 절연을 적절하게 보장하고, 스테인레스 스틸 내의 포텐셜 불순물이 트랜지스터로 확산되지 않도록 보장하는 것을 필요로 한다. 그러나, 스테인레스 스틸 기판은 높은 치수 안정성과 제조 환경에서의 취급 용이성의 이점을 갖는다.
- <5> 현재, 특정 유형의 폴리이미드가 TFT's의 제조 시 기판으로 사용되기에 매우 적합한 특성을 갖는 것으로 발견되어 있다. 이들 폴리이미드 기판은 금속 백 층 (metal backing layer) 의 유무에 관계없이 사용될 수 있다.

발명의 상세한 설명

- <6> 따라서, 본 발명은, 기판 상에 하나 이상의 반도체 재료층을 증착하여, 기판 상에 하나 이상의 트랜지스터를 형성하는 공정을 제공한다. 본 공정에서, 기판은 폴리페닐렌 폴리이미드를 포함한다. 특히, 이 공정은 비정질 실리콘 트랜지스터의 형성에 적합하며, 물론, 이 경우의 반도체 재료는 비정질 실리콘이다.
- <7> 또한, 본 발명은 폴리페닐렌 폴리이미드를 포함하는 기판 상에 형성된 트랜지스터를 제공하며, 그 기판은 하나 이상의 트랜지스터를 갖는다.

실시 예

- <9> 본 발명에서 사용하기에 바람직한 폴리페닐렌 폴리이미드는, 미국, 뉴욕주-10022의, 55 동부 59번가, 18층에 소재하는 UBE America, Inc.에서 제조된, 제품명 Upilex-S 및 Upilex-VT로 판매된다. 이와 같은 두 가지 재료는 제조업체에 의해 다음의 화학식의 상태로 되어 있다.



<10>

- <11> 여기서, R은 알킬렌 (alkylene) 그룹이다. 이러한 폴리이미드는 비페닐-3,3',4,4'-테트라카르복실산과 α , ω -알칸디아민, 예를 들면, 1,6-헥사메틸렌 디아민 (정식으로는, 헥산-1,6-디아민) 의 유도체이다. 2 가지 재료 간의 주된 차이점은 Upilex-S가 단순한 폴리이미드막인 반면, Upilex-VT는 접착제 없이도 세라믹 또는 금속 박막 (metal foil) 에의 막의 열 적층 (hot lamination) 이 용이하도록 한 면을 표면 처리한다는 것이다. 본 발명의 목적을 위해, 스테인레스 스틸 백 막에 Upilex-VT를 적층할 수 있다. 본 발명에 사용되는 다른 바람직한 폴리이미드는, 동일한 제조업체의 Upilex-50SS이다.
- <12> 폴리페닐렌 폴리이미드는, 이미 트랜지스터 기판으로 사용되었던 다른 폴리이미드보다 현저하게 높은 유리 천이 온도와 현저하게 낮은 흡습성을 갖는다. 이미 언급된 시판 중인 Upilex 재료는 400°C를 초과하는 유리 천이 온도와 약 1.4% 이하의 흡습성을 갖는다. 이러한 높은 유리 천이 온도에 의해, 트랜지스터 기판으로 이전에 사용하였던 폴리이미드에 의해 가능한 온도보다 높은 온도 (약 300°C 초과, 바람직하게는, 약 400°C 초과) 를 제조 공정에 적용할 수 있어, 이와 같은 높은 공정 온도는 높은 이동도 (mobility) 와 낮은 오프-상태의 전류 리크 (off-state current leakage) 를 갖는 고품질 실리콘층을 형성하도록 한다. 또한, 폴리페닐렌 폴리이미드는, 박막 트랜지스터의 형성 시 사용되는 재료의 박막 증착에 중요한, 높은 치수 안정성 및 매끄러운 표면의 이점을 갖는다. 예를 들면, 전술한 Upilex-50SS는 약 0.01%의 치수 안정성 및 약 20 내지 30nm의 평균 표면 거칠기를 갖는다. 폴리페닐렌 폴리이미드의 다른 이점은, 이미 사용된 폴리이미드의 $35 \times 10^{-6} \text{ } ^\circ\text{C}^{-1}$ 에 대비하여 통상 약 $2-10 \times 10^{-6} \text{ } ^\circ\text{C}^{-1}$ 인 저 열팽창 계수를 갖는 데 있다. 실리콘은 약 $3 \times 10^{-6} \text{ } ^\circ\text{C}^{-1}$ 의 열팽창 계수를 가지므로, 폴리페닐렌 폴리이미드 기판의 계수는 기판상에 증착된 실리콘층과 매우 비슷하게 매치 (match) 되어, 실리콘층의 균열 및/또는 박리가 보다 적게 발생할 수 있다.
- <13> 전술한 폴리페닐렌 폴리이미드 기판의 특징은, 반도체 재료의 증착이 폴리이미드 기판의 연속적인 웹에도 실시하기 때문에, 현재 공정의 사용을 롤-투-롤 (roll-to-roll) 공정용으로 최적화하는 데 있다.
- <14> 이미 언급한 바와 같이, 본 공정에 사용된 폴리페닐렌 폴리이미드 기판에는, 반도체 재료를 증착할 면과 대향하는 표면에 금속 백 층을 구비하거나, 구비하지 않을 수 있다. 이와 같은 금속 백 층은, 트랜지스터의 제조 공정 시, 막의 기계적인 통합성 (integrity) 을 향상시키는데, 예를 들면, 핸들링 시 폴리이미드막의 스트레치 (stretch), 뒤틀림 (distorting) 을 피하도록 하여, 트랜지스터를 기판상에 형성하는 동안 기판의 뒤틀림을 감소시킨다. 또한, 금속 백 층은 광 배리어 (light barrier) 로서 작용하여, 폴리이미드막의 배면으로의 광 입사에 의한 반도체 재료 내의 바람직하지 않은 광-효과 (photo-effect; 예를 들면, 비정질 실리콘막 내의 광 생성 전류 (photogenerated current)) 를 감소시킨다. 금속 백 층은 연속적인 필요가 없으며, 경직성 (stiffness) 을 감소시켜 금속 백 기판에 가요성을 부여하기 위해, 백층을 관통하여 연장되는 개구부 (aperture) 를 가질 수도 있다. 이와 같은 개구부를 규칙적인 패턴으로 형성하는 것이 바람직하며, 따라서, 몇몇 또는 모든 개구부를 제조 공정에 사용되는 장치와 기판과의 기계적인 레지스트레이션 (registration) 용으로 사용할 수 있다. 또한, 몇몇 경우, 기판 상에 트랜지스터를 형성할 때, 패턴화 단계에서 포토레지스트의 노출을 위한 웨도우 패턴으로서 패턴화된 금속 백 층을 사용할 수도 있다. 다른 방법으로, 폴리이미드 자체에 염료를 혼합하여, 바람직하지 않은 광-효과 등을 방지하거나 제거하는 것도 바람직하다.
- <15> 특정의 종래 기술의 공정에서와 같이, 기판 상에 트랜지스터를 증착하기 전에, 실리카 (silica), 알루미늄 니트라이드 (aluminium nitride) 또는 다른 재료의 패시베이션층 (passivation layer) 을 기판 상에 증착하는 것도 바람직하다. 통상, 이와 같은 패시베이션층은 약 20 내지 100nm의 범위내의 두께를 갖게 된다. 패시베이션은 폴리이미드 표면의 표면 저항을 증가시켜 근접하는 전도체들 간의 전기적 절연을 증가시킬 뿐 아니라, 공정 동안 기판이 수분을 흡수하는 것을 방지함으로써 기판의 치수 안정성을 증가시키는데 유용하며, 후자의 목적을 위해서는, 기판의 양 표면에 패시베이션층을 형성하는 것이 바람직하다. 또한, 패시베이션층을 증착하기 전, 기판을 열처리 (베이킹;baking) 하여, 기판으로부터 수분을 제거하는 것이 바람직하며, 통상, 이와 같은 베이킹은 적어도 약 150°C의 온도에서, 적어도 약 1분 동안, 바람직하게는, 약 3 분 동안, 실시한다.
- <16> 또한, 패시베이션된 기판을 포스트-베이킹 (post-bake) 하는 것도 바람직하다. Philips Research Laboratories의 "AMLCDs and Electronics on Polymer Substrates" (Euro Display 1996) 논문에 따르면, 폴리이미드막 자체의 수축률은, 275°C에서 10시간 동안 가열하면 2배 감소될 수 있고, 동일한 온도에서 100시간 동안 가열하면, 2.4배 감소될 수 있다. 이 논문에 기재된 일 구체적인 실험에서는, 275°C에서 100시간 베이킹하면, 폴리이미드막 (제품명은 명시하지 않음) 은 3ppmhr^{-1} 수축되는 것으로 기재되어 있다. 따라서, 이와 같은 패시베이션된 기판의 포스트-베이킹이 바람직하다면, 적어도 250°C의 온도에서 적어도 5시간 동안 실시되

어야 한다. 이 결과가 텐션된 물의 형상으로 기판에 적용하는지의 여부는 실험적으로 결정되지 않았으며, 또한, 각 공정에서 기판상의 트랜지스터의 형성을 위해 필요한 바에 따라, 프리-베이킹 (pre-baking) 된 기판이, 냉각, 언롤, 트랜지스터를 형성하기 위해 필요한 공정으로 노출되거나 텐션된 상태에서 리-롤, 및 며칠 후 재-가열된 후에도, 이 수축 감소율이 여전히 작용할지의 여부는 실험적으로 결정된 것은 아니다. 다른 방법으로, 트랜지스터를 형성하기 위해 필요한 층을 증착하기 직전에, 기판을 컨베이어 오븐 (convayer oven) 에서 프리-베이킹할 수도 있다.

<17> 그러나, 폴리페닐렌 폴리이미드의 표면 전기 저항은, 대부분의 경우, 이와 같은 패시베이션층이 없이 근접하는 전도체들 간에 적합한 전기 절연을 획득할 수 있도록 매우 높다 (통상, $>10^{16} \Omega$). 만약, 패시베이션층이 없다면, 트랜지스터 형성 시, 폴리이미드로 흡수되는 수분 및 휘발성 재료를 방지하고 폴리이미드의 치수 안정성을 증가시키기 위해, 반도체 층의 증착 이전에 기판을 베이킹하는 것이 바람직하다. 이와 같은 베이킹은 250°C를 초과하는 온도에서 적어도 1시간 동안 실시하는 것이 바람직하다. 바람직한 일 실시예에서는, 유리 천이 온도와 비슷한 350°C에서 4시간 동안 기판을 가열한다.

<18> 후술할 본 발명의 바람직한 실시예에서는, 게이트 전극이 기판에 근접하는, 반전된 트랜지스터 디자인을 이용한다. 이와 같은 반전된 트랜지스터를 형성하기 위한 첫 번째 단계 (이미 언급된 방법으로 기판을 패시베이션 및/또는 프리-베이킹한 후) 는 금속층의 기판으로의 증착이다. 본 목적을 위해 바람직한 금속은, 크롬이다. 형성할 게이트 전극 및 형성할 트랜지스터 어레이의 선택 라인을 형성하기 위해, 반도체 재료를 증착하기 전에, 크롬 또는 다른 금속을 연속적으로, 통상 50 내지 200nm의 두께를 갖도록 증착한 후, 통상의 포토리소그래피 기술로 금속막을 패터닝하는 것이 바람직하다. 공정의 다음 단계는, 실리콘 니트라이드와 같은 유전 재료층의 증착이며, 이 증착은, 플라즈마 화학 기상 증착 (plasma enhanced chemical vapor deposition) 에 의해 간편하게 실시할 수 있다. 그 후, 반도체 재료, 바람직하게는, 비정질 실리콘을 플라즈마 화학 기상 증착에 의해 다시 적당하게 증착한다. 전술한 WO-A-00/67327에 설명된 바와 같이, 비정질 실리콘층 (및 조합된 유전체층) 을 패터닝하지 않고 적절한 디자인으로 형성되도록 남겨져서, 근접하는 쌍의 트랜지스터 사이에 비정질 실리콘층을 연속적으로 연장한다. 다음으로, 플라즈마 화학 기상 증착에 의해, 비정질 실리콘 상에 n-형 실리콘층을 다시 적당하게 증착한다. 마지막으로, 화학 기상 증착 공정으로부터의 잔여물을 제거하기 위한 세정 단계를 거친 후, 통상의 열 증착법에 의해 알루미늄층과 같은 금속층을 n-형 실리콘층에 적절하게 증착한다. 다음으로, 통상의 포토리소그래피 기술에 의해 금속층을 패터닝하여 소오스와 드레인 전극을 형성하고, n-형 실리콘층의 반응성 이온 식각을 위한 식각 마스크로서 패터닝된 금속층을 사용하여, 탄소 테트라플루오라이드/산소 혼합물로 식각하는 것이 바람직하였다.

<19> 이하, 본 발명의 바람직한 실시예를 첨부된 도면을 예로서 참조하여 보다 상세하게 설명하며, 도면은 본 발명의 공정에 의해 폴리페닐렌 폴리이미드 기판에 형성된 단일 트랜지스터의 개략적인 단면을 나타낸다.

<20> 첨부된 도면은 폴리페닐렌 폴리이미드 기판 (12) 에 형성된 트랜지스터 어레이의 단일 트랜지스터를 도시한다. 도면에 나타난 기판 (12) 에는 규칙적인 간격의 개구부들 (16, 도면에서는 1개만 나타냄) 이 관통하여 연장된 스테인레스 스틸 금속 백 층 (14) 이 제공된다. 이미 언급한 바와 같이, 본 발명의 공정에서, 이와 같은 금속 백 층은 추가적인 기계적 통합성을 기판에 제공하여 기판의 핸들링을, 특히, 롤-투-롤 코팅 장치에 의해 실시할 때 용이하게 할 수도 있지만, 금속 백 층 (14) 은 선택 사항이다.

<21> 기판 (12) 의 상부면에 (도면에 도시됨), 실리카 또는 실리콘 니트라이드로 형성된 패시베이션층 (18) 을 증착한다. 이미 언급한 바와 같이, 폴리페닐렌 폴리이미드의 높은 표면 저항은 근접하는 트랜지스터 사이에 충분한 절연성을 제공하기 때문에, 이와 같은 패시베이션층 (18) 은 선택 사항이며, 몇몇 경우, 패시베이션층 (18) 을 형성하지 않아도 무방하다. 그러나, 만약, 이 층이 존재하지 않는다면, 폴리이미드 기판 (12) 으로부터 빠져나온 가스는 기판으로부터의 여러 층의 박리를 유발시키는 경향이 있기 때문에, 패시베이션층 (18) 의 제거 시 유의해야 한다.

<22> 패시베이션층 (18) 의 상부면에는, 이격된 금속 게이트 전극들 (20, 도면에서 도시되는 것은 1개임) 의 어레이를 증착하고, 전극 (20) 상에는 실리콘 니트라이드로 이루어지는 절연층 (22) 과 비정질 실리콘층 (24) 을 연속적으로 증착한다. 전술한 WO-A-00/67327에서 설명한 바와 같이, 유전층 (22) 및 비정질 실리콘층 (24) 을 패터닝하지 않고 남겨둘 수 있으며, 이와 같이 층을 패터닝하지 않는 것은 실제로 트랜지스터 어레이의 비용을 절감시킨다. 마지막으로, 트랜지스터 어레이는 n-형 실리콘 층 (26) 및 금속 전극층 (28) 을 포함하며, 이러한 층 모두를 통상의 어떠한 공정에 의해 패터닝함으로써, 트랜지스터의 소오스와 드레인 전극을 제공한다.

<23> 본 발명의 두 번째의 바람직한 실시예는 전술한 바와 거의 유사하지만, 금속 백 또는 패시베이션층이 없이 폴리

이미드 기판을 사용한다. 이와 같은 두 번째 바람직한 실시예에서는, 먼저, 전술한 Upilex-50SS를 350℃에서 4시간 동안 베이킹하여, 잔류 수분 및 다른 용매를 제거하였다. 열 증착에 의해 베이킹된 기판 상에 100nm 두께의 크롬층을 증착하고, 포토리소그래피법에 의해 패터닝하여 게이트 전극을 형성하고, 최종 트랜지스터 어레이의 라인을 선택하였다. 다음으로, 실리안/암모니아 혼합물을 이용하는 플라즈마 화학 기상 증착(PECVD)에 의해 320nm의 실리온 니트라이드 유전체층을 기판 상에 증착하였는데, 공정 동안, 기판은 350℃의 최고 공정 온도에 도달하였다. 다음으로, 플라즈마 화학 기상 증착에 의해 순수 실리안으로부터 160nm의 비정질 실리온 반도체 재료의 층을 증착한 후, 플라즈마 화학 기상 증착에 의해 실리안/포스핀(phosphine) 혼합물로부터 40nm의 n-형 비정질 실리온층을 증착하였다.

<24> 이와 같은 플라즈마 화학 기상 증착 단계 이후, 기판에 알루미늄의 층을 증착하고, 포토리소그래피법으로 패터닝하여, 트랜지스터 어레이의 소오스와 드레인 전극을 형성하였다. 다음으로, 이 기판을 탄소 테트라플루오라이드/산소 혼합물을 이용하여 반응성 이온 식각하고, 식각 마스크로서 패터닝된 알루미늄층을 이용하여 n-형 실리온층을 패터닝하였는데, 전술한 바와 같은 이유로, 이 단계에서는 비정질 실리온 및 실리온 니트라이드층을 패터닝하지 않았다. 마지막으로, 저 해상도의 패터닝 단계를 적용하여 비정질 실리온 및 실리온 니트라이드층을 패터닝함으로써, 전기적 접촉을 가능케 하여, 선택 본드 라인 사이트(select bond line site)가 이루어지도록 한다.

<25> 따라서, 제조된 박막 트랜지스터 어레이를 공정을 추가하지 않고서도 전기 영동 디스플레이 또는 다른 유형의 디스플레이 제조에 직접 적용할 수 있다. 예를 들면, 도면에 나타난 박막 트랜지스터 어레이는, WO-A-00/36465에 개시된 전기 영동 디스플레이에 구비될 수 있는데, 여기서는, 동시 계류중인 출원의 전체 개시 내용을 참조로 포함한다. 몇몇 경우, 박막 트랜지스터를 덮는 배리어층을 제공하여, 전기 영동 디스플레이 외부로 확산될 수 있는 용매 또는 다른 재료의 영향으로부터 트랜지스터를 보호하는 것이 바람직하다.

<26> 특히, 본 발명의 공정에 의해 제조된 박막 트랜지스터 어레이는 전기 영동 디스플레이, 미국 특허 제 5,930,026; 5,961,804; 6,017,584; 6,067,185; 6,118,426; 6,120,588; 6,120,839; 6,124,851; 6,130,773; 6,130,774; 및 6,172,798, 및 국제 출원 공개 공보 제 WO 97/04398; WO 98/03896; WO 98/19208; WO 98/41898; WO 98/41899; WO 99/10769; WO 99/10768; WO 99/10767; WO 99/53373; WO 99/56171; WO 99/59101; WO 99/47970; WO 00/03349; WO 00/03291; WO 99/67678; WO 00/05704; WO 99/53371; WO 00/20921; WO 00/20922; WO 00/20923; WO 00/26761; WO 00/36465; WO 00/38000; WO 00/38001; WO 00/36560; WO 00/20922; WO 00/36666; WO 00/59625; WO 00/67110; WO 00/67327; 및 WO 01/02899에 개시된 바와 같은, 특히, 봉지된 전기 영동 디스플레이에 사용되는 것이 바람직하다. 이들 모든 특허 및 공개된 출원의 전체 개시 내용은 본 명세서에서 참조로 포함한다.

산업상 이용 가능성

<27> 본 발명의 특징 및 기술로부터 이탈하지 않는다면, 이미 설명한 바와 같이 본 발명의 바람직한 실시예에 많은 변경 및 변형을 가할 수 있다. 예를 들면, 첨부된 도면에 나타난 바와 같이, 본 발명은 하부 게이트 트랜지스터의 제조로 한정되는 것이 아니라, 상부 게이트 트랜지스터에도 또한 적용할 수 있고, 트랜지스터는, 먼저, 소오스와 드레인 전극들을 (패시베이션층이 형성된, 또는 형성되지 않은) 기판 상에 제조하고, 다음으로, 비정질 실리온층 및 유전체층을 전극의 상부에 형성하고, 마지막으로, 게이트 전극을 구조체의 최상층으로 형성함으로써 이루어진다. 따라서, 전술한 설명은 예시에 지나지 않으며 한정하려는 것이 아니다.

<28> 전술한 설명으로부터, 본 발명의 공정은, 종래 기술의 공정보다 더 높은 공정 온도의 사용을 허용하여 가요성 기판 상에 트랜지스터를 형성하는 공정을 제공하여, 종래 기술의 공정보다 더 고품질인 반도체 층을 제공할 수 있다. 본 발명에 사용된 기판은 대부분의 반도체 층과 매치되는 열 팽창 계수로 구비됨으로써, 층과 기판 사이의 열 팽창 차이에 의한 반도체 층의 크랙 및/또는 박리의 위험이 감소된다. 따라서, 본 발명은 롤-투-롤 공정에 매우 최적화된 공정을 제공하므로, 본 공정은 가요성 기판의 대 면적 트랜지스터의 제조 공정에 매우 적합하다.

도면의 간단한 설명

<8> 첨부된 하나의 도면은, 본 발명의 공정에 의해 폴리이미드 기판상에 형성된 박막 트랜지스터 어레이 중 단일 트랜지스터의 개략적인 단면도이다.

도면

도면1

