

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5289830号
(P5289830)

(45) 発行日 平成25年9月11日(2013.9.11)

(24) 登録日 平成25年6月14日(2013.6.14)

(51) Int.Cl. F I
 HO 1 L 23/522 (2006.01) HO 1 L 21/88 J
 HO 1 L 21/768 (2006.01) HO 1 L 23/12 5 O 1 P
 HO 1 L 21/3205 (2006.01)
 HO 1 L 23/12 (2006.01)

請求項の数 7 (全 15 頁)

(21) 出願番号	特願2008-149145 (P2008-149145)	(73) 特許権者	302062931 ルネサスエレクトロニクス株式会社
(22) 出願日	平成20年6月6日(2008.6.6)		神奈川県川崎市中原区下沼部1753番地
(65) 公開番号	特開2009-295851 (P2009-295851A)	(74) 代理人	100110928 弁理士 速水 進治
(43) 公開日	平成21年12月17日(2009.12.17)	(72) 発明者	高橋 信明 神奈川県川崎市中原区下沼部1753番地 NECエレクトロニクス株式会社内
審査請求日	平成23年3月8日(2011.3.8)	(72) 発明者	小室 雅宏 神奈川県川崎市中原区下沼部1753番地 NECエレクトロニクス株式会社内
		(72) 発明者	松井 聡 神奈川県川崎市中原区下沼部1753番地 NECエレクトロニクス株式会社内

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

第1主面と前記第1主面とは反対側の第2主面を有する基板と、
 前記第1主面上に第1絶縁層を介して形成された導電パターンと、
 断面視において、前記基板の前記第1主面から前記第2主面まで貫通し、前記第1主面上に第1開口部を、前記第2主面上に第2開口部を有し、前記第1絶縁層に達する貫通孔と、
 前記貫通孔の側壁に形成された第2絶縁層と、
 前記貫通孔内に前記第2絶縁層を介して形成された貫通電極と、
 前記第2主面上に形成され、前記第2開口部を介して、前記貫通電極に接続されたパン
 プ電極と、
 を備え、
 前記第1絶縁層は前記第1開口部の内部に前記導電パターンを露出する第3開口部を有し、
 前記貫通電極と前記導電パターンは前記第1開口部を介して接続され、
 断面視において、前記第1開口部の長さ、前記第3開口部の長さとの差は2 μm以上
 6 μm以下である半導体装置。

【請求項2】

請求項1に記載の半導体装置において、
 前記基板は半導体基板である半導体装置。

【請求項 3】

請求項 1 又は 2 に記載の半導体装置において、
前記第 2 主面上に形成された第 3 絶縁層を備え、
前記第 3 絶縁層は、前記 2 開口部の周辺部において、前記第 2 絶縁層と接続されている半導体装置。

【請求項 4】

請求項 1 ~ 3 のいずれか一項に記載の半導体装置において、
前記第 3 開口部の周辺部から前記貫通孔の仮想中心軸までの長さ、前記貫通孔の周辺部から前記貫通孔の仮想中心軸までの長さとの差は $1 \mu\text{m}$ 以上 $3 \mu\text{m}$ 以下である半導体装置。

10

【請求項 5】

第 1 主面と前記第 1 主面とは反対側の第 2 主面を有する基板と、
前記第 1 主面上に第 1 絶縁層を介して形成された導電パターンと、
断面視において、前記基板の前記第 1 主面から前記第 2 主面まで貫通し、前記第 1 主面上に第 1 開口部を、前記第 2 主面上に第 2 開口部を有し、前記第 1 絶縁層に達する貫通孔と、

前記貫通孔の側壁に形成された第 2 絶縁層と、
前記第 2 主面上に形成され、前記第 2 開口部の周辺部で前記第 2 絶縁層と接続された第 3 絶縁層と、

前記貫通孔内に前記第 2 絶縁層を介して形成された貫通電極と、
前記第 3 絶縁層上に形成され、前記第 2 開口部を介して、前記貫通電極に接続されたパンプ電極と、を備え、

20

前記第 1 絶縁層は前記第 1 開口部の内部に前記導電パターンを露出する第 3 開口部を有し、

前記貫通電極と前記導電パターンは前記第 1 開口部を介して接続され、
断面視において、前記貫通孔の仮想の中心軸から前記第 1 開口部の周辺部までの長さを r_1 、前記貫通孔の仮想の中心軸から前記パンプ電極と前記第 3 絶縁層が接する前記パンプ電極の底面の周辺部までの距離を r_2 、前記貫通孔の仮想の中心軸から前記第 3 開口部の周辺部までの長さを r_3 、前記第 3 絶縁層からの前記パンプ電極の高さを h とした場合に、下記式を満たす半導体装置。

30

$$(r_2 - r_1) = (h - (r_1 - r_3)) \times (1 \pm 0.3)$$

【請求項 6】

請求項 5 に記載の半導体装置において、
前記基板は半導体基板である半導体装置。

【請求項 7】

請求項 5 又は 6 に記載の半導体装置において、前記第 3 開口部の周辺部から前記貫通孔の仮想中心軸までの長さ、前記貫通孔の周辺部から前記貫通孔の仮想中心軸までの長さ、との差は $1 \mu\text{m}$ 以上 $3 \mu\text{m}$ 以下である半導体装置。

【発明の詳細な説明】

【技術分野】

40

【0001】

本発明は、貫通電極を有する半導体装置及びその製造方法に関する。

【背景技術】

【0002】

近年、半導体素子の高集積化を目的として、半導体素子同士を積層する 3 次元実装が行われている。このような技術に対応するために、半導体装置の基板に貫通電極が設けられるようになっている。貫通電極の形成方法としては、例えば特許文献 1 ~ 3 に記載の技術がある。

【0003】

特許文献 1 に記載の技術は、酸化膜及びソース電極が表面に形成された GaAs 基板に

50

、ソース電極に達する貫通孔を形成し、この貫通孔の中に電子銃蒸着によりAu膜を形成した後、無電解めっきにより貫通電極を形成するものである。なお、本技術では、貫通電極を形成した後、裏面電極を別途生成している。

【0004】

特許文献2に記載の技術は、貫通電極を、導電性の小径プラグと導電性の大径プラグから形成するものである。小径プラグは基板の表面側に位置しており、大径プラグは基板の裏面側に位置している。小径プラグの端部は大径プラグに内包されている。なお本技術において、裏面電極となるバンプは大径プラグと一体に形成されている。

【0005】

特許文献3に記載の技術は、貫通孔の側面の下部側及び貫通孔の底面にシード層を形成し、このシード層を用いてめっき層を形成することにより、貫通電極を形成するものである。貫通電極と基板表面の絶縁層上に形成された導電パターンは、絶縁層に埋め込まれた電極プラグを介して接続している。なお本技術において、裏面電極となるバンプは貫通電極と一体に形成される場合もある。

10

【0006】

【特許文献1】特開昭63-127550号公報

【特許文献2】特開2005-294582号公報

【特許文献3】特開2008-53568号公報

【発明の開示】

【発明が解決しようとする課題】

20

【0007】

しかし、特許文献1に記載の技術では、貫通電極と、裏面電極を別々に形成していた。なお、特許文献1に記載の技術において、貫通電極を形成するための無電解めっきをそのまま継続することにより、バンプと貫通電極を一体的に形成することも考えられる。しかし、無電解めっきにおいてめっき層は等方的に成長する。このため、この方法を採用すると、バンプの中心軸から周までの距離が貫通電極よりバンプの高さ分ほど大きくなってしまい、バンプの短絡を防止するために貫通電極のピッチを広くする必要が出てくる。従ってこの方法は採用できない。

【0008】

また特許文献2に記載の技術では、貫通電極の一部に小径プラグを用いているため、貫通電極の抵抗を低くすることが難しかった。また特許文献3に記載の技術では、導電パターンと貫通電極は電極プラグを介して接続しているため、これらの間の抵抗は高かった。

30

【0009】

このように特許文献1～3に記載の技術では、絶縁層上の導電パターンと貫通電極の間の抵抗を低くし、かつ貫通電極と裏面電極であるバンプを一体に形成することはできなかった。

【課題を解決するための手段】

【0010】

本発明によれば、基板と、
前記基板の一面側に位置する導電パターンと、
前記基板に形成され、前記導電パターンの下に位置する貫通孔と、
前記貫通孔の前記一面側の底面に位置する絶縁層と、
前記絶縁層に形成され、周から前記貫通孔の中心軸までの距離が前記貫通孔より小さく、
前記貫通孔の底面に前記導電パターンを露出させる開口パターンと、
前記開口パターン内及び前記貫通孔内に形成され、前記導電パターンに接続する貫通電極と、

40

前記基板の前記一面の反対面側に位置し、前記貫通電極と一体に形成されたバンプと、
を備える半導体装置が提供される。

【0011】

本発明によれば、一面側に導電パターンを有する基板の反対面側から貫通孔を形成し、

50

前記貫通孔の底面を、絶縁層を介して前記導電パターンに対向させる工程と、

前記絶縁層に、周から前記貫通孔の中心軸までの距離が前記貫通孔より小さい開口パターンを形成して、前記導電パターンを前記貫通孔の底部に露出させる工程と、

前記導電パターンをシード層とした無電解めっきを行うことにより、前記開口パターン内及び前記貫通孔内に位置する貫通電極と、前記基板の前記反対側面に位置するバンプとを連続的に形成する工程と、

を備える半導体装置の製造方法が提供される。

【0012】

この発明によれば、貫通電極は導電パターンに直接接している。このため導電パターンと貫通電極の間の抵抗を低くすることができる。また、貫通孔の一面側の底面には絶縁層が位置しているが、絶縁層に形成された開口パターンは、周から前記貫通孔の中心軸までの距離が貫通孔より小さい。このため、貫通電極とバンプを一体に形成しても、貫通孔に対するバンプの張出量を小さくすることができる。従って、貫通電極とバンプを一体に形成することができる。

10

【発明の効果】

【0013】

本発明によれば、導電パターンと貫通電極の間の抵抗を低くし、かつ貫通電極とバンプを一体に形成することができる。

【発明を実施するための最良の形態】

【0014】

以下、本発明の実施の形態について、図面を用いて説明する。尚、すべての図面において、同様な構成要素には同様の符号を付し、適宜説明を省略する。

20

【0015】

(第1の実施形態)

図1は、第1の実施の形態における半導体装置の構成を示す断面図である。この半導体装置は、基板100、貫通孔102、導電パターン120、絶縁層110、開口パターン112、貫通電極300、及びバンプ302を備える。基板100は、例えばシリコン基板などの半導体基板である。貫通孔102は、基板100に形成され、導電パターン120の下に位置している。本図に示す例において、貫通孔102はストレート形状である。

【0016】

絶縁層110は、貫通孔102の一面側の底面に位置している。絶縁層110は、本図に示す例では基板100の表面上(一面上)に位置している。絶縁層110は、例えば基板100の一面を熱酸化した熱酸化膜、又は基板100の一面上にCVD法により形成された層間絶縁膜である。導電パターン120は、基板100の一面側に位置している。本図に示す例において、絶縁層110の表面に位置している。導電パターン120は、例えば絶縁層110上に形成された配線層の一部である。

30

【0017】

開口パターン112は、貫通孔102と導電パターン120の間に位置する絶縁層110に形成されており、周から貫通孔102の中心軸までの距離 r_3 が貫通孔102の周から中心軸までの距離 r_1 より小さい。貫通孔102及び導電パターン120の断面形状(上面視)が円形である場合、この距離は半径のことである。また、貫通孔102及び導電パターン120の断面形状(上面視)が多角形の場合、 r_1 及び r_3 は、上面視で、貫通孔102の周上の任意の点(例えば頂点)と中心軸を結ぶ直線で測定された距離である。開口パターン112が設けられることにより、貫通孔102の底面に導電パターン120が露出している。

40

【0018】

貫通電極300は、開口パターン112及び貫通孔102内に形成されており、導電パターン120に接続している。バンプ302は、基板100の裏面側(一面とは反対側の面)に位置しており、貫通電極300と一体に形成されている。

【0019】

50

この半導体装置によれば、貫通電極300は導電パターン120に直接接している。このため導電パターン120と貫通電極300の間の抵抗を低くすることができる。また、貫通孔102の一面側の底面には絶縁層110が位置しているが、絶縁層110に形成された開口パターン112は、距離 r_3 が貫通孔102における距離 r_1 より小さい。このため、詳細を後述するように、貫通電極300とバンプ302を一体に形成しても、貫通孔102に対するバンプ302の張出量($r_2 - r_1$)を小さくすることができる。従って、貫通電極とバンプを一体に形成することができる。ここで、 r_2 は貫通孔102の中心軸からバンプ302の底面の周までの距離である。 r_2 は、バンプ302の断面形状(上面視)により、 r_1 と r_3 と同様に定められる。

【0020】

次に、図2～図4の各図を用いて、図1に示した半導体装置の製造方法を説明する。まず図2(a)に示すように、ウェハの状態にある基板100の表面上に絶縁層110を形成し、さらに絶縁層110上に導電パターン120を形成する。絶縁層110は、例えば SiO_2 膜、 SiN 膜、 SiON 膜、及び樹脂材料膜からなる群から選ばれた単層膜、又はこの群から選ばれた膜を積層した積層膜である。導電パターン120は、少なくとも底面が、Al、Cu、及びWからなる群から選ばれた一つ、又はこの群から選ばれた少なくとも2つからなる合金からなる。

【0021】

絶縁層110が基板100の熱酸化膜である場合、絶縁層110は、例えば基板100の一面に形成されるトランジスタのゲート絶縁膜と同一工程で形成される。この場合、導電パターン120は、例えばトランジスタのゲート電極と同一工程で形成される。

【0022】

絶縁層110が層間絶縁膜である場合、絶縁層110は一層の層間絶縁膜であっても良いし、複数層の層間絶縁膜であってもよい。そして導電パターン120は、絶縁層110の表面に位置する配線と同一工程で形成される。

【0023】

次いで、絶縁層110上及び導電パターン120上に必要な層200、及びバンプ(図示せず)を形成する。このバンプは、図示しない配線及びコンタクトを介して、導電パターン120に電氣的に接続している。

【0024】

次いで、基板100の表面側に支持体(図示せず)を固定し、基板100の裏面を研削する。これにより、基板100は薄くなる。なおこの工程において、基板100は半導体装置ごとに個片化されていても良いし、ウェハの状態であっても良い。

【0025】

次いで図2(b)に示すように、基板100の裏面上にマスクパターン50を形成する。次いでマスクパターン50をマスクとして、基板100を裏面側からドライエッチングする。これにより、基板100には貫通孔102が形成される。貫通孔102の底面には絶縁層110が露出している。絶縁層110は、基板100をエッチングするときのエッチングストッパーとしても機能する。このため、貫通孔102は絶縁層110を貫通しない。貫通孔102は、絶縁層110を挟んで導電パターン120と対向している。基板100を平面視した場合、貫通孔102は導電パターン120の内側に位置している。

【0026】

その後図3(a)に示すように、マスクパターン50を除去する。次いで基板100の裏面上及び貫通孔102の底面に露出している絶縁層110上に、マスクパターン52を形成する。次いで、マスクパターン52をマスクとして絶縁層110をエッチングする。これにより、絶縁層110は選択的に除去され、絶縁層110に開口パターン112が形成される。貫通孔102の底面において絶縁層110は、貫通孔102の内壁から一定幅ほど残っており、リング形状を有している。この工程により、導電パターン120は貫通孔102の底面に露出する。

【0027】

10

20

30

40

50

その後図3(b)に示すように、マスクパターン52を除去する。次いで貫通孔102の内壁(側面)、及び基板100の裏面(反対面)上に絶縁膜130を形成する。絶縁膜130は、例えばSiO₂膜、SiN膜、SiON膜、及び樹脂材料膜からなる群から選ばれた単層膜、又はこの群から選ばれた膜を積層した積層膜である。このとき絶縁膜130は貫通孔102の底面にも形成される。次いで、貫通孔102の底面に形成された絶縁膜130を除去する。絶縁膜130がSiO₂膜、SiN膜、及びSiON膜のいずれかから形成される場合、絶縁膜130はCVD法により形成されるため、貫通孔102の底面に形成された絶縁膜130は他の部分と比べて薄い。このため、貫通孔102の底面に形成された絶縁膜130は、例えばエッチバックにより除去することができる。この場合、絶縁膜130を形成する工程とエッチバックする工程を複数回繰り返すことにより、絶縁膜130を必要な厚さに成膜してもよい。また絶縁膜130が樹脂材料膜であり、スプレー塗布により形成されている場合、貫通孔102の底面に形成された絶縁膜130は、例えばマスクパターンを用いたエッチングにより除去することができる。なお本図に示す状態において、開口パターン112における距離 r_3 と貫通孔102における距離 r_1 の差($r_1 - r_3$)は、例えば1 μ m以上3 μ m以下である。

10

【0028】

次いで、絶縁膜130上にバリア膜(図示せず)を形成する。バリア膜は貫通電極300の金属成分が基板100内に拡散することを抑制する膜であり、例えばTiN膜、Ta₂N膜、TiW膜、Ti膜、Ta膜、及びCr膜からなる群から選ばれた一つ、又はこの群から選ばれた複数の膜を積層した積層膜である。

20

【0029】

次いで図4(a)及び(b)に示すように、導電パターン120をシード層とした無電解めっきを行う。これにより、貫通電極300が徐々に成長する。貫通電極300は、Ni、NiP、NiB、Cu、Pd、及びAuからなる群から選ばれた一つからなる膜、この群から選ばれた少なくとも2つからなる合金膜、またはこの群から選ばれた少なくとも2つを積層した積層膜からなる。なお導電パターン120がW又はW合金であり、貫通電極300がNiである場合、無電解めっきを行う前に、貫通孔102の底面で露出している導電パターン120の表面にPd触媒処理を行っても良い。

【0030】

詳細には、まず図4(a)に示すように、開口パターン112内に貫通電極300が形成される。無電解めっきによる層は等方的に成長するため、この段階において貫通電極300の上面上には開口パターン112と同形状の平坦部が形成される。

30

【0031】

その後、図4(b)に示すように、貫通電極300は絶縁層110の上方にむけて等方的に成長していく。このとき、貫通電極300の上面の平坦部はそのまま維持される。また、貫通電極300の上面の平坦部は、貫通電極300の上面の縁と比較して、開口パターン112における距離 r_3 と貫通孔102における距離 r_1 の差($r_1 - r_3$)ほど高くなる。

【0032】

そして図4(c)に示すように、無電解めっきを続けていくと貫通電極300の一部が基板100から飛び出してバンプ302になる。このようにして、バンプ302が貫通電極300と一体的に形成される。バンプ302の上面の縁が基板100の裏面上に位置する絶縁膜130と面一になった状態においても、貫通電極300の上面の平坦部すなわちバンプ302の上面の平坦部は、バンプ302の上面の縁と比較して、($r_1 - r_3$)ほど高いままである。

40

【0033】

その後、バンプ302が必要な高さになるまで無電解めっきを継続し、図1に示す状態になる。バンプ302の高さは、例えば1 μ m以上30 μ m以下である。なお、バンプ302の高さが($r_1 - r_3$)でよい場合は、図4(c)に示す状態で無電解めっきを終了する。このとき、バンプ302の周から貫通電極300の中心軸までの距離は貫通電極300

50

0の周から中心軸までの距離と等しくなる。なお、バンプ302の表面にAu膜又はPd膜を薄く形成しても良い。その後、上記した支持体を取り除き、半導体装置を個片化する。

【0034】

次に、本実施形態に示した半導体装置の作用効果について説明する。上記したように、貫通電極300は絶縁層110上の導電パターン120に直接接している。このため導電パターン120と貫通電極300の間の抵抗を低くすることができる。

【0035】

また、上記したように、無電解めっきにより貫通電極300及びバンプ302を形成する工程において、バンプ302の上面の縁が基板100の裏面上に位置する絶縁膜130と面一するとき(図4(c))、貫通電極300の上面の平坦部すなわちバンプ302の上面の平坦部は、バンプ302の上面の縁と比較して、 $(r_1 - r_3)$ 程高い。このため、バンプ302をさらに高くするために無電解めっきを継続しても、貫通孔102に対するバンプ302の張出量 $(r_2 - r_1)$ を、 $(r_1 - r_3)$ に誤差30%を加えた分ほど小さくすることができる。従って、貫通電極300とバンプ302を一体的に形成しても、貫通電極300に対するバンプ302の張出量を小さくすることができる。このため、貫通電極300の配置間隔を狭くして高集積化することができる。この効果は、 $(r_1 - r_3)$ が大きいほど、すなわち開口パターン112における距離 r_3 と貫通孔102における距離 r_1 の差が大きいほど顕著になる。

【0036】

なお、この効果を式で表すと、以下の式(1)のようになる。

$$(r_2 - r_1) = (h - (r_1 - r_3)) \times (1 \pm 0.3) \cdots (1)$$

ただし、 h はバンプ302の高さである。

【0037】

また、バンプ302の表面には、開口パターン112と同形状の平坦部が形成される。このため、バンプ302の表面を平坦化する処理を行う必要がない。

【0038】

バンプ302の表面に平坦部を形成することができるという効果と、バンプ302の張出量を小さくすることができるという効果は互いに相反する関係にある。これらの効果をバランスよく得る必要があるときには、開口パターン112における距離 r_3 と貫通孔102における距離 r_1 の差を、 $1\mu\text{m}$ 以上 $3\mu\text{m}$ 以下とするのが好ましい。

【0039】

(第2の実施形態)

図5の各図は、第2の実施形態にかかる半導体装置の製造方法を示す断面図である。この半導体装置の製造方法は、貫通孔102の形状を除いて、第1の実施形態に示した半導体装置の製造方法と同様の構成である。なお、図5(a)は第1の実施形態における図2(b)の状態を示しており、図5(b)は第1の実施形態における図1の状態を示している。

【0040】

本実施形態において貫通孔102及び貫通電極300は、上端以外の部分に、中心軸から周までの距離が上端より大きい部分を有する。具体的には、貫通孔102はボウイング形状を有しており、上端及び底面において中心軸から周までの距離が小さく、高さ方向の略中央部分に向かうにつれてこの距離が徐々に大きくなっている。

【0041】

このような形状は、貫通孔102を形成するときのドライエッチング条件を調節して、イオンの直進性を低下させて散乱性を向上させることにより、基板100の面内方向と厚み方向それぞれにエッチングが進むようにすれば形成できる。具体的には、ドライエッチングの際の真空度を低下させ、基板100の温度を上げ、かつ他のエッチング条件を適宜調節する。

【0042】

本実施形態によれば、第1の実施形態と同様の効果を得ることができる。また、貫通孔102及び貫通電極300は、上端以外の部分に、中心軸から周までの距離が上端より大きい部分を有している。このため、貫通電極300及びパンプ302が基板100から抜けることを防止できる。また、貫通孔102の形状をストレート形状にするとときよりもエッチング条件の制御が簡単になる。

【0043】

また、貫通孔102において、上端における中心軸から周までの距離が底面におけるこの距離より小さい場合、開口パターン112を形成するためのエッチングにおいて、貫通孔102の上端をマスクとして自己整合的に開口パターン112を形成できるときもある。この場合、開口パターン112を形成するときにマスクパターンを用いる必要がなくなる。

10

【0044】

なお、図6に示すように貫通孔102は、中心軸から周までの距離が、上端及び底面において大きく、高さ方向の略中央部分に向かうにつれてこの距離が徐々に小さくなっていてもよい。この場合においても、上記した効果を得ることができる。

【0045】

(第3の実施形態)

図7の各図は、第3の実施形態にかかる半導体装置の製造方法を示す断面図である。この半導体装置の製造方法は、貫通孔102の形状及び貫通孔102の形成方法を除いて、第1の実施形態にかかる半導体装置の製造方法と同様である。なお、図7(a)及び図7(b)は、貫通孔102の製造方法を示しており、図7(c)は第1の実施形態における図4(c)の状態を示している。

20

【0046】

本実施形態において貫通孔102は、いわゆるスキヤロップ形状を有しており、内壁に、貫通孔102の周方向に一周する溝102aを複数上下に並んで有している。貫通孔102の中心軸を含む断面図において、各溝102aの側面の形状は、円弧に沿った形状となっている。

【0047】

本実施形態において貫通孔102は、いわゆるボッシュ法によって形成することができる。具体的には、図7(a)に示すように、まず基板100の裏面上に、マスクパターン50を形成する。次いで、マスクパターン50をマスクとして基板100をエッチングする。これにより、貫通孔102の一部及び最上部の溝102aが形成される。次いで、最上部の溝102aを覆う保護膜104を形成する。保護膜104は例えばフッ化物であり、フッ化系のハロゲンガスを用いて形成することができる。その後、マスクパターン50をマスクとしたエッチング及び保護膜104の形成を、貫通孔102の底面に絶縁層110が露出するまで繰り返す。

30

【0048】

その後図7(b)に示すように、保護膜104を洗浄により除去する。その後、開口部112及び絶縁膜130を形成する。これらの形成方法は、第1の実施形態と同様である。

40

【0049】

その後、図7(c)に示すように、貫通電極300及びパンプ302を形成する。これらの形成方法は第1の実施形態と同様である。

【0050】

本実施形態によれば、第1の実施形態と同様の効果を得ることができる。また、貫通孔102の内壁及び貫通電極300の側面がスキヤロップ形状であるため、貫通電極300が貫通孔102から抜けることを防止できる。また、貫通孔102の形状をストレート形状にするとときよりもエッチング条件の制御が簡単になる。

【0051】

(第4の実施形態)

50

図 8 の各図は、第 4 の実施形態にかかる半導体装置の製造方法を示す断面図である。この半導体装置の製造方法は、開口パターン 1 1 2 の代わりに絶縁膜 1 3 0 に形成された開口パターン 1 3 2 を用いる点を除いて、第 1 の実施形態にかかる半導体装置の製造方法と同様である。以下、第 1 の実施形態と同様の工程については説明を省略する。

【 0 0 5 2 】

まず図 8 (a) に示すように、基板 1 0 0 に貫通孔 1 0 2 を形成する。このとき貫通孔 1 0 2 は、絶縁層 1 1 0 も貫通する。この状態において貫通孔 1 0 2 の底面には導電パターン 1 2 0 が露出している。次いで、貫通孔 1 0 2 の側面及び底面、並びに基板 1 0 0 の裏面上に絶縁膜 1 3 0 を形成する。絶縁膜 1 3 0 の形成方法は、第 1 の実施形態と同様である。

10

【 0 0 5 3 】

次いで図 8 (b) に示すように、絶縁膜 1 3 0 上にマスクパターン 5 4 を形成し、マスクパターン 5 4 をマスクとしたエッチングを行う。これにより、絶縁膜 1 3 0 には開口パターン 1 3 2 が形成される。開口パターン 1 3 2 の形状は、第 1 の実施形態における開口パターン 1 1 2 と同様である。

【 0 0 5 4 】

その後、図 8 (c) に示すようにマスクパターン 5 4 を除去する。次いで、貫通電極 3 0 0 及びパンプ 3 0 2 を形成する。

【 0 0 5 5 】

本実施形態によっても、第 1 の実施形態と同様の効果を得ることができる。また、絶縁層 1 1 0 に開口パターン 1 1 2 を形成する代わりに開口パターン 1 3 2 を形成しているが、開口パターン 1 3 2 を形成する工程は、第 1 の実施形態における貫通孔 1 0 2 の底面に位置する絶縁膜 1 3 0 を除去する工程の代わりに行われる。このため、製造工程数を少なくすることができる。

20

【 0 0 5 6 】

(第 5 の実施形態)

図 9 の各図は、第 5 の実施形態にかかる半導体装置の製造方法を示す断面図である。この半導体装置の製造方法は、開口パターン 1 1 2 の形成タイミングを除いて、第 1 の実施形態にかかる半導体装置の製造方法と同様である。以下、第 1 の実施形態と同様の工程については説明を省略する。

30

【 0 0 5 7 】

まず図 9 (a) に示すように、基板 1 0 0 に貫通孔 1 0 2 を形成し、貫通孔 1 0 2 の底面に絶縁層 1 1 0 を露出させる。次いで、貫通孔 1 0 2 の側面上、貫通孔 1 0 2 の底面に位置する絶縁層 1 1 0 上、及び基板 1 0 0 の裏面上に絶縁膜 1 3 0 を形成する。絶縁膜 1 3 0 の形成方法は、第 1 の実施形態と同様である。

【 0 0 5 8 】

次いで図 9 (b) に示すように、絶縁膜 1 3 0 上にマスクパターン 5 6 を形成し、マスクパターン 5 6 をマスクとしたエッチングを行う。これにより、絶縁膜 1 3 0 , 1 1 0 には開口パターン 1 1 2 が形成される、

【 0 0 5 9 】

40

その後、図 9 (c) に示すようにマスクパターン 5 6 を除去する。次いで、貫通電極 3 0 0 及びパンプ 3 0 2 を形成する。

【 0 0 6 0 】

本実施形態によっても、第 1 の実施形態と同様の効果を得ることができる。また、絶縁膜 1 3 0 を形成した後、絶縁膜 1 3 0 , 1 1 0 を貫通するように開口パターン 1 1 2 を形成しているため、貫通孔 1 0 2 の底面に位置する絶縁膜 1 3 0 を除去する工程を別途設ける必要がない。このため、第 1 の実施形態と比較して製造工程数を少なくすることができる。

【 0 0 6 1 】

(第 6 の実施形態)

50

図10は、第6の実施形態にかかる半導体装置を示す断面図である。この半導体装置は、貫通孔102がテーパ形状を有しており、中心軸から周までの距離が上端に近づくにつれて大きくなる点を除いて、第1の実施形態と同様である。この半導体装置の製造方法も、貫通孔102を形成するときのエッチング条件を調節して貫通孔102がテーパ形状を有するようにする点を除いて、第1の実施形態と同様である。

【0062】

この半導体装置によれば、第1の実施形態と同様の効果を得ることができる。また、貫通孔102の形状をストレート形状にするとときよりもエッチング条件の制御が簡単になる。

【0063】

(第7の実施形態)

図11は、第7の実施形態にかかる半導体装置を示す断面図である。この半導体装置は、貫通孔102が逆テーパ形状を有しており、中心軸から周までの距離が上端に近づくにつれて小さくなる点を除いて、第1の実施形態と同様である。この半導体装置の製造方法も、貫通孔102を形成するときのエッチング条件を調節して貫通孔102が逆テーパ形状を有するようにする点を除いて、第1の実施形態と同様である。

【0064】

この半導体装置によれば、第1の実施形態と同様の効果を得ることができる。また、貫通孔102の形状をストレート形状にするとときよりもエッチング条件の制御が簡単になる。

【0065】

以上、図面を参照して本発明の実施形態について述べたが、これらは本発明の例示であり、上記以外の様々な構成を採用することもできる。

【0066】

例えば貫通孔102の平面形状は円形状に限定されず、例えば四角形や八角形などの多角形にしても良い。開口パターン112, 132の形状も同様である。

【0067】

また上記した各半導体装置は、同一の基板100内に複数の貫通電極300を備えていても良い。貫通孔102の側面上、及び基板100の一面の反対面上に絶縁層130を有しているため、同一の基板100内に複数の貫通電極300を備えていても、複数の貫通電極300を相互に電氣的に絶縁することができる。

【図面の簡単な説明】

【0068】

【図1】第1の実施の形態における半導体装置の構成を示す断面図である。

【図2】各図は、図1に示した半導体装置の製造方法を示す断面図である。

【図3】各図は、図2の次の工程を示す断面図である。

【図4】各図は、図3の次の工程を示す断面図である。

【図5】各図は、第2の実施形態にかかる半導体装置の製造方法を示す断面図である。

【図6】第2の実施形態の変形例を示す断面図である。

【図7】各図は、第3の実施形態にかかる半導体装置の製造方法を示す断面図である。

【図8】各図は、第4の実施形態にかかる半導体装置の製造方法を示す断面図である。

【図9】各図は、第5の実施形態にかかる半導体装置の製造方法を示す断面図である。

【図10】第6の実施形態にかかる半導体装置を示す断面図である。

【図11】第7の実施形態にかかる半導体装置を示す断面図である。

【符号の説明】

【0069】

100 基板
102 貫通孔
102 a 溝
104 保護膜

10

20

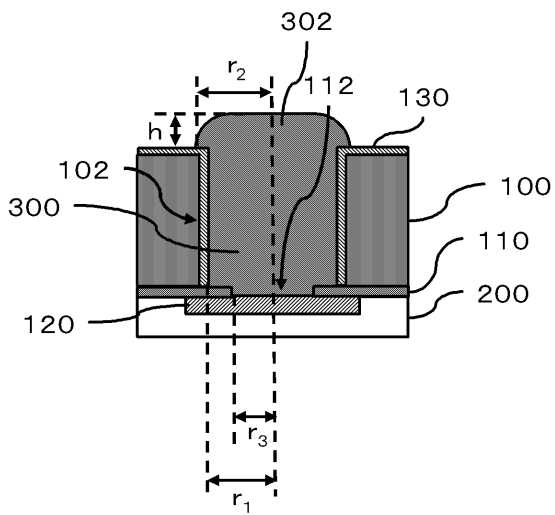
30

40

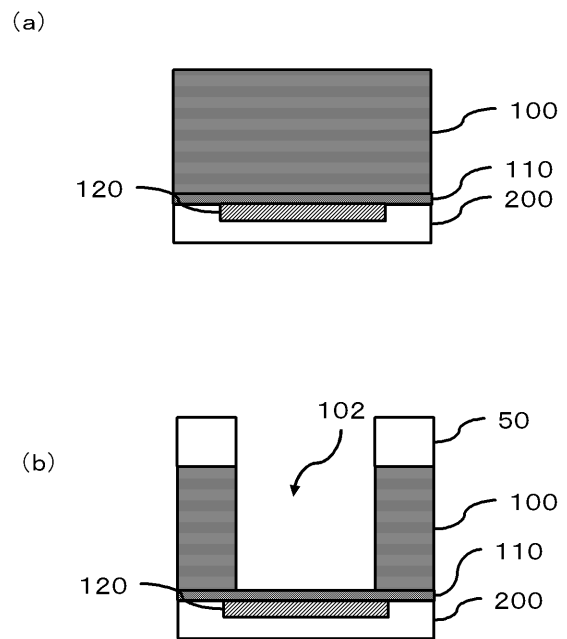
50

- 1 1 0 絶縁層
- 1 1 2 開口パターン
- 1 2 0 導電パターン
- 1 3 0 絶縁膜
- 1 3 2 開口パターン
- 2 0 0 層
- 3 0 0 貫通電極
- 3 0 2 バンプ
- 5 0 マスクパターン
- 5 2 マスクパターン
- 5 4 マスクパターン
- 5 6 マスクパターン

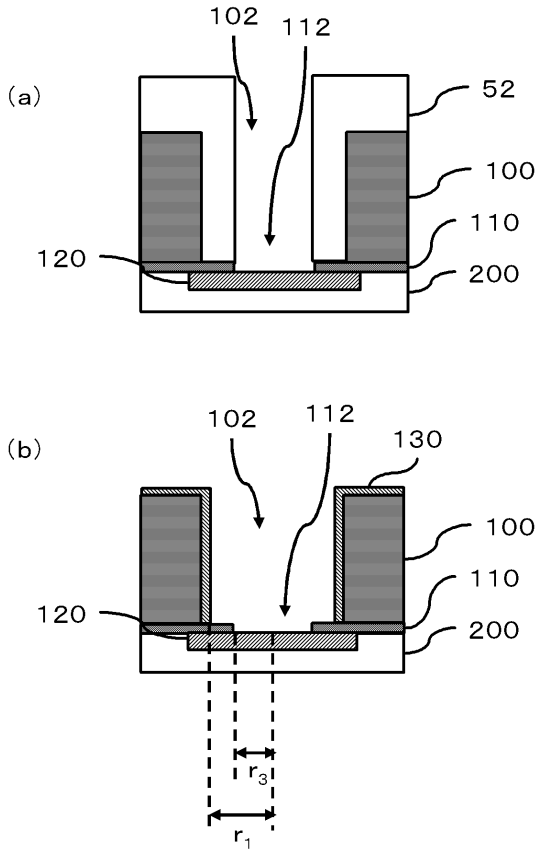
【図1】



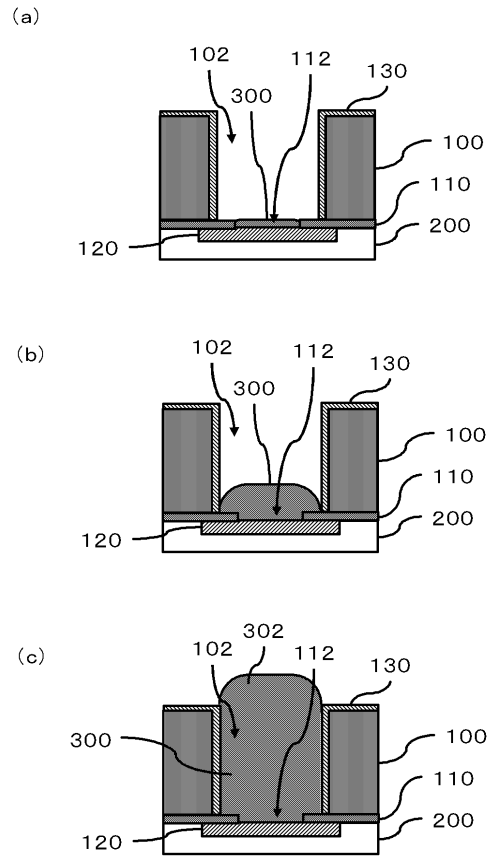
【図2】



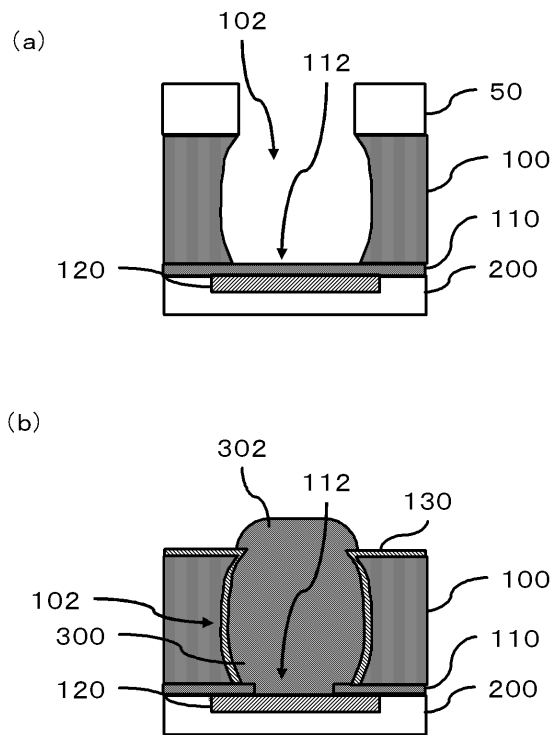
【図3】



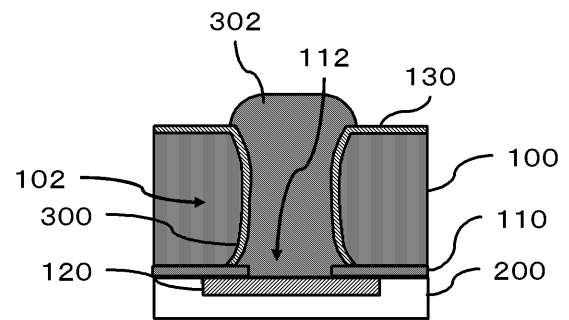
【図4】



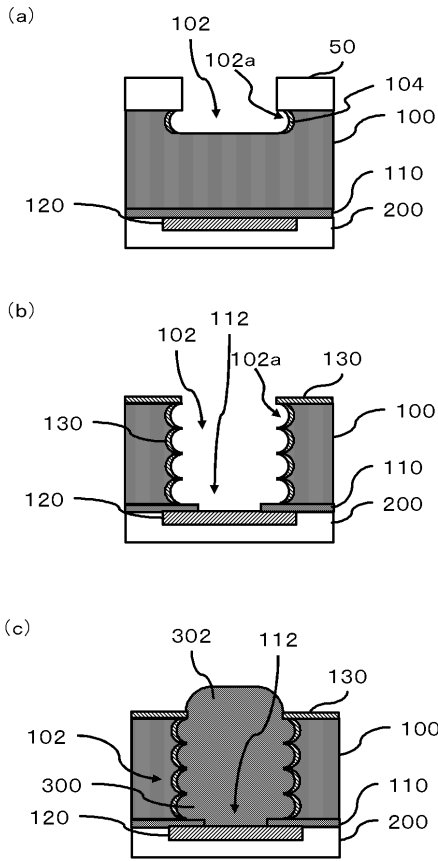
【図5】



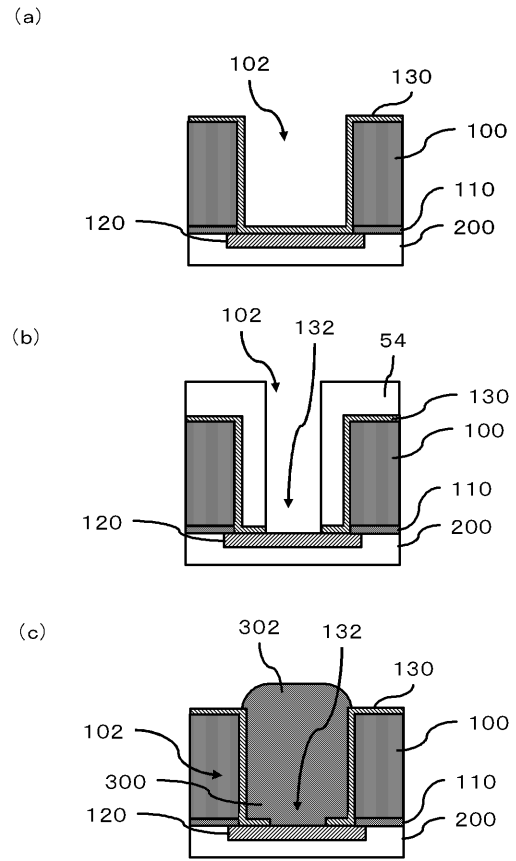
【図6】



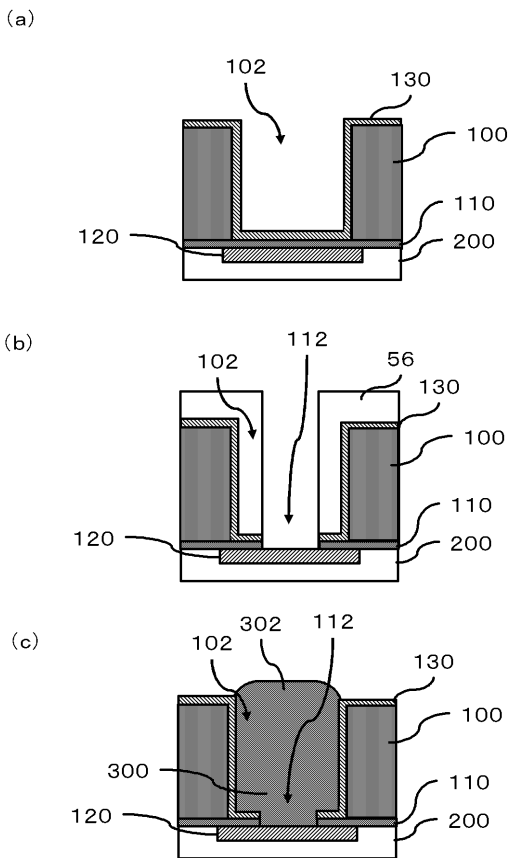
【図 7】



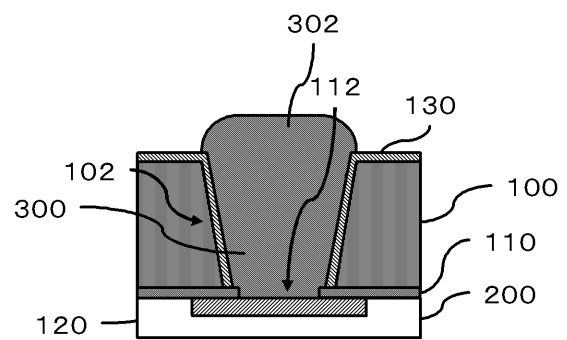
【図 8】



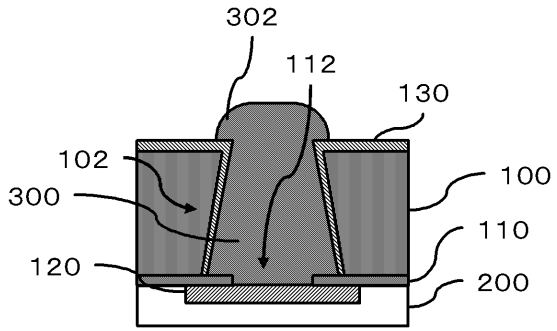
【図 9】



【図 10】



【図 11】



フロントページの続き

審査官 大嶋 洋一

- (56)参考文献 特開2007-221080(JP,A)
特開2005-183548(JP,A)
特開2004-128063(JP,A)
特開平08-213427(JP,A)
国際公開第2004/064159(WO,A1)

(58)調査した分野(Int.Cl., DB名)

H01L 21/3205
H01L 21/768
H01L 23/12
H01L 23/522