

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-146102

(P2011-146102A)

(43) 公開日 平成23年7月28日(2011.7.28)

(51) Int.Cl.	F I	テーマコード (参考)
G 1 1 C 11/4096 (2006.01)	G 1 1 C 11/34 3 5 4 R	5M024
G 1 1 C 11/401 (2006.01)	G 1 1 C 11/34 3 7 1 K	

審査請求 未請求 請求項の数 21 O L (全 45 頁)

(21) 出願番号 特願2010-7239 (P2010-7239)  
 (22) 出願日 平成22年1月15日 (2010.1.15)

(71) 出願人 500174247  
 エルピーダメモリ株式会社  
 東京都中央区八重洲2-2-1  
 (74) 代理人 100080816  
 弁理士 加藤 朝道  
 (72) 発明者 俣野 達哉  
 東京都中央区八重洲2-2-1 エルピー  
 ダメモリ株式会社内  
 Fターム(参考) 5M024 AA22 AA23 BB17 DD07 DD19  
 FF02 HH09 LL03 LL06 PP01  
 PP02 PP03 PP07

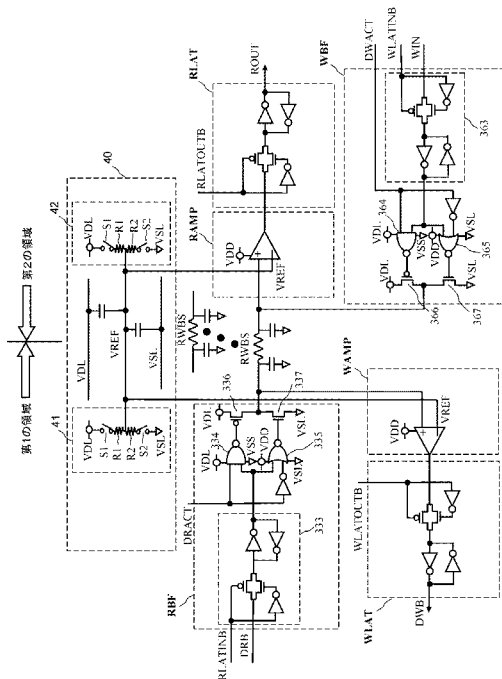
(54) 【発明の名称】 半導体装置及びデータ処理システム

(57) 【要約】

【課題】複数の信号を並列に、かつ、最小限の数の伝送線を用いて、低消費電力でノイズの影響を受けずに高速に伝送する半導体装置を提供する。

【解決手段】複数の第1のドライバと複数のレシーバとの間で小振幅信号を伝送する第1の伝送線と、複数のレシーバに共通に接続される基準信号を伝送する第2の伝送線と、第1のドライバが小振幅信号を出力するインピーダンスより高インピーダンスで基準信号を出力する第2のドライバとを備え、第2の伝送線を第1のドライバの電源に接続された小振幅信号が有する第1と第2の電位に対応する複数の電源線の間配置し、複数の第1の伝送線は、それぞれ第1と第2の電源線の間配置されることなく、互いに隣接して配置される。

【選択図】 図3



**【特許請求の範囲】****【請求項 1】**

それぞれが、第 1 の動作電圧で動作し、小振幅なシングルエンドの入力信号を受け、前記入力信号をセンシングするセンシング機能を有する複数の第 1 のレシーバと、

それぞれが、前記第 1 の動作電圧よりも低い第 2 の動作電圧で動作し、前記小振幅な第 1 の差電圧を有する前記入力信号を第 1 のインピーダンス値で出力する複数の第 1 のドライバと、

それぞれが、前記第 1 のドライバと前記第 1 のレシーバの距離を示す第 1 の長さを有し、前記入力信号を伝送する複数の第 1 の伝送線と、

前記複数の第 1 のレシーバがそれぞれ受ける共通な一つの基準信号と、

前記第 2 の動作電圧で動作し、前記基準信号を前記第 1 のインピーダンス値よりも高い第 2 のインピーダンス値で出力する第 2 のドライバと、

少なくとも前記第 1 の長さを有し、前記基準信号を伝送する第 2 の伝送線と、

前記第 2 の動作電圧に関連し、前記入力信号が有するハイ側電位とロウ側電位をそれぞれ生成し、前記複数の第 1 のドライバに供給し、それぞれ少なくとも前記第 1 の長さを有する第 1 と第 2 の電源線へ出力する第 1 と第 2 の内部電源生成回路と、を備え、

前記第 2 の伝送線は、前記第 1 と第 2 の電源線の間前記複数の第 1 の伝送線を含むことなく配置され、

前記複数の第 1 の伝送線は、それぞれ前記第 1 と第 2 の電源線の間配置されることなく、互いに隣接して配置される、ことを特徴とする半導体装置。

**【請求項 2】**

前記入力信号は、第 1 の論理レベルに対応する第 1 の電位と第 2 の論理レベルに対応する第 2 の電位で示される前記第 1 の差電圧を有し、

前記第 1 のレシーバが出力する電圧は、前記第 1 の差電圧よりも大きな前記第 1 の動作電圧に関連する第 2 の差電圧である、ことを特徴とする請求項 1 記載の半導体装置。

**【請求項 3】**

前記第 1 のレシーバは、前記入力信号と前記基準信号とがそれぞれ第 1 と第 2 の差動入力端子に接続される差動回路を含み、

前記第 1 のドライバは、互いに異なる導電型である第 1 と第 2 のトランジスタが直列に接続されるインバータである、ことを特徴とする請求項 1 又は 2 に記載の半導体装置。

**【請求項 4】**

前記第 2 のドライバは、前記第 2 の伝送線に接続された抵抗素子を少なくとも含む、ことを特徴とする請求項 3 記載の半導体装置。

**【請求項 5】**

更に、互いに排他制御である複数の制御信号を備え、

前記複数の制御信号によってそれぞれ制御される複数の前記第 1 のドライバが、一つの前記第 1 のレシーバに対応する一つの前記第 1 の伝送線に選択的に接続される、ことを特徴とする請求項 1 記載の半導体装置。

**【請求項 6】**

第 1 の領域に含まれる第 1 のノードと第 2 の領域に含まれる第 2 のノードとをそれぞれ有する複数の第 1 の伝送線と、

前記第 1 の領域に含まれる第 3 のノードと前記第 2 の領域に含まれる第 4 のノードとを有する一つの第 2 の伝送線と、

第 1 の電位と第 2 の電位との間で遷移する小振幅信号を第 1 のインピーダンスで生成し、それぞれ対応して接続する前記複数の第 1 の伝送線の第 1 と第 2 のノードのいずれか一方に出力し、前記第 1 と第 2 の領域のいずれか一方に配置される複数の第 1 のドライバと、

前記第 1 の電位と第 2 の電位との中間電位の基準電圧信号を前記第 1 のインピーダンスより高い第 2 のインピーダンスで生成し、接続する前記第 2 の伝送線の前記複数の第 1 のドライバが出力する領域と同一の領域の前記第 3 と第 4 のいずれか一方のノードに出力し

10

20

30

40

50

、前記複数の第 1 のドライバと同一の領域に配置される第 2 のドライバと、

前記一つの第 2 の伝送線の前記複数の第 1 のドライバが出力する領域と反対側である領域の前記第 3 と第 4 のいずれか他方のノードに接続すると共に、前記複数の第 1 の伝送線の前記反対側である領域の前記第 1 と第 2 のノードのいずれか他方にそれぞれ対応して接続し、前記基準電圧信号と前記小振幅信号をそれぞれ受け、前記複数の第 1 のドライバと反対側に配置される複数の第 1 のレシーバと、

前記第 1 の電位を有し、第 5 のノードが前記第 1 の領域、第 6 のノードが前記第 2 の領域に含まれる第 1 の電源線と、

前記第 2 の電位を有し、第 7 のノードが前記第 1 の領域、第 8 のノードが前記第 2 の領域に含まれる第 2 の電源線と、を備え、

前記第 2 の伝送線は、それぞれ第 1 の方向に延在して配置される前記第 1 と第 2 の電源線との間に前記複数の第 1 の伝送線を含むことなく前記第 1 の方向に延在して配置され、

前記複数の第 1 の伝送線は、それぞれ前記第 1 と第 2 の電源線の間配置されることなく、互いに隣接して前記第 1 の方向に延在して配置される、ことを特徴とする半導体装置

。

【請求項 7】

前記第 1 の電位と前記第 2 の電位を生成し、前記第 2 のドライバ及び前記複数の第 1 のドライバに供給する内部電源生成回路をさらに備える、ことを特徴とする請求項 6 記載の半導体装置。

【請求項 8】

更に、前記第 2 の伝送線にそれぞれ隣接して前記第 1 の方向に延在する前記第 1 と第 2 の電源線と、前記第 1 と第 2 の電源線にそれぞれ対応する複数のその他の配線と、の間に、それぞれ前記半導体装置の活性化によっても不変な固定電位に接続された前記第 1 の方向に延在する複数の配線を更に備える、ことを特徴とする請求項 6 又は 7 記載の半導体装置。

【請求項 9】

前記複数のその他の配線は、前記複数の第 1 の伝送線である、ことを特徴とする請求項 8 記載の半導体装置。

【請求項 10】

前記第 1 の電位は、前記第 2 の電位より高電位であり、

前記複数の第 1 のドライバは、それぞれ、

電源が前記第 1 の電位と第 2 の電位とに接続され、第 1 の信号に応答して前記小振幅信号を出力するメインドライバと、

電源が、前記第 1 の電位以上の電位である第 3 の電位と、前記第 2 の電位以下の電位である第 4 の電位と、に接続され、前記第 1 の信号の論理レベルが変化するタイミングにおいて前記第 1 の信号に応答して出力し、前記第 1 の信号の論理レベルが変化しないタイミングでは出力ハイインピーダンスとなる補助ドライバと、を含む、ことを特徴とする請求項 6 乃至 9 いずれか 1 項記載の半導体装置。

【請求項 11】

前記補助ドライバには、前記第 1 の信号に応答して出力するか、出力ハイインピーダンスとするかを制御する第 2 の信号が入力される、ことを特徴とする請求項 10 記載の半導体装置。

【請求項 12】

前記小振幅信号は、前記第 1 の電位を第 1 の論理レベル、前記第 2 の電位を第 2 の論理レベルとするデジタル信号であって、

前記複数の第 1 のレシーバは、それぞれ、前記基準電圧信号の電圧レベルを基準に前記小振幅信号の論理レベルを判定する、ことを特徴とする請求項 6 乃至 11 いずれか 1 項記載の半導体装置。

【請求項 13】

前記複数の第 1 のレシーバは、それぞれ、前記小振幅信号と前記基準電圧信号とを差動

10

20

30

40

50

入力とする差動回路を含み、

前記第 1 のドライバは、前記第 1 の電位に接続された第 1 導電型の出力トランジスタと、前記第 2 の電位に接続された第 2 導電型の出力トランジスタと、を含み、

前記第 2 のドライバは、前記第 1 の電位と第 2 の電位とを分圧する抵抗素子を含む、ことを特徴とする請求項 6 乃至 12 いずれか 1 項記載の半導体装置。

【請求項 14】

前記第 1 の電源線及び第 2 の電源線は、前記第 2 伝送線の全長に渡って前記第 2 伝送線に隣接して配線されている、ことを特徴とする請求項 6 乃至 13 いずれか 1 項記載の半導体装置。

【請求項 15】

前記第 2 伝送線と他の配線との配線間容量は、前記第 1 の電源線との配線間容量、及び第 2 の電源線との配線間容量が最も大きくなるように配線されている、ことを特徴とする請求項 6 乃至 14 いずれか 1 項記載の半導体装置。

【請求項 16】

前記複数の第 1 のドライバがそれぞれ出力する小振幅信号を第 1 の小振幅信号としたときに、それぞれ、前記複数の第 1 のレシーバ側に配置され、それぞれ前記第 1 の電位と前記第 2 の電位との間で遷移する第 2 の小振幅信号を低インピーダンスで前記複数の第 1 の伝送線に出力する複数の第 3 のドライバと、

前記複数の第 1 のドライバ側に配置され、前記第 1 の伝送線及び第 2 の伝送線に接続された複数の第 2 のレシーバと、

前記複数の第 1 のレシーバ側に配置され、前記第 2 の伝送線へ第 1 の基準電圧信号と同電位の第 2 の基準電圧信号を前記第 3 のドライバより高インピーダンスで出力する第 4 のドライバと、をさらに備え、

前記第 1 の電源線及び第 2 の電源線は、前記第 2 の伝送線を両側から挟んで、前記第 4 のドライバ近傍から前記複数の第 2 のレシーバ近傍まで配線され、

前記複数の第 3 のドライバ及び第 4 のドライバを出力ハイインピーダンスとして、前記複数の第 1 のドライバからそれぞれ前記第 1 の小振幅信号を前記第 1 の伝送線に出力し、前記第 2 のドライバから前記第 1 の基準電圧信号を前記第 2 の伝送線に出力し、前記複数の第 1 のレシーバがそれぞれ前記第 1 の小振幅信号及び前記第 1 の基準電圧信号を受信する第 1 の動作モードと、

前記複数の第 1 のドライバ及び第 2 のドライバを出力ハイインピーダンスとして、前記複数の第 3 のドライバからそれぞれ前記第 2 の小振幅信号を前記第 1 の伝送線に出力し、前記第 4 のドライバから前記第 2 の基準電圧信号を前記第 2 の伝送線に出力し、前記複数の第 2 のレシーバがそれぞれ前記第 2 の小振幅信号及び前記第 2 の基準電圧信号を受信する第 2 の動作モードと、

を有する、ことを特徴とする請求項 6 乃至 15 いずれか 1 項記載の半導体装置。

【請求項 17】

前記内部電源生成回路は、前記複数の第 1 のドライバ側に設けられ、前記第 1 の電位と前記第 2 の電位を生成する第 1 の前記内部電源生成回路と、前記複数の第 1 のレシーバ側に設けられ、前記第 1 の電位と前記第 2 の電位を生成する第 2 の前記内部電源生成回路と、を含み、

前記第 1 の電源線及び第 2 の電源線は、前記第 1 の動作モードにおいて前記第 2 の内部電源生成回路から電氣的に切り離されて前記第 1 の内部電源生成回路に電氣的に接続され、前記第 2 の動作モードにおいて前記第 1 の内部電源生成回路から電氣的に切り離されて前記第 2 の内部電源生成回路に電氣的に接続される、ことを特徴とする請求項 16 記載の半導体装置。

【請求項 18】

前記複数の第 1 のレシーバと、前記複数の第 3 のドライバと、前記第 4 のドライバと、を第 1 ブロックとして、

前記複数の第 2 のレシーバと、前記複数の第 1 のドライバと、前記第 2 のドライバと、

10

20

30

40

50

を第 2 ブロックとしたときに、

前記複数の第 1 の伝送線及び第 2 の伝送線に接続され、前記第 1 ブロックとの間でデータの伝送を行う前記第 2 ブロックを複数備え、

前記複数の第 2 ブロックから前記第 1 ブロックへデータの伝送を行うときに、前記複数の第 2 ブロックのうち、選択された 1 つの第 2 ブロックに含まれる前記複数の第 1 のドライバ及び第 2 のドライバのみが導通し、選択されない第 2 のブロックに含まれる前記複数の第 1 のドライバ及び第 2 のドライバは出力ハイインピーダンスとなる、ことを特徴とする請求項 16 又は 17 記載の半導体装置。

【請求項 19】

前記半導体装置が半導体記憶装置であって、

10

前記複数の第 2 ブロックにそれぞれ対応して設けられた複数のメモリセルアレイと、前記第 1 ブロックに対応して設けられたデータ入出力端子と、をさらに備え、

ライト時には、前記データ入出力端子から入力したライトデータを前記第 1 ブロックから前記複数の第 1 の伝送線を介して複数の第 2 のブロックのうち、選択された第 2 のブロックに伝送し、さらに前記選択された第 2 のブロックから対応するメモリセルアレイへライトし、

リード時には、選択されたメモリセルアレイから対応する第 2 のブロックにデータを読み出し、さらに、その読み出したデータを前記複数の第 1 の伝送線を介して前記第 1 のブロックに転送し、前記第 1 のブロックから前記データ入出力端子へ出力する、ことを特徴とする請求項 18 記載の半導体装置。

20

【請求項 20】

前記第 1 ブロックは、前記複数の第 1 の伝送線から並列に入力したリードデータを直列データに変換して前記データ入出力端子から出力する並直列変換回路と、前記データ入出力端子から直列に入力したライトデータを並列データに変換して前記複数の第 1 の伝送線へ出力する直並列変換回路と、を備る、ことを特徴とする請求項 19 記載の半導体装置。

【請求項 21】

第 1 の半導体装置と、

第 2 の半導体装置と、

前記第 1 と前記第 2 の半導体装置との間を接続するシステムバスと、を備え、

前記第 1 の半導体装置は、

30

複数の第 1 の伝送線と、

一つの第 2 の伝送線と、

第 1 の電位と第 2 の電位との間で遷移する小振幅信号を第 1 のインピーダンスで生成し、それぞれ対応して接続する前記複数の第 1 の伝送線の一端に出力する第 1 の領域に配置された複数の第 1 のドライバと、

前記第 1 の電位と第 2 の電位との中間電位の基準電圧信号を前記第 1 のインピーダンスより高い第 2 のインピーダンスで生成し、接続する前記第 2 の伝送線の一端に出力する前記第 1 の領域に配置された第 2 のドライバと、

前記一つの第 2 の伝送線の他端に接続すると共に、前記複数の第 1 の伝送線の他端にそれぞれ対応して接続し、前記基準電圧信号と前記小振幅信号をそれぞれ受ける第 2 の領域に配置された複数の第 1 のレシーバと、

40

前記第 1 の電位を有し、一端が前記第 1 の領域、他端が前記第 2 の領域に含まれる第 1 の電源線と、

前記第 2 の電位を有し、一端が前記第 1 の領域、他端が前記第 2 の領域に含まれる第 2 の電源線と、を備え、

前記第 2 の伝送線は、前記第 1 と第 2 の電源線との間に前記複数の第 1 の伝送線を含むことなく配置され、

前記複数の第 1 の伝送線は、それぞれ前記第 1 と第 2 の電源線の間配置されることなく、互いに隣接して配置され、

前記第 2 の半導体装置は、前記第 1 の半導体装置からの要求に应答して、前記データ記

50

憶部に格納されたデータを前記複数の第1のドライバと、前記複数の第1の伝送線と、前記複数の第1のレシーバと、を介して前記システムバスに出力する、ことを特徴とするデータ処理システム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置及びデータ処理システムに関する。特に、内部に複数ビットのデータを並列に伝送する複数の伝送線を備えた半導体装置、及びその半導体装置を用いるデータ処理システムに関する。

【背景技術】

【0002】

半導体記憶装置などの半導体装置では、内部回路と外部接続端子との間で並列に複数ビットのデータの伝送が行われる。このデータ伝送では、高速に、かつ、低消費電力で、かつ、ノイズにより誤動作することなく、かつ、できるだけ配線等の本数を増やさずにデータを伝送することが要求される。このデータの伝送の方法としては、シングルエンドの信号を用いる方法と、差動信号を用いる方法が考えられる。シングルエンドの信号を用いた場合には、ノイズによる誤動作を避けるため、振幅を大きくする必要があり、充放電による消費電力が増加すると共に、データの伝送が遅くなる。これに対して差動信号をデータの伝送に用いれば、ノイズの影響が受けにくくなるため、伝送信号を小振幅にすることが可能となり、高速なデータの伝送も可能である。しかし、差動信号を伝送に用いた場合には、1ビットのデータの伝送に2本の配線が必要となり、並列にデータを転送するビット数が多い場合には、配線面積が大きくなる。

【0003】

特許文献1には、光ディスク装置のピックアップから提供されるRF信号に混入するノイズを除去するため、RF信号を伝送する信号線とリファレンス電圧を伝送する信号を接近して配線し、信号線とリファレンス信号を差動アンプに差動信号として入力している。特許文献1によれば、信号線とリファレンス電圧信号を接近して配線することにより、ノイズが混入しても差動アンプに同相で入力するので互いに打ち消しあうことが記載されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2002-074663号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

以下の分析は本発明により与えられる。信号線に対し、差動アンプのリファレンス電位を信号線駆動ドライバとは遠い別の場所で発生させた場合、信号線に対し発生する基板などからのコモンノイズ及び信号線駆動時に発生する電源ノイズの影響を受けないため、信号線の変動分がそのまま差動アンプの信号損失分となってしまう。

【0006】

また、信号線とリファレンス信号を並列に走らせて同相のコモンノイズがのるような場合、電源ノイズも同相で発生させるためには、信号線ドライバとリファレンス信号ドライバを同じ場所からの同一電源で駆動しかつ信号線ドライバとリファレンス信号ドライバの出力インピーダンスを等しくする必要がある。信号線ドライバとリファレンス信号ドライバの出力インピーダンスが異なる場合には、信号線とリファレンス線を近接して配置しても同相ノイズの影響の受け方が互いに異なるため、同相ノイズを十分に除去することはできない。そのため、信号を高速に伝送するためには、信号線ドライバの出力インピーダンスと同様にリファレンス信号のドライバの出力インピーダンスを小さくする必要がある。しかし、リファレンス信号ドライバの出力インピーダンスを小さくすると、消費電力

10

20

30

40

50

が増大する。たとえば、信号線ドライバをCMOSで構成すれば、信号の変化がない限り、電流が流れないようにできる。しかし、リファレンス信号を常時、低インピーダンスで中間電位を出力するためには、常時電流をリファレンス信号ドライバに流す必要が生じる。

【課題を解決するための手段】

【0007】

本発明の第1の側面による半導体装置は、それぞれが第1の動作電圧で動作し小振幅なシングルエンドの入力信号を受け前記入力信号をセンシングするセンシング機能を有する複数の第1のレシーバと、それぞれが前記第1の動作電圧よりも低い第2の動作電圧で動作し前記小振幅な第1の差電圧を有する前記入力信号を第1のインピーダンス値で出力する複数の第1のドライバと、それぞれが前記第1のドライバと前記第1のレシーバの距離を示す第1の長さを有し前記入力信号を伝送する複数の第1の伝送線と、前記複数の第1のレシーバがそれぞれ受ける共通な一つの基準信号と、前記第2の動作電圧で動作し前記基準信号を前記第1のインピーダンス値よりも高い第2のインピーダンス値で出力する第2のドライバと、少なくとも前記第1の長さを有し前記基準信号を伝送する第2の伝送線と、前記第2の動作電圧に関連し前記入力信号が有するハイ側電位とロウ側電位をそれぞれ生成し前記複数の第1のドライバに供給しそれぞれ少なくとも前記第1の長さを有する第1と第2の電源線へ出力する第1と第2の内部電源生成回路と、を備え、前記第2の伝送線は前記第1と第2の電源線の間前記複数の第1の伝送線を含むことなく配置され、前記複数の第1の伝送線はそれぞれ前記第1と第2の電源線の間配置されることなく、互いに隣接して配置される。

10

20

【0008】

本発明の第2の側面による半導体装置は、第1の領域に含まれる第1のノードと第2の領域に含まれる第2のノードとをそれぞれ有する複数の第1の伝送線と、前記第1の領域に含まれる第3のノードと前記第2の領域に含まれる第4のノードとを有する一つの第2の伝送線と、第1の電位と第2の電位との間で遷移する小振幅信号を第1のインピーダンスで生成しそれぞれ対応して接続する前記複数の第1の伝送線の第1と第2のノードのいずれか一方に出力し前記第1と第2の領域のいずれか一方に配置される複数の第1のドライバと、前記第1の電位と第2の電位との中間電位の基準電圧信号を前記第1のインピーダンスより高い第2のインピーダンスで生成し接続する前記第2の伝送線の前記複数の第1のドライバが出力する領域と同一の領域の前記第3と第4のいずれか一方のノードに出力し前記複数の第1のドライバと同一の領域に配置される第2のドライバと、前記一つの第2の伝送線の前記複数の第1のドライバが出力する領域と反対側である領域の前記第3と第4のいずれか他方のノードに接続すると共に前記複数の第1の伝送線の前記反対側である領域の前記第1と第2のノードのいずれか他方にそれぞれ対応して接続し前記基準電圧信号と前記小振幅信号をそれぞれ受け前記複数の第1のドライバと反対側に配置される複数の第1のレシーバと、前記第1の電位を有し、第5のノードが前記第1の領域、第6のノードが前記第2の領域に含まれる第1の電源線と、前記第2の電位を有し、第7のノードが前記第1の領域、第8のノードが前記第2の領域に含まれる第2の電源線と、を備え、前記第2の伝送線は、それぞれ第1の方向に延在して配置される前記第1と第2の電源線との間前記複数の第1の伝送線を含むことなく前記第1の方向に延在して配置され、前記複数の第1の伝送線は、それぞれ前記第1と第2の電源線の間配置されることなく、互いに隣接して前記第1の方向に延在して配置される。

30

40

【0009】

本発明の第3の側面によるデータ処理システムは、第1の半導体装置と、第2の半導体装置と、前記第1と前記第2の半導体装置との間を接続するシステムバスと、を備え、前記第1の半導体装置は、複数の第1の伝送線と、一つの第2の伝送線と、第1の電位と第2の電位との間で遷移する小振幅信号を第1のインピーダンスで生成しそれぞれ対応して接続する前記複数の第1の伝送線の一端に出力する第1の領域に配置された複数の第1のドライバと、前記第1の電位と第2の電位との中間電位の基準電圧信号を前記第1のイン

50

ピーダンスより高い第2のインピーダンスで生成し、接続する前記第2の伝送線の一端に出力する前記第1の領域に配置された第2のドライバと、前記一つの第2の伝送線の他端に接続すると共に、前記複数の第1の伝送線の他端にそれぞれ対応して接続し、前記基準電圧信号と前記小振幅信号をそれぞれ受ける第2の領域に配置された複数の第1のレシーバと、前記第1の電位を有し、一端が前記第1の領域、他端が前記第2の領域に含まれる第1の電源線と、前記第2の電位を有し、一端が前記第1の領域、他端が前記第2の領域に含まれる第2の電源線と、を備え、前記第2の伝送線は、前記第1と第2の電源線との間に前記複数の第1の伝送線を含むことなく配置され、前記複数の第1の伝送線は、それぞれ前記第1と第2の電源線の間配置されることなく、互いに隣接して配置され、前記第2の半導体装置は、前記第1の半導体装置からの要求に回答して、前記データ記憶部に格納されたデータを前記複数の第1のドライバと、前記複数の第1の伝送線と、前記複数の第1のレシーバと、を介して前記システムバスに出力する。

10

【発明の効果】

【0010】

本発明によれば、第1の電源線、及び/又は、第2の電源線の電位が変動すると、第2の伝送線の電位が第1の電源線、及び/又は、第2の電源線の電位の変動につれて、変動するため、第2のドライバのインピーダンスが高くとも電源ノイズの影響を受けにくい。

【0011】

したがって、伝送信号の振幅を小さくすることができ、並列に伝送するビット数の増加による配線の数の増加を抑制しつつ、高速な信号の伝送や低消費電力化も実現できる。

20

【図面の簡単な説明】

【0012】

【図1】本発明の実施例1による半導体装置全体のブロック図である。

【図2】実施例1による半導体装置におけるメモリセルアレイとデータ入出力端子とのインタフェース部分全体のブロック図である。

【図3】実施例1による半導体装置における内部回路側と外部端子側のデータ伝送回路の回路ブロック図である。

【図4】実施例1における内部電源生成回路のブロック図である。

【図5】実施例1におけるデータレシーバの回路ブロック図である。

30

【図6】実施例1において好ましいレイアウト配置を説明する図面である。

【図7】実施例1において、(a)は内部回路側から外部端子側にデータを出力(リード動作)するときのドライバ回路の状態を説明する図であり、(b)は外部端子側から内部回路側にデータを入力(ライト動作)するときのドライバ回路の状態を説明する図である。

【図8】実施例1において、(a)はリード動作時の基準電圧ドライバの状態を説明する図であり、(b)はライト動作時の基準電圧ドライバの状態を説明する図である。

【図9】実施例2において、(a)はリード動作時の基準電圧ドライバの状態を説明する図であり、(b)はライト動作時の基準電圧ドライバの状態を説明する図である。

【図10】実施例3において、(a)リード動作時の内部電源線及び基準電圧伝送線の状態と、(a)ライト動作時の内部電源線及び基準電圧伝送線の状態と、を説明する図である。

40

【図11】内部電源V<sub>SL</sub>が変動した場合の(a)実施例2における伝送線のシミュレーション波形図と、(b)比較例における伝送線のシミュレーション波形図である。

【図12】内部電源V<sub>DL</sub>が変動した場合の(a)実施例2における伝送線のシミュレーション波形図と、(b)比較例における伝送線のシミュレーション波形図である。

【図13】実施例4におけるデータバッファの回路ブロック図である。

【図14】実施例4におけるデータバッファの動作波形図である。

【図15】実施例4におけるデータレシーバの回路ブロック図である。

【図16】実施例4におけるデータレシーバの動作波形図である。

50



【図 17】データ処理システムの実施例のブロック図である。

【図 18】実施例 5 によるデータバッファの回路ブロック図である。

【図 19】実施例 5 によるデータバッファの動作波形図である。

【図 20】実施例 1 に対する比較例の動作を説明する図である。

【発明を実施するための形態】

【0013】

本発明の代表的な実施形態によれば、複数の第 1 の伝送線により小振幅信号を並列に伝送するとともに、第 2 の伝送線により共通の基準信号を伝送するので、差動信号を伝送するより伝送線の数を減らすことができる。また、第 1 のレシーバは基準信号に基づいて小振幅信号のレベルを判定することができるので、小振幅信号の振幅を小さくすることができ、高速、かつ、低消費電力で小振幅信号を伝送することができる。

10

【0014】

また、小振幅信号を出力する第 1 のドライバの第 1 のインピーダンス値より基準信号を出力する第 2 のドライバの第 2 のインピーダンス値を高くすることにより、小振幅信号を高速に伝送すると共に、第 2 のドライバが基準信号を中間電圧にしたまま待機したとして第 2 のドライバの消費電力を抑制することができる。

【0015】

さらに、基準信号を伝送する第 2 の伝送線が、小振幅信号の電位である第 1 の電位と第 2 の電位にそれぞれ接続された第 1 の電源線と第 2 の電源線との間に配置され、かつ、第 1 の伝送線は、第 1 の電源線と第 2 電源線とに隣接されることなく配置されている。第 1 の伝送線を伝送する小振幅信号は、第 1 のドライバが相対的に低インピーダンスなので、第 1 の電源線及び / 又は第 2 の電源線の電位変動に対してすばやく追従する。一方、第 2 の伝送線を伝送する基準信号は、第 2 のドライバが相対的に高インピーダンスなので、第 1 の電源線及び / 又は第 2 の電源線に電位変動があっても、すぐには、追従しない。しかし、第 2 の伝送線を第 1 の電源線と第 2 の電源線の間に配置することにより、配線間容量によって、第 2 の伝送線を伝送する基準信号も、第 1 の伝送線を伝送する小振幅信号と同様に、第 1 の電源線及び / 又は第 2 の電源線の電位変動に対して追従するようにすることができる。したがって、第 1 の電源線の第 1 の電位、及び / 又は、第 2 の電源線の第 2 の電位が、電源ノイズ等により、影響を受けたとしても、その影響を抑制することができる。

20

30

【0016】

上記効果は、第 2 の伝送線と第 1 の電源線、及び、第 2 の伝送線と第 2 の電源線の配線間容量を増やし、この配線間容量に対して、各第 1 の伝送線と第 1 の電源線、及び、各第 1 の伝送線と第 2 の電源線の配線間容量を相対的に小さくすることにより達成できる。より好ましくは、第 2 の伝送線と第 1 の電源線の配線間容量と、第 2 の伝送線と第 2 の電源線の配線間容量の値は、同等であることが望ましい。

【0017】

以下、実施例について、図面を参照して詳しく説明する。

【実施例 1】

【0018】

図 1 は、実施例 1 の半導体装置 1 全体のブロック図である。図 1 の半導体装置 1 は、DDR SDRAM (Double Data Rate Synchronous DRAM) 等の同期式の DRAM である。図 1 において、10 はメモリセルアレイ、11 はロウアドレスをデコードし選択されたワード線 (図示せず) を駆動するロウデコーダ、12 はメモリセルアレイの中から選択したメモリセル (図示せず) のデータをセンシングするセンスアンプ、13 はセンスアンプ 12 がセンシングした複数のデータのうちカラムアドレスに基づいて選択したデータをメモリセルアレイ 10 の外へ出力するカラムセクタである。半導体記憶装置 1 には、Bank 0 ~ Bank 7 の 8 つのメモリセルアレイ 10 が設けられており、ロウデコーダ 11、センスアンプ 12、カラムセクタ 13 もメモリセルアレイ毎に設けられている。

40

50

## 【 0 0 1 9 】

クロック生成器 20 は、外部から与えられる非反転クロック信号 C K、反転クロック信号 / C K、クロックイネーブル信号 C K E から内部動作クロックを生成する。コマンドデコード 14 は、外部から与えられたチップセレクト信号 / C S、ロウアドレスストロブ信号 / R A S、カラムアドレスストロブ信号 / C A S、ライトイネーブル信号 / W E をデコードして外部のメモリコントローラ等から半導体装置 1 に与えられたリード、ライト等のコマンドを解読する。コントロールロジック 15 は、コマンドデコード 14 が解読したコマンド、モードレジスタ 17 の状態に基づいて、クロック生成器 20 から与えられたクロックに同期して半導体装置 1 の各部へコマンドを実行するために必要な信号を出力する。モードレジスタ 17、カラムアドレスバッファ・バーストカウンタ 16、ロウアドレスバッファ 18 には、それぞれ外部アドレス入力端子 A 0 ~ A 13、バンクアドレス入力端子 B A 0、B A 1、B A 2 が内部アドレスバスを介して接続される。モードレジスタ 17 は、モードレジスタ設定コマンドが与えられたとき、内部アドレスバスから与えられたデータをレジスタに設定する。ロウアドレスバッファ 18 は、バンクアクティブ A C T コマンドが与えられたとき、ロウアドレスをラッチしロウデコード 11 へ出力する。カラムアドレスバッファ・バーストカウンタ 16 は、リードコマンド、ライトコマンドが与えられたとき、カラムアドレスをラッチし、デコードしてカラムセクタ 13 を選択する。また、バーストリード、バーストライトコマンドが与えられたときは、指定されたバースト長に基づいてカラムアドレスをカウントする。リフレッシュカウンタ回路 19 は、リフレッシュアドレスのカウントアップを行う。また、D L L 21 は、外部クロック端子 C K、/ C K から与えられた外部クロック信号に基づいて、外部クロック信号と位相の揃ったクロック信号を生成し、外部 I / O 端子 22 からのデータ入出力のタイミングを制御する。

## 【 0 0 2 0 】

また、リードライトアンプ 31、内部回路側入出力回路 33 は、Bank 0 ~ Bank 7 の 8 つのメモリセルアレイ 10 毎にメモリセルアレイ 10 の外に設けられる。リードライトアンプ 31 は、リードコマンド実行時には、センスアンプ 12、カラムセクタ 13、I / O 線 52 を介してメモリセルアレイ 10 の外に読み出されたメモリセルのデータをセンシングする。また、ライトコマンド実行時には、外部 I / O 端子 22 から外部端子側入出力回路 36、リードライトデータバス R W B S、内部回路側入出力回路 33 を経由して入力されたライトデータをメモリセルアレイ 10 に対して書込みを行う。

## 【 0 0 2 1 】

内部回路側入出力回路 33 は、リード動作時には、リードライトアンプがセンシングしたデータをリードライトデータバス R W B S へ出力する。また、ライト動作時には、リードライトデータバス R W B S からライトデータを取り込み、リードライトアンプへライトデータとして送る。

## 【 0 0 2 2 】

リードライトデータバス（第 1 の伝送線）R W B S は、各メモリセルアレイ 10 と各外部 I / O 端子 22 との間を接続する並列データバスである。後で詳しく説明するように、このリードライトデータバス R W B S は、小振幅の信号を伝送するバスであり、小振幅信号のハイレベル、ロウレベルの判定基準となる基準電圧信号（第 2 の伝送線）V R E F が、小振幅信号の電源となる内部電源線 V D L と V S L に挟まれて内部回路側入出力回路 33 と外部端子側入出力回路 36 との間に配線されている。なお、リードライトデータバス R W B S が複数のビットのバスであるに対して、基準電圧信号 V R E F は、1 本の信号線（第 2 の伝送線）である。内部電源線 V D L と V S L は、内部電源 V D L、V S L を生成する内部電源生成回路 50 で生成される。一例として、内部電源線 V D L と V S L は、半導体装置 1 の外部端子である高電位側の V D D 端子 600、低電位側の V S S 601 から供給される。

## 【 0 0 2 3 】

外部端子側入出力回路 36 は、半導体装置 1 の外部端子である各外部 I / O 端子 22（図 1 には 1 端子のみ図示）に対応して設けられており、リード動作時には、リードライト

データバスから並列に入力したリードデータをDLL21が出力するDLLCLKに同期して直列データに変換し、外部I/O端子22から出力する。また、ライト動作時には、DLL21が出力するDLLCLKに同期して外部I/O端子22から取り込んだライトデータを並列データに変換し、リードライトデータバスRWBSへ出力する。

#### 【0024】

ライトデータとリードデータの入出力端子である外部I/O端子22は、図1では代表して1端子しか記載していないが、DDR等の同期式DRAMでは、一般的に、4端子から16端子である。ライト動作時には、4～16本の外部I/O端子22から直列に入力されたデータは、外部端子側入出力回路36により、8～128ビットの並列データに変換され、リードライトデータバスRWBSを介して該当するバンクの内部側入出力回路に転送され、メモリセルアレイ10へ書込まれる。リード動作時には、8～128ビットの並列データとしてリードライトデータバスRWBSを介して外部端子側入出力回路に読み出されたライトデータは、外部端子側入出力回路36により直列データに変換され、4～16本の外部I/O端子から出力される。なお、リードライトデータバスRWBSのビット数は、4本の外部I/O端子から入出力するデータを2ビット並列に転送する場合は、8ビットであり、16本の各外部I/O端子からそれぞれバースト入出力する8ビットデータを並列に転送する場合は、128ビットである。

#### 【0025】

図2は、実施例1による半導体装置におけるメモリセルアレイ10と外部I/O端子22とのインタフェース部分全体のブロック図である。ただし、図2では、8個のメモリセルアレイ10のうち、3個のメモリセルアレイのみ図示し、他のメモリセルアレイ10の記載は省略している。また、図2では、4～16端子の外部I/O端子22のうち、1端子のみを図示し、他の外部I/O端子22の図示も省略している。さらに、図2では、基準電圧信号VREFの伝送に関連する第2の伝送線に関する記載は省略している。

#### 【0026】

図2において、メモリセルアレイ10は、1バンクのメモリセルアレイが配置される領域を示している。1バンクのメモリセルアレイ10は、複数の部分領域10-1に分かれて配置され、部分領域10-1毎にセンスアンプSAをまとめて配置したセンスアンプ列12-1が設けられている。ビット線BLT、BLTBは、センスアンプSAを介してローカルIO線LIOT、LIOBに接続されている。さらに、ローカルIO線LIOT、LIOBは、リードライトゲート13-1を介してメインIO線MIOT、MIOBに接続され、メインIO線MIOT、MIOBは、リードライトアンプRWAMP(図1の31に相当)へと接続されている。なお、1バンクのメモリセルアレイ10には、多数の部分領域10-1がマトリクス状に複数設けられ、各部分領域にそれぞれ対応してセンスアンプ列12-1とローカルIO線LIOT、LIOBがそれぞれ設けられている。また、図2では、メインIO線MIOT、MIOBは1対しか記載していないが各メモリセルアレイ10内には、多数のメモリIO線対MIOT、MIOBが設けられ、各メモリIO線対MIOT、MIOBに対応して複数のリードライトアンプRWAMPが設けられている。

#### 【0027】

内部回路側入出力回路33は、リードデータバッファRBFと、ライトデータラッチWLATと、ライトデータレシーバWAMPを含んで構成される。リードデータバッファRBFは、リードライトアンプRWAMPから読み出したリードデータを一時的に保存するラッチ回路と、ラッチ回路が保持するデータをリードライトデータバスRWBSへ小振幅信号として出力するドライブ回路を備えている。ライトデータアンプ(第2のレシーバ)WAMPは、ライトコマンド実行時にリードライトデータバスRWBSの小振幅信号をセンシングする。なお、ライトデータアンプWAMPには、基準電圧信号VREFも接続されるが、図2では、記載を省略している。ライトデータラッチWLATは、ライトコマンド実行時にライトデータアンプWAMPがセンシングしたデータをメモリセルアレイ10に書き込むまで一時的に保持するラッチである。なお、内部回路側入出力回路33は、各

リードライトアンブ R W A M P に対応してバンク毎に複数設けられる。

【 0 0 2 8 】

リードライトデータバス R W B S は、8 ~ 1 2 8 本の伝送線からなる双方向のバスであり、各メモリセルアレイ 1 0 に対応して設けられた複数の内部回路側入出力回路 3 3 と、各外部 I / O 端子 2 2 に対応して設けられた複数の外部回路側入出力回路 3 6 と、を接続する。1 本のリードライトデータバス R W B S には、バンク毎に複数の内部回路側入出力回路 3 3 が接続される。また、リードライトデータバス R W B S は、各バンクのメモリセルアレイ 1 0 近傍に設けられる内部回路側入出力回路 3 3 から外部 I / O 端子 2 2 近傍に設けられる外部端子側入出力回路 3 6 まで配線されるので、リードライトデータバス R W B S の配線の長さは、半導体装置 1 の半導体チップ長辺の長さに相当する程度の長さを備えたバスである。複数のメモリセルアレイ 1 0 は、互いに排他的に一つのリードライトデータバス R W B S をアクセス（リード又はライト）する。

10

【 0 0 2 9 】

外部端子側入出力回路 3 6 は、外部 I / O 端子 2 2 毎に設けられ、リードデータレシーバ（第 1 のレシーバ）R A M P、リードデータラッチ R L A T、ライトデータバッファ W B F を含むリードライトデータバスインタフェース部と、並直列 / 直並列変換回路 3 6 2 と、入出力バッファ 3 6 1 を備えている。

【 0 0 3 0 】

リードデータレシーバ（第 1 のレシーバ）R A M P は、リードコマンド実行時にリードライトデータバス R W B S の小振幅信号をセンシングする。なお、リードデータレシーバ R A M P には、基準電圧信号 V R E F も接続されるが、図 2 では、記載を省略している。リードデータラッチ R L A T は、リードコマンド実行時にリードデータレシーバ R A M P がセンシングしたデータを一時的に保持するラッチである。ライトデータバッファ W B F は、並直列 / 直並列変換回路 3 6 2 が直並列変換したデータを一時的に保存するラッチ回路と、ラッチ回路が保持するデータをリードライトデータバス R W B S へ小振幅信号として出力するドライブ回路を備えている。

20

【 0 0 3 1 】

共通基準電圧回路 4 0 に含まれる第 2 の伝送線 V R E F、高電位側内部電源 V D L 及び低電位側内部電源 V S L は、複数のリードライトデータバス R W B S のグループに隣接して併走し、複数の内部回路側入出力回路 3 3 及びリードデータレシーバ R A M P に供給する。詳細は、図 3 で後述する。尚、複数のメモリセルアレイ 1 0 毎に、または複数の内部回路側入出力回路 3 3 毎に、それぞれ対応する複数の内部回路側のドライバを有することが望ましい。

30

【 0 0 3 2 】

並直列 / 直並列変換回路 3 6 2 は、リードコマンド実行時に、リードデータラッチ R L A T に一時的に保持するデータを D L L C L K に同期して並直列変換し、入出力バッファへ出力する。また、ライトコマンド実行時には、入出力バッファ 3 6 1 から入力したデータを D L L C L K に同期して並列データに変換し、ライトデータバッファ W B F のラッチ回路へ格納する。

【 0 0 3 3 】

入出力バッファ 3 6 1 は、リードコマンド実行時には、並直列 / 直並列変換回路 3 6 2 により直列データに変換されたデータを外部 I / O 端子 2 2 から出力し、ライトコマンド実行時には、外部 I / O 端子 2 2 から入力されるデータを取り込み、並直列 / 直並列変換回路 3 6 2 へ送る。なお、入出力バッファ 3 6 1 が外部 I / O 端子 2 2 から入出力するデータ信号に同期して、D Q S 端子（図示せず）からデータストロープ信号が入出力される。

40

【 0 0 3 4 】

図 3 は、実施例 1 による半導体装置 1 におけるリードライトデータバス R W B S を伝送する小振幅信号の伝送に関連する内部回路側（第 1 の領域）と外部端子側（第 2 の領域）のデータ伝送回路の回路ブロック図である。なお、図 3 に記載されている各回路のうち、

50

電源として小振幅信号の高電位側電源  $V_{DL}$ 、低電位側電源  $V_{SL}$  が電源として供給される回路については、電源を  $V_{DL}$ 、 $V_{SL}$  と明記しているが、電源  $V_{DD}$ 、電源  $V_{SS}$  が供給される回路の電源は記載を一部省略している。従って、図 3 に記載されている回路のうち、電源系が明記されていない回路の電源には、 $V_{DD}$  と  $V_{SS}$  が供給されている。なお、高電位側電源  $V_{DL}$  の電圧は、電源  $V_{DD}$  の電圧以下の電圧であり、半導体装置 1 の内部で生成する内部電源である。また、低電位側電源  $V_{SL}$  の電圧は、電源  $V_{SS}$  の電圧以上の電圧であり、半導体装置 1 の内部で生成する内部電源である。

#### 【0035】

図 3 において、リードデータバッファ  $RBF$  は、ラッチ回路 333 と、 $NAND$  回路 334 と  $NOR$  回路 335 を含むプリバッファ回路と、 $P$  チャンネル  $MOS$  トランジスタ 336 と  $N$  チャンネル  $MOS$  トランジスタ 337 を含むバッファ回路により構成される。ラッチ回路 333 は、ラッチ信号  $RLATINB$  がロウレベルのときにリードライトアンプ  $RWAMP$  (図 2 参照) の出力信号である  $DRB$  を取り込む。ラッチ信号  $RLATINB$  がハイレベルのとき、ラッチ回路 333 は、データを保持する。 $NAND$  回路 334、 $NOR$  回路 335、 $P$  チャンネル  $MOS$  トランジスタ 336、 $N$  チャンネル  $MOS$  トランジスタ 337 は、第 1 のドライバとして機能し、ラッチ回路 333 に保持するデータを制御信号  $DRACT$  がハイレベルのときに、リードライトデータバス (第 1 の伝送線)  $RWBS$  へ小振幅信号として出力する。制御信号  $DRACT$  がロウレベルのときは  $P$  チャンネル  $MOS$  トランジスタ 336、 $N$  チャンネル  $MOS$  トランジスタ 337 は、共にオフし、リードデータバッファ  $RBF$  は、出力ハイインピーダンスの状態になる。なお、小振幅信号を高速に伝送するため、 $P$  チャンネル  $MOS$  トランジスタ 336、 $N$  チャンネル  $MOS$  トランジスタ 337 は、相対的に大きなサイズのトランジスタを用い、小振幅信号がリードライトデータバス  $RWBS$  を高速に伝送するように構成されている。

#### 【0036】

なお、リードデータバッファ  $RBF$  内の回路のうち、 $NAND$  回路 334 の高電位側電源端子は内部電源  $V_{DL}$  に接続され、低電位側電源端子は電源  $V_{SS}$  に接続されている。また、 $NOR$  回路の高電位側電源端子は電源  $V_{DD}$  に接続され、低電位側電源端子は電源  $V_{SL}$  に接続されている。また、バッファ回路を構成する  $P$  チャンネル  $MOS$  トランジスタ 336 のソースは、内部電源  $V_{DL}$  に接続され、 $N$  チャンネル  $MOS$  トランジスタ 337 のソースは、内部電源  $V_{SL}$  に接続されている。なお、高電位側の内部電源  $V_{SD}$  は、高電位側電源  $V_{DD}$  以下の電圧の半導体装置 1 の内部で生成した電源であり、低電位側の内部電源  $V_{SL}$  は、低電位側電源  $V_{SS}$  以上の電圧の半導体装置 1 の内部で生成した電源電圧である。なお、高電位側電源  $V_{DD}$ 、高電位側内部電源  $V_{SD}$ 、低電位側内部電源  $V_{SL}$ 、低電位側電源  $V_{SS}$  の電位を示すと式 (1) のとおりである。

#### 【0037】

$$V_{DD} \quad V_{DL} > V_{SL} \quad V_{SS} \quad \text{式 (1)}$$

#### 【0038】

第 1 のドライバ回路となる  $P$  チャンネル  $MOS$  トランジスタ 336、 $N$  チャンネル  $MOS$  トランジスタ 337 は、それぞれ、ソースが  $V_{DL}$ 、 $V_{SL}$  に接続されているので、リードデータバッファ回路  $RBF$  からリードライトデータバス  $RWBS$  へ出力される信号は、高電位側  $V_{DL}$ 、低電位側  $V_{SL}$  の小振幅信号となり、電源が電源  $V_{DD}$  と  $V_{SS}$  に接続されているドライバ回路より小振幅の信号となる。従って、リードライトデータバス  $RWBS$  の充放電電流を減らし、振幅を小さくすることにより、高速な信号の伝播が可能となる。

#### 【0039】

また、 $NAND$  回路 334 の低電位側の電源を  $V_{SS}$ 、 $NOR$  回路 335 の高電位側の電源を  $V_{DD}$  から取っているため、 $V_{DL}$  と  $V_{SL}$  間の電位差が小さくても、 $V_{DL}$  と  $V_{SS}$  との電位差、 $V_{DD}$  と  $V_{SL}$  との電位差が、それぞれ、 $P$  チャンネル  $MOS$  トランジスタ 336 のトランジスタ閾値、 $N$  チャンネル  $MOS$  トランジスタ 337 のトランジスタ閾値を超える電圧であれば、 $P$  チャンネル  $MOS$  トランジスタ 336 と  $N$  チャンネル  $MOS$

Sトランジスタ337からなる第1のドライバは動作する。したがって、リードライトデータバスRWBSを伝送する信号を小振幅にすることが可能である。

【0040】

共通基準電圧回路40は、内部回路側で基準電圧信号VREFを出力する内部回路側基準電圧回路41と、外部端子側で基準電圧信号VREFを出力する外部端子側基準電圧回路42を備える。内部回路側基準電圧回路41と外部端子側基準電圧回路42は、共に、高電位側内部電源VDLに接続されたスイッチS1と、低電位側内部電源VSLに接続されたスイッチS2と、基準電圧VREFを伝送する第2の伝送線VREFとスイッチS1との間に接続された抵抗R1と、第2の伝送線VREFとスイッチS2との間に接続された抵抗R2を備えている。また、抵抗R1と抵抗R2の抵抗値は互いにほぼ等しく、その抵抗値は、1k以上であり、比較的高抵抗である。抵抗R1と抵抗R2の抵抗値がほぼ等しいので、スイッチS1、S2を閉じたときは、第2の伝送線VREFの基準電圧VREFは、おおよそ式(2)で示す電圧となる。

10

【0041】

$$VREF = 1/2(VDL + VSL) \quad \text{式(2)}$$

【0042】

リードデータレシーバ(第1のレシーバ)RAMPは、リードライトデータバス(第1の伝送線)RWBSが非反転信号入力端子に、第2の伝送線VREFが反転信号入力端子に接続され、リードライトデータバスRWBSを伝送されてくる小振幅信号を第2の伝送線の基準電圧信号VREFと比較する差動回路である。差動回路の出力信号は、リードデータラッチRLATに接続され、制御信号RLATOUTBがロウレベルのときに、リードデータラッチRLATに取り込まれる。なお、制御信号RLATOUTBがハイレベルのとき、リードデータラッチRLATはデータを保持する。リードデータラッチRLATの出力信号ROUTは、並直列変換回路(図2の並直列変換/並直列変換回路362の並直列変換部)に接続される。

20

【0043】

ライトデータバッファWBFは、ラッチ回路363と、NAND回路364とNOR回路365を含むプリバッファ回路と、PチャンネルMOSトランジスタ366とNチャンネルMOSトランジスタ367を含むバッファ回路により構成される。ラッチ回路363は、ラッチタイミング制御信号WLATINBがロウレベルのときに図2の並直列変換/並直列変換回路362の直並列変換データ信号であるWINを取り込む。ラッチ回路363は、ラッチタイミング制御信号WLATINBがハイレベルのときは取り込んだデータを保持する。

30

【0044】

NAND回路364、NOR回路365、PチャンネルMOSトランジスタ366、NチャンネルMOSトランジスタ367は、第3のドライバ回路として機能し、ラッチ回路363に取り込んだライトデータを制御信号DWACTがハイレベルのときに、リードライトデータバスRWBSへ小振幅信号として出力する。制御信号DWACTがロウレベルのときはPチャンネルMOSトランジスタ366、NチャンネルMOSトランジスタ367は、共にオフし、ライトデータバッファWBFは、出力ハイインピーダンスの状態になる。

40

【0045】

なお、ライトデータバッファWBF内の回路のうち、NAND回路364の高電位側電源端子は内部電源VDLに接続され、低電位側電源端子は電源VSSに接続されている。また、NOR回路365の高電位側電源端子は電源VDDに接続され、低電位側電源端子は電源VSLに接続されている。また、バッファ回路を構成するPチャンネルMOSトランジスタ366のソースは、内部電源VDLに接続され、NチャンネルMOSトランジスタ367のソースは、内部電源VSLに接続されている。

【0046】

第3のドライバ回路となるPチャンネルMOSトランジスタ366、NチャンネルMOS

50

Sトランジスタ367は、それぞれ、ソースがVDL、VSLに接続されているので、ライトデータバッファ回路WBFからリードライトデータバスRWBSへ出力される信号は、高電位側VDL、低電位側VSLの小振幅信号となり、電源がVDDとVSSに接続されているドライバ回路より小振幅の信号となる。従って、リードライトデータバスRWBSの充放電電流を減らし、振幅を小さくすることにより、高速な信号の伝播が可能となる。

#### 【0047】

また、NAND回路364の低電位側の電源をVSS、NOR回路365の高電位側の電源をVDDから取っているため、VDLとVSL間の電位差が小さくても、VDLとVSSとの電位差、VDDとVSLとの電位差が、それぞれ、PチャンネルMOSトランジスタ366のトランジスタ閾値、NチャンネルMOSトランジスタ367のトランジスタ閾値を超える電圧であれば、PチャンネルMOSトランジスタ366とNチャンネルMOSトランジスタ367からなる第1のドライバは動作する。したがって、リードライトデータバスRWBSを伝送する信号を小振幅にすることが可能である。

10

#### 【0048】

ライトデータレシーバWAMPは、リードライトデータバス(第1の伝送線)RWBSが非反転信号入力端子に、第2の伝送線VREFが反転信号入力端子に接続され、リードライトデータバスRWBSを伝送されてくる小振幅信号を第2の伝送線の基準電圧信号VREFと比較する差動回路である。差動回路の出力信号は、ライトデータラッチWLATに接続され、制御信号WLATOUTBがロウレベルのときに、ライトデータラッチWLATに取り込まれる。なお、制御信号WLATOUTBがハイレベルのとき、ライトデータラッチWLATはデータを保持する。ライトデータラッチWLATの出力信号DWBは、リードライトアンプRWAMP(図2参照)に接続される。

20

#### 【0049】

なお、リードライトデータバス(第1の伝送線)RWBSと第2の伝送線VREFは、各内部回路側入出力回路33と外部端子側入出力回路36に接続されるが、外部端子側基準電圧回路42は、外部端子側入出力回路36の近傍に配置され、内部回路側基準電圧回路41は、第1の伝送線RWBSと第2の伝送線VREFの配線上において、外部端子側入出力回路36から最遠端に配置される内部回路側入出力回路33の近傍か、さらに遠くに配置することが望ましい。また、内部回路側基準電圧回路41は、バンク毎に各バンクに対応して設けられた内部回路側入出力回路33の近傍に配置してもよい。

30

#### 【0050】

また、第2の伝送線VREFは、内部電源配線VDLと内部電源配線VSLに挟まれて各内部回路側入出力回路33から外部端子側入出力回路36まで配線されている。このように配線すると、内部電源配線VDLと第2の伝送線VREFとの配線間容量と、内部電源配線VSLと第2の伝送線VREFとの配線間容量は、共に大きな値となる。

#### 【0051】

一方、各第1の伝送線RWBSは、信号の伝播が内部電源配線VDL及び内部電源配線VSLに影響を与えないように、内部電源配線VDL及びVSLから離間して配線されている。内部電源配線VSLと内部電源配線VDL及びVSLとの距離は、第1の伝送線RWBSの小振幅信号の伝送が配線間容量や相互インダクタンスにより内部電源配線VDLとVSLの電位に大きな影響を与えないように離せば十分である。

40

#### 【0052】

図4は実施例1における内部電源VDL、VSLを生成する内部電源生成回路50のブロック図である。内部電源生成回路50は、半導体装置1の内部に設けられ、外部から供給される高電位側電源VDDと低電位側電源VSSから内部高電位電源VDL、内部低電位電源VSLを生成する。なお、図4では、内部高電位電源VDLは、電源VDDから第1の内部電源生成回路51により生成し、内部低電位電源VSLは電源VSSから第2の内部電源生成回路52によって生成している。なお、図4の内部電源生成回路50の構成は、一例であり、半導体装置1の内部回路で用いる電源VDD、VSSの電位に対して、上

50

記式(1)の関係を満たす電源V<sub>DL</sub>、V<sub>SL</sub>を生成する回路であれば、どのような回路を用いてもよい。

【0053】

図5は、図3におけるリードデータレシーバ(第1のレシーバ)RAMP及びライトデータレシーバ(第2のレシーバ)WAMPの一例を示す回路ブロック図である。図5のデータレシーバ回路は、制御信号が異なるだけで、リードデータレシーバRAMPにもライトデータレシーバWAMPにも用いることができる。図5のデータレシーバは、電流源となるNチャンネルMOSトランジスタ345、差動対を構成するNチャンネルMOSトランジスタ343、344と、負荷回路となるPチャンネルMOSトランジスタ341と342と、を含む差動回路と、PチャンネルMOSトランジスタ346とNチャンネルMOSトランジスタ347とを含む出力回路を備えている。上記構成により基準電圧信号V<sub>REF</sub>とリードライトデータバスR<sub>WB</sub>Sとの電位差が小さい場合でも、電源V<sub>DD</sub>と電源V<sub>SS</sub>との間でフルに振幅するデジタル信号に変換して出力端子V<sub>out</sub>から出力する。

10

【0054】

図3で説明したように、第2の伝送線V<sub>REF</sub>は、内部電源配線V<sub>DL</sub>、V<sub>SL</sub>の間に配置し、かつ、各第1の伝送線R<sub>WB</sub>Sを内部電源配線V<sub>DL</sub>、V<sub>SL</sub>から離間して配置している。図6、図20を参照して、図3において、第2の伝送線V<sub>REF</sub>が、内部電源配線V<sub>DL</sub>、V<sub>SL</sub>の間に配置している理由について説明する。図2、3において、メモリセルアレイ10の配置位置と、データI/O端子22との半導体チップ1上の配置によって、メモリセルアレイ10の近傍に配置する内部回路側入出力回路33とデータI/O端子22の近傍に配置する外部端子側入出力回路36とは、離間して配置される場合がある。そのような場合、内部回路側入出力回路33と外部端子側入出力回路36との間を接続する複数の第1の伝送線R<sub>WB</sub>Sと、第2の伝送線V<sub>REF</sub>の長さは長くならざるを得ない。その伝送線のその長さは、半導体チップ1の長辺の長さに相当するか、半導体チップ1の長辺の長さを超えることも考えられる。特に第1の伝送線R<sub>WB</sub>Sはリードライトデータを高速に伝送するため、第1のドライバであるPチャンネルMOSトランジスタ336、NチャンネルMOSトランジスタ337、及び第3のドライバであるPチャンネルMOSトランジスタ366、NチャンネルMOSトランジスタ367の出力インピーダンスは低インピーダンスにする必要がある。また、第1の伝送線R<sub>WB</sub>Sは、8~128本存在し、8~128ビット並列にデータを転送するので、内部電源V<sub>DL</sub>、V<sub>SL</sub>は、第1の伝送線R<sub>WB</sub>Sに出力するデータによって、電源の電位がある程度変動する。内部電源V<sub>DL</sub>、V<sub>SL</sub>の電位が変動しても第1のドライバ(336、337)、第3のドライバ(366、367)は比較的lowインピーダンスであるので、内部電源V<sub>DL</sub>、V<sub>SL</sub>の電位の変動にすばやく反応し、第1の伝送線R<sub>WB</sub>Sを伝送する小振幅信号の電位は、内部電源V<sub>DL</sub>、V<sub>SL</sub>の電位の変動を反映した電位となる。

20

30

【0055】

一方、第2の伝送線V<sub>REF</sub>を伝送するのは、基準電圧信号であり、電位の変動が基本的にないので、第2のドライバ41、第4のドライバ42の出力インピーダンスは低くする必要がない。また、第2の伝送線V<sub>REF</sub>は、待機時においても、中間電位V<sub>REF</sub>を維持する必要があり、消費電力を低減するため、第2のドライバ41、第4のドライバ42は、相対的に高出力インピーダンスである。したがって、内部電源V<sub>DL</sub>、V<sub>SL</sub>の電圧が変動した場合でも第2の伝送線V<sub>REF</sub>の電位はすぐには反応しない。すなわち、内部電源V<sub>DL</sub>、V<sub>SL</sub>の電位がゆれた場合、第1の伝送線を伝送する小振幅信号が、電源の変動に対応して電位がすばやく反応するのに対して、第2の伝送線V<sub>REF</sub>の電位の変動が遅いので、第1のレシーバRAMP、第2のレシーバWAMPの電圧マージンが減少する。さらに、小振幅信号の振幅を小さくして、高速、かつ、低消費電力化を実現しようとした場合、内部電源V<sub>DL</sub>、V<sub>SL</sub>の電位変動より誤動作する恐れも生じる。

40

【0056】

図20は、第1のドライバの内部電源V<sub>DL</sub>、V<sub>SL</sub>とは共通インピーダンスを持たないV<sub>DL</sub>、V<sub>SL</sub>と同一電圧の別電源V<sub>DL</sub>2、V<sub>SL</sub>2から第2のドライバが基準電圧

50



VREFを生成し、第1のレシーバに基準電圧を供給し、かつ、基準電圧VREFと内部電源VDL及びVSLとの間に容量を設けない場合を想定した比較例の図面である。図20では、内部電源VDL、VSLは電源ノイズにより電位が変動し、この電位の変動は、第1の伝送線RWBSを伝送する小振幅信号の電圧レベルに影響を与える。また、小振幅信号は、第1の伝送線RWBSを伝送中に半導体基板などからのコモンノイズの影響を受ける。

【0057】

一方、基準電圧VREFは、内部電源VDL、VSLの変動の影響を受けず、第1の伝送線RWBSが受ける基板などからのコモンノイズの影響も受けないとする。そうすると、小振幅信号の電圧が内部電源VDL、VSLの電圧変動の影響や半導体基板などからのコモンノイズを受けるとその分、信号マージンが減少する。

10

【0058】

これに対して実施例1では、図3、図6に示すように、第2の伝送線VREFを内部電源配線VDLとVSLで挟んで配線しているため、第2の伝送線VREFと内部電源配線VDL、第2の伝送線VREFと内部電源配線VSLとの配線間容量は、大きくなり、内部電源VDL、及び/又は、内部電源VSLの電位がゆれると、配線間容量によって、第2の伝送線VREFの電位も同一方向に変動することになる。従って、第2のドライバ41、第4のドライバ42の出力インピーダンスが第1のドライバ(336、337)、第3のドライバ(366、367)より高く、内部電源VDL、VSLの電源電圧のゆれに対して第2のドライバ41、第4のドライバ42自体の反応が遅くとも、内部電源VDL、VSLとの配線間容量により、第2の伝送線の基準電圧信号VREFの電位の変動が内部電源VDL、VSLの電源変動に対して追従するようにすることができる。

20

【0059】

さらに、図6に示すように第2の伝送線VREFの第2のドライバ41の好ましい配置位置は、第1の伝送線RWBSの第1のドライバRBFの近傍に配置し、第1のドライバRBFと第2のドライバ41との間の内部電源配線VDL、VSLの配線インピーダンスをできるだけ小さくすることが好ましい。そのように配置すれば、第1のドライバRBFによる内部電源VDL、VSLの電源変動がそのまま第2のドライバを介して第2の伝送線VREFの電圧変動として表れるからである。

【0060】

また、第1のレシーバRAMPに対して第2のドライバ41を第1のドライバRBFより遠くに配置し、第2の伝送線VREF、及び第2の伝送線を両側から挟んで配置する内部電源配線VDL、VSLの配線の途中に第1のドライバRBFを配置してもよい。そのように配置すれば、第1のドライバが受ける内部電源VDL/VSLの電源変動、第1の伝送線の途中に第1の伝送線RWBSが受ける基板などからのコモンノイズが内部電源VDL/VSLや第2の伝送線VREFにも同じように影響を与え、信号マージンを確保できるからである。

30

【0061】

なお、図6では、第1のドライバRBF、第2のドライバ41、第1のレシーバRAMPについて説明したが、第3のドライバWBF、第4のドライバ42、第2のレシーバWAMPの場合も同様である。この様な配置にすることにより、内部電源VDL、VSLの電源変動に対する、第1のレシーバRAMP、第2のレシーバWAMPの動作マージンを増やし、誤動作の可能性を抑制することができる。さらには、第1の伝送線RWBSを伝送する信号の振幅をさらに小さな振幅とすることにより、第1の伝送線RWBSを充放電する電流を減らし、さらに低消費電力化を図ると共に、より高速な信号の伝送を可能にすることもできる。

40

【0062】

なお、第2の伝送線VREFの両側を内部電源VDLと内部電源VSLで挟むことにより、第2の伝送線VREFに対する内部電源VDLとの配線間容量と内部電源VSLとの配線間容量が実質的に等しくするように配線することもできる。そのように配線すること

50

により、内部電源V D L、内部電源V S Lのどちらの電源電圧が揺れた場合にも、第2の伝送線を伝送する基準電圧信号V R E Fの電位が追従することができる。さらに、内部電源配線V D Lと内部電源配線V S Lとによって第2の伝送線を挟むことによって、内部電源配線V D L、V S L以外の内部配線や外部からのノイズに対して第2の伝送線V R E Fをシールドする効果も得られ、誤動作の可能性をさらに抑制することができる。

【0063】

図7(a)は、内部回路側から外部端子側にデータを伝送するとき(リードコマンド実行時)のドライバの状態を説明する図であり、(b)は外部端子側から内部回路側にデータを伝送するとき(ライトコマンド実行時)のドライバ回路の状態を説明する図である。図7(a)に示すように、内部回路側から外部端子側にデータを伝送するときは、第1のドライバR B F、第2のドライバ4 1が導通し、第3のドライバW B F、第4のドライバ4 2は出力ハイインピーダンスの状態になる。従って、第1の伝送線R W B Sを伝送する小振幅信号も第2の伝送線V R E Fを伝送する基準電圧信号も内部回路側から外部端子側へ出力する。外部端子側の第1のレシーバR A M Pは、内部回路側入出力回路が出力する基準電圧信号V R E Fに基づいて、小振幅信号の電圧レベルを判定する。また、内部回路側の第2のレシーバW A M Pは動作を停止する。

10

【0064】

図7(b)に示すように、外部端子側から内部回路側にデータを伝送するとき(ライトコマンド実行時)は、第3のドライバW B F、第4のドライバ4 2が導通し、第1のドライバR B F、第2のドライバ4 1は出力ハイインピーダンスの状態になる。従って、第1の伝送線R W B Sを伝送する小振幅信号も第2の伝送線V R E Fを伝送する基準電圧信号も外部端子側から内部回路側へ出力する。内部回路側の第2のレシーバW A M Pは、外部端子側入出力回路が出力する基準電圧信号V R E Fに基づいて、小振幅信号の電圧レベルを判定する。また、外部端子側の第1のレシーバR A M Pは動作を停止する。

20

【0065】

図8(a)は、実施例1において、リード動作時の基準電圧ドライバ(第2のドライバと第4のドライバ)4 1、4 2の状態を説明する図である。また、図8(b)は、実施例1において、ライト動作時の基準電圧ドライバ4 1、4 2の状態を説明する図である。図8(a)に示すように、リード動作時には、内部回路側ドライバ(第2のドライバ)4 1を導通させる一方、外部端子側ドライバ(第4のドライバ)4 2を出力ハイインピーダンスにして、第1の伝送線を伝送するリードデータに合わせて、第2の伝送線も、内部回路側から外部端子側へ基準電圧V R E Fを伝送する。

30

【0066】

一方、図8(b)に示すように、ライト動作時には、外部端子側ドライバ(第4のドライバ)4 2を導通させる一方、内部回路側ドライバ(第2のドライバ)4 1を出力ハイインピーダンスにして、第1の伝送線を伝送するライトデータに合わせて、第2の伝送線も、外部端子側から内部回路側へ基準電圧V R E Fを伝送する。

【0067】

上記動作により、内部回路側から外部端子側にデータを伝送するときは、データを出力する内部回路側の内部電源V D L、V S Lの変動についてデータを受ける外部端子側のレシーバ(第1のレシーバ)の基準電圧V R E Fに反映することができる。一方、外部端子側から内部回路側にデータを伝送するときは、データを出力する外部端子側の内部電源V D L、V S Lの変動についてデータを受ける内部回路側のレシーバ(第2のレシーバ)の基準電圧V R E Fに反映することができる。

40

【実施例2】

【0068】

実施例2は、外部端子側のドライバと内部回路側のドライバについて、それぞれのドライバと内部電源配線V D L、V S Lとを切り離す複数のスイッチを設けて、基準電圧信号V R E Fが内部回路側と外部端子側のうち、データを出力する側の内部電源V D L、V S

50

Lの揺らぎをよりの確にデータを受ける側の基準電圧信号VREFの揺らぎに反映させる実施例である。

【0069】

図9(a)は、内部回路側から外部端子側にデータを出力(リードデータ出力)するときの内部回路側の基準電圧ドライバ(第2のドライバ)41aと外部端子側の基準電圧ドライバ42aの動作を説明する図である。実施例2では、実施例1の基準電圧ドライバ41、42(図3、図8参照)と異なり、基準電圧ドライバ41a、42aの内部電源VDL1、VSL1、VDL2、VSL2を内部電源配線VDL、VSLから切り離すスイッチ411、412、421、422を設けている。内部回路側から外部端子側にデータを伝送(リードデータ出力)するときは、外部端子側基準電圧ドライバ42aの出力をハイインピーダンスにするだけにとどまらず、スイッチ421、422をオフに設定することにより、外部端子側基準電圧ドライバ42aの内部電源端子VDL2、VSL2を内部電源配線VDL、VSLから切り離している。一方、内部回路側の基準電圧ドライバ41aのスイッチ411、412をオンさせることにより、基準電圧ドライバ41aの内部電源端子VDL1、VSL1は、スイッチ411、412を介して内部電源配線VDL、VSLに接続されている。従って、電源配線VDL、VSLは、より忠実にデータを出力する側(内部回路側)の内部電源電圧VDL1、VSL1を反映した電圧となり、電源配線VDL、VSLと基準電圧信号VREFとの配線間容量により、基準電圧信号VREFの電位をより忠実にデータを出力する内部回路側のドライバ回路の内部電源電圧VDL1、VSL1を反映した電圧とすることができる。

10

20

【0070】

また、図9(b)に示すように、外部端子側から内部回路側にデータを転送(ライトデータ入力)するときには、スイッチ421と422をオンにして、スイッチ411と412をオフにしている。この様に設定することにより、内部回路側基準電圧ドライバ41aの出力をハイインピーダンスにするだけにとどまらず、内部回路側基準電圧ドライバの内部電源端子VDL1、VSL1を内部電源配線VDL、VSLから切り離している。一方、基準電圧ドライバ42aの内部電源端子VDL2、VSL2は、スイッチ421、422を介して内部電源配線VDL、VSLに接続されている。従って、電源配線VDL、VSLは、より忠実にデータを出力する側(外部端子側)の内部電源電圧VDL2、VSL2を反映した電圧となり、電源配線VDL、VSLと基準電圧信号VREFとの配線間容量により、基準電圧信号VREFの電位をより忠実にデータを出力する外部端子側のドライバ回路の内部電源電圧VDL1、VSL1を反映した電圧とすることができる。

30

【0071】

なお、スイッチ411、412、421、422を設け、内部回路側と外部端子側のドライバの内部電源VDL1、VSL1、VDL2、VSL2のうち、データを受ける側のドライバを内部電源配線VDL、VSLから切り離すこと以外は、実施例2の構成及び動作は、実施例1と同一であるので、重複する説明は省略する。

【0072】

また、実施例2において、内部電圧生成回路50(図4参照)を外部端子側と内部回路側にそれぞれ設け、内部回路側に設けた内部電圧生成回路50は、内部回路側の第1のドライバ(図3の336、337)、第2のドライバ41aに内部電源VDL1、VSL1を供給し、外部端子側に設けた内部電圧生成回路50は、外部回路側の第3のドライバ(図3の366、367)、第4のドライバ42aに内部電源VDL2、VSL2を供給するようにしてもよい。そして、内部電源配線VDL、VSLには、内部電源VDL1、VSL1とVDL2、VSL2のうち、データを出力する側の内部電圧生成回路50が生成した内部基準電圧を供給するようにしてもよい。

40

【0073】

図11は、内部電源VSLが変動した場合の(a)実施例2における伝送線のシミュレーション波形図と、(b)比較例における伝送線のシミュレーション波形図である。図11(a)では、第2の伝送線VREFと低電位側内部電源配線VSLとを隣接して配置し

50

、第2の伝送線VREFと内部電源配線VSLとの配線間容量を大きくしている。一方、図11(b)は、比較例で第2の伝送線VREFと内部電源配線VSLとの配線間容量は設けていない。

【0074】

図11において、縦軸は電圧(V)であり、横軸は時間(ns)である。VDD = 1.5V、VSS = 0V、VSL = 0.5V、VDL = 0.9V、VREF = 0.7Vに設定している。ただし、VSLは、0.5Vに完全に固定されておらず、回路動作に連動して最大で0.6Vまで浮き上がっている(例えば、152ns前後参照)。また、図11(a)の実施例では、VSLとVREF間の配線間容量により、第2の伝送線VREFは、VSLの変動に連動して0.7Vから0.75Vまでの範囲で変動している。

10

【0075】

第1の伝送線RWBSがロウレベルを伝送するときの電圧レベルをVRWS(L)とすると、そのときの信号量(第1の伝送線を伝送するロウレベルの電圧と第2の伝送線の基準電圧との電圧マージン)は、本来、式(3)で表すことができる。

【0076】

$$VREF - VRWS(L) = 0.7V - 0.5V = 0.2V \quad \text{式(3)}$$

【0077】

すなわち、低電位側内部電源電圧VSLに揺れがなければ、第1の伝送線RWBSのロウレベルには、式(3)に示すとおり0.2Vの電圧マージンが存在する。しかし、低電位側内部電源電圧VSLが電圧の揺れにより、0.5Vより上昇すると、その分、VRWS(L)も上昇し、電圧マージンが減少する。図11では、低電位側内部電源電圧VSLは、0.5Vから0.6Vに上昇している(浮き上がっている)ので、その分電圧マージンは減る。しかし、この実施例では、低電位側内部電源電圧VSLと第2の伝送線VREFとの間に積極的に配線間容量を設けているので、低電位側内部電源電圧VSLが浮き上がる時は、第2の伝送線VREFの電位も浮き上がっており、電圧マージンの減少を抑制している。この低電位側内部電源電圧VSLが0.5Vから0.6Vに上昇したときには、第2の伝送線の基準電圧VREFは、0.7Vから0.75Vに上昇している(図11(a)の152ns前後を参照)。このときの電圧マージンは、式(4)で表すことができる。

20

【0078】

$$VREF - VRWS(L) = 0.75V - 0.6V = 0.15V \quad \text{式(4)}$$

30

【0079】

すなわち、何も対策を行わない場合には、低電位側内部電源電圧VSLが上昇すると、その上昇した電圧分だけ電圧マージンが減ってしまうが、配線間容量により低電位側内部電源電圧VSLが上昇したときに、基準電圧VREFの電圧も上昇するので、電圧マージンの減少を抑制することができる。

【0080】

一方、図11(b)の比較例では、低電位側内部電源電圧VSLと第2の伝送線VREF間には配線間容量を設けていないので、低電位側内部電源電圧VSLの電位が上昇すると、その上昇した電圧は、そのまま電圧マージンの減少として現れる。すなわち、図11(b)での電圧マージンは、式(5)で表すことができる。

40

【0081】

$$VREF - VRWS(L) = 0.7V - 0.6V = 0.1V \quad \text{式(5)}$$

【0082】

図11(b)の比較例では、式(5)に示すとおり、低電位側内部電源電圧VSLが0.1V上昇すると、式(5)に示すとおり電圧マージンは、0.1Vに減少するが、図11(a)の実施例によれば、式(4)に示すとおり、電圧マージンは、0.15V確保できている。すなわち、式(3)の本来の電圧マージン0.2Vを基準とすると、比較例の式(5)の0.1Vに対して実施例の式(4)は0.15Vであるので、電圧マージン(信号量)が25パーセント改善されている。また、電圧マージンの改善により、アクセス

50

時間も  $0.14 \text{ ns}$  改善されている。

【0083】

次に、図12は、内部電源  $V_{DL}$  が変動した場合の (a) 実施例2における伝送線のシミュレーション波形図と、(b) 比較例における伝送線のシミュレーション波形図である。図12(a)では、第2の伝送線  $V_{REF}$  と高電位側内部電源配線  $V_{DL}$  とを隣接して配置し、第2の伝送線  $V_{REF}$  と内部電源配線  $V_{DL}$  との配線間容量を大きくしている。一方、図12(b)は、比較例で第2の伝送線  $V_{REF}$  と内部電源配線  $V_{DL}$  との配線間容量は設けていない。

【0084】

図12において、縦軸は電圧 (V) であり、横軸は時間 (ns) である。 $V_{DD} = 1.5 \text{ V}$ 、 $V_{SS} = 0 \text{ V}$ 、 $V_{SL} = 0.5 \text{ V}$ 、 $V_{DL} = 0.9 \text{ V}$ 、 $V_{REF} = 0.7 \text{ V}$  に設定している。ただし、 $V_{DL}$  は、 $0.9 \text{ V}$  に完全に固定されておらず、回路動作に連動して最大で  $0.8 \text{ V}$  まで沈み込んでいる (図12の  $147 \text{ ns}$  近辺参照)。また、図12(a)の実施例では、 $V_{DL}$  と  $V_{REF}$  間の配線間容量により、第2の伝送線  $V_{REF}$  は、 $V_{DL}$  の変動に連動して  $0.65 \text{ V}$  から  $0.7 \text{ V}$  までの範囲で変動している。

10

【0085】

第1の伝送線  $R_{WBS}$  がハイレベルを伝送するときの電圧レベルを  $V_{RWBS}(H)$  とすると、そのときの信号量 (第1の伝送線を伝送するハイレベルの電圧と第2の伝送線の基準電圧との電圧マージン) は、本来、式(6)で表すことができる。

【0086】

$$V_{RWBS}(H) - V_{REF} = 0.9 \text{ V} - 0.7 \text{ V} = 0.2 \text{ V} \quad \text{式(6)}$$

20

【0087】

すなわち、高電位側内部電源電圧  $V_{DL}$  に揺れがなければ、第1の伝送線  $R_{WBS}$  のハイレベルには、式(6)に示すとおり  $0.2 \text{ V}$  の電圧マージンが存在する。しかし、高電位側内部電源電圧  $V_{DL}$  が電圧の揺れにより、 $0.9 \text{ V}$  より下降すると、その分、 $V_{RWBS}(H)$  も下降し、電圧マージンが減少する。図12では、高電位側内部電源電圧  $V_{DL}$  は、 $0.9 \text{ V}$  から  $0.8 \text{ V}$  に下降している (沈み込んでいる) ので、その分電圧マージンは減る。しかし、この実施例では、高電位側内部電源電圧  $V_{DL}$  と第2の伝送線  $V_{REF}$  との間に積極的に配線間容量を設けているので、高電位側内部電源電圧  $V_{DL}$  が沈み込むときは、第2の伝送線  $V_{REF}$  の電位も沈み込んでおり、電圧マージンの減少を抑制している。この高電位側内部電源電圧  $V_{DL}$  が  $0.9 \text{ V}$  から  $0.8 \text{ V}$  に下降したときには、第2の伝送線の基準電圧  $V_{REF}$  は、 $0.7 \text{ V}$  から  $0.65 \text{ V}$  に下降している (図12(a)の  $147 \text{ ns}$  前後を参照)。このときの電圧マージンは、式(7)で表すことができる。

30

【0088】

$$V_{RWBS}(H) - V_{REF} = 0.8 \text{ V} - 0.65 \text{ V} = 0.15 \text{ V} \quad \text{式(7)}$$

【0089】

すなわち、何も対策を行わない場合には、高電位側内部電源電圧  $V_{DL}$  が下降すると、その下降した電圧分だけ電圧マージンが減ってしまうが、配線間容量により高電位側内部電源電圧  $V_{DL}$  が下降したときに、基準電圧  $V_{REF}$  の電圧も下降するので、電圧マージンの減少を抑制することができる。

40

【0090】

一方、図12(b)の比較例では、高電位側内部電源電圧  $V_{DL}$  と第2の伝送線  $V_{REF}$  間には配線間容量を設けていないので、高電位側内部電源電圧  $V_{DL}$  の電位が下降すると、その下降した電圧は、そのまま電圧マージンの減少として現れる。すなわち、図12(b)での電圧マージンは、式(8)で表すことができる。

【0091】

$$V_{RWBS}(H) - V_{REF} = 0.8 \text{ V} - 0.7 \text{ V} = 0.1 \text{ V} \quad \text{式(8)}$$

【0092】

図12(b)の比較例では、式(8)に示すとおり、高電位側内部電源電圧  $V_{DL}$  が  $0$

50

．1 V 下降すると、式(8)に示すとおり電圧マージンは、0.1 V に減少するが、図12(a)の実施例によれば、式(7)に示すとおり、電圧マージンは、0.15 V 確保できている。すなわち、式(6)の本来の電圧マージン0.2 V を基準とすると、比較例の式(8)の0.1 V に対して実施例の式(7)は0.15 V であるので、電圧マージン(信号量)が25パーセント改善されている。また、電圧マージンの改善により、アクセス時間も0.26 ns 改善されている。

【実施例3】

【0093】

実施例3は、第2の伝送線VREFを挟むように配置された内部電源配線VDL、VSLとその外側にさらに配線される電位が変動する駆動配線との間にVSSやVDD等の固定電位に接続された配線を設けることにより、駆動配線の伝送する信号の電圧レベルの変動が、第2の伝送線VREFや内部電源配線VDL、VSLに影響を与えないようにする実施例である。第2の伝送線VREFを駆動する第2のドライバ41、第4のドライバ42は、出力インピーダンスが比較的高いのでノイズの影響を受けやすい。第2の伝送線VREFの両側を内部電源配線VDL、VSLで挟んでもさらに内部電源配線VDL、VSLの外側に配置された信号配線の電位が変動するとその影響を内部電源配線VDL、VSLが受けて、内部電源配線VDL、VSLの電位が変動し、さらにその内部電源配線VDL、VSLの揺れが第2の伝送線VREFの電位に影響を与える。データを出力する第1のドライバ(図3の336、337)、第3のドライバ(図3の366、367)の内部電源VDL、VSLの揺らぎと連動して第2の伝送線VREFの電位が変動することは、好ましいが、データを出力する第1、第3のドライバの電源電位の変動に基づかない内部電源配線VDL、VSLの揺らぎによる第2の伝送線VREFの揺らぎは誤動作を生じさせる恐れがある。実施例3では、第2の伝送線VREFを挟んで配置された内部電源配線VDL、VSLとノイズとなる信号配線(駆動配線)との間に固定電位に接続された配線を配置することにより、ノイズと新配線が配線間の寄生容量や配線間の相互インダクタンス等により悪影響を与えることを防いでいる。

【0094】

図10は、実施例3において、(a)リード動作時(内部回路側から外部端子側へのデータ出力時)の内部電源線VDL、VSL及び基準電圧伝送線(第2の伝送線)VREFのノイズの影響と、(a)ライト動作時(外部端子側から内部回路側へのデータ入力時)の内部電源線及び基準電圧伝送線のノイズの影響と、を説明する図である。

【0095】

図10(a)において、第2の伝送線VREFの両側を内部電源線VDLとVSLが挟んで配線されており、さらにその外側に固定電位配線(図10(a)では、電源VSSに固定された配線)が配線されている。なお、電源VSSは、固定電位配線の一例であり、電源VSS以外にも任意の電源線や通常動作時に使用しないテストモードの信号線などを使用してもよい。第1の伝送線RWS等の電位が変動する信号配線は、さらにその外側に配線されている。信号配線と固定電位配線VSSの間には配線間容量があるので、信号配線(RWSなどの駆動配線)の電位の変動により、固定電位配線(図10(a)では、VSS)の電位は若干影響を受けて電位が変動する。さらに、固定電位配線VSSの内側には、内部電源配線VDL、VSLが配線されている。固定電位配線VSSと内部電源配線VDL、VSLの間には、配線間容量があるので、固定電位配線VSSの電位の変動はさらに減衰して内部電源配線VDL、VSLの電位に影響を与える。しかし、第2の伝送線VREFは、さらにその内側に配線されているので、第1の伝送線RWS等の電位が変動する信号配線の電位が変動しても、最も内側に配線された第2の伝送線VREFの電位には、ほとんど影響を与えない。なお、図10(a)において、リード動作時に、内部回路側から外部端子側にリードデータを出力するときは、内部回路側基準電圧ドライバ41aをオンさせて、内部電源配線に接続し、外部端子側基準電圧ドライバ42aを出力ハイインピーダンスにすると共に、外部端子側基準電圧ドライバ42aの電源端子VDL2、VSL2は、実施例2と同様に、内部電源配線VDL、VSLから切り離してい

る。その効果は、実施例 2 で説明したとおりである。

【 0 0 9 6 】

一方、図 1 0 ( b ) に示すように、ライト動作時に、外部端子側から内部回路側にライトデータを入力するときは、外部端子側基準電圧ドライバ 4 2 a をオンさせて、内部電源配線に接続し、内部回路側基準電圧ドライバ 4 1 a を出力ハイインピーダンスにすると共に、内部回路側基準電圧ドライバ 4 1 a の電源端子 V D L 1、V S L 1 は、実施例 2 と同様に、内部電源配線 V D L、V S L から切り離している。その効果は、実施例 2 で説明したとおりである。

【 実施例 4 】

【 0 0 9 7 】

図 1 3 は、実施例 4 におけるデータバッファの回路ブロック図である。図 1 3 のデータバッファは、実施例 1 乃至実施例 3 におけるリードデータバッファ R B F、及び / 又は、ライトデータバッファ W B F として用いることができる ( 図 2、図 3 参照 )。図 1 3 のデータバッファは、リードデータバッファ R B F、ライトデータバッファ W B F のどちらにも用いることができるが、以下の実施例では、リードデータバッファ R B F に用いる場合を例に説明する。

【 0 0 9 8 】

図 1 3 において、メインリードバッファ M R B F は、実施例 1 のリードバッファ R B F とその構成、動作が同一である。図 1 3 では、このメインリードバッファ M R B F に加えてさらに、サブリードバッファ S R B F が設けられている。サブリードバッファ S R B F を構成する回路の電源は、すべて電源 V D D と電源 V S S から供給されており、小振幅信号の電源である内部電源 V D L、V S L は、サブリードバッファ S R B F には供給されていない。このサブリードバッファ S R B F は、メインリードバッファ M R B F に対する補助ドライバとして機能する。

【 0 0 9 9 】

サブリードバッファ S R B F は、制御信号 D P S とラッチ回路 3 3 3 が保持するデータ信号 D R I N が入力端子に接続された N A N D 回路 3 8 3 と、制御信号 D P S の反転信号とデータ信号 D R I N が入力端子に接続された N O R 回路 3 8 4 と、N A N D 回路 3 8 3 の出力信号がゲートに接続され、ソースが電源 V D D に、ドレインが第 1 の伝送線 R W B S に接続された P チャンネル M O S トランジスタ 3 8 1 と、ゲートが N O R 回路 3 8 4 の出力信号に接続され、ソースが電源 V S S に、ドレインが第 1 の伝送線 R W B S に接続された N チャンネル M O S トランジスタ 3 8 2 を含んで構成される。

【 0 1 0 0 】

図 1 4 は、実施例 4 におけるリードデータバッファ R B F の動作波形図である。制御信号 D R A C T は、リードデータバッファ R B F の出力活性化信号であり、D R A C T がロウレベルのときは、メインリードバッファ M R B F のドライバは出力ハイインピーダンス状態であるが、制御信号 D R A C T がハイレベルになると、メインリードバッファ M R B F のドライバは導通する。反転データ信号 D R B は、リードデータバッファ R B F への入力データ信号である。R L A T I N B は、ラッチ回路 3 3 3 のラッチ信号であり、ラッチ回路 3 3 3 は、R L A T I N B の立下りに同期して反転データ信号 D R B を取り込み、ラッチされたデータ信号 D R I N として出力する。なお、R L A T I N B がハイレベルのときは、ラッチ回路 3 3 3 は、反転データ信号 D R B の論理レベルに係わらずデータを保持する。D P S は、サブリードバッファ S R B F の制御信号であり、ハイレベルのときに、ラッチ回路 3 3 3 のデータ出力信号である D R I N のデータに基づいて、P チャンネル M O S トランジスタ 3 8 1、又は、N チャンネル M O S トランジスタ 3 8 2 が導通する。制御信号 D P S は、D R A C T がハイレベルで、かつ、ラッチ信号 R L A T I N B がロウレベルとなり、ラッチ回路 3 3 3 のデータが更新されるときのみ、ワンショットパルスとして出力される。

【 0 1 0 1 】

R W B S は、第 1 の伝送線 R W B S の電圧レベルである。補助ドライバであるサブリー

10

20

30

40

50

ドバッファSRBFを設けないときの第1の伝送線RWBSの電圧レベルを破線で、補助ドライバであるサブリードバッファSRBFを設けたときの第1の伝送線RWBSの電圧レベルを実線で示す。補助ドライバが第1の伝送線RWBSの立ち上がり、立下りに同期して導通することにより、第1の伝送線RWBSの立ち上がり、立下りを急峻にすることができる。さらに、補助ドライバは、第1の伝送線RWBSの論理レベルが変わらないタイミングでは非導通となるので、第1の伝送線RWBSを伝送する信号が、不必要にオーバースイングすることはなく、小振幅な信号レベルを維持できる。

#### 【0102】

すなわち、サブリードバッファSRBFを設けることにより、内部電源電圧VDLとVSLとの電位差が小さくても、サブリードバッファSRBFにより、メインリードバッファMRBFの駆動能力を補うことができるので、第1の伝送線RWBSの充放電時間を短縮することができ、アクセス時間を短縮できる。

10

#### 【0103】

図15は、実施例4におけるデータレシーバの回路ブロック図である。図15のデータレシーバは、実施例1乃至実施例3における第1のレシーバRAMP、及び/又は、第2のレシーバWAMPとして用いることができる(図2、図3、図5参照)。図15のデータレシーバは、第1のレシーバRAMP、第2のレシーバWAMPのどちらにも用いることができるが、以下の実施例では、第1のレシーバRAMPに用いる場合を例に説明する。

#### 【0104】

図15のレシーバRAMPは、電流源となるNチャンネルMOSトランジスタ345、401、402と、差動対を構成するNチャンネルMOSトランジスタ343、344と、負荷回路となるPチャンネルMOSトランジスタ341と342と、を含む差動回路と、PチャンネルMOSトランジスタ346、403とNチャンネルMOSトランジスタ347、404とを含む出力回路とを備えている。

20

#### 【0105】

図15の差動回路の電流源回路(345、401、402)は、第1の伝送線データの受信時(リードデータの出力時)には、常時電流IS1を流すNチャンネルMOSトランジスタ345による電流源と、一定のタイミングで電流IMを流すNチャンネルMOSトランジスタ401とNチャンネルMOSトランジスタ402による電流源の2系統の電流源を備えている。NチャンネルMOSトランジスタ402のゲートには、制御信号DRLATが接続され、NチャンネルMOSトランジスタ345とNチャンネルMOSトランジスタ401のゲートには、制御信号DREAが接続されている。

30

#### 【0106】

また、出力回路は、ドライバとなるPチャンネルMOSトランジスタ346のソースと電源VDDとの間に、ゲートが制御信号DRLATの反転信号に接続されたPチャンネルMOSトランジスタ403と抵抗R11とが並列に接続されている。また、ドライバとなるNチャンネルMOSトランジスタ347のソースと電源VSSとの間に、ゲートが制御信号DRLATに接続されたNチャンネルMOSトランジスタ404と抵抗R12とが並列に接続されている。

40

#### 【0107】

図16は、図15のデータレシーバの動作波形図である。制御信号DRACTは、ドライバ側を制御する信号であり、DRINは、ドライバ側が出力するデータ信号である。また、RLATは、図13のRATINVの反転信号であり、DRINは、RATINVの立ち上がりに同期してデータが更新される。DRACTがハイレベルに立ち上がると、第1の伝送線には、データ信号DRINに基づいた小振幅信号が出力される。データレシーバは、制御信号DRACTの立ち上がりに同期して制御信号DREAを活性化し、差動回路への電流の供給を開始する。

#### 【0108】

制御信号DRLATは、制御信号RLATの位相を遅らせた信号である。データレシー

50



バは、ドライバ側の送信データの変化するタイミングに合わせて、制御信号DRLATをワンショットでハイレベルにする。制御信号DRLATがハイレベルになると、NチャンネルMOSトランジスタ402が導通し、差動回路(343、344)に流れる電流は、IS1からIS1+IMに増加する。差動回路に流す電流が増加すると、差動回路はより高速に動作し、比較結果をノードVAに出力する。

#### 【0109】

また、制御信号DRLATがハイレベルになると、出力回路のPチャンネルMOSトランジスタ403とNチャンネルMOSトランジスタ404が導通し、出力回路は、ノードVAの電圧レベルをCMOSレベルの出力信号にレベル変換し、DROUTから出力する。

10

#### 【0110】

次に、制御信号DRLATが立ち下ると差動回路に流れる電流はIS1に減少する。しかし、減少した電流の供給は維持されるので、差動回路は、比較結果のノードVAへの出力レベルを維持する。また、制御信号DRLATが立ち下ると出力回路のPチャンネルMOSトランジスタ403とNチャンネルMOSトランジスタ404は非導通となる。出力回路のPチャンネルMOSトランジスタ403とNチャンネルMOSトランジスタ404が非導通となると出力回路の負荷駆動能力は減少するが、PチャンネルMOSトランジスタ403及びNチャンネルMOSトランジスタ404と並列に抵抗R11、R12が接続されているので、DROUTの出力電圧レベルは維持される。

20

#### 【0111】

上記のデータレシーバを用いれば、第1の伝送線RWSを伝送するデータが変化するタイミングで差動回路に流れる電流を増加させ、差動回路を高速に動作させるとともに、出力回路の駆動能力を増加させ、負荷を高速に駆動することができる。

#### 【0112】

一方、第1の伝送線を伝送するデータが変化しないタイミングでは、差動回路に流れる電流を減少させ、差動回路に流れる電流を抑制する。また、差動回路の出力のノードVAは完全なCMOSレベルではないので、差動回路が動作中は、出力回路に貫通電流が流れる。このとき、抵抗と並列に接続されたPチャンネルMOSトランジスタ403とNチャンネルMOSトランジスタ404が非導通となるように制御することにより、DROUTの出力電圧を維持しつつ、出力回路の貫通電流を減らすことができる。

30

#### 【0113】

なお、制御信号DRLATは、ドライバ側のラッチ回路のラッチ信号を遅延させて生成することができる。上記図15と図16を用いて説明したデータレシーバは、実施例1乃至3のいずれのレシーバとして用いることもできる。

#### 【実施例5】

#### 【0114】

図18は、実施例5によるデータバッファの回路ブロック図である。図18に示すデータバッファは、図13に示す実施例4のデータバッファに対して、ラッチ回路333のデータが更新された場合であっても、以前と同一データに更新され、第1の伝送線RWSから出力する小振幅信号の論理レベルに変更がない場合は、サブリードバッファSRBF(サブライトバッファSWBF)を導通させずに、消費電力を削減する実施例である。実施例4のデータバッファと同様に、実施例5のデータバッファは、リードデータバッファRBFにも、ライトデータバッファWBFにも用いることができるが、以下の説明では、リードデータバッファRBFとしても用いる場合について、説明する。

40

#### 【0115】

図18に示す実施例5のリードデータバッファRBFは、実施例4と同様に、メインリードバッファMRBFとサブリードバッファSRBFにより構成され、メインリードバッファMRBFの構成、動作は、実施例4のメインリードバッファMRBFと同一である。実施例5のサブリードバッファSRBFは、RLATINBの立下りでDRINのデータをラッチするラッチ回路387と、ラッチ回路387とラッチ回路333のデータに基づ

50

いて、データが変化するときだけ、サブリードバッファSRBFのドライブトランジスタ381又は382を導通させる組み合わせ回路(NAND回路386、NOR回路385)を備えている。

【0116】

図19は、図18のリードデータバッファRBFの動作波形図である。制御信号DRAC、反転データ信号DRB、ラッチ回路333のラッチ信号RLATINB、ラッチ回路333にラッチされたデータ信号DRINは、実施例4と同一の信号であるので、重複した説明は省略する。DRIN1は、サブリードバッファSRBF内に設けたラッチ回路387の出力信号である。制御信号DPSは、実施例4と同じである。また、制御信号DPS Pは、サブリードバッファSRBFのドライブトランジスタであるPチャンネルMOSトランジスタ381のゲート信号である。制御信号DPS Pがロウレベルのときに、PチャンネルMOSトランジスタ381は導通し、制御信号DPS Pがハイレベルのときに、PチャンネルMOSトランジスタ381は非導通となる。さらに、制御信号DPS Nは、サブリードバッファSRBFのもう一つのドライブトランジスタであるNチャンネルMOSトランジスタ382のゲート信号である。制御信号DPS Nがハイレベルのときに、NチャンネルMOSトランジスタ382は導通し、制御信号DPS Nがロウレベルのときに、NチャンネルMOSトランジスタ382は非導通となる。RWBSは、第1の伝送線RWBSの電圧レベルである。

10

【0117】

図19で、リードデータバッファRBFへの入力データ信号である反転データ信号DRBと、ラッチ信号RLATINBと、ラッチ回路333にラッチされたデータ信号DRINに着目すると、ラッチ信号RLATINBの立ち下がりタイミングにおいて、ラッチされたデータ信号DRINの論理レベルが反転している場合と反転していない場合が存在する。例えば、時刻t1とt5ではデータ信号DRINはロウレベルからハイレベルに立ち上がり、時刻t3ではデータ信号DRINはハイレベルからロウレベルに立ち下がっているが、時刻t2、t4、t6では、ラッチ回路333のデータは以前と同じデータに更新されているため、データ信号DRINの論理レベルは以前の論理レベルを保持している。また、サブリードバッファSRBFに設けられたラッチ回路387の出力データ信号であるDRIN1は、データ信号DRINからラッチ信号RLATINBの半周期遅れたデータ信号である。

20

30

【0118】

サブリードバッファSRBFは、このデータ信号DRIN、DRIN1と制御信号DPSに基づいて、データ信号DRINがロウレベルからハイレベルに立ち上がったときだけ(時刻t1、t5のみ)、1ショットで制御信号DPS Pをロウレベルに制御し、PチャンネルMOSトランジスタ381を導通させ、データ信号DRINがハイレベルからロウレベルに立ち下がったときだけ(時刻t3のみ)、1ショットで制御信号DPS Nをハイレベルに制御し、NチャンネルMOSトランジスタ382を導通させる。それ以外のタイミングでは、ラッチ回路333のデータが更新された場合であっても、以前と同一の論理レベルに更新され、第1の伝送線RWBSに出力する小振幅信号の論理レベルを変更する必要がない場合は、PチャンネルMOSトランジスタ381やNチャンネルMOSトランジスタ382を導通させないように制御している。この構成により、実施例4の効果にさらに加えて、第1の伝送線RWBSに伝送する小振幅信号の本来の電圧レベル(ハイレベルVDL、ロウレベルVSL)がVDL以上のハイレベルやVSL以下のロウレベルに不必要にオーバードライブされることを防ぐ効果が得られる。

40

【実施例6】

【0119】

図17は、半導体装置1を用いたデータ処理システムのブロック図である。図に示すデータ処理システム500は、データプロセッサ520と、半導体装置(DRAM)1が、システムバス510を介して相互に接続されている。データプロセッサ520としては、例えば、マイクロプロセッサ(MPU)、デジタルシグナルプロセッサ(DSP)などを

50

含むが、これらに限定されない。図17においては説明を簡単にするため、システムバス510を介してデータプロセッサ520とDRAM530とが接続されているが、システムバス510を介さずにローカルなバスによってこれらが接続されていても構わない。

【0120】

また、図17には、説明を簡単にするためシステムバス510が1組しか描かれていないが、必要に応じ、コネクタなどを介しシリアルないしパラレルに設けられていても構わない。また、図に示すデータ処理システムでは、ストレージデバイス540、I/Oデバイス550、ROM560がシステムバス510に接続されているが、これらは必ずしも必須の構成要素ではない。

【0121】

ストレージデバイス540としては、ハードディスクドライブ、光学ディスクドライブ、フラッシュメモリなどが挙げられる。また、I/Oデバイス550としては、液晶ディスプレイなどのディスプレイデバイスや、キーボード、マウスなどの入力デバイスなどが挙げられる。

【0122】

また、I/Oデバイス550は、入力デバイス及び出力デバイスのいずれか一方のみであっても構わない。

【0123】

さらに、図に示す各構成要素は、簡単のため1つずつ描かれているが、これに限定されるものではなく、1又は2以上の構成要素が複数個設けられていても構わない。

【0124】

実施例6において、DRAMを制御するコントローラ(例えばデータプロセッサ520)は、システムクロックCK,CKBとその他の制御信号を利用してDRAM10へデータのリードアクセスやライトアクセスに関連する各種コマンドを発行する。コントローラからリードコマンドを受けた半導体装置1は、内部に保持する記憶情報を読み出し、第1の伝送線RWS(図1)を経由してシステムバス510へそのデータを出力する。また、コントローラからライトコマンドを受けた半導体装置1は、システムバス510から入力したデータを第1の伝送線RWSを経由してメモリセルアレイ10にデータを書き込む。尚、コントローラが発行する前記複数のコマンドは、所謂、周知の半導体装置を制御する業界団体(JEDEC(Joint Electron Device Engineering Association))Solid State Technology Association)で規定されるコマンド(システムとしてのコマンド)である。

【0125】

また、実施例6において、DRAM10だけでなく、ストレージデバイス540、I/Oデバイス550、ROM560も、内部データの伝送に、実施例1乃至実施例5で説明した第1の伝送線RWSと第2の伝送線VREFを用いた半導体装置とすることができる。データプロセッサからの要求に応答して各チップの内部において、高速、かつ、低消費電力にデータの入出力を行うことができる。

【0126】

なお、上記の実施例では、データの伝送が双方向である例について説明したが、データの伝送は、必ずしも双方向である必要はない。データの伝送が一方向である場合にも、本発明によれば、低消費電力で、かつ、高速にデータを伝送することができる。また、上記実施例1乃至5では、内部回路側と外部端子側との間でデータを伝送する実施例について説明したが、データの伝送は、内部回路側と外部端子側との間でのデータの伝送に限られず、内部回路同士のデータの伝送にも用いることができることは明らかである。

【0127】

さらに、実施例では、メモリのデータ信号の伝送について説明したが、本発明はこれに限られず、例えば、データプロセッサのデータの伝送に適用することもできる。更に、ドライバ、レシーバの具体的な回路形式、その他の制御信号を生成する回路は、実施例が開示する回路形式に限定されるものではない。たとえば、小振幅信号を生成する制御部分(

10

20

30

40

50

回路)は、実施例の開示に限られない。

【0128】

また、本発明による伝送線を備えた半導体装置は、CPU (Central Processing Unit)、MCU (Micro Control Unit)、DSP (Digital Signal Processor)、ASIC (Application Specific Integrated Circuit)、ASSP (Application Specific Standard Circuit)等の半導体装置全般に、適用することができる。このような本発明による半導体装置の製品形態としては、例えば、SOC (システムオンチップ)、MCP (マルチチップパッケージ)やPOP (パッケージオンパッケージ)などが挙げられる。これらの任意の製品形態、パッケージ形態を有する半導体装置に対して本発明を適用することができる。

10

【0129】

また、トランジスタは、電界効果トランジスタ (Field Effect Transistor; FET)であれば、MOS (Metal Oxide Semiconductor)に限定されず、MIS (Metal-Insulator Semiconductor)、TFT (Thin Film Transistor)等の様々なFETに適用できる。更に一部がバイポーラ型トランジスタであっても良い。FET以外のトランジスタであっても良い。

【0130】

なお、PチャンネルMOSトランジスタ (P型チャンネルMOSトランジスタ)は、第1導電型のトランジスタ、NチャンネルMOSトランジスタ (N型チャンネルMOSトランジスタ)は、第2導電型のトランジスタの代表例である。

20

【0131】

以上、図面を用いて説明したようにしたように、本発明は様々なモード (形態)に展開が可能であるか、好ましいモード (形態)をさらに、いくつか列挙すると以下の通りである。

【0132】

(モード1)

第3の電位の電源電圧と、前記第3の電位より低電位の第4の電位の電源電圧と、が供給されて動作する第1の論理回路と、

30

前記第1の論理回路の出力信号を、前記第3の電位以下の電位で、かつ、前記第4の電位より高電位な第1の電位をハイレベル、前記第1の電位より低電位で、かつ、前記第4の電位以上の第2の電位をロウレベルとし、前記第1の電位と前記第2の電位との電位差が、前記第3の電位と前記第4の電位との電位差より小さい小振幅信号に変換して出力するドライバ回路と、を備え、

前記ドライバ回路が、

電源が前記第1の電位と第2の電位とに接続され、前記出力信号に応答して前記小振幅信号を出力するメインドライバと、

電源が、前記第3の電位と、前記第4の電位と、に接続され、前記出力信号の論理レベルが変化するタイミングにおいて前記出力信号に応答して導通し、前記第1の信号の論理レベルが変化しないタイミングでは出力ハイインピーダンスとなる補助ドライバと、を備える

40

ことを特徴とする半導体装置。

上記モード1において、一例として図13、図18に示すように、第1の電位 (例えばV<sub>DL</sub>)は、第3の電位 (例えばV<sub>DD</sub>)より低い電位であることが好ましいが、第1の電位と第3の電位は同電位であってもよい。また、第2の電位 (例えばV<sub>SL</sub>)は、第4の電位 (例えばV<sub>SS</sub>)より高い電位であることが好ましいが、第2の電位と第4の電位は同電位であってもよい。ただし、第1の電位と第2の電位との電位差 (例えば、V<sub>DL</sub>とV<sub>SL</sub>との電位差)は、第3の電位と第4の電位との電位差 (例えば、V<sub>DD</sub>とV<sub>SS</sub>との電位差)より小さい小振幅信号である。

50

## 【 0 1 3 3 】

(モード 2)

第 3 の電位の電源電圧と、前記第 3 の電位より低電位の第 4 の電位の電源電圧と、が供給されて動作する第 1 の論理回路と、

前記第 1 の論理回路の出力信号を、前記第 3 の電位以下の電位で、かつ、前記第 4 の電位より高電位な第 1 の電位をハイレベル、前記第 1 の電位より低電位で、かつ、前記第 4 の電位以上の第 2 の電位をロウレベルとし、前記第 1 の電位と前記第 2 の電位との電位差が、前記第 3 の電位と前記第 4 の電位との電位差より小さい小振幅信号に変換して出力するドライバ回路と、を備え、

前記ドライバ回路が、

電源が前記第 1 の電位と第 2 の電位とに接続され、前記出力信号に応答して前記小振幅信号を出力するメインドライバと、

前記出力信号の論理レベルの変化を検出する検出回路と、

電源が前記第 3 の電位と第 4 の電位とに接続され、前記検出回路が論理レベルの変化を検出したときに、前記出力信号に応答して導通し、前記検出回路が論理レベルの変化を検出しないときには、出力ハイインピーダンスとなる補助ドライバと、を備える

ことを特徴とする半導体装置。

例えば、図 18 の 383 ~ 387 は検出回路として機能する。

## 【 0 1 3 4 】

(モード 3)

第 1 の論理回路と、

前記第 1 の論理回路から離間して配置された第 2 の論理回路と、

前記第 1 の論理回路と前記第 2 の論理回路とを接続する伝送線と、

前記第 1 の論理回路の出力信号を前記第 1 の論理回路のハイレベルとロウレベルの信号レベルより電位差の小さい小振幅信号に変換して第 1 の伝送線に出力するドライバ回路と

、前記小振幅信号を前記第 2 の論理回路が用いる信号のハイレベルとロウレベルの電位差を有する信号に変換して前記第 2 の論理回路に伝えるレシーバ回路と、を備え、

前記ドライバ回路は、

前記小振幅信号のハイレベルと同一電位の電源と、前記小振幅信号のロウレベルと同一電位の電源と、に接続され、前記出力信号を前記小振幅信号に変換して第 1 の伝送線に出力するメインドライバと、

前記第 1 の伝送線に接続された前記第 1 の論理回路と同一電源系の出力ドライバであって、前記出力信号の論理レベルが変化するタイミングにおいて前記出力信号に応答して導通し、前記第 1 の信号の論理レベルが変化しないタイミングでは出力ハイインピーダンスとなる補助ドライバと、

を備えることを特徴とする半導体装置。

## 【 0 1 3 5 】

(モード 4)

第 1 の論理回路と、

前記第 1 の論理回路から離間して配置された第 2 の論理回路と、

前記第 1 の論理回路と前記第 2 の論理回路とを接続する伝送線と、

前記第 1 の論理回路の出力信号を前記第 1 の論理回路のハイレベルとロウレベルの信号レベルより電位差の小さい小振幅信号に変換して第 1 の伝送線に出力するドライバ回路と

、前記小振幅信号を前記第 2 の論理回路が用いる信号のハイレベルとロウレベルの電位差を有する信号に変換して前記第 2 の論理回路に伝えるレシーバ回路と、を備え、

前記ドライバ回路は、

前記小振幅信号のハイレベルと同一電位の電源と、前記小振幅信号のロウレベルと同一電位の電源と、に接続され、前記出力信号を前記小振幅信号に変換して第 1 の伝送線に出

10

20

30

40

50

力するメインドライバと、

前記出力信号の論理レベルの変化を検出する検出回路と、

前記第 1 の伝送線に接続された前記第 1 の論理回路と同一電源系の出力ドライバであって、前記検出回路が論理レベルの変化を検出したときに、前記出力信号に応答して導通し、前記検出回路が論理レベルの変化を検出しないときには、出力ハイインピーダンスとなる補助ドライバと、

を備えることを特徴とする半導体装置。

【 0 1 3 6 】

(モード 5)

前記ドライバ回路は、クロックに同期して前記第 1 の伝送線に出力するデータを更新し

10

、  
前記レシーバ回路は、前記伝送線に接続され、前記小振幅信号を受信し増幅するアンプ部と、前記アンプ部により増幅した前記小振幅信号をより振幅の大きな前記第 2 の論理回路が用いるハイレベルとロウレベルを有する信号に整形して出力する出力部と、を備え、

前記小振幅信号の受信期間中に、前記クロックに同期して前記アンプ部に流す電流を増加減少させるとともに、前記クロックに同期して前記出力部の出力インピーダンス値を増加減少させる受信制御部と、

を備えることを特徴とする前記モード 3 又は 4 に記載の半導体装置。

【 0 1 3 7 】

以上、実施例について説明したが、本発明は上記実施例の構成にのみ制限されるものでなく、本発明の範囲内で当業者であればなし得るであろう各種変形、修正を含むことは勿論である。

20

【符号の説明】

【 0 1 3 8 】

1 : 半導体装置

10 : メモリセルアレイ

10 - 1 : メモリセルアレイの一部領域

11 : ロウデコーダ

12 : センスアンプ (配置領域)

12 - 1 : センスアンプ列

30

13 : カラムセクタ

13 - 1 : カラムセクタの一部 (リードライトゲート)

14 : コマンドデコーダ

15 : コントロールロジック

16 : カラムアドレスバッファ・パーストカウンタ

17 : モードレジスタ

18 : ロウアドレスバッファ

19 : リフレッシュカウンタ回路

20 : クロック生成器

21 : D L L

40

22 : 外部 I / O 端子

31 : リードライトアンプ

33 : 内部回路側入出力回路

333、363、387 : ラッチ回路

334、364、383、386 : N A N D 回路

335、365、384、385 : N O R 回路

336、341、342、346、366、381、403 : PチャンネルMOSトランジスタ

337、343、344、345、347、367、382、401、402、404 : NチャンネルMOSトランジスタ

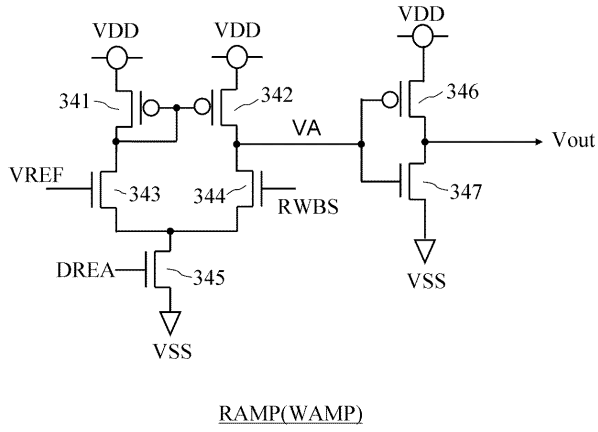
50

3 6	: 外部端子側入出力回路	
3 6 1	: 入出力バッファ	
3 6 2	: 並直列 / 直並列変換回路	
4 0	: 共通基準電圧回路	
4 1	: 内部回路側基準電圧ドライバ (第 2 のドライバ)	
4 2	: 外部端子側基準電圧ドライバ (第 4 のドライバ)	
5 0	: 内部電源生成回路	
5 1	: 第 1 の内部電源生成回路	
5 2	: 第 2 の内部電源生成回路	
5 0 0	: データ処理システム	10
5 1 0	: システムバス	
5 2 0	: データプロセッサ	
5 4 0	: ストレージデバイス	
5 5 0	: I / O デバイス	
5 6 0	: ROM	
6 0 0	: VDD 端子	
6 0 1	: VSS 端子	
MRBF	: メインリードバッファ	
R、R1、R2、R11、R12	: 抵抗	
RAMP	: リードデータレシーバ (第 1 のレシーバ)	20
RBFB	: リードデータバッファ	
RLAT	: リードデータラッチ	
RWAMP	: リードライトアンプの一部	
RWBS	: リードライトデータバス (第 1 の伝送線)	
S1、S2	: スイッチ	
SA	: センスアンプ	
SRBF	: サブリードバッファ	
WAMP	: ライトデータレシーバ (第 2 のレシーバ)	
WBFB	: ライトデータバッファ	
WLAT	: ライトデータラッチ	30
VDD、VSS	: 電源、電源配線、電源電圧	
VDL、VSL	: 内部電源、内部電源配線、内部電源電圧	
REF	: 基準信号、基準電圧信号、第 2 の伝送線	
DPS	: 制御信号	
VA	: ノード	

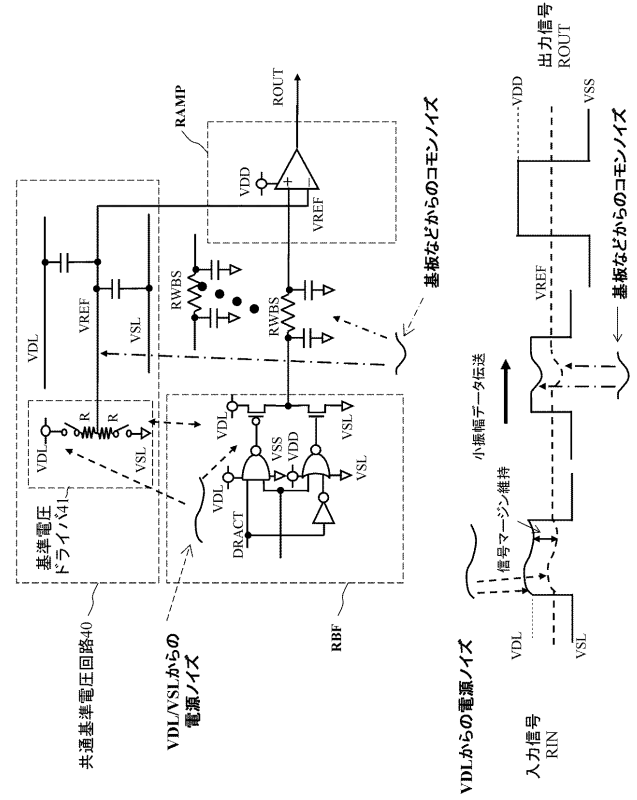




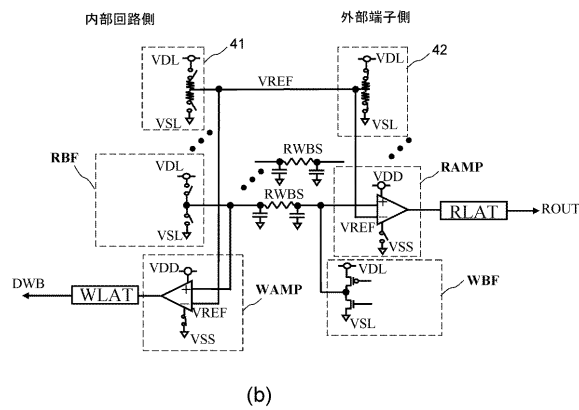
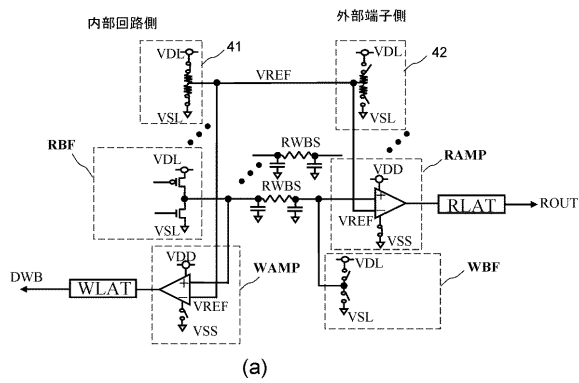
【 図 5 】



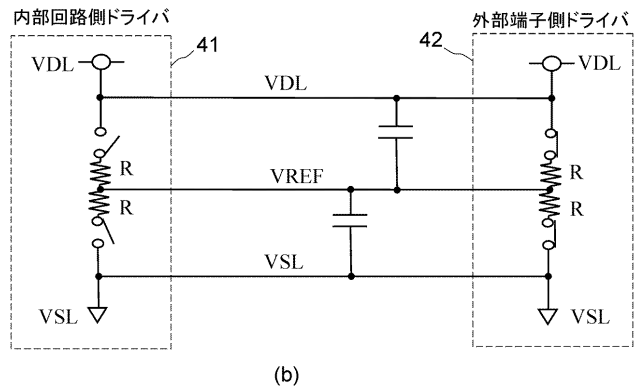
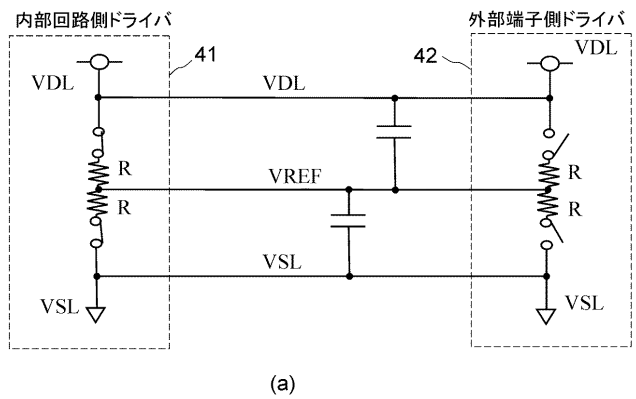
【 図 6 】



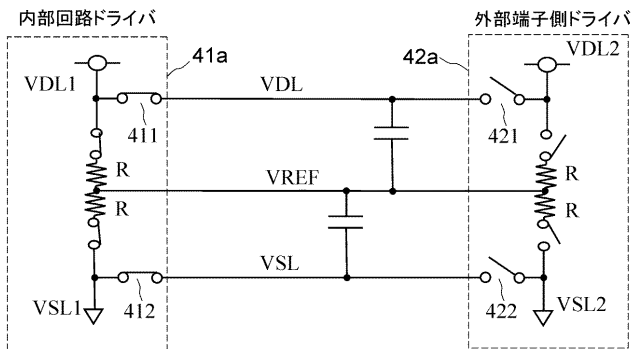
【 図 7 】



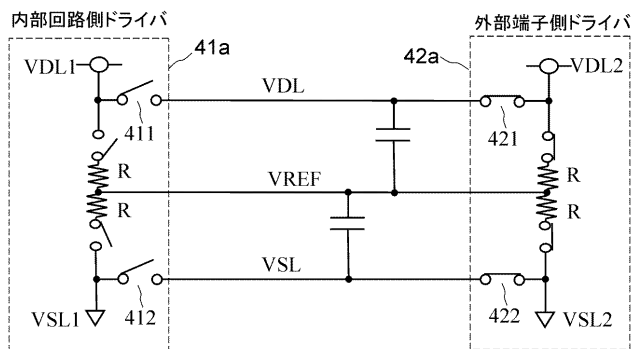
【 図 8 】



【図9】

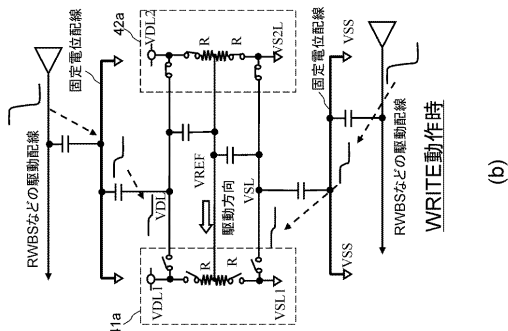


(a)

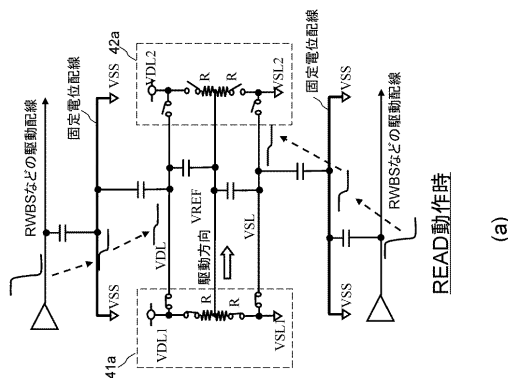


(b)

【図10】

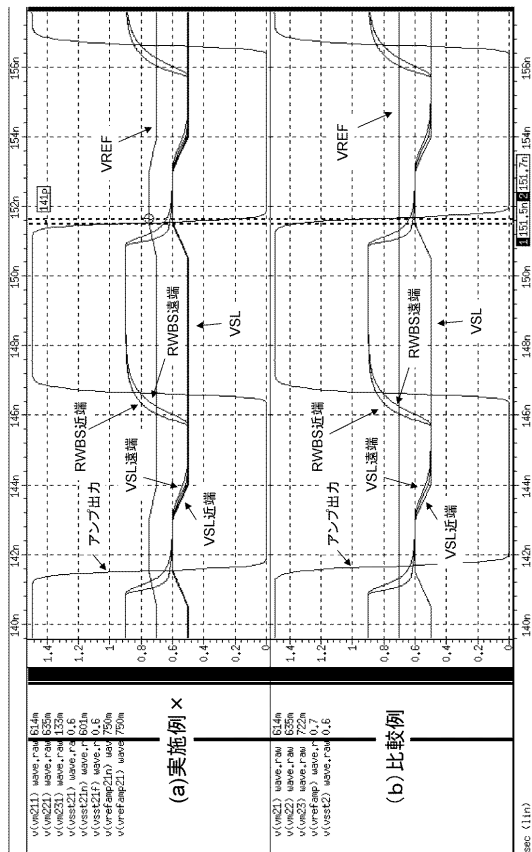


(b)



(a)

【図11】

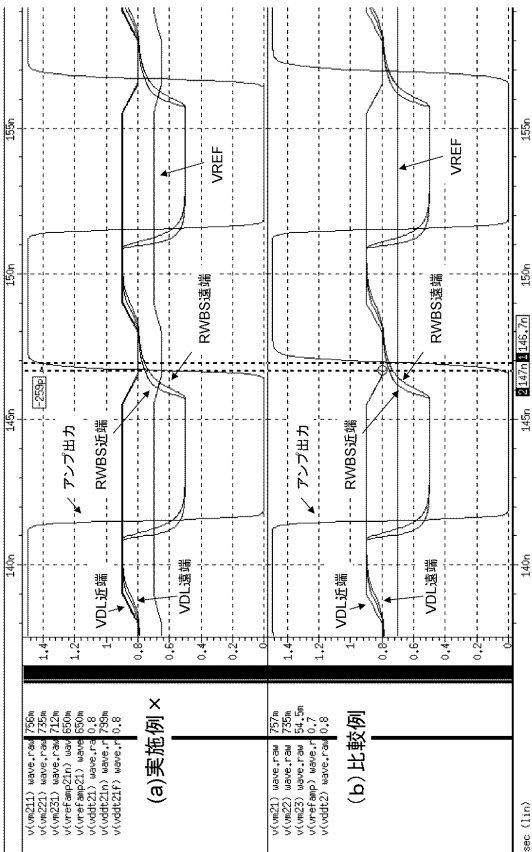


(a) 実施例 x

(b) 比較例

sec (11n)

【図12】

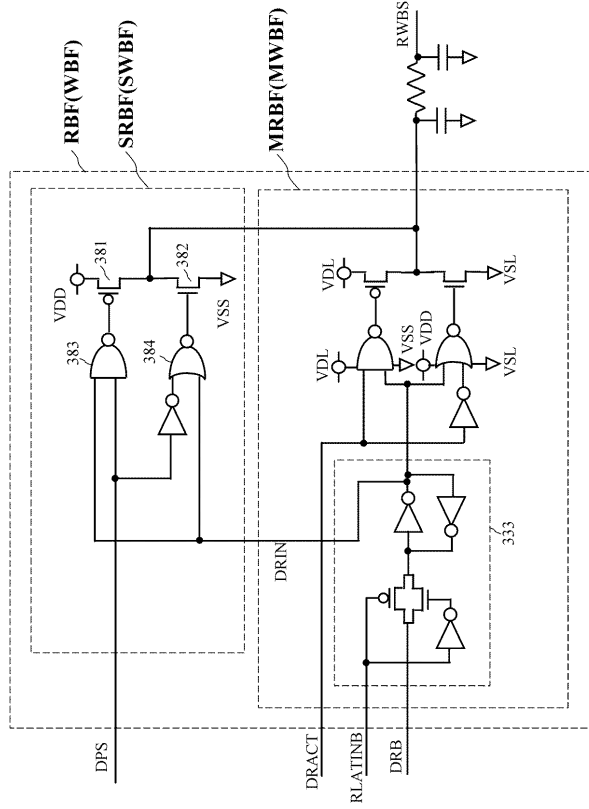


(a) 実施例 x

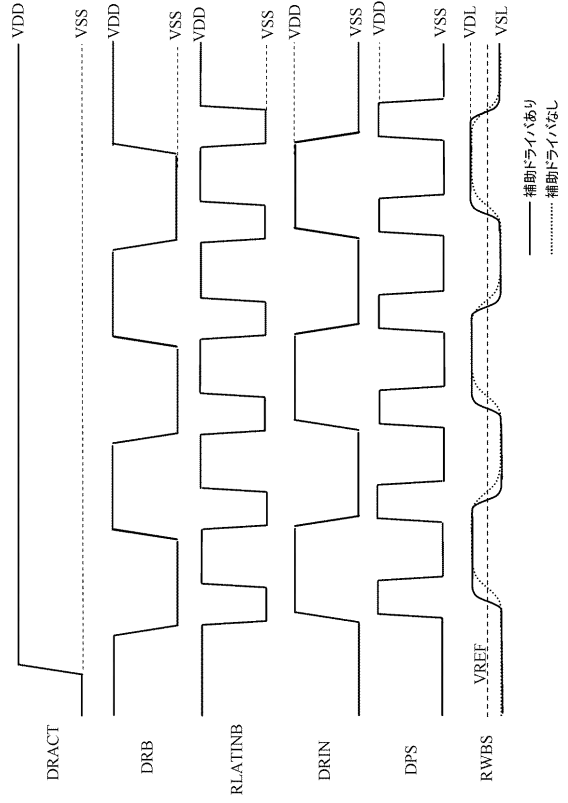
(b) 比較例

sec (11n)

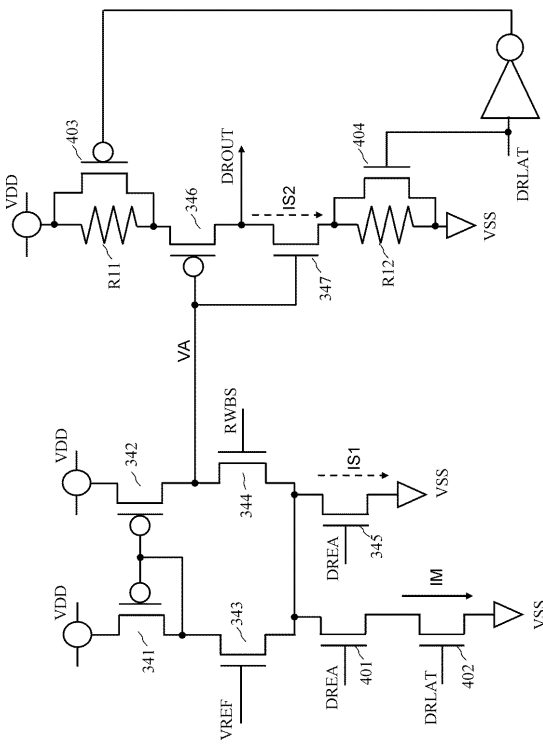
【 図 1 3 】



【 図 1 4 】

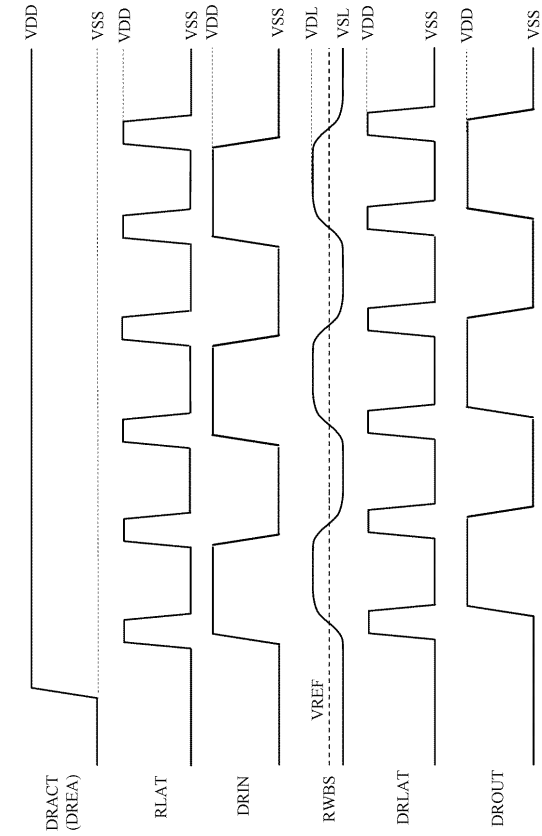


【 図 1 5 】

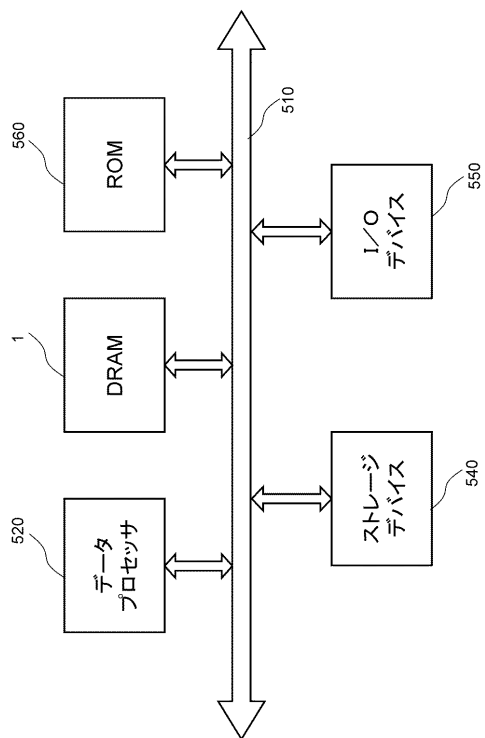


RAMP(WAMP)

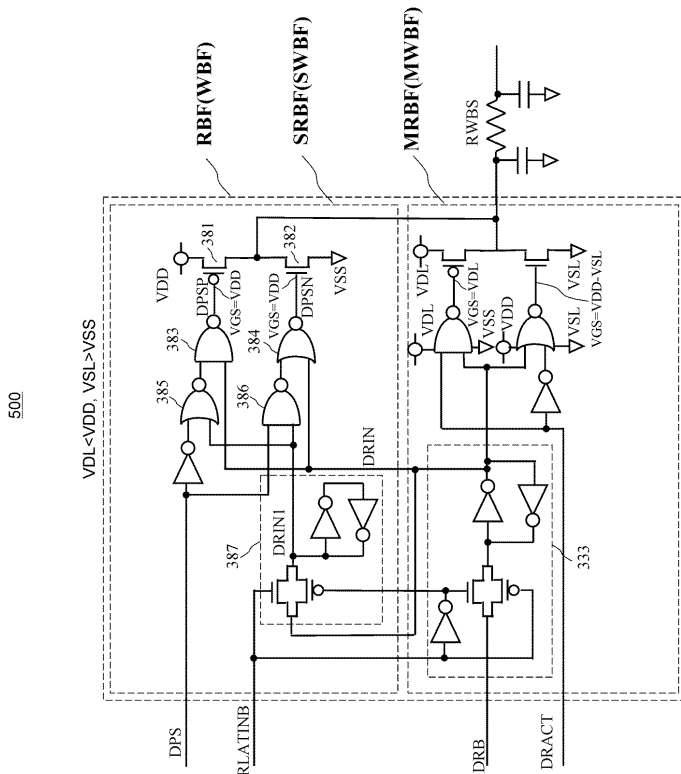
【 図 1 6 】



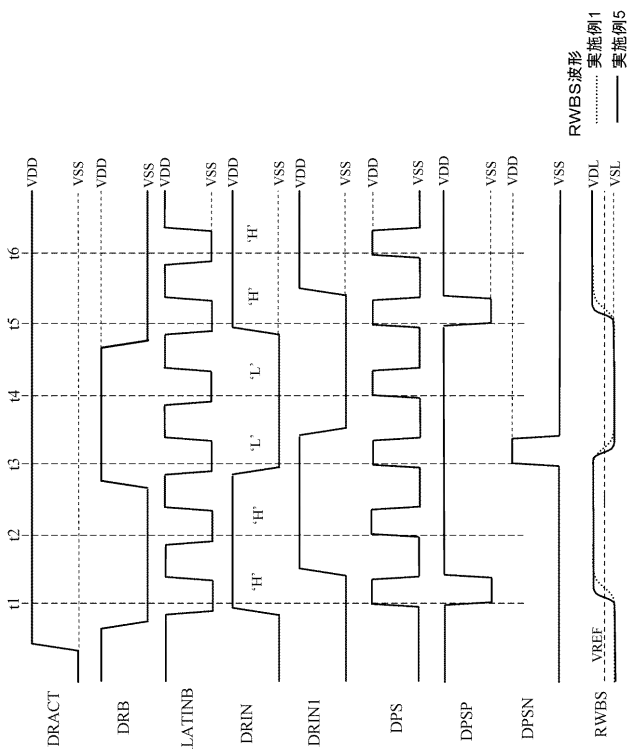
【図17】



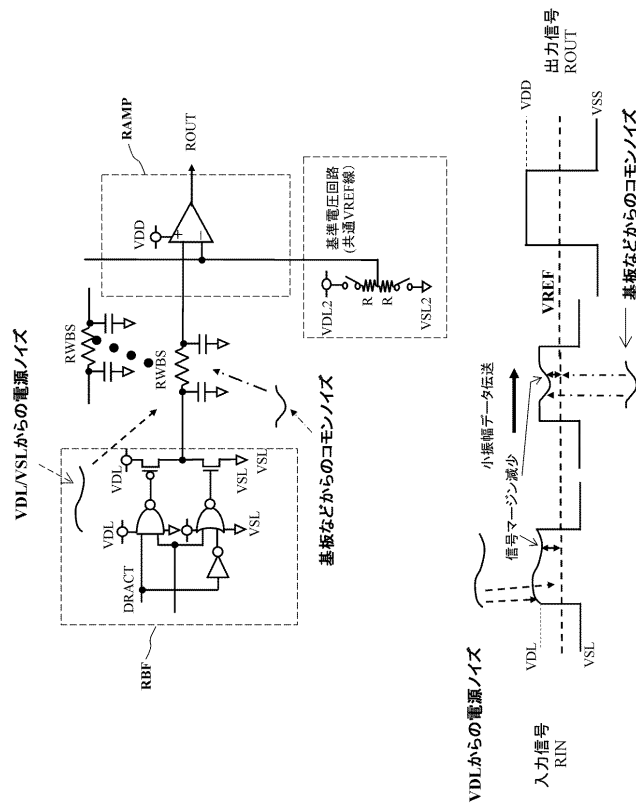
【図18】



【図19】



【図20】



【図21】



【図22】



【手続補正書】【提出日】平成23年1月21日(2011.1.21)【手続補正1】【補正対象書類名】特許請求の範囲【補正対象項目名】請求項17【補正方法】変更【補正の内容】【請求項17】

前記複数の第1のドライバがそれぞれ出力する小振幅信号を第1の小振幅信号としたときに、それぞれ、前記複数の第1のレシーバ側に配置され、それぞれ前記第1の電位と前記第2の電位との間で遷移する第2の小振幅信号を低インピーダンスで前記複数の第1の伝送線に出力する複数の第3のドライバと、

前記複数の第1のドライバ側に配置され、前記第1の伝送線及び第2の伝送線に接続された複数の第2のレシーバと、

前記複数の第1のレシーバ側に配置され、前記第2の伝送線へ第1の基準電圧信号と同電位の第2の基準電圧信号を前記第3のドライバより高インピーダンスで出力する第4のドライバと、をさらに備え、

前記第1の電源線及び第2の電源線は、前記第2の伝送線を両側から挟んで、前記第4のドライバ近傍から前記複数の第2のレシーバ近傍まで配線され、

前記複数の第3のドライバ及び第4のドライバを出力ハイインピーダンスとして、前記複数の第1のドライバからそれぞれ前記第1の小振幅信号を前記第1の伝送線に出力し、前記第2のドライバから前記第1の基準電圧信号を前記第2の伝送線に出力し、前記複数の第1のレシーバがそれぞれ前記第1の小振幅信号及び前記第1の基準電圧信号を受信する第1の動作モードと、

前記複数の第1のドライバ及び第2のドライバを出力ハイインピーダンスとして、前記複数の第3のドライバからそれぞれ前記第2の小振幅信号を前記第1の伝送線に出力し、前記第4のドライバから前記第2の基準電圧信号を前記第2の伝送線に出力し、前記複数の第2のレシーバがそれぞれ前記第2の小振幅信号及び前記第2の基準電圧信号を受信する第2の動作モードと、

を有し、さらに、

前記複数の第1のドライバ側に設けられ、前記第1の電位と前記第2の電位を生成する第1の内部電源生成回路と、前記複数の第1のレシーバ側に設けられ、前記第1の電位と前記第2の電位を生成する第2の内部電源生成回路と、を含み、

前記第1の電源線及び第2の電源線は、前記第1の動作モードにおいて前記第2の内部電源生成回路から電氣的に切り離されて前記第1の内部電源生成回路に電氣的に接続され、前記第2の動作モードにおいて前記第1の内部電源生成回路から電氣的に切り離されて前記第2の内部電源生成回路に電氣的に接続される、ことを特徴とする請求項6乃至15いずれか1項記載の半導体装置。

【手続補正2】【補正対象書類名】特許請求の範囲【補正対象項目名】請求項21【補正方法】変更【補正の内容】【請求項21】

第1の半導体装置と、

第2の半導体装置と、

前記第1と前記第2の半導体装置との間を接続するシステムバスと、を備え、

前記第1の半導体装置は、

データ記憶部と、

複数の第1の伝送線と、

一つの第 2 の伝送線と、

第 1 の電位と第 2 の電位との間で遷移する小振幅信号を第 1 のインピーダンスで生成し、それぞれ対応して接続する前記複数の第 1 の伝送線の一端に出力する第 1 の領域に配置された複数の第 1 のドライバと、

前記第 1 の電位と第 2 の電位との中間電位の基準電圧信号を前記第 1 のインピーダンスより高い第 2 のインピーダンスで生成し、接続する前記第 2 の伝送線の一端に出力する前記第 1 の領域に配置された第 2 のドライバと、

前記一つの第 2 の伝送線の他端に接続すると共に、前記複数の第 1 の伝送線の他端にそれぞれ対応して接続し、前記基準電圧信号と前記小振幅信号をそれぞれ受ける第 2 の領域に配置された複数の第 1 のレシーバと、

前記第 1 の電位を有し、一端が前記第 1 の領域、他端が前記第 2 の領域に含まれる第 1 の電源線と、

前記第 2 の電位を有し、一端が前記第 1 の領域、他端が前記第 2 の領域に含まれる第 2 の電源線と、を備え、

前記第 2 の伝送線は、前記第 1 と第 2 の電源線との間に前記複数の第 1 の伝送線を含むことなく配置され、

前記複数の第 1 の伝送線は、それぞれ前記第 1 と第 2 の電源線の間配置されることなく、互いに隣接して配置され、

前記第 1 の半導体装置は、前記第 2 の半導体装置からの要求に回答して、前記データ記憶部に格納されたデータを前記複数の第 1 のドライバと、前記複数の第 1 の伝送線と、前記複数の第 1 のレシーバと、を介して前記システムバスに出力する、ことを特徴とするデータ処理システム。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】変更

【補正の内容】

【0009】

本発明の第 3 の側面によるデータ処理システムは、第 1 の半導体装置と、第 2 の半導体装置と、前記第 1 と前記第 2 の半導体装置との間を接続するシステムバスと、を備え、前記第 1 の半導体装置は、データ記憶部と、複数の第 1 の伝送線と、一つの第 2 の伝送線と、第 1 の電位と第 2 の電位との間で遷移する小振幅信号を第 1 のインピーダンスで生成しそれぞれ対応して接続する前記複数の第 1 の伝送線の一端に出力する第 1 の領域に配置された複数の第 1 のドライバと、前記第 1 の電位と第 2 の電位との中間電位の基準電圧信号を前記第 1 のインピーダンスより高い第 2 のインピーダンスで生成し、接続する前記第 2 の伝送線の一端に出力する前記第 1 の領域に配置された第 2 のドライバと、前記一つの第 2 の伝送線の他端に接続すると共に、前記複数の第 1 の伝送線の他端にそれぞれ対応して接続し、前記基準電圧信号と前記小振幅信号をそれぞれ受ける第 2 の領域に配置された複数の第 1 のレシーバと、前記第 1 の電位を有し、一端が前記第 1 の領域、他端が前記第 2 の領域に含まれる第 1 の電源線と、前記第 2 の電位を有し、一端が前記第 1 の領域、他端が前記第 2 の領域に含まれる第 2 の電源線と、を備え、前記第 2 の伝送線は、前記第 1 と第 2 の電源線との間に前記複数の第 1 の伝送線を含むことなく配置され、前記複数の第 1 の伝送線は、それぞれ前記第 1 と第 2 の電源線の間配置されることなく、互いに隣接して配置され、前記第 1 の半導体装置は、前記第 2 の半導体装置からの要求に回答して、前記データ記憶部に格納されたデータを前記複数の第 1 のドライバと、前記複数の第 1 の伝送線と、前記複数の第 1 のレシーバと、を介して前記システムバスに出力する。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0012

【補正方法】変更

## 【補正の内容】

## 【0012】

【図1】本発明の実施例1による半導体装置全体のブロック図である。

【図2】実施例1による半導体装置におけるメモリセルアレイとデータ入出力端子とのインタフェース部分全体のブロック図である。

【図3】実施例1による半導体装置における内部回路側と外部端子側のデータ伝送回路の回路ブロック図である。

【図4】実施例1における内部電源生成回路のブロック図である。

【図5】実施例1におけるデータレシーバの回路ブロック図である。

【図6】実施例1において好ましいレイアウト配置を説明する図面である。

【図7】実施例1において、(a)は内部回路側から外部端子側にデータを出力(リード動作)するときのドライバ回路の状態を説明する図であり、(b)は外部端子側から内部回路側にデータを入力(ライト動作)するときのドライバ回路の状態を説明する図である。

【図8】実施例1において、(a)はリード動作時の基準電圧ドライバの状態を説明する図であり、(b)はライト動作時の基準電圧ドライバの状態を説明する図である。

【図9】実施例2において、(a)はリード動作時の基準電圧ドライバの状態を説明する図であり、(b)はライト動作時の基準電圧ドライバの状態を説明する図である。

【図10】実施例3において、(a)リード動作時の内部電源線及び基準電圧伝送線の状態と、(b)ライト動作時の内部電源線及び基準電圧伝送線の状態と、を説明する図である。

【図11】内部電源V<sub>SL</sub>が変動した場合の(a)実施例2における伝送線のシミュレーション波形図と、(b)比較例における伝送線のシミュレーション波形図である。

【図12】内部電源V<sub>DL</sub>が変動した場合の(a)実施例2における伝送線のシミュレーション波形図と、(b)比較例における伝送線のシミュレーション波形図である。

【図13】実施例4におけるデータバッファの回路ブロック図である。

【図14】実施例4におけるデータバッファの動作波形図である。

【図15】実施例4におけるデータレシーバの回路ブロック図である。

【図16】実施例4におけるデータレシーバの動作波形図である。

【図17】データ処理システムの実施例のブロック図である。

【図18】実施例5によるデータバッファの回路ブロック図である。

【図19】実施例5によるデータバッファの動作波形図である。

【図20】実施例1に対する比較例の動作を説明する図である。

## 【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0020

【補正方法】変更

## 【補正の内容】

## 【0020】

また、リードライトアンプ31、内部回路側入出力回路33は、Bank0~Bank7の8つのメモリセルアレイ10毎にメモリセルアレイ10の外に設けられる。リードライトアンプ31は、リードコマンド実行時には、センスアンプ12、カラムセクタ13、I/O線62を介してメモリセルアレイ10の外に読み出されたメモリセルのデータをセンシングする。また、ライトコマンド実行時には、外部I/O端子22から外部端子側入出力回路36、リードライトデータバスRWBS、内部回路側入出力回路33を経由して入力されたライトデータをメモリセルアレイ10に対して書込みを行う。

## 【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0022

【補正方法】変更

## 【補正の内容】

## 【0022】

リードライトデータバス（第1の伝送線）RWBSは、各メモリセルアレイ10と各外部I/O端子22との間を接続する並列データバスである。後で詳しく説明するように、このリードライトデータバスRWBSは、小振幅の信号を伝送するバスであり、小振幅信号のハイレベル、ロウレベルの判定基準となる基準電圧信号（第2の伝送線）VREFが、小振幅信号の電源となる内部電源線VDLとVSLに挟まれて内部回路側入出力回路33と外部端子側入出力回路36との間に配線されている。なお、リードライトデータバスRWBSが複数のビットのバスであるに対して、基準電圧信号VREFは、1本の信号線（第2の伝送線）である。内部電源線VDLとVSLは、内部電源VDL、VSLを生成する内部電源生成回路50で生成される。一例として、内部電源線VDLとVSLは、半導体装置1の外部端子である高電位側のVDD端子600、低電位側のVSS601から供給される。

## 【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0024

【補正方法】変更

## 【補正の内容】

## 【0024】

ライトデータとリードデータの入出力端子である外部I/O端子22は、図1では代表して1端子しか記載していないが、DDR等の同期式DRAMでは、一般的に、4端子から16端子である。ライト動作時には、4～16本の外部I/O端子22から直列に入力されたデータは、外部端子側入出力回路36により、8～128ビットの並列データに変換され、リードライトデータバスRWBSを介して該当するバンクの内部側入出力回路に転送され、メモリセルアレイ10へ書込まれる。リード動作時には、8～128ビットの並列データとしてリードライトデータバスRWBSを介して外部端子側入出力回路に読み出されたリードデータは、外部端子側入出力回路36により直列データに変換され、4～16本の外部I/O端子から出力される。なお、リードライトデータバスRWBSのビット数は、4本の外部I/O端子から入出力するデータを2ビット並列に転送する場合は、8ビットであり、16本の各外部I/O端子からそれぞれバースト入出力する8ビットデータを並列に転送する場合は、128ビットである。

## 【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0025

【補正方法】変更

## 【補正の内容】

## 【0025】

図2は、実施例1による半導体装置におけるメモリセルアレイ10と外部I/O端子22とのインタフェース部分全体のブロック図である。ただし、図2では、8個のメモリセルアレイ10のうち、3個のメモリセルアレイのみ図示し、他のメモリセルアレイ10の記載は省略している。また、図2では、4～16端子の外部I/O端子22のうち、1端子のみを図示し、他の外部I/O端子22の図示も省略している。

## 【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0026

【補正方法】変更

## 【補正の内容】

## 【0026】

図2において、メモリセルアレイ10は、1バンクのメモリセルアレイが配置される領域を示している。1バンクのメモリセルアレイ10は、複数の部分領域10-1に分かれ



て配置され、部分領域 10 - 1 毎にセンスアンプ S A をまとめて配置したセンスアンプ列 12 - 1 が設けられている。ビット線 B L T、B L B は、センスアンプ S A を介してローカル I O 線 L I O T、L I O B に接続されている。さらに、ローカル I O 線 L I O T、L I O B は、リードライトゲート 13 - 1 を介してメイン I O 線 M I O T、M I O B に接続され、メイン I O 線 M I O T、M I O B は、リードライトアンプ R W A M P ( 図 1 の 3 1 に相当 ) へと接続されている。なお、1バンクのメモリセルアレイ 10 には、多数の部分領域 10 - 1 がマトリクス状に複数設けられ、各部分領域にそれぞれ対応してセンスアンプ列 12 - 1 とローカル I O 線 L I O T、L I O B がそれぞれ設けられている。また、図 2 では、メイン I O 線 M I O T、M I O B は 1 対しか記載していないが各メモリセルアレイ 10 内には、多数のメイン I O 線対 M I O T、M I O B が設けられ、各メイン I O 線対 M I O T、M I O B に対応して複数のリードライトアンプ R W A M P が設けられている。

【手続補正 10】

【補正対象書類名】明細書

【補正対象項目名】0027

【補正方法】変更

【補正の内容】

【0027】

内部回路側入出力回路 33 は、リードデータバッファ R B F と、ライトデータラッチ W L A T と、ライトデータレシーバ W A M P を含んで構成される。リードデータバッファ R B F は、リードライトアンプ R W A M P から読み出したリードデータを一時的に保存するラッチ回路と、ラッチ回路が保持するデータをリードライトデータバス R W B S へ小振幅信号として出力するドライブ回路を備えている。ライトデータアンプ ( 第 2 のレシーバ ) W A M P は、ライトコマンド実行時にリードライトデータバス R W B S の小振幅信号をセンシングする。なお、ライトデータアンプ W A M P には、基準電圧信号 V R E F も接続される。ライトデータラッチ W L A T は、ライトコマンド実行時にライトデータアンプ W A M P がセンシングしたデータをメモリセルアレイ 10 に書き込むまで一時的に保持するラッチである。なお、内部回路側入出力回路 33 は、各リードライトアンプ R W A M P に対応してバンク毎に複数設けられる。

【手続補正 11】

【補正対象書類名】明細書

【補正対象項目名】0036

【補正方法】変更

【補正の内容】

【0036】

なお、リードデータバッファ R B F 内の回路のうち、N A N D 回路 334 の高電位側電源端子は内部電源 V D L に接続され、低電位側電源端子は電源 V S S に接続されている。また、N O R 回路の高電位側電源端子は電源 V D D に接続され、低電位側電源端子は電源 V S L に接続されている。また、バッファ回路を構成する P チャンネル M O S トランジスタ 336 のソースは、内部電源 V D L に接続され、N チャンネル M O S トランジスタ 337 のソースは、内部電源 V S L に接続されている。なお、高電位側の内部電源 V D L は、高電位側電源 V D D 以下の電圧の半導体装置 1 の内部で生成した電源であり、低電位側の内部電源 V S L は、低電位側電源 V S S 以上の電圧の半導体装置 1 の内部で生成した電源電圧である。なお、高電位側電源 V D D、高電位側内部電源 V D L、低電位側内部電源 V S L、低電位側電源 V S S の電位を示すと式 ( 1 ) のとおりである。

【手続補正 12】

【補正対象書類名】明細書

【補正対象項目名】0047

【補正方法】変更

【補正の内容】

【0047】

また、NAND回路364の低電位側の電源をVSS、NOR回路365の高電位側の電源をVDDから取っているため、VDLとVSL間の電位差が小さくても、VDLとVSSとの電位差、VDDとVSLとの電位差が、それぞれ、PチャンネルMOSトランジスタ366のトランジスタ閾値、NチャンネルMOSトランジスタ367のトランジスタ閾値を超える電圧であれば、PチャンネルMOSトランジスタ366とNチャンネルMOSトランジスタ367からなる第3のドライバは動作する。したがって、リードライトデータバスRWBSを伝送する信号を小振幅にすることが可能である。

【手続補正13】

【補正対象書類名】明細書

【補正対象項目名】0051

【補正方法】変更

【補正の内容】

【0051】

一方、各第1の伝送線RWBSは、信号の伝播が内部電源配線VDL及び内部電源配線VSLに影響を与えないように、内部電源配線VDL及びVSLから離間して配線されている。第1の伝送線RWBSと内部電源配線VDL及びVSLとの距離は、第1の伝送線RWBSの小振幅信号の伝送が配線間容量や相互インダクタンスにより内部電源配線VDLとVSLの電位に大きな影響を与えないように離せば十分である。

【手続補正14】

【補正対象書類名】明細書

【補正対象項目名】0070

【補正方法】変更

【補正の内容】

【0070】

また、図9(b)に示すように、外部端子側から内部回路側にデータを転送(ライトデータ入力)するときには、スイッチ421と422をオンにして、スイッチ411と412をオフにしている。この様に設定することにより、内部回路側基準電圧ドライバ41aの出力をハイインピーダンスにするだけにとどまらず、内部回路側基準電圧ドライバの内部電源端子VDL1、VSL1を内部電源配線VDL、VSLから切り離している。一方、基準電圧ドライバ42aの内部電源端子VDL2、VSL2は、スイッチ421、422を介して内部電源配線VDL、VSLに接続されている。従って、電源配線VDL、VSLは、より忠実にデータを出力する側(外部端子側)の内部電源電圧VDL2、VSL2を反映した電圧となり、電源配線VDL、VSLと基準電圧信号VREFとの配線間容量により、基準電圧信号VREFの電位をより忠実にデータを出力する外部端子側のドライバ回路の内部電源電圧VDL2、VSL2を反映した電圧とすることができる。

【手続補正15】

【補正対象書類名】明細書

【補正対象項目名】0093

【補正方法】変更

【補正の内容】

【0093】

実施例3は、第2の伝送線VREFを挟むように配置された内部電源配線VDL、VSLとその外側にさらに配線される電位が変動する駆動配線との間にVSSやVDD等の固定電位に接続された配線を設けることにより、駆動配線の伝送する信号の電圧レベルの変動が、第2の伝送線VREFや内部電源配線VDL、VSLに影響を与えないようにする実施例である。第2の伝送線VREFを駆動する第2のドライバ41、第4のドライバ42は、出力インピーダンスが比較的高いのでノイズの影響を受けやすい。第2の伝送線VREFの両側を内部電源配線VDL、VSLで挟んでもさらに内部電源配線VDL、VSLの外側に配置された信号配線の電位が変動するとその影響を内部電源配線VDL、VSLが受けて、内部電源配線VDL、VSLの電位が変動し、さらにその内部電源配線VDL

L、VSLの揺れが第2の伝送線VREFの電位に影響を与える。データを出力する第1のドライバ(図3の336、337)、第3のドライバ(図3の366、367)の内部電源VDL、VSLの揺らぎと連動して第2の伝送線VREFの電位が変動することは、好ましいが、データを出力する第1、第3のドライバの電源電位の変動に基づかない内部電源配線VDL、VSLの揺らぎによる第2の伝送線VREFの揺らぎは誤動作を生じさせる恐れがある。実施例3では、第2の伝送線VREFを挟んで配置された内部電源配線VDL、VSLとノイズとなる信号配線(駆動配線)との間に固定電位に接続された配線を配置することにより、ノイズとなる信号配線が配線間の寄生容量や配線間の相互インダクタンス等により悪影響を与えることを防いでいる。

【手続補正16】

【補正対象書類名】明細書

【補正対象項目名】0094

【補正方法】変更

【補正の内容】

【0094】

図10は、実施例3において、(a)リード動作時(内部回路側から外部端子側へのデータ出力時)の内部電源線VDL、VSL及び基準電圧伝送線(第2の伝送線)VREFのノイズの影響と、(b)ライト動作時(外部端子側から内部回路側へのデータ入力時)の内部電源線及び基準電圧伝送線のノイズの影響と、を説明する図である。

【手続補正17】

【補正対象書類名】明細書

【補正対象項目名】0107

【補正方法】変更

【補正の内容】

【0107】

図16は、図15のデータレシーバの動作波形図である。制御信号DRACTは、ドライバ側を制御する信号であり、DRINは、ドライバ側が出力するデータ信号である。また、RLATは、図13のRLATINBの反転信号であり、DRINは、RLATの立ち上がり同期してデータが更新される。DRACTがハイレベルに立ち上がると、第1の伝送線には、データ信号DRINに基づいた小振幅信号が出力される。データレシーバは、制御信号DRACTの立ち上がり同期して制御信号DREAを活性化し、差動回路への電流の供給を開始する。

【手続補正18】

【補正対象書類名】明細書

【補正対象項目名】0119

【補正方法】変更

【補正の内容】

【0119】

図17は、半導体装置1を用いたデータ処理システムのブロック図である。図に示すデータ処理システム500は、データプロセッサ520と、半導体装置(DRAM)1が、システムバス510を介して相互に接続されている。データプロセッサ520としては、例えば、マイクロプロセッサ(MPU)、デジタルシグナルプロセッサ(DSP)などを含むが、これらに限定されない。図17においては説明を簡単にするため、システムバス510を介してデータプロセッサ520とDRAM1とが接続されているが、システムバス510を介さずにローカルなバスによってこれらが接続されていても構わない。

【手続補正19】

【補正対象書類名】明細書

【補正対象項目名】0124

【補正方法】変更

【補正の内容】

## 【 0 1 2 4 】

実施例 6 において、D R A M を制御するコントローラ（例えばデータプロセッサ 5 2 0）は、システムクロック C K , C K B とその他の制御信号を利用して D R A M 1 へデータのリードアクセスやライトアクセスに関連する各種コマンドを発行する。コントローラからリードコマンドを受けた半導体装置 1 は、内部に保持する記憶情報を読み出し、第 1 の伝送線 R W B S（図 1）を經由してシステムバス 5 1 0 へそのデータを出力する。また、コントローラからライトコマンドを受けた半導体装置 1 は、システムバス 5 1 0 から入力したデータを第 1 の伝送線 R W B S を經由してメモリセルアレイ 1 0 にデータを書き込む。尚、コントローラが発行する前記複数のコマンドは、所謂、周知の半導体装置を制御する業界団体（J E D E C（J o i n t E l e c t r o n D e v i c e E n g i n e e r i n g C o u n c i l）S o l i d S t a t e T e c h n o l o g y A s s o c i a t i o n）で規定されるコマンド（システムとしてのコマンド）である。

## 【 手 続 補 正 2 0 】

【 補 正 対 象 書 類 名 】 明 細 書

【 補 正 対 象 項 目 名 】 0 1 2 5

【 補 正 方 法 】 変 更

【 補 正 の 内 容 】

## 【 0 1 2 5 】

また、実施例 6 において、D R A M 1 だけでなく、ストレージデバイス 5 4 0、I / O デバイス 5 5 0、R O M 5 6 0 も、内部データの伝送に、実施例 1 乃至実施例 5 で説明した第 1 の伝送線 R W B S と第 2 の伝送線 V R E F を用いた半導体装置とすることができる。データプロセッサからの要求に应答して各チップの内部において、高速、かつ、低消費電力にデータの入出力を行うことができる。

## 【 手 続 補 正 2 1 】

【 補 正 対 象 書 類 名 】 図 面

【 補 正 対 象 項 目 名 】 図 1

【 補 正 方 法 】 変 更

【 補 正 の 内 容 】

【 図 1 】

