

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4360733号  
(P4360733)

(45) 発行日 平成21年11月11日(2009.11.11)

(24) 登録日 平成21年8月21日(2009.8.21)

(51) Int. Cl.		F I	
GO2F 1/1368 (2006.01)		GO2F 1/1368	
GO2F 1/1345 (2006.01)		GO2F 1/1345	
HO1L 21/822 (2006.01)		HO1L 27/04	H
HO1L 27/04 (2006.01)		HO5F 3/02	L
HO5F 3/02 (2006.01)			

請求項の数 4 (全 16 頁)

(21) 出願番号	特願2000-62508 (P2000-62508)	(73) 特許権者	000005049
(22) 出願日	平成12年3月7日(2000.3.7)		シャープ株式会社
(65) 公開番号	特開2001-249360 (P2001-249360A)		大阪府大阪市阿倍野区長池町2番2号
(43) 公開日	平成13年9月14日(2001.9.14)	(74) 代理人	100104190
審査請求日	平成18年8月10日(2006.8.10)		弁理士 酒井 昭徳
		(72) 発明者	森田 敬三
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		審査官	福田 知喜

最終頁に続く

(54) 【発明の名称】 配線構造

(57) 【特許請求の範囲】

【請求項1】

硝子基板上に形成された半導体集積回路に接続される複数の信号線部分における配線構造において、

前記硝子基板上に形成され、一方が複数の端子電極のいずれかに接続され、他方が前記半導体集積回路に接続された第1の信号線と、

前記第1の信号線の上に設けられた絶縁膜と、

前記絶縁膜の上に設けられ、かつ前記第1の信号線の上を横切り、一方が複数の端子電極のいずれかに接続され、他方が前記半導体集積回路に接続される第2の信号線と、

前記第2の信号線が前記第1の信号線の上を横切る部分の周辺で、前記第1の信号線と同じ配線層にて、前記第2の信号線に沿ってその下に設けられた補助導電体と、を具備し

、前記第2の信号線は、前記端子電極側において前記補助導電体との間に生じる容量よりも、前記第1の信号線上を横切る側において前記補助導電体との間に生じる容量が大きくなるように、途中で一旦切れており、

かつコンタクト部および前記補助導電体を介して相互に電氣的に接続されていることを特徴とする配線構造。

【請求項2】

硝子基板上に形成された半導体集積回路に接続される複数の信号線部分における配線構造において、

10

20

前記硝子基板上に形成され、一方が複数の端子電極のいずれかに接続され、他方が前記半導体集積回路に接続された第 1 の信号線と、

前記第 1 の信号線の上に設けられた絶縁膜と、

前記絶縁膜の上に設けられ、かつ前記第 1 の信号線の上を横切り、一方が複数の端子電極のいずれかに接続され、他方が前記半導体集積回路に接続される第 2 の信号線と、

前記第 2 の信号線が前記第 1 の信号線の上を横切る部分の周辺で、前記第 1 の信号線と同じ配線層にて、前記第 2 の信号線に沿ってその下に設けられた補助導電体と、を具備し

、前記第 2 の信号線は、前記端子電極側において前記補助導電体との重なり長さ ( L 1 ) よりも、前記第 1 の信号線上を横切る側において前記補助導電体との重なり長さ ( L 2 ) が大きくなるように、途中で一旦切れており、

かつコンタクト部および前記補助導電体を介して相互に電氣的に接続されていることを特徴とする配線構造。

【請求項 3】

前記第 1 の信号線から分岐して前記第 2 の信号線の下を横切る分岐部を具備することを特徴とする請求項 1 または 2 に記載の配線構造。

【請求項 4】

前記第 2 の信号線から分岐して前記第 1 の信号線の上を横切る分岐部を具備することを特徴とする請求項 1 または 2 に記載の配線構造。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、配線構造に関し、特に、ポリシリコン薄膜トランジスタを用いて形成された駆動回路一体型アクティブマトリクス液晶表示装置のように、硝子等の基板上に形成された半導体集積回路に対する配線構造に関する。

【 0 0 0 2 】

近時、液晶表示装置の低コスト化を図るため、低温プロセスで硝子基板上にポリシリコン薄膜トランジスタを形成する技術が注目されている。この技術によれば、硝子基板上に液晶表示パネルとともにドライバ回路などの周辺回路を内蔵させることができるため、従来のような駆動用 IC が不要となり、コスト削減が可能となる。しかし、薄膜トランジスタにより硝子基板上にドライバ回路を形成する場合、プロセス工程またはアセンブリ工程で偶発的に発生することがある静電気からドライバ回路を保護する必要がある。

【 0 0 0 3 】

【従来の技術】

図 1 2 ~ 図 1 4 は、それぞれ従来の静電破壊防止構造の要部を示す図である。従来、硝子基板上に形成したドライバ回路に対する静電破壊防止構造は、図 1 2 に示すように、図示しないドライバ回路に信号線 1 1 a , 1 1 b , 1 1 c , 1 1 d を介して接続された端子電極 1 2 a , 1 2 b , 1 2 c , 1 2 d どうしを、終端抵抗 1 3 a , 1 3 b , 1 3 c , 1 3 d を介して接続した構成となっている。

【 0 0 0 4 】

さらに、図 1 3 に示すように、端子電極 1 2 a , 1 2 b , 1 2 c , 1 2 d の近くにダイオード 1 4 a , 1 4 b , 1 4 c , 1 4 d を設ける場合もある。あるいは、図 1 4 に示すように、ドライバ回路内の電源端子 1 5 とグランド端子 1 6 との間にダイオード 1 7 を設ける場合もある。駆動回路一体型アクティブマトリクス液晶表示装置では、これらのダイオード 1 4 a , 1 4 b , 1 4 c , 1 4 d , 1 7 は、図 1 5 または図 1 6 にそれぞれ示すように、N 型のポリシリコン薄膜トランジスタ 1 8 または P 型のポリシリコン薄膜トランジスタ 1 9 により形成される。

【 0 0 0 5 】

【発明が解決しようとする課題】

しかしながら、端子電極 1 2 a , 1 2 b , 1 2 c , 1 2 d どうしを、終端抵抗 1 3 a , 1

10

20

30

40

50

3 b , 1 3 c , 1 3 d を介して接続しただけでは、ドライバ回路の静電破壊を十分に防ぐことは困難である。また、ポリシリコン薄膜トランジスタの耐圧は 3 0 V 程度であり、ポリシリコン薄膜トランジスタ自身が静電気に対して弱い。そのため、薄膜トランジスタによりダイオード 1 4 a , 1 4 b , 1 4 c , 1 4 d , 1 7 を形成しても、プロセスやアセンブリの工程中にダイオード 1 4 a , 1 4 b , 1 4 c , 1 4 d , 1 7 が静電破壊を起こしてしまうと、それ以降の工程では十分な静電気破壊防止機能が得られないという問題点がある。

【 0 0 0 6 】

また、上述した端子電極から印加される静電気による静電破壊に加えて、剥離帯電によって静電破壊が起こる場合がある。図 1 7 は、剥離帯電による静電破壊を説明するための信号線レイアウトを示す図であり、図 1 8 は、その信号線レイアウトにおいて静電気印加時の等価回路を示す図である。

10

【 0 0 0 7 】

図 1 7 に示す例では、多層配線構造が採用されている。第 1 ~ 第 4 の端子電極 1 2 a ~ 1 2 d にそれぞれ接続された信号線 1 1 a ~ 1 1 d は、第 2 層目の配線層 2 2 に形成されている。そのうち信号線 1 1 b , 1 1 c , 1 1 d は、それぞれ第 1 層目の配線層 2 1 に形成された信号線 1 1 e , 1 1 f , 1 1 g にコンタクト部 2 3 を介して接続されている。信号線 1 1 e , 1 1 f , 1 1 g は信号線 1 1 a の下を横切る、すなわち交差している。

【 0 0 0 8 】

つまり、信号線どうしが交差する場合、その交差する部分において、一方の信号線は第 1 層目の配線層 2 1 に形成される。他方の信号線は第 2 層目の配線層 2 2 に形成される。通常、第 1 層目の配線層 2 1 にはゲート配線が形成され、第 2 層目の配線層 2 2 にはデータ配線が形成される。

20

【 0 0 0 9 】

このようなレイアウトにおいて剥離帯電が発生し、静電気が印加されると、図 1 8 に示すように、基板搬送系 2 4 と信号線 1 1 a との間、および基板搬送系 2 4 と信号線 1 1 b , 1 1 c , 1 1 d との間には、それぞれ、硝子基板を誘電体（容量：C d 1、C d 2）として電圧 V 1 および V 2 が発生する。その際、硝子基板の厚さがたとえば 0 . 7 mm と薄いため、C d 1 および C d 2 は非常に小さくなる。そのため、剥離帯電が発生すると、V 1 および V 2 は 1 0 0 0 ~ 2 0 0 0 V 程度となり、V 1 と V 2 の電位差は 1 0 0 V 以上になることがある。

30

【 0 0 1 0 】

図 1 7 に示される第 1 層目の配線層 2 1 と第 2 層目の配線層 2 2 との間に介設される層間絶縁膜の耐圧は 3 0 ~ 6 0 V 程度である。したがって、第 1 層目の配線層 2 1 に形成された信号線 1 1 e , 1 1 f , 1 1 g と第 2 層目の配線層 2 2 に形成された信号線 1 1 a との交差部分に 1 0 0 V の電圧が印加されると、静電破壊が発生する。つまり、従来は剥離帯電によって容易に静電破壊が発生するという問題点がある。

【 0 0 1 1 】

なお、図 1 8 において、V i n 1 および V i n 2 は端子電極をあらわし、V o u t 1 および V o u t 2 は交差部分でのノードをあらわす。また、C 1 2 は層間絶縁膜の容量であり、R c はコンタクト部 2 3 による抵抗である。

40

【 0 0 1 2 】

本発明は、上記問題点に鑑みてなされたものであって、硝子等の基板上に形成された半導体集積回路に対する配線構造を提供することを目的とする。

【 0 0 1 3 】

【課題を解決するための手段】

図 1 は、本発明にかかる配線構造の原理を説明するために信号線のレイアウトを示す図である。図 2 は、図 1 に示すレイアウトの回路図であり、図 3 は、その回路に静電気が印加された時の等価回路を示す図である。本発明は、図 1 に示すように、静電気が発生すると推定される箇所（V i n）と、静電気から保護すべき箇所（V o u t）とを電氣的に接

50

続する信号線 3 1 に沿って、その信号線 3 1 の下の配線層に補助導電体 3 3 を形成したことを特徴とする。

【 0 0 1 4 】

静電気が発生すると推定される箇所は、たとえば端子電極 V i n である。静電気から保護すべき箇所は、たとえば、端子電極 V i n に接続された信号線 3 1 が他の配線層に形成された図示しない信号線と交差する箇所 V o u t である。また、信号線 3 1 が第 2 層目の配線層 4 2 に形成される場合、補助導電体 3 3 は、図示省略した絶縁膜を介して第 1 層目の配線層 4 1 に形成される。図 1 に示す例では、信号線 3 1 と補助導電体 3 3 とはコンタクト部 4 3 を介して電氣的に接続されている。

【 0 0 1 5 】

なお、図 2 において、R c はコンタクト部 4 3 による抵抗であり、R o および R d は配線抵抗であり、C d は硝子基板による容量であり、C g d は第 1 層目の配線層と第 2 層目の配線層との間の層間絶縁膜の容量である。

【 0 0 1 6 】

静電気が発生した場合、図 3 に示すように、基板搬送系 4 4 と補助導電体 3 3 との間には、硝子基板を誘電体として電圧 V 2 が発生する。また、補助導電体 3 3 と信号線 3 1 との間には、層間絶縁膜を誘電体として電圧 V 1 が発生する。V 1、V 2、C d および C g d の間には、つぎの ( 1 ) 式の関係が成り立つ。

$$V 1 : V 2 = 1 / C g d : 1 / C d \quad \cdot \cdot \cdot ( 1 )$$

【 0 0 1 7 】

ここで、硝子基板の容量 C d は層間絶縁膜の容量 C g d のおおよそ 1 / 1 0 0 0 であるため、V 1 はおおよそ V 2 の 1 / 1 0 0 0、すなわち V 2 / 1 0 0 0 となる。したがって、静電気により V 2 が 1 0 0 0 ~ 2 0 0 0 V になっても、V 1 は、層間絶縁膜の耐圧 ( 3 0 ~ 6 0 V 程度 ) よりも低い数 V 程度にしかならないため、層間絶縁膜の静電破壊を防止することができる。

【 0 0 1 8 】

また、つぎの発明は、上層の配線層に形成された第 2 の信号線が、その下の配線層に形成された第 1 の信号線の上を横切る場合に、第 1 の信号線から分岐する分岐部を形成し、第 2 の信号線が第 1 の信号線とともにその分岐部の上を横切るようにしたものである。また、第 2 の信号線に分岐部を形成し、第 2 の信号線と分岐部が第 1 の信号線の上を横切るようにしてもよい。

【 0 0 1 9 】

このようにすれば、第 1 の信号線と第 2 の信号線とが交差する部分において、第 1 の信号線と第 2 の信号線との間に設けられた層間絶縁膜の容量が 2 倍になるので、層間絶縁膜に印加される電圧が従来の 1 / 2 の 5 0 V 程度となる。したがって、層間絶縁膜の静電破壊が起こり難くなる。

【 0 0 2 0 】

【発明の実施の形態】

以下に、本発明の実施の形態にかかる配線構造について図面を参照しつつ詳細に説明する。

【 0 0 2 1 】

〔実施の形態 1〕

図 4 は、実施の形態 1 にかかる静電破壊防止構造の信号線レイアウトを示す図である。第 1 ~ 第 4 の端子電極 5 2 a , 5 2 b , 5 2 c , 5 2 d にそれぞれ接続された第 1 ~ 第 4 の信号線 5 1 a , 5 1 b , 5 1 c , 5 1 d は、第 2 層目の配線層 4 2 に形成されている。そのうち第 2 ~ 第 4 の信号線 5 1 b , 5 1 c , 5 1 d は、それぞれ第 1 層目の配線層 4 1 に形成された第 5 ~ 第 7 の信号線 5 1 e , 5 1 f , 5 1 g にコンタクト部 4 3 を介して接続されている。第 5 ~ 第 7 の信号線 5 1 e , 5 1 f , 5 1 g は第 1 の信号線 5 1 a の下を横切っている。通常、第 1 層目の配線層 4 1 にはゲート配線が形成され、第 2 層目の配線層 4 2 にはデータ配線が形成される。

10

20

30

40

50

## 【 0 0 2 2 】

実施の形態 1 にかかる静電破壊防止構造では、第 1 層目の配線層 4 1 に第 1 ~ 第 4 群の補助導電体 5 3 a 1 ~ 5 3 a 3 , 5 3 b 1 ~ 5 3 b 3 , 5 3 c 1 ~ 5 3 c 3 , 5 3 d 1 ~ 5 3 d 3 が形成されている。これら補助導電体 5 3 a 1 ~ 5 3 a 3 , 5 3 b 1 ~ 5 3 b 3 , 5 3 c 1 ~ 5 3 c 3 , 5 3 d 1 ~ 5 3 d 3 は、第 1 ~ 第 4 の端子電極 5 2 a , 5 2 b , 5 2 c , 5 2 d と、第 5 ~ 第 7 の信号線 5 1 e , 5 1 f , 5 1 g が第 1 の信号線 5 1 a と交差する箇所との間で、各信号線 5 1 a , 5 1 b , 5 1 c , 5 1 d に沿って断続的、すなわち互いに離れた状態で設けられる。

## 【 0 0 2 3 】

補助導電体 5 3 a 1 ~ 5 3 a 3 , 5 3 b 1 ~ 5 3 b 3 , 5 3 c 1 ~ 5 3 c 3 , 5 3 d 1 ~ 5 3 d 3 が断続的に設けられる理由は、第 1 層目の配線層 4 1 が通常ゲート配線であるからである。つまり、第 1 層目の配線層 4 1 において配線長が長くなると、第 1 層目の配線層 4 1 に形成された信号線どうしの間で放電が起こり、薄膜トランジスタの特性が劣化してしまうからである。

10

## 【 0 0 2 4 】

また、図示例では、各補助導電体 5 3 a 1 ~ 5 3 a 3 , 5 3 b 1 ~ 5 3 b 3 , 5 3 c 1 ~ 5 3 c 3 , 5 3 d 1 ~ 5 3 d 3 は、コンタクト部 4 3 を介して各信号線 5 1 a , 5 1 b , 5 1 c , 5 1 d に電氣的に接続されている。上述した構造は、周知のデバイスプロセスにより作製することができる。

## 【 0 0 2 5 】

つぎに、実施の形態 1 の作用について説明する。図 5 は、図 4 に示す信号線レイアウトの静電気印加時の等価回路を示す図である。このようなレイアウトにおいて剥離帯電が発生し、静電気が印加されると、基板搬送系 4 4 と第 1 群の補助導電体 5 3 a 1 ~ 5 3 a 3 との間に電圧  $V_{21}$  が発生する。第 1 群の補助導電体 5 3 a 1 ~ 5 3 a 3 と第 1 の信号線 5 1 a との間には電圧  $V_{11}$  が発生する。

20

## 【 0 0 2 6 】

また、基板搬送系 4 4 と第 2 ~ 第 4 群の補助導電体 5 3 b 1 ~ 5 3 b 3 , 5 3 c 1 ~ 5 3 c 3 , 5 3 d 1 ~ 5 3 d 3 との間に電圧  $V_{22}$  が発生する。第 2 ~ 第 4 群の補助導電体 5 3 b 1 ~ 5 3 b 3 , 5 3 c 1 ~ 5 3 c 3 , 5 3 d 1 ~ 5 3 d 3 と第 2 ~ 第 4 の信号線 5 1 b , 5 1 c , 5 1 d との間には電圧  $V_{12}$  が発生する。

30

## 【 0 0 2 7 】

基板搬送系 4 4 と補助導電体 5 3 a 1 ~ 5 3 a 3 , 5 3 b 1 ~ 5 3 b 3 , 5 3 c 1 ~ 5 3 c 3 , 5 3 d 1 ~ 5 3 d 3 との間の硝子基板の容量を  $C_{d1}$  とする。また、補助導電体 5 3 a 1 ~ 5 3 a 3 , 5 3 b 1 ~ 5 3 b 3 , 5 3 c 1 ~ 5 3 c 3 , 5 3 d 1 ~ 5 3 d 3 と第 1 ~ 第 4 の信号線 5 1 a , 5 1 b , 5 1 c , 5 1 d との間の層間絶縁膜の容量を  $C_{gd1}$  とする。 $V_{11}$ 、 $V_{21}$ 、 $C_{d1}$  および  $C_{gd1}$  の間には、つぎの ( 2 ) 式の関係が成り立つ。

$$V_{11} : V_{21} = 1 / C_{gd1} : 1 / C_{d1} \quad \dots (2)$$

## 【 0 0 2 8 】

また、 $V_{12}$ 、 $V_{22}$ 、 $C_{d1}$  および  $C_{gd1}$  の間には、つぎの ( 3 ) 式の関係が成り立つ。

40

$$V_{12} : V_{22} = 1 / C_{gd1} : 1 / C_{d1} \quad \dots (3)$$

## 【 0 0 2 9 】

ここで、 $C_{d1}$  は  $C_{gd1}$  のおおよそ  $1 / 1000$  であるため、 $V_{11}$  および  $V_{12}$  はそれぞれ  $V_{21}$  および  $V_{22}$  のおおよそ  $1 / 1000$  となる。さらに、第 1 層で形成された補助導電体がレイアウト的にほぼ等間隔に分散して配置されているため、補助導電体間の電位差は  $\pm 10$  V 程度におさえられる。

## 【 0 0 3 0 】

さらに、 $V_{out1} - V_{out2} = C_{gd2} (V_{in1} - V_{in2}) / C_{12} + C_{gd2}$  となり、 $V_{in1}$  と  $V_{in2}$  の間にできた電位差の半分以下におさえることが可能である

50

。

## 【0031】

したがって、剥離帯電等により $V_{21}$ および $V_{22}$ が $1000 \sim 2000$  Vになっても、層間絶縁膜に印加される電圧 $V_{out2} - V_{out1}$ は数V程度となる。つまり、剥離帯電によって発生する電荷量がばらついても、層間絶縁膜には数V程度しか印可されないため、静電破壊は起こらない。

## 【0032】

図5において、 $C_{d2}$ は基板搬送系44と第5～第7の信号線51e, 51f, 51gとの間の硝子基板の容量であり、 $C_{gd2}$ は第2～第4の信号線51b, 51c, 51dと第5～第7の信号線51e, 51f, 51gとの間の層間絶縁膜の容量であり、 $C_{12}$ は第5～第7の信号線51e, 51f, 51gと第1の信号線51aとの間の層間絶縁膜の容量である。

10

## 【0033】

上述した実施の形態1によれば、剥離帯電等により静電気が印加されて基板搬送系44と補助導電体53a1～53a3, 53b1～53b3, 53c1～53c3, 53d1～53d3との間の電圧が $1000 \sim 2000$  Vになっても、補助導電体53a1～53a3, 53b1～53b3, 53c1～53c3, 53d1～53d3と信号線51a, 51b, 51c, 51dとの間の電圧、すなわち層間絶縁膜に印加される電圧は数V程度にしかならない。層間絶縁膜の耐圧は $30 \sim 60$  V程度であるため、剥離帯電により発生する電荷量がばらついても層間絶縁膜の静電破壊を防止することができる。したがって、歩留りの高い液晶ディスプレイを形成することができるため、生産性の向上が可能となり、液晶表示装置を安価に提供することが可能となる。

20

## 【0034】

なお、上述した実施の形態1においては、各信号線にそれぞれ補助導電体が3個ずつ配置されている場合について説明したが、これに限らず、各信号線における補助導電体の数は2個以下でもよいし、4個以上でもよい。また、できるだけレイアウト的に全面に均等に配置してあればなおよい。その際でも補助導電体の数はいくつでもかまわない。また、第1～第4の信号線51a, 51b, 51c, 51dと第1～第4群の補助導電体53a1～53a3, 53b1～53b3, 53c1～53c3, 53d1～53d3とを電氣的に接続しなくてもよい。

30

## 【0035】

## 〔実施の形態2〕

図6は、実施の形態2にかかる静電破壊防止構造の信号線レイアウトを示す図である。第1～第4の端子電極62a, 62b, 62c, 62dにそれぞれ接続された第1～第4の信号線61a, 61b, 61c, 61dは、第2層目の配線層42に形成されており、いずれも途中で一旦切れている。そのうち第2～第4の信号線61b, 61c, 61dは、それぞれ第1層目の配線層41に形成された第5～第7の信号線61e, 61f, 61gにコンタクト部43を介して接続されている。第5～第7の信号線61e, 61f, 61gは第1の信号線61aの下を横切っている。

40

## 【0036】

実施の形態2にかかる静電破壊防止構造では、第1層目の配線層41に第1～第4の補助導電体63a, 63b, 63c, 63dが形成されている。これら補助導電体63a, 63b, 63c, 63dは、第1～第4の端子電極62a, 62b, 62c, 62dと、第5～第7の信号線61e, 61f, 61gが第1の信号線61aと交差する箇所との間で、各信号線61a, 62b, 62c, 61dに沿って設けられる。

## 【0037】

第1～第4の信号線61a, 61b, 61c, 61dは、補助導電体63a, 63b, 63c, 63dの上で、端子電極62a, 62b, 62c, 62d寄りの位置で一旦途切れる。つまり、第1～第4の信号線61a, 61b, 61c, 61dと補助導電体63a, 63b, 63c, 63dとが重なる部分のうち、第5～第7の信号線61e, 61f, 6

50

1 g と第 1 の信号線 6 1 a とが交差する側で重なる部分の長さ L 2 が、端子電極 6 2 a , 6 2 b , 6 2 c , 6 2 d 側で重なる部分の長さ L 1 よりも長くなる。好ましくは、L 2 は L 1 の 2 倍以上の長さであるとよい。

【 0 0 3 8 】

第 1 ~ 第 4 の信号線 6 1 a , 6 1 b , 6 1 c , 6 1 d のうち、長さ L 1 の部分と長さ L 2 の部分は、それぞれコンタクト部 4 3 を介して補助導電体 6 3 a , 6 3 b , 6 3 c , 6 3 d に電氣的に接続されている。上述した構造は、周知のデバイスプロセスにより作製することができる。

【 0 0 3 9 】

つぎに、実施の形態 2 の作用について説明する。図 7 は、図 6 に示す信号線レイアウトの各信号線について静電気印加時の等価回路を示す図である。端子電極 V i n に静電気が印加されると、端子電極 V i n と信号線の交差部分 V o u t との間において、第 1 ~ 第 4 の信号線 6 1 a , 6 1 b , 6 1 c , 6 1 d と各補助導電体 6 3 a , 6 3 b , 6 3 c , 6 3 d との間の層間絶縁膜を誘電体として電圧 V 1 および V 2 が発生する。

10

【 0 0 4 0 】

電圧 V 1 は、第 1 ~ 第 4 の信号線 6 1 a , 6 1 b , 6 1 c , 6 1 d と補助導電体 6 3 a , 6 3 b , 6 3 c , 6 3 d とが重なる部分のうち、端子電極 6 2 a , 6 2 b , 6 2 c , 6 2 d 側で重なる部分（図 6 において長さ L 1 の部分）に発生する。電圧 V 2 は、第 1 ~ 第 4 の信号線 6 1 a , 6 1 b , 6 1 c , 6 1 d と補助導電体 6 3 a , 6 3 b , 6 3 c , 6 3 d とが重なる部分のうち、信号線が交差する側で重なる部分（図 6 において長さ L 2 の部分）に発生する。C 1 および C 2 は、それぞれ長さ L 1 および L 2 の部分での層間絶縁膜の容量である。

20

【 0 0 4 1 】

ここで、V 1、V 2、C 1 および C 2 の間には、つぎの ( 4 ) 式の関係が成り立つ。

$$V 1 : V 2 = 1 / C 1 : 1 / C 2 \quad \cdot \cdot \cdot ( 4 )$$

【 0 0 4 2 】

上述したように、L 2 は L 1 よりも長いため、C 2 は C 1 よりも大きくなる。したがって、V 2 は V 1 よりも小さくなる。つまり、静電気印加時に、信号線が交差する側の層間絶縁膜には、端子電極側の層間絶縁膜よりも小さな電圧が印加されることになる。L 1 と L 2 との比を適切に設定することによって、信号線が交差する側の層間絶縁膜に印加される電圧を低く抑えることができる。

30

【 0 0 4 3 】

図 8 は、図 6 に示す信号線レイアウトの静電気印加時の等価回路を示す図である。端子電極 V i n 1 , V i n 2 に静電気が印加されると、第 1 の信号線 6 1 a と補助導電体 6 3 a との間で、図 6 の長さ L 1 の部分に電圧 V 1 1 が発生し、図 6 の長さ L 2 の部分に電圧 V 1 2 が発生する。また、第 2 ~ 第 4 の信号線 6 1 b , 6 1 c , 6 1 d と補助導電体 6 3 b , 6 3 c , 6 3 d との間で、図 6 の長さ L 1 の部分に電圧 V 2 1 が発生し、図 6 の長さ L 2 の部分に電圧 V 2 2 が発生する。

【 0 0 4 4 】

図 7 に関連して説明したように、C 2 が C 1 よりも大きいため、V 1 2 および V 2 2 はそれぞれ V 1 1 および V 2 1 よりも小さくなる。ここで、C 1 が C 2 のおおよそ 1 / 1 0 となるように L 1 および L 2 を設定すると、V 1 2 および V 2 2 はそれぞれ V 1 1 および V 2 1 のおおよそ 1 / 1 0 となる。したがって、端子電極間に印加される静電気にはばらつきがあり、V 1 1 および V 2 1 に電位差が生じて、V 1 2 および V 2 2 の電位差はその 1 / 1 0 となる。つまり、信号線どうしが交差する部分の層間絶縁膜に印可される電圧は、V 1 1 と V 2 1 の電位差の 1 / 1 0 となる。

40

【 0 0 4 5 】

図 8 において、R c はコンタクト部による抵抗であり、C 1 2 は第 5 ~ 第 7 の信号線 6 1 e , 6 1 f , 6 1 g と第 1 の信号線 6 1 a との間の層間絶縁膜の容量である。

【 0 0 4 6 】

50

上述した実施の形態 2 によれば、端子電極間に印加される静電気に電位差が生じても、信号線どうしが交差する部分の層間絶縁膜に印可される電圧は、端子電極間の電位差よりも小さくなり、たとえば  $1/10$  となる。つまり、その交差部分の層間絶縁膜に印加される電圧を耐圧以下に抑えることができるので、層間絶縁膜の静電破壊を防止することができる。したがって、歩留りの高い液晶ディスプレイを形成することができるため、生産性の向上が可能となり、液晶表示装置を安価に提供することが可能となる。

#### 【0047】

##### 〔実施の形態 3〕

図 9 は、実施の形態 3 にかかる静電破壊防止構造の信号線レイアウトを示す図である。第 1 および第 2 の端子電極 72a, 72b にそれぞれ接続された第 1 および第 2 の信号線 71a, 71b は、第 2 層目の配線層 42 に形成されている。第 3 ~ 第 5 の信号線 71c, 71d, 71e は第 2 層目の配線層 42 に形成されている。第 1 および第 2 の信号線 71a, 71b は、コンタクト部 43 を介して、第 1 層目の配線層 41 に形成された第 6 および第 7 の信号線 71f, 71g に接続されている。

#### 【0048】

実施の形態 3 にかかる静電破壊防止構造では、第 1 層目の配線層 41 に、第 6 および第 7 の信号線 71f, 71g からそれぞれ分岐した分岐部 73a, 73b が形成されている。これら分岐部 73a, 73b はそれぞれ第 6 および第 7 の信号線 71f, 71g に電氣的に接続されている。第 6 および第 7 の信号線 71f, 71g は、分岐部 73a, 73b とともに、第 3 ~ 第 5 の信号線 71c, 71d, 71e の下を横切っている。なお、分岐部 73a, 73b は端子電極 72a, 72b 側に向かって分岐していてもよいし、その反対向きに分岐していてもよい。上述した構造は、周知のデバイスプロセスにより作製することができる。

#### 【0049】

上述した実施の形態 3 によれば、第 1 層目の配線層 41 に形成された第 6 および第 7 の信号線 71f, 71g が、それらから分岐した分岐部 73a, 73b とともに、第 2 層目の配線層 42 に形成された第 3 ~ 第 5 の信号線 71c, 71d, 71e の下を横切っているため、その交差部分において第 1 層目の配線層 41 と第 2 層目の配線層 42 との間の層間絶縁膜の容量が 2 倍になる。つまり、層間絶縁膜に印加される電圧が従来の  $1/2$  の 50V 程度となる。層間絶縁膜の耐圧は最大 60V であるため、信号線どうしが交差する部分において、層間絶縁膜の静電破壊が起こり難くなる。したがって、歩留りの高い液晶ディスプレイを形成することができるため、生産性の向上が可能となり、液晶表示装置を安価に提供することが可能となる。

#### 【0050】

##### 〔実施の形態 4〕

図 10 は、実施の形態 4 にかかる静電破壊防止構造の信号線レイアウトを示す図である。実施の形態 4 は、実施の形態 3 の静電破壊防止構造に実施の形態 1 の静電破壊防止構造を適用したものである。すなわち、第 2 層目の配線層 42 に形成された信号線 81 の下を、第 1 層目の配線層 41 に形成された信号線 82 が横切る部分において、信号線 82 から分岐した分岐部 83 も信号線 81 の下を横切っている。さらに、信号線 81 の下には、信号線 81 に沿って断続的に補助導電体 84 が複数設けられている。このような構造は、周知のデバイスプロセスにより作製することができる。実施の形態 4 によれば、上述した実施の形態 3 の効果に加えて、実施の形態 1 の効果も奏する。

#### 【0051】

##### 〔実施の形態 5〕

図 11 は、実施の形態 5 にかかる静電破壊防止構造の信号線レイアウトを示す図である。実施の形態 5 は、実施の形態 3 の静電破壊防止構造に実施の形態 2 の静電破壊防止構造を適用したものである。すなわち、第 2 層目の配線層 42 に形成された信号線 91 の下を、第 1 層目の配線層 41 に形成された信号線 92 が横切る部分において、信号線 91 に分岐部 93 を設け、その分岐部 93 の下を信号線 92 が横切っている。さらに、信号線 91 の



下には、信号線 9 1 に沿って補助導電体 9 4 が設けられている。信号線 9 1 は、途中で一旦切れており、コンタクト部 4 3 および補助導電体 9 4 を介して相互に電氣的に接続されている。このような構造は、周知のデバイスプロセスにより作製することができる。実施の形態 5 によれば、上述した実施の形態 3 の効果に加えて、実施の形態 2 の効果も奏する。

【 0 0 5 2 】

以上において本発明は、硝子基板上に形成された半導体集積回路に対する静電破壊防止構造に限らず、半導体基板上に形成された集積回路に対する静電破壊防止構造にも適用することができる。

【 0 0 5 3 】

〔付記〕

また、以下のような付記 1 ~ 付記 1 3 を請求項とすることもできる。

【 0 0 5 4 】

(付記 1) 硝子基板上に形成された第 1 の信号線と、  
前記第 1 の信号線の上に設けられた絶縁膜と、  
前記絶縁膜の上に設けられ、かつ前記第 1 の信号線の上を横切る第 2 の信号線と、  
前記第 2 の信号線が前記第 1 の信号線の上を横切る部分の周辺で、前記第 1 の信号線と同じ配線層にて、前記第 2 の信号線に沿ってその下に設けられた補助導電体と、  
を具備することを特徴とする静電破壊防止構造。

【 0 0 5 5 】

(付記 2) 前記補助導電体は互いに離れた状態で複数設けられていることを特徴とする付記 1 に記載の静電破壊防止構造。

【 0 0 5 6 】

(付記 3) 前記補助導電体はコンタクト部を介して前記第 2 の信号線に電氣的に接続されていることを特徴とする付記 1 または 2 に記載の静電破壊防止構造。

【 0 0 5 7 】

(付記 4) 前記第 2 の信号線は、途中で一旦切れており、コンタクト部および前記補助導電体を介して相互に電氣的に接続されていることを特徴とする付記 1 に記載の静電破壊防止構造。

【 0 0 5 8 】

(付記 5) 前記第 2 の信号線の基部は端子電極に接続されており、前記第 2 の信号線は、前記端子電極側において前記補助導電体との間に生じる容量よりも、前記第 1 の信号線上を横切る側において前記補助導電体との間に生じる容量が大きくなるように、途中で一旦切れていることを特徴とする付記 4 に記載の静電破壊防止構造。

【 0 0 5 9 】

(付記 6) 第 1 の信号線と、  
前記第 1 の信号線の上に設けられた絶縁膜と、  
前記絶縁膜の上に設けられ、かつ前記第 1 の信号線の上を横切る第 2 の信号線と、  
前記第 1 の信号線から分岐して前記第 2 の信号線の下を横切る分岐部と、  
を具備することを特徴とする静電破壊防止構造。

【 0 0 6 0 】

(付記 7) 前記第 1 の信号線と同じ配線層にて、前記第 2 の信号線に沿ってその下に補助導電体が設けられていることを特徴とする付記 6 に記載の静電破壊防止構造。

【 0 0 6 1 】

(付記 8) 前記補助導電体は互いに離れた状態で複数設けられていることを特徴とする付記 7 に記載の静電破壊防止構造。

【 0 0 6 2 】

(付記 9) 前記補助導電体はコンタクト部を介して前記第 2 の信号線に電氣的に接続されていることを特徴とする付記 7 または 8 に記載の静電破壊防止構造。

【 0 0 6 3 】

10

20

30

40

50

(付記10) 第1の信号線と、  
前記第1の信号線の上に設けられた絶縁膜と、  
前記絶縁膜の上に設けられ、かつ前記第1の信号線の上を横切る第2の信号線と、  
前記第2の信号線から分岐して前記第1の信号線の上を横切る分岐部と、  
を具備することを特徴とする静電破壊防止構造。

【0064】

(付記11) 前記第1の信号線と同じ配線層にて、前記第2の信号線に沿ってその下に  
設けられた補助導電体をさらに具備し、  
前記第2の信号線は、途中で一旦切れており、コンタクト部および前記補助導電体を介し  
て相互に電氣的に接続されていることを特徴とする付記10に記載の静電破壊防止構造。

10

【0065】

(付記12) 前記第2の信号線の基部は端子電極に接続されており、前記第2の信号線  
は、前記端子電極側において前記補助導電体との間に生じる容量よりも、前記第1の信号  
線上を横切る側において前記補助導電体との間に生じる容量が大きくなるように、途中で  
一旦切れていることを特徴とする付記11に記載の静電破壊防止構造。

【0066】

(付記13) 前記第1の信号線、前記絶縁膜および前記第2の信号線は同一の硝子基板  
上に形成されていることを特徴とする付記1～12のいずれか一つに記載の静電破壊防止  
構造。

【0067】

20

【発明の効果】

本発明によれば、静電気が発生すると推定される箇所と、静電気から保護すべき箇所とを  
電氣的に接続する信号線に沿って、その信号線の下に配線層に補助導電体を形成したため  
、剥離帯電等による静電気の発生時に基板搬送系と補助導電体との間に1000～200  
0Vの電圧が発生しても、補助導電体と信号線との間に発生する電圧を数V程度に抑える  
ことができる。補助導電体が形成された配線層と信号線が形成された配線層との間の層間  
絶縁膜の耐圧は30～60V程度であるため、層間絶縁膜の静電破壊を防ぐことができる  
。

【0068】

また、上層の配線層に形成された第2の信号線が、その下の配線層に形成された第1の  
信号線の上を横切る場合に、第1の信号線または第2の信号線に分岐部を形成し、その分  
岐部とともに第2の信号線と第1の信号線とが交差するようにしたため、その交差部分に  
おいて第1の信号線と第2の信号線との間の層間絶縁膜の容量が2倍になる。したがって  
、層間絶縁膜に印加される電圧が従来の1/2の50V程度となる。層間絶縁膜の耐圧が  
最大で60Vであるため、層間絶縁膜の静電破壊が起こり難くなる。

30

【図面の簡単な説明】

【図1】本発明にかかる静電破壊防止構造の原理を説明するために信号線レイアウトを示  
す図である。

【図2】図1に示すレイアウトの回路図である。

【図3】図2に示す回路の静電気印加時の等価回路を示す図である。

40

【図4】実施の形態1にかかる静電破壊防止構造の信号線レイアウトを示す図である。

【図5】図4に示す信号線レイアウトの静電気印加時の等価回路を示す図である。

【図6】実施の形態2にかかる静電破壊防止構造の信号線レイアウトを示す図である。

【図7】図6に示す信号線レイアウトにおいて各信号線についての静電気印加時の等価回  
路を示す図である。

【図8】図6に示す信号線レイアウトの静電気印加時の等価回路を示す図である。

【図9】実施の形態3にかかる静電破壊防止構造の信号線レイアウトを示す図である。

【図10】実施の形態4にかかる静電破壊防止構造の信号線レイアウトを示す図である。

【図11】実施の形態5にかかる静電破壊防止構造の信号線レイアウトを示す図である。

【図12】従来の静電破壊防止構造の要部を示す図である。

50

- 【図13】従来の静電破壊防止構造の要部を示す図である。
- 【図14】従来の静電破壊防止構造の要部を示す図である。
- 【図15】N型の薄膜トランジスタにより構成されるダイオードを示す図である。
- 【図16】N型の薄膜トランジスタにより構成されるダイオードを示す図である。
- 【図17】剥離帯電による静電破壊を説明するために従来の信号線レイアウトを示す図である。
- 【図18】図17に示す信号線レイアウトにおいて剥離帯電による静電気印加時の等価回路を示す図である。

【符号の説明】

- Cd, Cd1, Cd2      硝子基板の容量
- Cgd, Cgd1, Cgd2, C12, C1, C2      層間絶縁膜の容量
- 31, 51a~51g, 61a~61g, 71a~71g, 81, 82, 91, 92  
信号線
- 33, 53a1~53d3, 63a~63d, 84, 94      補助導電体
- 41      第1層目の配線層
- 42      第2層目の配線層
- 43      コンタクト部
- 52a~52d, 62a~62d, 72a, 72b      端子電極
- 73a, 73b, 83, 93      分岐部

【図1】

【図2】

本発明にかかる静電破壊防止構造の原理を説明するために信号線レイアウトを示す図

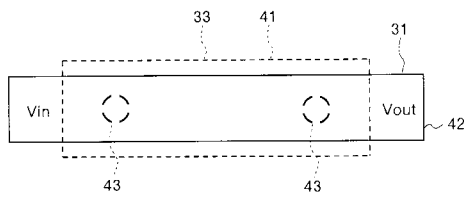
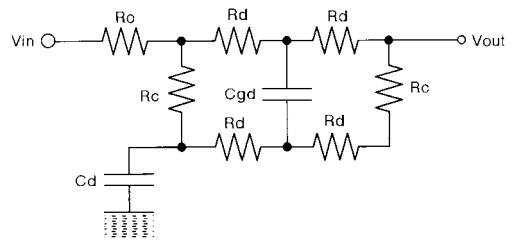
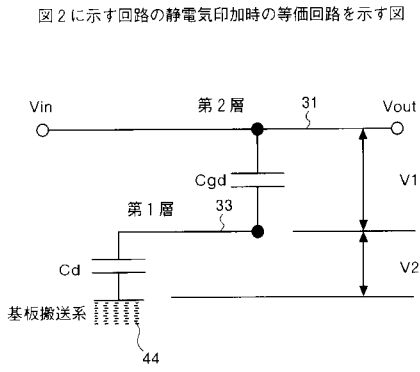


図1に示すレイアウトの回路図

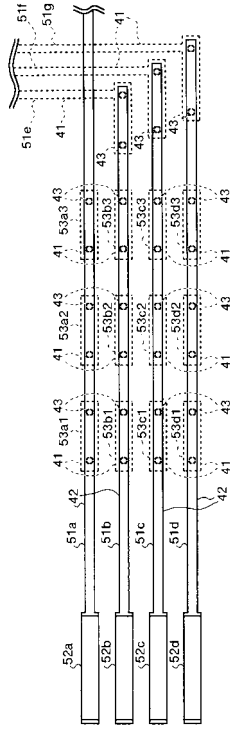


【図3】



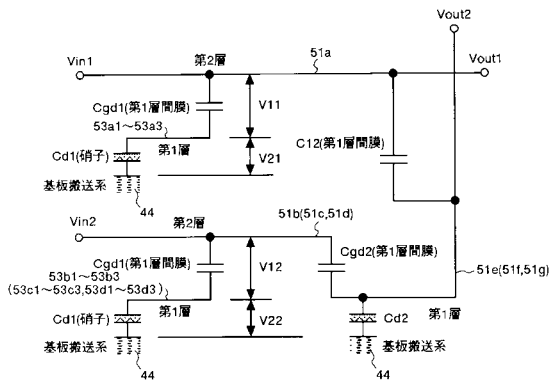
【図4】

実施の形態1にかかる静電線防止構造の信号線レイアウトを示す図



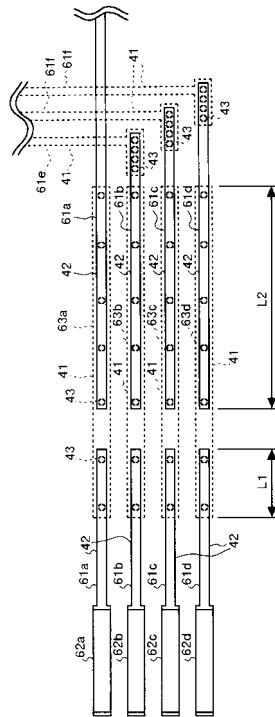
【図5】

図4に示す信号線レイアウトの静電気印加時の等価回路を示す図



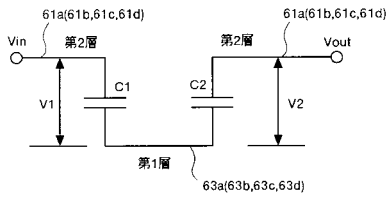
【図6】

実施の形態2にかかる静電線防止構造の信号線レイアウトを示す図



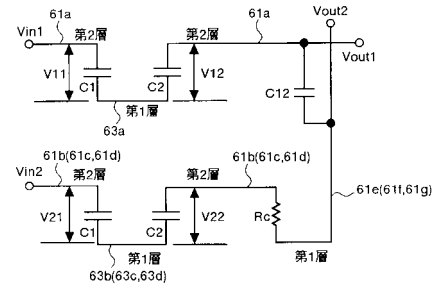
【 図 7 】

図 6 に示す信号線レイアウトにおいて各信号線についての静電気印加時の等価回路を示す図



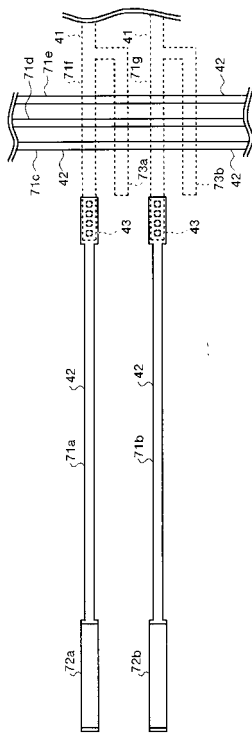
【 図 8 】

図 6 に示す信号線レイアウトの静電気印加時の等価回路を示す図



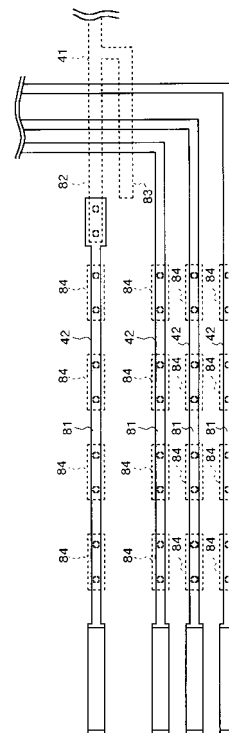
【 図 9 】

実施の形態 3 にかかる静電破壊防止構造の信号線レイアウトを示す図



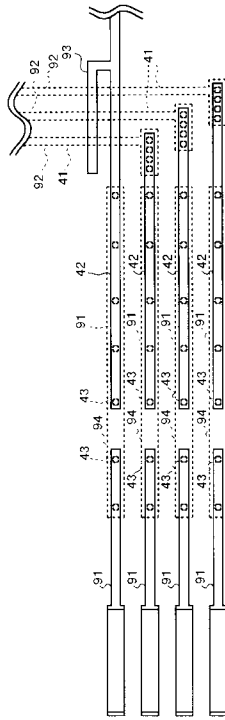
【 図 10 】

実施の形態 4 にかかる静電破壊防止構造の信号線レイアウトを示す図



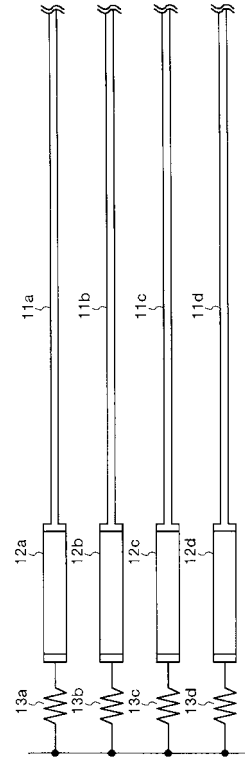
【図 1 1】

実施の形態 5 にかかる静電破壊防止構造の信号線レイアウトを示す図



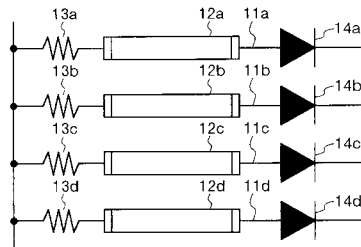
【図 1 2】

従来の静電破壊防止構造の要部を示す図



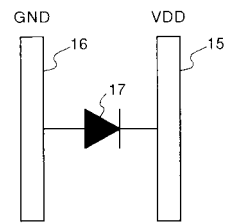
【図 1 3】

従来の静電破壊防止構造の要部を示す図



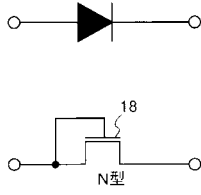
【図 1 4】

従来の静電破壊防止構造の要部を示す図



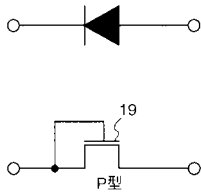
【図15】

N型の薄膜トランジスタにより構成されるダイオードを示す図



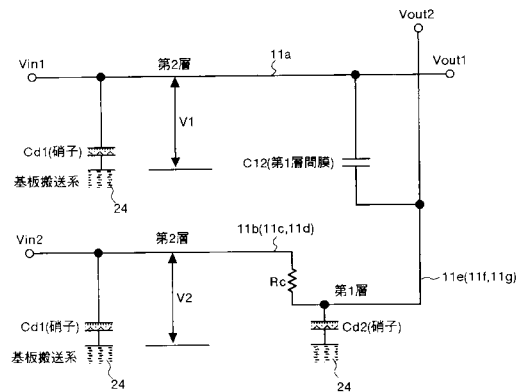
【図16】

N型の薄膜トランジスタにより構成されるダイオードを示す図



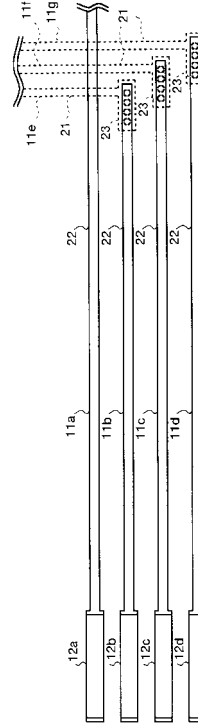
【図18】

図17に示す信号線レイアウトにおいて剥離帯電による静電気印加時の等価回路を示す図



【図17】

剥離帯電による静電破壊を説明するために従来の信号線レイアウトを示す図



## フロントページの続き

- (56)参考文献 特開平 1 0 - 1 9 8 2 9 2 ( J P , A )  
特開平 1 1 - 1 0 9 4 0 9 ( J P , A )  
特開平 0 5 - 2 9 7 4 0 4 ( J P , A )  
特開平 0 6 - 1 6 0 9 0 4 ( J P , A )  
特開平 0 2 - 2 3 2 6 2 8 ( J P , A )

## (58)調査した分野(Int.Cl. , D B 名)

G02F 1/1368

G02F 1/1345

H01L 27/04