

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4285386号  
(P4285386)

(45) 発行日 平成21年6月24日(2009.6.24)

(24) 登録日 平成21年4月3日(2009.4.3)

(51) Int.Cl.	F I
<b>G09G 3/36 (2006.01)</b>	G09G 3/36
<b>G02F 1/133 (2006.01)</b>	G02F 1/133 550
<b>G09G 3/20 (2006.01)</b>	G09G 3/20 611A
	G09G 3/20 612G
	G09G 3/20 621L
	請求項の数 7 (全 21 頁) 最終頁に続く

(21) 出願番号	特願2004-291573 (P2004-291573)	(73) 特許権者	000002369
(22) 出願日	平成16年10月4日(2004.10.4)		セイコーエプソン株式会社
(65) 公開番号	特開2006-106269 (P2006-106269A)		東京都新宿区西新宿2丁目4番1号
(43) 公開日	平成18年4月20日(2006.4.20)	(74) 代理人	100090479
審査請求日	平成17年6月23日(2005.6.23)		弁理士 井上 一
		(74) 代理人	100104710
			弁理士 竹腰 昇
		(74) 代理人	100124682
			弁理士 黒田 泰
		(74) 代理人	100090387
			弁理士 布施 行夫
		(74) 代理人	100090398
			弁理士 大淵 美千栄
			最終頁に続く

(54) 【発明の名称】 ソースドライバ、電気光学装置及び電子機器

(57) 【特許請求の範囲】

【請求項1】

電気光学装置のソース線を駆動するためのソースドライバであって、  
第1の駆動モード又は第2の駆動モードに設定するための駆動モード設定レジスタと、  
m (mは2以上の整数) ビットの表示データに基づいて前記ソース線を駆動するオペア  
ンプと、

第1の電圧又は第2の電圧を出力する電圧設定回路と、  
前記第1の駆動モードの場合には、前記オペアンプがmビットの表示データに対応した  
階調電圧を出力し、

前記第2の駆動モードの場合には、前記オペアンプの出力がハイインピーダンス状態に  
設定され、前記電圧設定回路が前記表示データの上位n (n < m、nは整数) ビットのデ  
ータに対応した前記第1の電圧又は前記第2の電圧を前記ソース線に出力することを特徴  
とするソースドライバ。

【請求項2】

請求項1において、  
各レベルシフタが、mビットの表示データの各ビットの信号の振幅を変換する第1～第  
mのレベルシフタを含むことを特徴とするソースドライバ。

【請求項3】

請求項2において、  
前記第1～第mのレベルシフタの出力信号に対応して、2<sup>m</sup>種類の階調電圧の中の1つ

の階調電圧を選択する電圧選択回路を含み、

前記オペアンプが、

前記電圧選択回路によって選択された階調電圧に基づいて前記ソース線を駆動することを特徴とするソースドライバ。

【請求項 4】

請求項 2 又は 3 において、

前記電圧設定回路が、

前記第  $(m - n + 1)$  ~ 第  $m$  のレベルシフタの出力信号に対応した電圧を前記オペアンプの出力に設定することを特徴とするソースドライバ。

【請求項 5】

請求項 1 乃至 4 のいずれかにおいて、

$n$  が 1 であることを特徴とするソースドライバ。

【請求項 6】

複数のソース線と、

複数のゲート線と、

前記複数のゲート線の 1 つ及び前記複数のソース線の 1 つにより特定される画素と、

前記複数のゲート線を走査するゲートドライバと、

前記複数のソース線の各ソース線を駆動する請求項 1 乃至 5 のいずれか記載のソースドライバとを含むことを特徴とする電気光学装置。

【請求項 7】

請求項 6 記載の電気光学装置を含むことを特徴とする電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ソースドライバ、これを含む電気光学装置及び電子機器に関する。

【背景技術】

【0002】

従来より、携帯電話機等の電子機器に用いられる液晶パネル（電気光学装置）として、単純マトリクス方式の液晶パネルと、薄膜トランジスタ（Thin Film Transistor：以下、TFTと略す）等のスイッチング素子を用いたアクティブマトリクス方式の液晶パネルとが知られている。

【0003】

単純マトリクス方式は、アクティブマトリクス方式に比べて低消費電力化が容易であるという利点がある反面、多色化や動画表示が難しいという不利点がある。一方、アクティブマトリクス方式は、多色化や動画表示に適しているという利点がある反面、低消費電力化が難しいという不利点がある。

【0004】

そして、近年、携帯電話機等の携帯型の電子機器では、高品質な画像の提供のために、多色化、動画表示への要望が強まっている。このため、これまで用いられてきた単純マトリクス方式の液晶パネルに代えて、アクティブマトリクス方式の液晶パネルが用いられるようになってきた。

【0005】

このようなアクティブマトリクス方式の液晶パネルを駆動する場合、液晶パネルのソース線を駆動するソースドライバの中に、出力バッファとして機能するインピーダンス変換回路が設けられる。このインピーダンス変換回路として、ボルテージフォロワ接続された演算増幅器（オペアンプ）が採用される。これにより、高い駆動能力が得られるが、その一方で演算増幅器の動作電流により消費電力が増大する。そのためソースドライバは、駆動モードして、通常駆動モードの他にパワーセーブ駆動モードを備え、パワーセーブ駆動モードでは、減色して駆動することで不要な電力消費を削減することができるようになっている。

10

20

30

40

50

【特許文献1】特開2004-12944号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

ソースドライバでは、表示データを取り込んで駆動制御を行う制御ロジック系の電源電圧（例えば1.8ボルト）と、ソース線を駆動する駆動系の電源電圧（例えば5.0ボルト）とが異なる。そのため、ソースドライバは、表示データに対応した駆動電圧を生成するために電圧レベルを変換するレベルシフトを含む。

【0007】

しかしながら、従来では、通常駆動モードやパワーセーブ駆動モード等の駆動モードに関わらず、レベルシフトが電圧レベルの変換動作を行っていた。そのため、パワーセーブ駆動モードでは、例えば表示データの最上位ビットのデータのみが必要であるにも関わらず、不要な下位ビットの信号の電圧レベルを変換し、電圧レベルの変換動作に伴う貫通電流の発生により無駄な電流を消費していた。

【0008】

また、これまでソースドライバでは、オペアンプ等の各部において種々の低消費電力化が図られている。そのため、より一層の低消費電力化を実現するためには、低電圧の制御ロジック系よりは高電圧の駆動系の電源電圧を用いるレベルシフトの低消費電力化が有効であると考えられる。

【0009】

本発明は、以上のような技術的課題に鑑みてなされたものであり、その目的とするところは、駆動モードに応じてレベルシフトの変換動作に伴う電力消費を削減できるソースドライバ、これを含む電気光学装置及び電子機器を提供することにある。

【課題を解決するための手段】

【0010】

上記課題を解決するために本発明は、  
電気光学装置のソース線を駆動するためのソースドライバであって、  
第1又は第2の駆動モードに設定するための駆動モード設定レジスタと、  
各レベルシフトが、 $m$  ( $m$ は2以上の整数)ビットの表示データの各ビットの信号の振幅を変換する第1～第 $m$ のレベルシフトと、

前記駆動モード設定レジスタにより前記第1の駆動モードに設定されたとき、前記第1～第 $m$ のレベルシフトの出力信号に対応した1つの階調電圧に基づいてソース線を駆動するオペアンプと、

前記駆動モード設定レジスタにより前記第2の駆動モードに設定されたとき、前記表示データの上位 $n$  ( $n < m$ ,  $n$ は整数)ビットのデータに対応した電圧を前記オペアンプの出力に設定する電圧設定回路とを含み、

前記第2の駆動モードに設定されたとき、前記第1～第 $m$ のレベルシフトのうち、前記表示データの下位( $m - n$ )ビットの各ビットの信号の振幅を変換する第1～第( $m - n$ )のレベルシフトの入力信号が固定されるソースドライバに関する。

【0011】

本発明においては、駆動モード設定レジスタにより第1又は第2の駆動モードが指定される。第1の駆動モードが指定されたとき、オペアンプが第1～第 $m$ のレベルシフトの出力信号に対応した1つの階調電圧に基づいてソース線を駆動する。第2の駆動モードが指定されたとき、電圧設定回路が、表示データの上位 $n$ ビットのデータに対応した電圧をオペアンプの出力に設定する。このとき、第1～第 $m$ のレベルシフトのうち、表示データの下位( $m - n$ )ビットの各ビットの信号の振幅を変換する第1～第( $m - n$ )のレベルシフトの入力信号が固定される。

【0012】

第2の駆動モードでは、減色してオペアンプによる駆動を省略して低消費電力化を図る。そのため、表示データの下位( $m - n$ )ビットのデータを不要にできる。本発明によれ

10

20

30

40

50

ば、この第2の駆動モードにおいて、表示データの低位( $m - n$ )ビットに対応するレベルシフタの入力信号が固定されるので、表示データの低位( $m - n$ )ビットの各ビットの信号の振幅の変換に伴う電力消費を削減できる。

【0013】

また本発明は、

電気光学装置のソース線を駆動するためのソースドライバであって、

第1又は第2の駆動モードに設定するための駆動モード設定レジスタと、

ラッチクロックの立ち上がりエッジ又は立ち下がりのタイミングで、 $m$  ( $m$ は2以上の整数)ビットの表示データを取り込む第1～第 $m$ のラッチと、

各レベルシフタが、前記第1～第 $m$ のラッチに取り込まれた表示データの各ビットの信号の振幅を変換する第1～第 $m$ のレベルシフタと、

前記駆動モード設定レジスタにより前記第1の駆動モードに設定されたとき、前記第1～第 $m$ のレベルシフタの出力信号に対応した1つの階調電圧に基づいてソース線を駆動するオペアンプと、

前記駆動モード設定レジスタにより前記第2の駆動モードに設定されたとき、前記表示データの上位 $n$  ( $n < m$ ,  $n$ は整数)ビットのデータに対応した電圧を前記オペアンプの出力に設定する電圧設定回路とを含み、

前記第2の駆動モードに設定されたとき、前記第1～第 $m$ のラッチのうち、前記表示データの低位( $m - n$ )ビットの各ビットのデータを取り込む第1～第( $m - n$ )のラッチのラッチクロックが固定されるソースドライバに係する。

【0014】

本発明においては、駆動モード設定レジスタにより第1又は第2の駆動モードが指定される。第1の駆動モードが指定されたとき、オペアンプが第1～第 $m$ のレベルシフタの出力信号に対応した1つの階調電圧に基づいてソース線を駆動する。第2の駆動モードが指定されたとき、電圧設定回路が、表示データの上位 $n$ ビットのデータに対応した電圧をオペアンプの出力に設定する。このとき、第1～第 $m$ のレベルシフタのうち、表示データの低位( $m - n$ )ビットの各ビットのデータを取り込む第1～第( $m - n$ )のラッチのラッチクロックが固定される。

【0015】

第2の駆動モードでは、減色してオペアンプによる駆動を省略して低消費電力化を図る。そのため、表示データの低位( $m - n$ )ビットのデータを不要にできる。本発明によれば、この第2の駆動モードにおいて、表示データの低位( $m - n$ )ビットに対応するレベルシフタの入力信号が取り込まれる第1～第( $m - n$ )のラッチに取り込まれる信号を更新せずにするため、第1～第( $m - n$ )のレベルシフタの入力信号が固定される。そのため、表示データの低位( $m - n$ )ビットの各ビットの信号の振幅の変換に伴う電力消費を削減できる。

【0016】

また本発明は、

電気光学装置のソース線を駆動するためのソースドライバであって、

第1又は第2の駆動モードに設定するための駆動モード設定レジスタと、

各レベルシフタが、 $m$  ( $m$ は2以上の整数)ビットの表示データの各ビットの信号の振幅を変換する第1～第 $m$ のレベルシフタと、

前記駆動モード設定レジスタにより前記第1の駆動モードに設定されたとき、前記第1～第 $m$ のレベルシフタの出力信号に対応した1つの階調電圧に基づいてソース線を駆動するオペアンプと、

前記駆動モード設定レジスタにより前記第2の駆動モードに設定されたとき、前記表示データの上位 $n$  ( $n < m$ ,  $n$ は整数)ビットのデータに対応した電圧を前記オペアンプの出力に設定する電圧設定回路とを含み、

前記第2の駆動モードに設定されたとき、前記第1～第 $m$ のレベルシフタのうち、前記表示データの低位( $m - n$ )ビットの各ビットの信号の振幅を変換する第1～第( $m - n$

10

20

30

40

50

)のレベルシフタの高電位側電源電圧又は低電位側電源電圧の供給が停止されるソースドライバに関する。

【0017】

本発明においては、駆動モード設定レジスタにより第1又は第2の駆動モードが指定される。第1の駆動モードが指定されたとき、オペアンプが第1～第mのレベルシフタの出力信号に対応した1つの階調電圧に基づいてソース線を駆動する。第2の駆動モードが指定されたとき、電圧設定回路が、表示データの上位nビットのデータに対応した電圧をオペアンプの出力に設定する。このとき、第1～第mのレベルシフタのうち、表示データの下位(m-n)ビットの各ビットの信号の振幅を変換する第1～第(m-n)のレベルシフタの高電位側電源電圧又は低電位側電源電圧の供給が停止される。

10

【0018】

第2の駆動モードでは、減色してオペアンプによる駆動を省略して低消費電力化を図る。そのため、表示データの下位(m-n)ビットのデータを不要にできる。本発明によれば、この第2の駆動モードにおいて、表示データの下位(m-n)ビットに対応するレベルシフタの電源電圧の供給が停止されるので、表示データの下位(m-n)ビットの各ビットの信号の振幅の変換に伴う電力消費を削減できる。

【0019】

また本発明に係るソースドライバでは、  
前記第1～第mのレベルシフタの出力信号に対応して、 $2^m$ 種類の階調電圧の中の1つの階調電圧を選択する電圧選択回路を含み、  
前記オペアンプが、  
前記電圧選択回路によって選択された階調電圧に基づいてソース線を駆動することができる。

20

【0020】

また本発明に係るソースドライバでは、  
前記電圧設定回路が、  
前記第(m-n+1)～第mのレベルシフタの出力信号に対応した電圧を前記オペアンプの出力に設定することができる。

【0021】

また本発明に係るソースドライバでは、  
nが1であってもよい。

30

【0022】

本発明によれば、1画素をR成分、G成分及びB成分で構成する場合、1画素を8色で表現すると共に、表示データの下位(m-1)ビットの各ビットの信号の振幅変換に伴うレベルシフタの電力消費を最も多く削減できる。

【0023】

また本発明は、  
複数のソース線と、  
複数のゲート線と、  
前記複数のゲート線の1つ及び前記複数のソース線の1つにより特定される画素と、  
前記複数のゲート線を走査するゲートドライバと、  
前記複数のソース線の各ソース線を駆動する上記のいずれか記載のソースドライバとを含む電気光学装置に関する。

40

【0024】

本発明によれば、減色することで駆動の電力消費を削減しながら、レベルシフタの電力消費を削減して低消費電力化を実現するソースドライバを含む電気光学装置を提供できる。

【0025】

また本発明は、上記記載の電気光学装置を含む電子機器に関する。

【0026】

50

本発明によれば、減色することで駆動の電力消費を削減しながら、レベルシフトの電力消費を削減して低消費電力化を実現するソースドライバを含む電子機器を提供できる。

【発明を実施するための最良の形態】

【0027】

以下、本発明の実施の形態について図面を用いて詳細に説明する。なお、以下に説明する実施の形態は、特許請求の範囲に記載された本発明の内容を不当に限定するものではない。また以下で説明される構成のすべてが本発明の必須構成要件であるとは限らない。

【0028】

#### 1. 電気光学装置

図1に、本実施形態のソースドライバを適用した電気光学装置を含む表示装置のブロック図の例を示す。図1では、電気光学装置として液晶パネルが採用される。図1では、この液晶パネルを含む表示装置を液晶装置という。

10

【0029】

液晶装置（広義には表示装置）510は、液晶パネル（広義には電気光学装置）512、ソースドライバ（ソース線駆動回路）520、ゲートドライバ（ゲート線駆動回路）530、コントローラ540、電源回路542を含む。なお、液晶装置510にこれらのすべての回路ブロックを含める必要はなく、その一部の回路ブロックを省略する構成にしてもよい。

【0030】

ここで液晶パネル512は、複数のゲート線（広義には走査線）と、複数のソース線（広義にはデータ線）と、ゲート線及びソース線により特定される画素電極を含む。従って液晶パネル512は、複数のソース線と、複数のゲート線と、複数のゲート線の1つ及び複数のソース線の1つにより特定される画素とを含むことができる。この場合、ソース線に薄膜トランジスタTFT（Thin Film Transistor、広義にはスイッチング素子）を接続し、このTFTに画素電極を接続することで、アクティブマトリクス型の液晶装置を構成できる。

20

【0031】

より具体的には、液晶パネル512はアクティブマトリクス基板（例えばガラス基板）に形成される。このアクティブマトリクス基板には、図1のY方向に複数配列されそれぞれX方向に伸びるゲート線 $G_1 \sim G_M$ （Mは2以上の自然数）と、X方向に複数配列されそれぞれY方向に伸びるソース線 $S_1 \sim S_N$ （Nは2以上の自然数）とが配置されている。また、ゲート線 $G_K$ （ $1 \leq K \leq M$ 、Kは自然数）とソース線 $S_L$ （ $1 \leq L \leq N$ 、Lは自然数）との交差点に対応する位置に、薄膜トランジスタ $TFT_{KL}$ （広義にはスイッチング素子）が設けられている。

30

【0032】

$TFT_{KL}$ のゲート電極はゲート線 $G_K$ に接続され、 $TFT_{KL}$ のソース電極はソース線 $S_L$ に接続され、 $TFT_{KL}$ のドレイン電極は画素電極 $PE_{KL}$ に接続されている。この画素電極 $PE_{KL}$ と、画素電極 $PE_{KL}$ と液晶素子（広義には電気光学物質）を挟んで対向する対向電極VCOM（コモン電極）との間には、液晶容量 $CL_{KL}$ （液晶素子）及び補助容量 $CS_{KL}$ が形成されている。そして、 $TFT_{KL}$ 、画素電極 $PE_{KL}$ 等が形成されるアクティブマトリクス基板と、対向電極VCOMが形成される対向基板との間に液晶が封入され、画素電極 $PE_{KL}$ と対向電極VCOMの間の印加電圧に応じて画素の透過率が変化している。

40

【0033】

なお、対向電極VCOMに与えられる電圧は、電源回路542により生成される。また、対向電極VCOMを対向基板上に一面に形成せずに、各ゲート線に対応するように帯状に形成してもよい。

【0034】

ソースドライバ520は、表示データ（画像データ）に基づいて液晶パネル512のソース線 $S_1 \sim S_N$ を駆動する。一方、ゲートドライバ530は、液晶パネル512のゲー

50

ト線  $G_1 \sim G_M$  を順次走査する。

【0035】

コントローラ540は、図示しない中央演算処理装置(Central Processing Unit: CPU)等のホストにより設定された内容に従って、ソースドライバ520、ゲートドライバ530及び電源回路542を制御できる。

【0036】

より具体的には、コントローラ540又はホストは、ソースドライバ520に対しては、例えばソースドライバ520及びゲートドライバ530の動作モードの設定や内部で生成した垂直同期信号や水平同期信号の供給を行い、電源回路542に対しては、対向電極VCOMの電圧の極性反転タイミングの制御を行う。ソースドライバ520は、コントローラ540又はホストによって設定された内容に対応したゲートドライバ制御信号をゲートドライバ530に供給し、ゲートドライバ530は、このゲートドライバ制御信号に基づいて制御される。またソースドライバ520には、対向電極VCOMの電圧の極性反転タイミングが通知される。ソースドライバ520は、この極性反転タイミングに同期して後述する極性反転信号POLを生成する。

10

【0037】

電源回路542は、外部から供給される基準電圧に基づいて、液晶パネル512の駆動に必要な各種の電圧や、対向電極VCOMの電圧を生成する。

【0038】

なお、図1では、液晶装置510がコントローラ540を含む構成になっているが、コントローラ540を液晶装置510の外部に設けてもよい。或いは、コントローラ540と共にホストを液晶装置510に含めるようにしてもよい。また、ソースドライバ520、ゲートドライバ530、コントローラ540、電源回路542の一部又は全部を液晶パネル512上に形成してもよい。

20

【0039】

1.1 ソースドライバ

図2に、図1のソースドライバ520の構成例を示す。

【0040】

ソースドライバ520は、表示データメモリとして表示データRAM(Random Access Memory)600を含む。この表示データRAM600には、静止画像又は動画像の表示データが格納される。表示データRAM600は、少なくとも1フレーム分の表示データを記憶できる。例えばホストが、静止画像の表示データを、直接ソースドライバ520に転送する。また例えばコントローラ540が、動画像の表示データをソースドライバ520に転送する。

30

【0041】

ソースドライバ520は、ホストとの間のインタフェースを行うためのシステムインタフェース回路620を含む。システムインタフェース回路620が、ホストとの間で送受信される信号のインタフェース処理を行うことで、ホストは、システムインタフェース回路620を介して、制御コマンド又は静止画像の表示データをソースドライバ520に設定したり、ソースドライバ520のステータスリードや表示データRAM600の読み出しを行うことができるようになっている。

40

【0042】

ソースドライバ520は、コントローラ540との間のインタフェースを行うためのRGBインタフェース回路622を含む。RGBインタフェース回路622がコントローラ540との間で送受信される信号のインタフェース処理を行うことで、コントローラ540は、RGBインタフェース回路622を介して、動画像の表示データをソースドライバ520に設定することができるようになっている。

【0043】

システムインタフェース回路620及びRGBインタフェース回路622は、制御ロジック624に接続される。制御ロジック624は、ソースドライバ520全体の制御を司

50

る回路ブロックである。制御ロジック624は、システムインタフェース回路620又はRGBインタフェース回路622を介して入力された表示データを表示データRAM600に書き込む制御を行う。

【0044】

また制御ロジック624は、システムインタフェース回路620を介してホストから入力された制御コマンドをデコードし、そのデコード結果に対応した制御信号を出力してソースドライバ520の各部を制御する。制御コマンドが例えば表示データRAM600からの読み出しを指示する場合、表示データRAM600からの読み出し制御を行って読み出した表示データを、システムインタフェース回路620を介してホストに出力する処理を行う。

10

【0045】

また、制御ロジック624は、駆動モードを設定するための駆動モード設定レジスタを含み、該駆動モード設定レジスタの設定値に対応した駆動制御を行うことができるようになっている。この場合、制御ロジック624は、表示データラッチ回路608、駆動回路650に対して制御を行う。駆動モード設定レジスタは、システムインタフェース回路620又はRGBインタフェース回路622を介して、ホスト又はコントローラによってアクセスされる。

【0046】

ソースドライバ520は、表示タイミング発生回路640、発振回路642を含む。表示タイミング発生回路640は、発振回路642が発生した表示用クロックから、表示データラッチ回路608、ラインアドレス回路610、駆動回路650、ゲートドライバ制御回路630へのタイミング信号を生成する。

20

【0047】

ゲートドライバ制御回路630は、システムインタフェース回路620を介して入力されたホストからの制御コマンドに対応して、ゲートドライバ530を駆動するためのゲートドライバ制御信号(1水平走査期間周期のクロック信号CPV、1垂直走査期間の開始を示すスタートパルス信号STV、リセット信号等)を出力する。

【0048】

表示データRAM600に記憶される表示データの記憶領域は、ロウアドレス及びカラムアドレスによって特定される。ロウアドレスは、ロウアドレス回路602によって指定される。カラムアドレスは、カラムアドレス回路604によって指定される。システムインタフェース回路620又はRGBインタフェース回路622を介して入力された表示データは、I/Oバッファ回路606でバッファリングされた後に、ロウアドレス及びカラムアドレスによって特定される表示データRAM600の記憶領域に書き込まれる。また、ロウアドレス及びカラムアドレスによって特定される表示データRAM600の記憶領域から読み出された表示データは、I/Oバッファ回路606でバッファリングされた後にシステムインタフェース回路620を介して出力される。

30

【0049】

ラインアドレス回路610は、ゲートドライバ制御回路630の1水平走査期間周期のクロック信号CPVに同期して、駆動回路650に出力する表示データを表示データRAM600から読み出すためのラインアドレスを指定する。表示データRAM600から読み出された表示データは、表示データラッチ回路608にラッチされた後に、駆動回路650に出力される。

40

【0050】

駆動回路650は、ソース線への出力毎に設けられた複数の出力回路を含む。各出力回路は、ソース線を駆動する。

【0051】

ソースドライバ520は、内部電源回路660を含む。内部電源回路660は、電源回路542から供給された電源電圧を用いて、液晶表示に必要な電圧(高電位側電源電圧VDDHS、低電位側電源電圧VSS)を発生する。内部電源回路660は、基準電圧発生

50

回路 6 6 2 を含む。基準電圧発生回路 6 6 2 は、高電位側電源電圧  $V_{DDHS}$  及び低電位側電源電圧（システム接地電源電圧） $V_{SS}$  を分圧した複数の階調電圧を発生する。例えば 1 ドット当たりの表示データが 6 ビットの場合、基準電圧発生回路 6 6 2 は  $64 (= 2^6)$  種類の階調電圧  $V_0 \sim V_{63}$  を発生する。各階調電圧は、表示データに対応付けられる。そして駆動回路 6 5 0 は、表示データラッチ回路 6 0 8 からのデジタルの表示データの信号の振幅を駆動系の電源電圧レベルの振幅に変換後、該変換後の信号に基づいて、基準電圧発生回路 6 6 2 が発生した複数の階調電圧のいずれかを選択し、デジタルの表示データに対応するアナログの階調電圧を出力回路に出力する。そして、出力回路のオペアンプが、この階調電圧をバッファリングしてソース線に出力し、ソース線を駆動する。なお出力回路は、電圧設定回路を含み、オペアンプで駆動することなく電圧設定回路が表示データの上位ビットに対応した電圧をオペアンプの出力に設定できるようにもなっている。具体的には、駆動回路 6 5 0 は、ソース線毎に設けられたオペアンプ及び電圧設定回路を含み、各オペアンプ又は階調電圧をインピーダンス変換して各ソース線に出力し、或いは各電圧設定回路が表示データの上位ビットに対応した電圧を各ソース線に供給する。

10

#### 【 0 0 5 2 】

##### 1. 2 ゲートドライバ

図 3 に、図 1 のゲートドライバ 5 3 0 の構成例を示す。

#### 【 0 0 5 3 】

ゲートドライバ 5 3 0 は、シフトレジスタ 5 3 2、レベルシフタ 5 3 4、出力バッファ 5 3 6 を含む。

20

#### 【 0 0 5 4 】

シフトレジスタ 5 3 2 は、各ゲート線に対応して設けられ、順次接続された複数のフリップフロップを含む。このシフトレジスタ 5 3 2 は、ゲートドライバ制御回路 6 3 0 からのクロック信号  $CPV$  に同期してスタートパルス信号  $STV$  をフリップフロップに保持すると、順次クロック信号  $CPV$  に同期して隣接するフリップフロップにスタートパルス信号  $STV$  をシフトする。ここで入力されるスタートパルス信号  $STV$  は、ゲートドライバ制御回路 6 3 0 からの垂直同期信号である。

#### 【 0 0 5 5 】

レベルシフタ 5 3 4 は、シフトレジスタ 5 3 2 からの電圧のレベルを、液晶パネル 5 1 2 の液晶素子と TFT のトランジスタ能力とに応じた電圧のレベルにシフトする。この電圧レベルとしては、例えば  $20V \sim 50V$  の高い電圧レベルが必要になる。

30

#### 【 0 0 5 6 】

出力バッファ 5 3 6 は、レベルシフタ 5 3 4 によってシフトされた走査電圧をバッファリングしてゲート線に出力し、ゲート線を駆動する。

#### 【 0 0 5 7 】

##### 2. ソースドライバの詳細な構成例

##### 2. 1 第 1 の構成例

図 4 に、本実施形態の第 1 の構成例におけるソースドライバの要部の構成図を示す。図 4 では、図 2 の駆動回路 6 5 0 及び表示データラッチ回路 6 0 8 の構成例を示している。また 1 ドット当たりの表示データのビット数  $m$  が  $6 (= 6 \text{ ビット})$  であり、基準電圧発生回路 6 6 2 が階調電圧  $V_0 \sim V_{63}$  を発生させるものとする。

40

#### 【 0 0 5 8 】

表示データラッチ回路 6 0 8 は、ラッチ  $LAT_1 \sim LAT_N$ 、マスク回路  $MASK_1 \sim MASK_N$  を含む。ラッチ  $LAT_1 \sim LAT_N$  の各ラッチの構成は同じである。マスク回路  $MASK_1 \sim MASK_N$  の各マスク回路の構成は同じである。

#### 【 0 0 5 9 】

駆動回路 6 5 0 は、レベルシフト回路  $L/S_1 \sim L/S_N$ 、電圧選択回路  $DAC_1 \sim DAC_N$ 、出力回路  $OUT_1 \sim OUT_N$  を含む。レベルシフト回路  $L/S_1 \sim L/S_N$ 、電圧選択回路  $DAC_1 \sim DAC_N$  及び出力回路  $OUT_1 \sim OUT_N$  は、それぞれソース線の出力毎に設けられる。レベルシフト回路  $L/S_1 \sim L/S_N$  の各レベルシフト回路の構成

50

は同じである。電圧選択回路  $DAC_1 \sim DAC_N$  の各電圧選択回路の構成は同じである。出力回路  $OUT_1 \sim OUT_N$  の各出力回路の構成は同じである。

【0060】

以下では、ソース線  $S_1$  を駆動する回路部分について説明するが、ソース線  $S_2 \sim S_N$  を駆動する回路部分も同様である。

【0061】

図4の駆動回路650では、ソース線  $S_1$  に対応して、レベルシフト回路  $L/S_1$ 、電圧選択回路  $DAC_1$  及び出力回路  $OUT_1$  が設けられる。そしてレベルシフト回路  $L/S_1$  は、ソース線  $S_1$  に対応した6ビットの表示データの各ビットの信号の電圧レベルの振幅を変換する。より具体的には、レベルシフト回路  $L/S_1$  に入力される表示データの各ビットの信号の振幅は制御ロジック系の低電圧（例えば1.8ボルト）の振幅であり、該信号の振幅を駆動系の高電圧（例えば5.0ボルト）の振幅に変換する。電圧選択回路  $DAC_1$  は、レベルシフト回路  $L/S_1$  の出力信号である振幅変換後（電圧レベル変換後）の6ビットの信号に対応した1つの階調電圧を生成する。より具体的には、基準電圧発生回路662が発生した階調電圧  $V_0 \sim V_{63}$  の中から、上記6ビットの信号に対応した1つの階調電圧を選択して、出力回路  $OUT_1$  に対して出力する。そして、出力回路  $OUT_1$  が、ソース線  $S_1$  を駆動する。

10

【0062】

出力回路  $OUT_1$  は、オペアンプ及び電圧設定回路を含み、オペアンプ又は電圧設定回路がソース線に電圧を供給する。そして、駆動モード設定レジスタ690の設定値に基づいて、オペアンプ又は電圧設定回路が動作する。

20

【0063】

出力回路  $OUT_1$  には、駆動モード信号  $MODE$  が入力される。そして、出力回路  $OUT_1$  では、駆動モード信号  $MODE$  により指定された駆動モードに応じて、オペアンプ又は電圧設定回路によりソース線に駆動電圧を供給する。

【0064】

図5に、この駆動モード信号  $MODE$  を出力する駆動モード設定レジスタ690の説明図を示す。

【0065】

この駆動モード設定レジスタ690は、制御ロジック624に含まれる。駆動モード設定レジスタ690の設定値は、例えばホストによって設定される。そして、駆動モード設定レジスタ690により通常駆動モード（第1の駆動モード）が設定されたとき、駆動モード信号  $MODE$  がHレベルとなる。また、駆動モード設定レジスタ690によりパワーセーブ駆動モード（第2の駆動モード）が設定されたとき、駆動モード信号  $MODE$  がLレベルとなる。

30

【0066】

図4において、出力回路  $OUT_1$  では、駆動モード信号  $MODE$  により通常駆動モードが設定されたときオペアンプがインピーダンス変換回路として動作する。即ち、オペアンプが、6ビットの表示データに対応した階調電圧に基づいてソース線を駆動する。このとき、電圧設定回路は、オペアンプの出力とは電氣的に遮断される。

40

【0067】

また出力回路  $OUT_1$  では、駆動モード信号  $MODE$  によりパワーセーブ駆動モードが設定されたときオペアンプの動作が停止してその出力がハイインピーダンス状態に設定されると共に、電圧設定回路が表示データの上位  $n$  ( $n < m$ ,  $n$  は正の整数) ビットに対応した電圧を、オペアンプの出力に設定する。この場合、ソース線に出力される電圧の種類が減る。例えばソース線  $S_1$  がR成分、ソース線  $S_2$  がG成分、ソース線  $S_3$  がB成分とすると、各色成分が1ビットで表現されることになり、結果的に減色となる。しかしながら、オペアンプの動作を停止できるため、電力消費を低減できる。

【0068】

このような駆動回路650のレベルシフト回路  $L/S_1 \sim L/S_N$  に対して、表示デー

50

ラッチ回路608のラッチ $LAT_1 \sim LAT_N$ に取り込まれた各6ビットの表示データの信号が、各レベルシフト回路の入力信号として供給される。このラッチ $LAT_1 \sim LAT_N$ は、表示タイミング発生回路640からのラッチクロック $LCK$ の立ち上がりエッジ又は立ち下がりエッジで表示データを取り込む。このラッチクロック $LCK$ は、例えば図2の表示タイミング発生回路640によって生成される。

【0069】

ラッチ $LAT_1 \sim LAT_N$ に供給されるデータは、マスク回路 $MASK_1 \sim MASK_N$ によって、表示データ $RAM600$ からの表示データがマスク制御された後のデータである。マスク回路 $MASK_1 \sim MASK_N$ は、駆動モード信号 $MODE$ に基づいて、表示データの上位 $n$ ビットを除く下位 $(m - n)$ ビットのデータをマスクする。

10

【0070】

ところで、レベルシフト回路 $L/S_1$ は、後述するように電圧レベルの変換動作に伴い電流が消費してしまう。即ち、レベルシフト回路 $L/S_1$ では、表示データのビット数分だけ電圧レベルの変換動作に伴う電流が消費される。

【0071】

そこで第1の構成例では、パワーセーブ駆動モードでは表示データの上位 $n$ ビットしか使用しないことに着目し、表示データの下位 $(m - n)$ ビットの信号の電圧レベルの変換動作を行わないようにして、電力消費を低減させる。より具体的には、駆動モード設定レジスタ690によりパワーセーブ駆動モードに設定されたとき、下位 $(m - n)$ ビットの各信号の電圧レベル変換を行うレベルシフタの入力信号を固定(例えばHレベル又はLレベル)に固定する。より具体的には、パワーセーブ駆動モードに設定されているとき、第1～第 $m$ のレベルシフタのうち第1～第 $(m - n)$ のレベルシフタの入力信号を固定する。こうすることで、電圧レベルの変換動作時の貫通電流の発生を抑え、電流消費を低減する。そのため、各マスク回路において下位 $(m - n)$ ビットの表示データをマスクして、各ラッチに取り込まれる表示データを固定する。これにより、各レベルシフト回路の下位 $(m - n)$ ビットの入力信号を固定できる。ここで、 $n$ が1であることが望ましい。 $n$ が小さいほど、オペアンプの不要な駆動を省略できる。

20

【0072】

図6及び図7に、図4の1出力当たりの回路の具体的な構成例を示す。

【0073】

図6及び図7では、ソース線 $S_1$ を駆動する回路の構成例を示す。より具体的には、図6では、出力回路 $OUT_1$ 及び電圧選択回路 $DAC_1$ の構成例を示す、図7では、レベルシフト回路 $L/S_1$ 、ラッチ $LAT_1$ 及びマスク回路 $MASK_1$ の構成例を示す。ここでは、ソース線 $S_1$ を駆動する回路の構成例を示すが、他のソース線を駆動する回路の構成も同様である。また、以下では、電圧設定回路が、パワーセーブ駆動モードにおいて、6ビットの表示データの上位1( $=n$ )ビット(最上位ビット)に対応した電圧をオペアンプの出力に設定するものとする。

30

【0074】

出力回路 $OUT_1$ のオペアンプ $OPAMP_1$ は、ボルテージフォロワ接続された演算増幅器である。オペアンプ $OPAMP_1$ の出力は、ソース線 $S_1$ と電氣的に接続される。オペアンプ $OPAMP_1$ の入力には、電圧選択回路 $DAC_1$ からの階調電圧が供給される。オペアンプ $OPAMP_1$ は、駆動モード信号 $MODE$ により動作停止制御が行われ、動作を停止した場合、その出力をハイインピーダンス状態に設定する。このようなオペアンプ $OPAMP_1$ の構成は、公知であるためその説明を省略する。

40

【0075】

出力回路 $OUT_1$ の電圧設定回路 $VSET_1$ は、スイッチ素子 $VSW_1$ とインバータ回路 $INV_1$ とを含む。インバータ回路 $INV_1$ は、 $p$ 型(第1導電型)金属酸化膜半導体(Metal Oxide Semiconductor:以下MOSと略す)トランジスタ $pTr$ と、 $n$ 型(第2導電型)MOSトランジスタ $nTr$ とを含む。トランジスタ $pTr$ のソースに高電位側電源電圧 $VDDHS$ が供給され、そのゲートに表示データの最上位ビットのデータ $D5$ の反

50

転信号（又は最上位ビットのデータD5の反転データXD5の信号）が供給される。トランジスタnTrのソースに低電位側電源電圧VSSが供給され、そのゲートに表示データの最上位ビットD5の反転信号（又は表示データXD5の信号）が供給される。トランジスタpTrのドレインとトランジスタnTrのドレインとが接続される。トランジスタpTr、nTrのドレインと、オペアンプOPAMP<sub>1</sub>の出力との間に、スイッチ素子VSW<sub>1</sub>が挿入される。スイッチ素子VSW<sub>1</sub>は、駆動モード信号MODEに基づいてオンオフ制御される。より具体的には、駆動モード信号MODEに基づいて、スイッチ素子VSW<sub>1</sub>が導通状態になると、オペアンプOPAMP<sub>1</sub>の出力がハイインピーダンス状態に設定され、スイッチ素子VSW<sub>1</sub>が非導通状態になると、オペアンプOPAMP<sub>1</sub>がインピーダンス変換動作を開始してその出力を駆動する。

10

## 【0076】

電圧選択回路DAC<sub>1</sub>には、表示データラッチ回路608からの表示データD0～D5（その反転データXD0～XD5を含む）が入力される。また電圧選択回路DAC<sub>1</sub>は、基準電圧発生回路662からの階調電圧信号線GVL0～GVL63が接続される。階調電圧信号線GVL0～GVL63には、階調電圧V0～V63が供給される。そして、電圧選択回路DAC<sub>1</sub>は、表示データD0～D5、XD0～XD5に対応した階調電圧信号線を選択し、該信号線とオペアンプOPAMP<sub>1</sub>の入力とを電氣的に接続する。こうすることで、オペアンプOPAMP<sub>1</sub>の入力に、電圧選択回路DAC<sub>1</sub>によって選択された階調電圧を供給できる。

## 【0077】

ここで基準電圧発生回路662は、ガンマ補正抵抗を含む。ガンマ補正抵抗は、高電位側電源電圧VDDHSと低電位側電源電圧VSSとの間の電圧を抵抗分割した分割電圧Vi（0 ≤ i ≤ 63、iは整数）を階調電圧Viとして抵抗分割ノードRDNiに出力する。階調電圧信号線GVLiには、階調電圧Viが供給される。

20

## 【0078】

図7において、レベルシフト回路L/S<sub>1</sub>は、第1～第6（=m）のレベルシフタLST<sub>1</sub>～LST<sub>6</sub>を含む。各レベルシフタの入力信号の振幅は例えば1.8ボルトである。また高電位側電源電圧VDDHSと低電位側電源電圧VSSとの間の電圧は例えば5.0ボルトである。第1のレベルシフタLST<sub>1</sub>には、6ビットの表示データD5～D0のうち最下位ビットのデータD0及びその反転データXD0の信号が入力信号として供給される。第2のレベルシフタLST<sub>2</sub>には、6ビットの表示データD5～D0のうち下位2ビット目のデータD1及びその反転データXD1の信号が入力信号として供給される。同様に、第6のレベルシフタLST<sub>6</sub>には、6ビットの表示データD5～D0のうち最上位ビットのデータD5及びその反転データXD5の信号が入力信号として供給される。

30

## 【0079】

第1～第6のレベルシフタLST<sub>1</sub>～LST<sub>6</sub>の入力信号は、ラッチLAT<sub>1</sub>に取り込まれている。このラッチLAT<sub>1</sub>は、第1～第6のD型フリップフロップDF F<sub>1</sub>～DF F<sub>6</sub>（第1～第6のラッチ）を有し、各D型フリップフロップにはラッチクロックCLKが供給される。

## 【0080】

第1～第6のD型フリップフロップDF F<sub>1</sub>～DF F<sub>6</sub>のうち第6のD型フリップフロップDF F<sub>6</sub>のデータ入力端子には、表示データRAM600から表示データの最上位ビットのデータD5の信号が入力される。第1～第6のD型フリップフロップDF F<sub>1</sub>～DF F<sub>6</sub>のうち第1～第5のD型フリップフロップDF F<sub>1</sub>～DF F<sub>5</sub>のデータ入力端子には、マスク回路MASK<sub>1</sub>によってマスク制御された表示データRAM600からの表示データD4～D0の信号が入力される。

40

## 【0081】

マスク回路MASK<sub>1</sub>は、駆動モード信号MODEに基づいて、表示データD4～D0のマスク制御を行う。より具体的には、駆動モード信号MODEによりパワーセーブ駆動モードが設定されているとき、マスク回路MASK<sub>1</sub>は表示データD4～D0をマスクし

50

てLレベルに固定する。図7では、論理積演算回路を用いてLレベルに固定しているが、論理和演算回路を用いてHレベルに固定してもよい。

#### 【0082】

以下では、各レベルシフタの構成は同じであるため、第6のレベルシフタLST<sub>6</sub>の構成について説明する。第6のレベルシフタLST<sub>6</sub>では、p型MOSトランジスタPT<sub>1</sub>、PT<sub>2</sub>のソースに高電位側電源電圧VDDH<sub>S</sub>が供給される。p型MOSトランジスタPT<sub>1</sub>、PT<sub>2</sub>のドレインには、p型MOSトランジスタPT<sub>3</sub>、PT<sub>4</sub>のソースが接続される。p型MOSトランジスタPT<sub>3</sub>、PT<sub>4</sub>のドレインには、n型MOSトランジスタNT<sub>1</sub>、NT<sub>2</sub>のドレインが接続される。n型MOSトランジスタNT<sub>1</sub>、NT<sub>2</sub>のソースには、低電位側電源電圧VSSが供給される。p型MOSトランジスタPT<sub>1</sub>のゲートは、n型MOSトランジスタNT<sub>2</sub>のドレインに接続される。p型MOSトランジスタPT<sub>2</sub>のゲートは、n型MOSトランジスタNT<sub>1</sub>のドレインに接続される。p型MOSトランジスタPT<sub>3</sub>及びn型MOSトランジスタNT<sub>1</sub>のゲートには、表示データの最上位ビットのデータD<sub>5</sub>の信号が供給される。p型MOSトランジスタPT<sub>4</sub>及びn型MOSトランジスタNT<sub>2</sub>のゲートには、表示データの最上位ビットの反転データXD<sub>5</sub>の信号が供給される。そして、n型MOSトランジスタNT<sub>2</sub>のドレイン電圧が、電圧レベル変換後の最上位ビットのデータD<sub>5</sub>の信号として電圧選択回路DAC<sub>1</sub>に対して出力される。またn型MOSトランジスタNT<sub>1</sub>のドレイン電圧が、電圧レベル変換後の最上位ビットの反転データXD<sub>5</sub>の信号として電圧選択回路DAC<sub>1</sub>に対して出力される。

10

#### 【0083】

このような構成において、表示データの最上位ビットのデータD<sub>5</sub>がHレベルのとき、その反転データXD<sub>5</sub>がLレベルとなる。従って、n型MOSトランジスタNT<sub>1</sub>がオンとなり、p型MOSトランジスタPT<sub>3</sub>がオフとなる。そして、p型MOSトランジスタPT<sub>2</sub>がオンとなり、反転データXD<sub>5</sub>の電圧レベル変換後の信号がほぼ低電位側電源電圧VSSとなる。また、n型MOSトランジスタNT<sub>2</sub>がオフし、p型MOSトランジスタPT<sub>4</sub>がオンする。そして、p型MOSトランジスタPT<sub>1</sub>がオフとなり、表示データの最上位ビットのデータD<sub>5</sub>の電圧レベル変換後の信号がほぼ高電位側電源電圧VDDH<sub>S</sub>となる。

20

#### 【0084】

一方、表示データの最上位ビットのデータD<sub>5</sub>がLレベルのとき、その反転データXD<sub>5</sub>がHレベルとなる。従って、n型MOSトランジスタNT<sub>2</sub>がオンとなり、p型MOSトランジスタPT<sub>4</sub>がオフとなる。そして、p型MOSトランジスタPT<sub>1</sub>がオンとなり、表示データの最上位ビットのデータD<sub>5</sub>の電圧レベル変換後の信号がほぼ低電位側電源電圧VSSとなる。また、n型MOSトランジスタNT<sub>1</sub>がオフし、p型MOSトランジスタPT<sub>3</sub>がオンする。そして、p型MOSトランジスタPT<sub>2</sub>がオフとなり、反転データXD<sub>5</sub>の電圧レベル変換後の信号がほぼ高電位側電源電圧VDDH<sub>S</sub>となる。

30

#### 【0085】

このような構成の第6のレベルシフタLST<sub>6</sub>は、表示データの最上位ビットのデータD<sub>5</sub>及びその反転データXD<sub>5</sub>が固定されている状態では、n型MOSトランジスタNT<sub>1</sub>、NT<sub>3</sub>、p型MOSトランジスタPT<sub>3</sub>、PT<sub>4</sub>のゲート信号が固定され、貫通電流が生じず電流消費がない。ところが、表示データの最上位ビットのデータD<sub>5</sub>及びその反転データXD<sub>5</sub>が変化するとき、p型MOSトランジスタPT<sub>1</sub>、PT<sub>3</sub>及びn型MOSトランジスタNT<sub>1</sub>を経由する貫通電流と、p型MOSトランジスタPT<sub>2</sub>、PT<sub>4</sub>及びn型MOSトランジスタNT<sub>3</sub>を経由する貫通電流とが発生する。このため、第6のレベルシフタLST<sub>6</sub>は、入力信号の変化時に貫通電流の発生により電力消費するということができる。

40

#### 【0086】

従って、駆動モード信号MODEにより通常駆動モードが設定されているときは、ラッチLAT<sub>1</sub>の第1～第6のD型フリップフロップDFF<sub>1</sub>～DFF<sub>6</sub>に、表示データRAM600からの表示データの信号が取り込まれる。そして、第1～第6のレベルシフタL

50

ST<sub>1</sub> ~ LST<sub>6</sub>の電圧レベル変換後の信号が、電圧選択回路DAC<sub>1</sub>に供給される。

【0087】

一方、駆動モード信号MODEによりパワーセーブ駆動モードが設定されているときは、ラッチLAT<sub>1</sub>の第1~第5のD型フリップフロップDF<sub>1</sub> ~ DF<sub>5</sub>に取り込まれる信号がLレベル又はHレベルに固定されるため、第1~第5のレベルシフトLST<sub>1</sub> ~ LST<sub>5</sub>の入力信号もまた変化せず、第1~第5のレベルシフトLST<sub>1</sub> ~ LST<sub>5</sub>の電力消費がない。そして、第6のレベルシフトLST<sub>6</sub>の入力信号のみが変化し、表示データの最上位ビットのデータに基づくソース線への電圧設定に供される。より具体的には、電圧設定回路VSET<sub>1</sub>が、第(m - n + 1) ~ 第m(図6及び図7では、mが6、nが1)のレベルシフトの出力信号に対応した電圧をオペアンプOPAMP<sub>1</sub>の出力に設定する。このため、パワーセーブ駆動モードにおいて、レベルシフトにおける電圧レベル変換動作に伴う無駄な電力消費を削減できるようになる。

10

【0088】

## 2.2 第2の構成例

図8に、本実施形態の第2の構成例におけるソースドライバの要部の構成図を示す。図8において、図4と同一部分には同一符号を付し、適宜説明を省略する。

【0089】

図8に示す第2の構成例が図4に示す第1の構成例と異なる点は、マスク回路MASK<sub>1</sub> ~ MASK<sub>N</sub>が省略されている点と、駆動モード信号MODEによりマスク制御されるラッチクロックがラッチLAT<sub>1</sub> ~ LAT<sub>N</sub>に供給されている点である。

20

【0090】

即ち、ラッチLAT<sub>1</sub> ~ LAT<sub>N</sub>には、表示データRAM600からの表示データがマスク回路によりマスク制御されることなく、そのまま供給される。また、ラッチLAT<sub>1</sub> ~ LAT<sub>N</sub>の各ラッチには、ラッチクロックLCKの他に駆動モード信号MODEにより該ラッチクロックLCKをマスク制御したラッチクロックLCK1が供給される。従って、パワーセーブ駆動モードに設定されたとき、第1~第mのラッチのうち第1~第(m - n)のラッチのラッチクロックが固定されるということができる。

【0091】

図9に、図8の1出力当たりの回路の具体的な構成例を示す。なお、出力回路及び電圧選択回路の構成は、図6に示す第1の構成例と同様であるため、その図示及び説明を省略する。また、図9において、図7と同一部分には同一符号を付し、適宜説明を省略する。

30

【0092】

第2の構成例では、第6のD型フリップフロップDF<sub>6</sub>のクロック端子には、ラッチクロックLCKが供給される。また第1~第5のD型フリップフロップDF<sub>1</sub> ~ DF<sub>5</sub>のクロック端子には、駆動モード信号MODEによりラッチクロックLCKをマスク制御したラッチクロックLCK1が供給される。より具体的には、駆動モード信号MODEによりパワーセーブ駆動モードが設定されているとき、ラッチクロックLCK1はLレベルに固定される。図9では、論理積演算回路を用いてLレベルに固定しているが、論理和演算回路を用いてHレベルに固定してもよい。

【0093】

従って、駆動モード信号MODEにより通常駆動モードが設定されているときは、ラッチクロックLCKがマスクされないため、ラッチLAT<sub>1</sub>の第1~第6のD型フリップフロップDF<sub>1</sub> ~ DF<sub>6</sub>に、表示データRAM600からの表示データの信号が取り込まれる。そして、第1~第6のレベルシフトLST<sub>1</sub> ~ LST<sub>6</sub>の電圧レベル変換後の信号が、電圧選択回路DAC<sub>1</sub>に供給される。

40

【0094】

一方、駆動モード信号MODEによりパワーセーブ駆動モードが設定されているときは、ラッチクロックLCK1がLレベルに固定されるため、ラッチLAT<sub>1</sub>の第1~第5のD型フリップフロップDF<sub>1</sub> ~ DF<sub>5</sub>に新たな信号が取り込まれない。そのため、第1~第5のレベルシフトLST<sub>1</sub> ~ LST<sub>5</sub>の入力信号もまた変化せず、第1~第5のレ

50

ベルシフト  $LST_1 \sim LST_5$  の電力消費がない。そして、第 6 のレベルシフト  $LST_6$  の入力信号のみが変化し、表示データの最上位ビットのデータに基づくソース線への電圧設定に供される。より具体的には、電圧設定回路  $VSET_1$  が、第  $(m - n + 1) \sim$  第  $m$  (図 6 及び図 7 では、 $m$  が 6、 $n$  が 1) のレベルシフトの出力信号に対応した電圧をオペアンプ  $OPAMP_1$  の出力に設定する。このため、パワーセーブ駆動モードにおいて、レベルシフトにおける電圧レベル変換動作に伴う無駄な電力消費を削減できるようになる。

【0095】

### 2.3 第 3 の構成例

図 10 に、本実施形態の第 3 の構成例におけるソースドライバの要部の構成図を示す。図 10 において、図 4 と同一部分には同一符号を付し、適宜説明を省略する。

10

【0096】

図 10 に示す第 3 の構成例が図 4 に示す第 1 の構成例と異なる点は、マスク回路  $MASK_1 \sim MASK_N$  が省略されている点と、駆動モード信号  $MODE$  に基づいてレベルシフト回路  $L/S_1 \sim L/S_N$  の高電位側電源電圧又は低電位側電源電圧の供給の停止制御が行われる点である。

【0097】

即ち、ラッチ  $LAT_1 \sim LAT_N$  には、表示データ  $RAM600$  からの表示データがマスク回路によりマスク制御されることなく、そのまま供給される。また、レベルシフト回路  $L/S_1 \sim L/S_N$  については、各レベルシフト回路を構成するレベルシフトの一部の高電位側電源電圧又は低電位側電源電圧の供給の停止制御が行われる。

20

【0098】

図 11 に、図 10 の 1 出力当たりの回路の具体的な構成例を示す。なお、出力回路及び電圧選択回路の構成は、図 6 に示す第 1 の構成例と同様であるため、その図示及び説明を省略する。また、図 11 において、図 7 と同一部分には同一符号を付し、適宜説明を省略する。

【0099】

第 3 の構成例では、駆動モード信号  $MODE$  により設定される駆動モードに関わらず、第 6 のレベルシフト  $LST_6$  の高電位側電源電圧が供給される。また、第 1 ~ 第 5 のレベルシフト  $LST_1 \sim LST_5$  の各レベルシフトでは、 $p$  型  $MOS$  トランジスタ  $PT1$ 、 $PT2$  のソースが、高電位側電源電圧  $VDDHS$  が供給される電源線と、スイッチ素子を介して接続される。即ち、第 5 のレベルシフト  $LST_5$  の  $p$  型  $MOS$  トランジスタ  $PT1$ 、 $PT2$  のソースが、高電位側電源電圧  $VDDHS$  が供給される電源線とスイッチ素子  $HSW_5$  を介して接続される。第 4 のレベルシフト  $LST_4$  の  $p$  型  $MOS$  トランジスタ  $PT1$ 、 $PT2$  のソースが、高電位側電源電圧  $VDDHS$  が供給される電源線と、スイッチ素子  $HSW_4$  を介して接続される。同様に第 1 のレベルシフト  $LST_1$  の  $p$  型  $MOS$  トランジスタ  $PT1$ 、 $PT2$  のソースが、高電位側電源電圧  $VDDHS$  が供給される電源線とスイッチ素子  $HSW_1$  を介して接続される。

30

【0100】

スイッチ素子  $HSW_1 \sim HSW_5$  は、駆動モード信号  $MODE$  により通常駆動モードが設定されているときは導通状態 (オン) となり、駆動モード信号  $MODE$  によりパワーセーブ駆動モードが設定されているときは非導通状態 (オフ) となる。

40

【0101】

従って、駆動モード信号  $MODE$  により通常駆動モードが設定されているときは、第 1 ~ 第 6 のレベルシフト  $LST_1 \sim LST_6$  に高電位側電源電圧が供給されるため、第 1 ~ 第 6 のレベルシフト  $LST_1 \sim LST_6$  の電圧レベル変換後の信号が、電圧選択回路  $DAC_1$  に供給される。

【0102】

一方、駆動モード信号  $MODE$  によりパワーセーブ駆動モードが設定されているときは、第 1 ~ 第 5 のレベルシフト  $LST_1 \sim LST_5$  の高電位側電源電圧の供給が停止される。従って、第 1 ~ 第 5 のレベルシフト  $LST_1 \sim LST_5$  の電力消費がなくなる。即ち、

50

パワーセーブ駆動モードに設定されたとき、第1～第mのレベルシフトのうち第1～第(m-n)のレベルシフトの高電位側電源電圧又は低電位側電源電圧の供給が停止されるということが出来る。

【0103】

そして、第6のレベルシフトLST<sub>6</sub>の入力信号のみが変化し、表示データの最上位ビットのデータに基づくソース線への電圧設定に供される。より具体的には、電圧設定回路VSET<sub>1</sub>が、第(m-n+1)～第m(図6及び図7では、mが6、nが1)のレベルシフトの出力信号に対応した電圧をオペアンプOPAMP<sub>1</sub>の出力に設定する。このため、パワーセーブ駆動モードにおいて、レベルシフトにおける電圧レベル変換動作に伴う無駄な電力消費を削減できるようになる。

10

【0104】

なお第3の構成では、スイッチ素子HSW<sub>1</sub>～HSW<sub>5</sub>により第1～第5のレベルシフトLST<sub>1</sub>～LST<sub>5</sub>の高電位側電源電圧の供給を停止できるようにしていたが、同様のスイッチ素子を設けて第1～第5のレベルシフトLST<sub>1</sub>～LST<sub>5</sub>の低電位側電源電圧の供給を停止できるようにしてもよい。

【0105】

3. 電子機器

図12に、本実施形態における電子機器の構成例のブロック図を示す。ここでは、電子機器として、携帯電話機の構成例のブロック図を示す。図12において、図1と同一部分には同一符号を付し、適宜説明を省略する。

20

【0106】

携帯電話機900は、カメラモジュール910を含む。カメラモジュール910は、CCDカメラを含み、CCDカメラで撮像した画像のデータを、YUVフォーマットでコントローラ540に供給する。

【0107】

携帯電話機900は、液晶パネル512を含む。液晶パネル512は、ソースドライバ520及びゲートドライバ530によって駆動される。液晶パネル512は、複数のゲート線、複数のソース線、複数の画素を含む。

【0108】

コントローラ540は、ソースドライバ520及びゲートドライバ530に接続され、ソースドライバ520に対してRGBフォーマットの表示データを供給する。

30

【0109】

電源回路542は、ソースドライバ520及びゲートドライバ530に接続され、各ドライバに対して、駆動用の電源電圧を供給する。

【0110】

ホスト940は、コントローラ540に接続される。ホスト940は、コントローラ540を制御する。またホスト940は、アンテナ960を介して受信された表示データを、変復調部950で復調した後、コントローラ540に供給できる。コントローラ540は、この表示データに基づき、ソースドライバ520及びゲートドライバ530により液晶パネル512に表示させる。

40

【0111】

ホスト940は、カメラモジュール910で生成された表示データを変復調部950で変調した後、アンテナ960を介して他の通信装置への送信を指示できる。

【0112】

ホスト940は、操作入力部970からの操作情報に基づいて表示データの送受信処理、カメラモジュール910の撮像、液晶パネル512の表示処理を行う。

【0113】

なお、本発明は上述した実施の形態に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。例えば、本発明は上述の液晶表示パネルの駆動に適用されるものに限らず、エレクトロクミネッセンス、プラズマディスプレイ装置の駆動に適用

50

可能である。

【0114】

また、本発明のうち従属請求項に係る発明においては、従属先の請求項の構成要件の一部を省略する構成とすることもできる。また、本発明の1の独立請求項に係る発明の要部を、他の独立請求項に従属させることもできる。

【図面の簡単な説明】

【0115】

【図1】本実施形態のソースドライバを適用した電気光学装置を含む表示装置のブロック図。

【図2】図1のソースドライバの構成例のブロック図。

10

【図3】図1のゲートドライバの構成例のブロック図。

【図4】本実施形態の第1の構成例におけるソースドライバの要部の構成図。

【図5】駆動モード設定レジスタの説明図。

【図6】図4の1出力当たりの回路の具体的な構成例を示す図。

【図7】図4の1出力当たりの回路の具体的な構成例を示す図。

【図8】本実施形態の第2の構成例におけるソースドライバの要部の構成図。

【図9】図8の1出力当たりの回路の具体的な構成例を示す図。

【図10】本実施形態の第3の構成例におけるソースドライバの要部の構成図。

【図11】図10の1出力当たりの回路の具体的な構成例を示す図。

【図12】本実施形態の電子機器の構成例のブロック図。

20

【符号の説明】

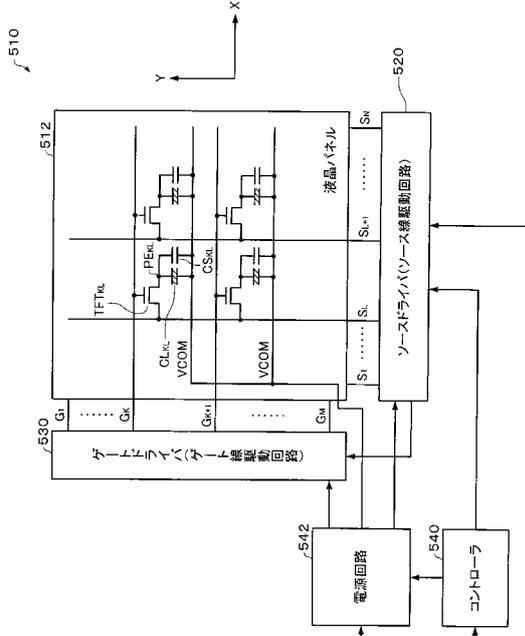
【0116】

510 液晶装置、 512 液晶パネル、 520 ソースドライバ、  
 530 ゲートドライバ、 540 コントローラ、 542 電源回路、  
 600 表示データRAM、 602 ロウアドレス回路、  
 604 カラムアドレス回路、 606 I/Oバッファ、  
 608 表示データラッチ回路、 610 ラインアドレス回路、  
 620 システムインタフェース回路、 622 RGBインタフェース回路、  
 624 制御ロジック、 630 ゲートドライバ制御回路、  
 640 表示タイミング発生回路、 642 発振回路、 650 駆動回路、  
 660 内部電源回路、 662 基準電圧発生回路、  
 690 駆動モード設定レジスタ、  $CL_{KL}$  液晶容量、  $CS_{KL}$  補助容量、  
 $DAC_1 \sim DAC_N$  電圧選択回路、  $DFF_1 \sim DFF_6$  D型フリップフロップ、  
 $G_1 \sim G_M$  ゲート線、  $HSW_1 \sim HSW_5$ 、  $VSW_1$  スイッチ素子、  
 $INV_1$  インバータ回路、  $LAT_1 \sim LAT_N$  ラッチ、  
 $LCK$ 、  $LCK1$  ラッチクロック、  
 $LST_1 \sim LST_6$  第1～第6のレベルシフト、  
 $L/S_1 \sim L/S_N$  レベルシフト回路、  $MASK_1 \sim MASK_N$  マスク回路、  
 $MODE$  駆動モード信号、  $OPAMP_1$  オペアンプ、  
 $OUT_1 \sim OUT_N$  出力回路、  $PE_{KL}$  画素電極、  $S_1 \sim S_N$  ソース線、  
 $TFT_{KL}$  薄膜トランジスタ、  $VCOM$  対向電極、  
 $VDDHS$  高電位側電源電圧、  $VSET_1$  電圧設定回路、  
 $VSS$  低電位側電源電圧

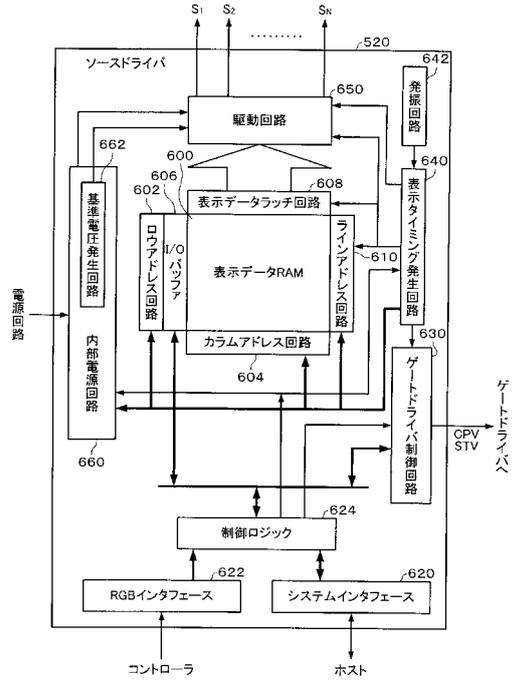
30

40

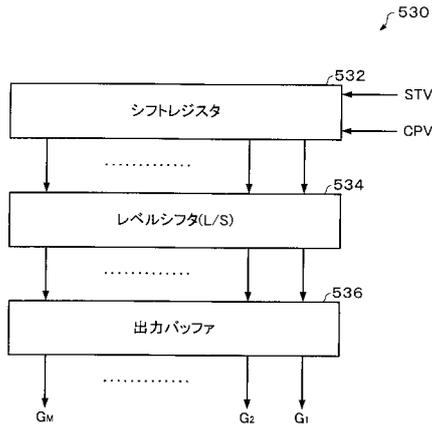
【図1】



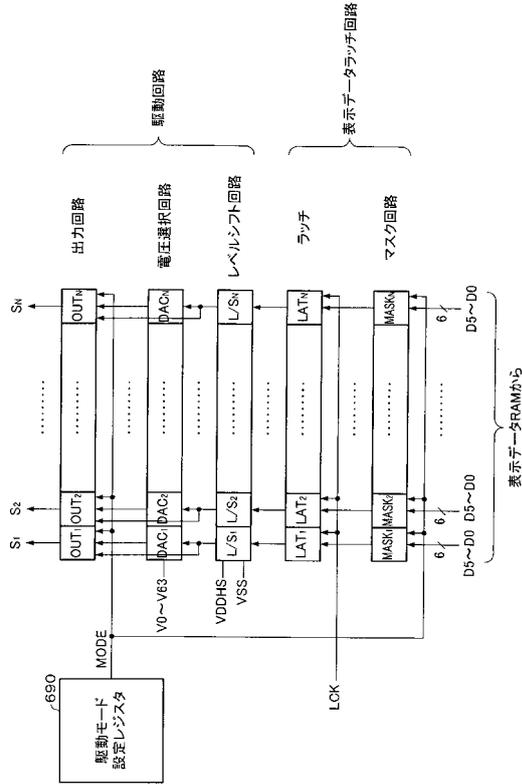
【図2】



【図3】



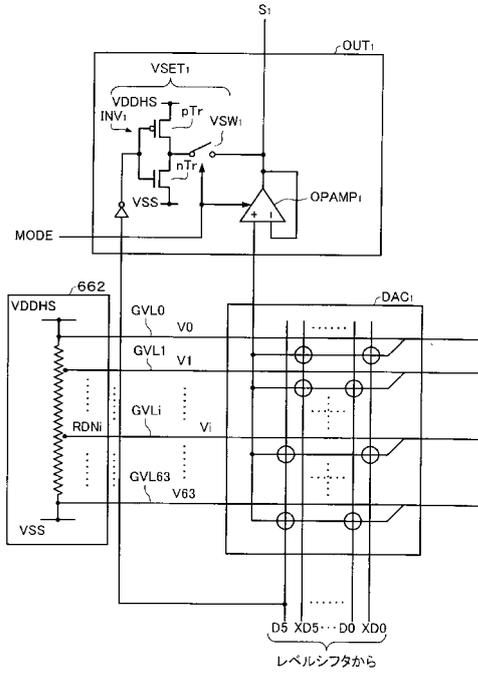
【図4】



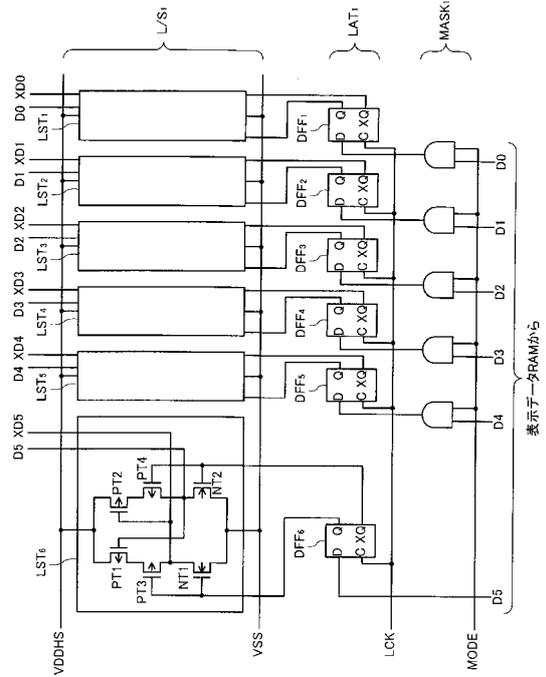
【図5】



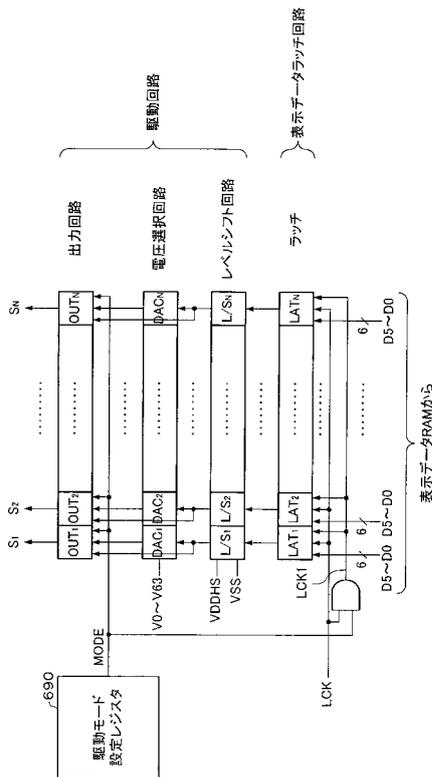
【図6】



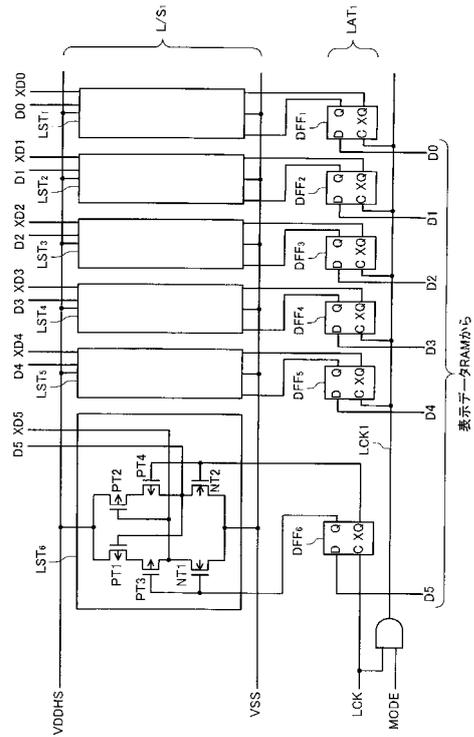
【図7】



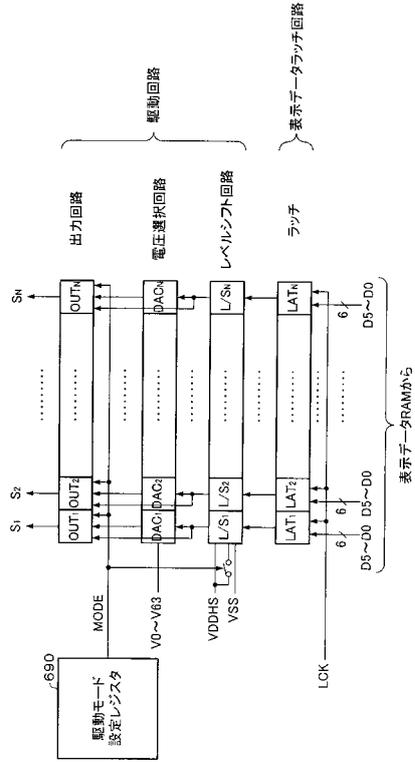
【図8】



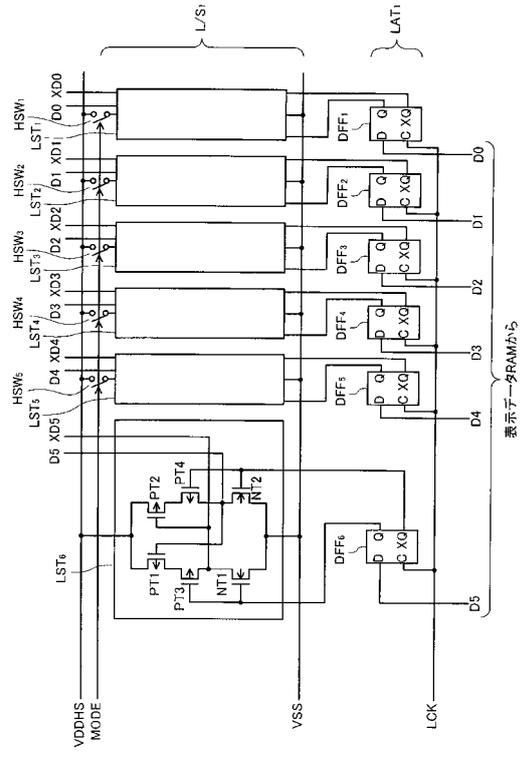
【図9】



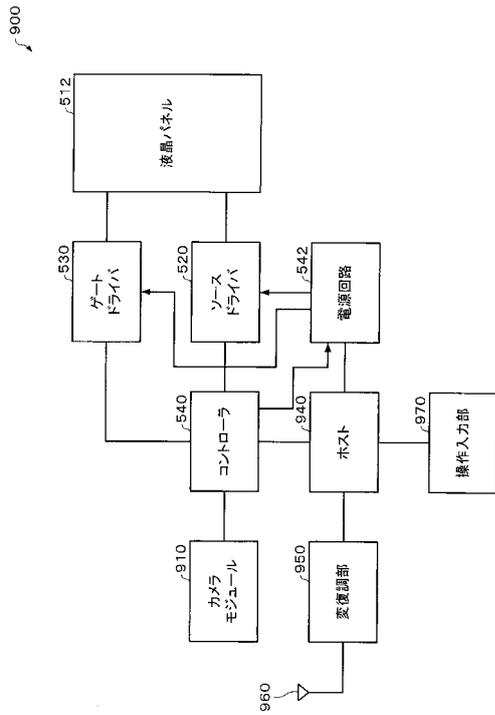
【図10】



【図11】



【図12】



---

フロントページの続き

(51)Int.Cl. F I  
G 0 9 G 3/20 6 2 3 B  
G 0 9 G 3/20 6 2 3 Y

(72)発明者 牧 克彦  
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

審査官 中村 直行

(56)参考文献 特開2000-137467(JP,A)  
特開2002-215115(JP,A)

(58)調査した分野(Int.Cl., DB名)  
G 0 9 G 3 / 0 0 - 3 / 3 8  
G 0 2 F 1 / 1 3 3