



[12] 发明专利说明书

专利号 ZL 200710074355.5

[45] 授权公告日 2009年2月4日

[11] 授权公告号 CN 100458751C

[22] 申请日 2007.5.10

[21] 申请号 200710074355.5

[73] 专利权人 忆正存储技术(深圳)有限公司
地址 518057 广东省深圳市南山区高新技术产业园南区 W2A 栋三楼

[72] 发明人 黄河

[56] 参考文献

CN1790308A 2006.6.21

US2005/0160218A1 2005.7.21

审查员 谢阿涟

[74] 专利代理机构 深圳鼎合诚知识产权代理有限公司
代理人 陈俊斌

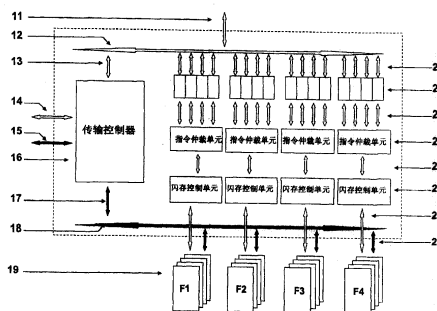
权利要求书 1 页 说明书 6 页 附图 4 页

[54] 发明名称

并行闪存控制器

[57] 摘要

本发明公开了一种并行闪存控制器，用于控制多个闪存通道的闪存芯片组，包括：传输控制器、多个闪存控制单元、多个指令仲裁单元、多个指令队列单元；传输控制器通过片内数据总线与各闪存芯片进行数据交互；闪存通道内的闪存芯片划分成多个闪存行；闪存控制指令按通道并行下发到指令队列单元，指令队列单元解析并存储对应闪存通道的闪存控制指令，指令仲裁单元根据设定的仲裁规则确定闪存控制指令的发送顺序；闪存控制单元对通道内的闪存行按行进行分时复用方式的读写控制。采用本发明的闪存控制器的闪存存储器可以成倍提高读写速率，有效的解决了利用闪存芯片实现高速大容量存储设备存在的瓶颈问题。



1. 一种并行闪存控制器，用于控制多个闪存通道的闪存芯片组，其特征在于，闪存控制器包括：传输控制器、多个闪存控制单元、多个指令仲裁单元、多个指令队列单元；每个闪存通道的闪存芯片组分别对应一个闪存控制单元、一个指令仲裁单元以及一个指令队列单元；传输控制器通过片内数据总线与各闪存芯片进行数据交互；闪存通道内的闪存芯片划分成多个闪存行；闪存控制指令按通道并行下发到指令队列单元，指令队列单元解析并存储对应闪存通道的闪存控制指令；各通道对应的指令仲裁单元根据设定的仲裁规则对该通道的多个行的闪存控制指令进行仲裁判断，确定各闪存控制指令的发送顺序；闪存控制单元接收指令仲裁单元下发的闪存控制指令，对通道内的闪存行按行进行分时复用方式的读写控制。

2. 根据权利要求1所述的并行闪存控制器，其特征在于，闪存控制单元对通道内的闪存行按行进行分时复用的方式具体为：闪存控制单元选定通道内的一闪存行并下发读写控制指令后，立即再选定状态空闲的另一闪存行并下发读写控制指令；通道内接收到读写控制指令的闪存行并行执行读写操作。

3. 根据权利要求1所述的并行闪存控制器，其特征在于，所述指令队列单元中包括多个指令队列，每个指令队列存储的闪存控制指令对应为该闪存通道中的一个闪存行。

4. 根据权利要求3所述的并行闪存控制器，其特征在于，所述指令仲裁单元按照指令队列分时复用的方式确定闪存控制指令的发送顺序。

5. 根据权利要求3所述的并行闪存控制器，其特征在于，所述指令仲裁单元根据闪存通道中指令队列分时复用以及对应闪存控制单元的闪存芯片状态反馈信息确定下一个要发送的闪存控制指令。

6. 根据权利要求1所述的并行闪存控制器，其特征在于，所述闪存行中的闪存芯片划分成多个闪存层；闪存控制单元对于同一闪存行中不同层的闪存芯片串行发送闪存控制指令，同一闪存行中不同层的闪存芯片进行串行读写操作。

并行闪存控制器

技术领域

本发明涉及一种并行闪存控制器，具体的来讲，本发明涉及一种下挂按闪存通道和闪存行进行阵列组织的二维并行闪存控制器。

背景技术

随着 PC 技术的逐渐发展，用户对存储设备的要求也越来越高，其中不仅仅包括对容量、性能、速度，还包括功耗，外形体积，对外界综合环境的要求，以及很多特殊环境的要求等等。现在使用范围最广泛的存储设备，按照存储介质的类型大致可以分为闪存设备和硬盘设备两种。对于这两种存储设备来讲，硬盘设备由于其目前低廉的价格，因此是使用范围最广泛，市场占有率远远大于闪存设备，但是，其自身存在的很多缺点限制了广泛的应用，而闪存则根据其自身存在的一些优势，逐渐占领原属于硬盘的一部分应用领域。对于闪存设备来讲，其优点首先在于随机读写速度快；同时由于闪存是芯片操作不存在机械控制，因此数据稳定，同时功耗很低；还有，由于其数据存储单元为闪存芯片，因此对环境的适应性很强，无论温度、压强，还是湿度、空气纯净度，对其的影响都不大，因此适用领域比较广泛。对于硬盘来讲，由于其内部的机械结构决定了它比较大的功耗，庞大的外形体积，工作过程中会产生噪声，以及对外界环境的要求比较高；同时，由于其机械结构，决定其随机读写的速率很低。因此，在相当一部分使用领域，越来越不能满足市场要求，例如在便携的笔记本电脑中，由于其比较大的功耗，抗震性能不好，相对比较庞大的外形，使得其越来越不能匹配要求日益提高的此类计算机。此外，在一些性能要求比较高的特殊环境下，硬盘由于其机械构造，也大大限制了它的使用；而在此类环境下，闪存则表现了其优势所在。另一方面，由于闪存芯片自身的一些特性，限制了闪存的使用范围的逐渐扩大，这类限制主要集中在闪存存储设备的接口带宽一直不能得到显著的提高，所以，在大容量的存储设备领域特别是对设备读写速率要求比较高的环境一直受到限制，因此，如何提高其闪存存储设备的带宽是扩大闪存设备使用范围的关键所在。

目前常用的闪存芯片接口带宽在一般情况下平均可以达到 10Mbps 或

者几十 MBps 左右,而作为存储器常用接口的 PATA 和 SATA 远远大于这个值,一般平均可以达到 100MBps 以上,因此闪存芯片的接口带宽远小于设备接口的带宽,存储设备的瓶颈主要集中在闪存芯片的接口带宽上,所以,如何有效地提高闪存芯片与内部控制器之间的接口带宽成为闪存存储设备研发至关重要的因素。

此外,市场上出现了多通道闪存处理器,中国专利“多通道闪存传输控制器、芯片及存储设备”(公开号 CN 1790308A)中提出了多通道的控制思想,但其没有实现真正的多通道并行工作,即各通道的控制信号线是复用的,这样一旦有一个闪存芯片没有完成操作任务,所有其他组就不可以开始新的操作。因此,这种做法虽然可以一定程度的提高闪存芯片的接口时序,但是,其做法工作效率比较低,同时还是远远小于 PATA 和 SATA 的接口时序。

发明内容

为了解决现有闪存芯片在读写等操作过程中出现的瓶颈问题,本发明提出了一种并行闪存控制器,通过闪存通道并行和闪存行并行的二维并行控制方式,有效地提高了存储器的读写速度。

本发明提出的并行闪存控制器,用于控制多个闪存通道的闪存芯片组,闪存控制器包括:传输控制器、多个闪存控制单元、多个指令仲裁单元、多个指令队列单元;每个闪存通道的闪存芯片组分别对应一个闪存控制单元、一个指令仲裁单元以及一个指令队列单元;传输控制器通过片内数据总线与各闪存芯片进行数据交互;闪存通道内的闪存芯片划分成多个闪存行;闪存控制指令按通道并行下发到指令队列单元,指令队列单元解析并存储对应闪存通道的闪存控制指令,指令仲裁单元根据设定的仲裁规则确定闪存控制指令的发送顺序;闪存控制单元接收指令仲裁单元下发的闪存控制指令,对通道内的闪存行按行进行分时复用方式的读写控制。

优选的,闪存控制单元对通道内的闪存行按行进行分时复用方式具体为:闪存控制单元选定通道内的一闪存行并下发读写控制指令后,立即再选定状态空闲的另一闪存行并下发读写控制指令;通道内接收到读写控制指令的闪存行并行执行读写操作。

优选的,所述指令队列单元中包括多个指令队列,每个指令队列存储的闪存控制指令对应为该闪存通道中的一个闪存行。

优选的，所述指令仲裁单元按照指令队列分时复用的方式确定闪存控制指令的发送顺序。

优选的，所述指令仲裁单元根据闪存通道中指令队列分时复用以及对闪存控制单元的闪存芯片状态反馈信息确定下一个要发送的闪存控制指令。

优选的，所述闪存行中的闪存芯片划分成多个闪存层；闪存控制单元对于同一闪存行中不同层的闪存芯片串行发送闪存控制指令，同一闪存行中不同层的闪存芯片进行串行读写操作。

本发明并行闪存控制器的主要优势在于：实现了两个层次的并行处理，即实现了在多通道并行操作基础上，每个通道内的多行也可以并行处理。每个闪存控制单元对于每个通道内的不同行的闪存芯片发送流水线控制指令，即每个通道的不同行的闪存芯片在接收到流水线指令后也可以实现并行操作。这样做的好处在于，闪存芯片指令的解析以及发送在整个操作过程中占用时间非常小，操作时间最主要集中在闪存内部数据的拷贝以及擦除等操作上，这种流水线操作使得通道内各个收到指令的不同的闪存芯片同时执行这些操作，每个通道的闪存芯片数据总线的带宽就可以有效地得到提高。此外由于本发明还可以在各闪存行的上进行闪存层的划分，同一闪存行下不同层的闪存芯片进行串行处理，可以进一步增加闪存的存储空间。以4个通道4行即16个闪存芯片为例，采用本发明理论上此存储设备数据传输可以达到160Mbps左右，经过测试设备接口数据传输速率读操作也可以达到80Mbps以上，写操作60Mbps以上，与现有闪存存储器相比成倍的提高了读写速率。

附图说明

图1为采用本发明并行闪存控制器的存储器装置基本结构示意图；

图2为本发明优选实施例的并行闪存控制器结构框图；

图3为本发明闪存通道 C_n 中各闪存行的擦除操作时序图；

图4为本发明闪存芯片的阵列分布优选实施例示意图。

具体实施方式

下面通过具体实施例并结合附图对本发明进行详细说明。

如图 1 所示的具有本发明并行闪存控制器的闪存存储设备的基本结构示意图, 图中 1 为设备接口, 本发明以 PATA 接口为例; 图中 2 为接口控制器, 本发明中可以为 PATA 接口控制器, 接口控制器通过一组数据总线与 SDRAM 相连, 通过一组控制信号总线与 MCU 相连; 图中 3 为存储设备的主控 MCU, 图中 4 为只读存储器, 是 Firmware 的载体, 主要用来存储 Firmware 的程序代码; 图中 5 所示为本发明并行闪存控制器; 图中 6 所示为本发明涉及存储设备的闪存芯片阵列; 图中 7 所示为一个 SDRAM 芯片, 其主要作用是作为数据传输的缓冲以及存放映射表; 图中 8 所示为 ECC 即错误纠正模块, 其主要作用是对写入闪存芯片的数据产生错误纠正码, 同时, 在读取数据过程中, 根据错误纠正码对数据进行错误纠正。

如图 2 所示为本发明的并行闪存控制器芯片内部结构示意图, 图中 11 所示为 MCU 向控制器芯片发送的指令; 图中 12 所示为片内控制总线, MCU 通过其向传输控制器及多组指令队列发送控制指令; 图中 13 为 MCU 与传输控制器的信号交互, 包括 MCU 对传输控制器的控制信号以及传输控制的状态与错误中断反馈; 图中 14 所示为闪存控制器与 SDRAM 之间的信号交互, 包括传输控制器对 SDRAM 的控制以及 SDRAM 的状态信号; 图中 15 所示为传输控制器与 SDRAM 的数据传输, 在存储设备读操作过程中, 传输控制器将数据传给外部的 SDRAM, 在存储设备写操作过程中, 传输控制器将数据从外部 SDRAM 读入; 图中 16 所示为传输控制器, 其主要作用是控制数据在 SDRAM 和操作目的闪存芯片之间的传输; 图中 18 为片内数据总线; 图中 17 所示为传输控制器到片内数据总线的传输数据流; 图中 19 所示为闪存阵列单元, 其是存储设备数据存储的中心, 是控制芯片的控制终端; 图中 20 所示为 MCU 向各指令队列单元的发送的控制信号以及各指令队列单元对 MCU 的应答与反馈信号; 图中 21 所示为所示为 4 个指令队列单元, 其中每个包含 4 个指令队列, 其主要作用是将 MCU 发来的指令解析成闪存行的基本操作; 图中 22 为指令队列发给指令仲裁单元的解析控制指令以及指令仲裁反馈给指令队列组的状态信号以及应答信号, 共有四个通道, 每个通道包含四个行的闪存芯片的操作信号; 图中 23 所示为指令仲裁单元, 每个通道对应一个指令仲裁单元, 其主要作用是对每个通道多个行的指令进行仲裁判断, 决定指令队列发来的指令的操作顺序, 同时根据指令操作情况产生反馈信号给指令队列; 图中 24 所示为经过仲裁单元产生的对闪存控

制单元的指令以及闪存控制单元的状态中断等反馈信号；图中 25 所示为闪存控制单元，其主要作用是将经过仲裁的闪存基本指令解析成闪存芯片操作信号发给对应位置的闪存芯片，同时，将控制单元自身及闪存阵列的状态以及中断等信号反馈给指令仲裁器；图中 26 为闪存控制单元对闪存芯片的控制信号以及闪存芯片的状态以及中断等反馈信号，图中 27 所示为每个通道的数据传输总线。指令队列单元 21 中的每个指令队列 22 存储的闪存控制指令对应为该闪存通道中的一行闪存芯片。指令仲裁单元按照闪存通道中指令队列分时复用的方式确定闪存控制指令的发送顺序。或者指令仲裁单元根据闪存通道中指令队列分时复用以及对应闪存控制单元的闪存芯片状态反馈信息确定下一个要发送的闪存控制指令。

如图 3 所示为闪存通道 C_n ($n=0、1、2、3$) 在执行擦除操作的时序图，如图所示， t_c 为闪存控制器向闪存芯片发送指令所需时间， t_d 为闪存芯片执行擦除指令所需时间， t_h 为总线执行该擦除操作所需时间，从图中可以看到，指令队列组分时复用指令仲裁单元及闪存控制单元向通道内闪存芯片发送流水线指令，而对于闪存芯片操作来讲，无论擦除还是写入读出等指令，指令交互占用时间非常小，大部分的时间集中在闪存芯片内部操作上，因此，在 MCU 看来，在同一的时间里 C_n 通道内四个闪存芯片同时进行擦除操作，这种流水线操作的效果是并行的。

图 4 所示为闪存芯片可以分为：通道(Channel)，行(Row)，层(Layer)三个层次，本示例为一个 4 通道 4 行 4 层的闪存芯片阵列。每一个闪存控制器对应一个通道下的多个闪存芯片的读写控制。闪存控制单元对对应通道中的各闪存行进行并行读写控制，对同一个闪存行中的不同层的闪存芯片进行串行读写控制。即每次操作的闪存芯片，某通道下不同行能够同时操作，单某通道某行只能启动唯一的对应层，即每个操作时间段都不可能同通道同行不同层的闪存芯片同时操作。对于本实施例中综合考虑存储设备的接口协议带宽以及闪存芯片阵列的接口带宽，接口选择存储设备中广泛应用的 PATA，闪存阵列选择 4 个通道 4 行即 16 个闪存芯片，理论上此存储设备数据传输一般可以达到 160MBps 左右，经过测试设备接口数据传输速率读操作也可以达到 80MBps 以上，写操作 60MBps 以上，成倍的提高了现有闪存存储器的读写速率，有效的解决了利用闪存芯片实现高速大容量存储设备存在的瓶颈问题。

上例中以 4 通道 4 行的闪存阵列为例，对本发明作了说明性的描述。此外，本发明的闪存阵列可以被扩展为 n 通道 m 行，其中 n 可以为 2, 4, 8 \cdots ， m 可以为 1, 2, 4 \cdots ，之类的多种闪存阵列组合，同时，每行又可以增加若干层，以扩大闪存设备的容量，这些类似的变化都是在本发明主导思想之下，这些对于技术人员来说都是显然的。此外，本发明提出的二维并行闪存控制器可以通过 ASIC、CPLD 或者 FPGA 等来实现。因此，文中描述的本发明可以有多种变化，这些变化都不能认为是脱离本发明的主题思想和使用范围，对于以上这些对技术人员来说是显然的改变，都包含在本发明的范围内。

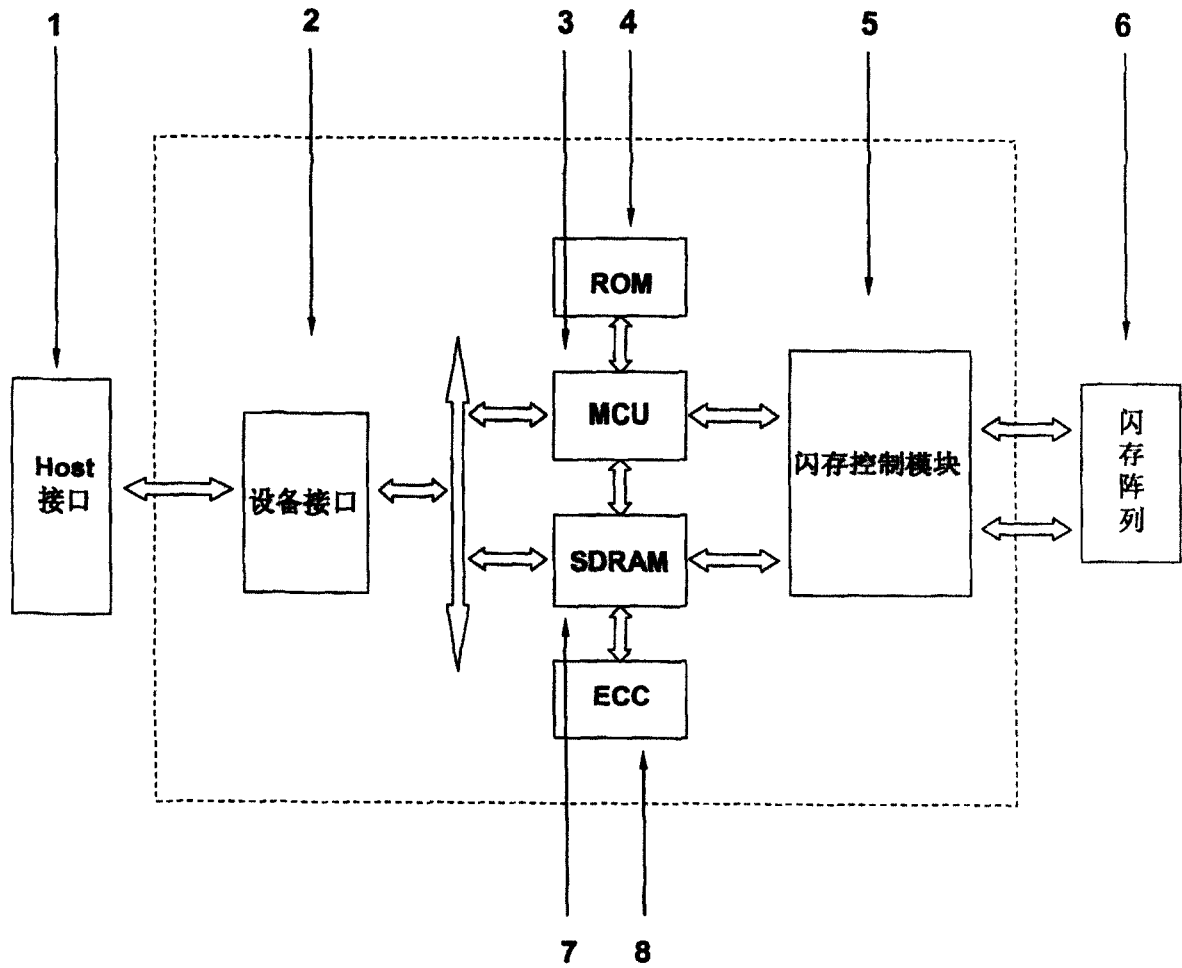


图 1

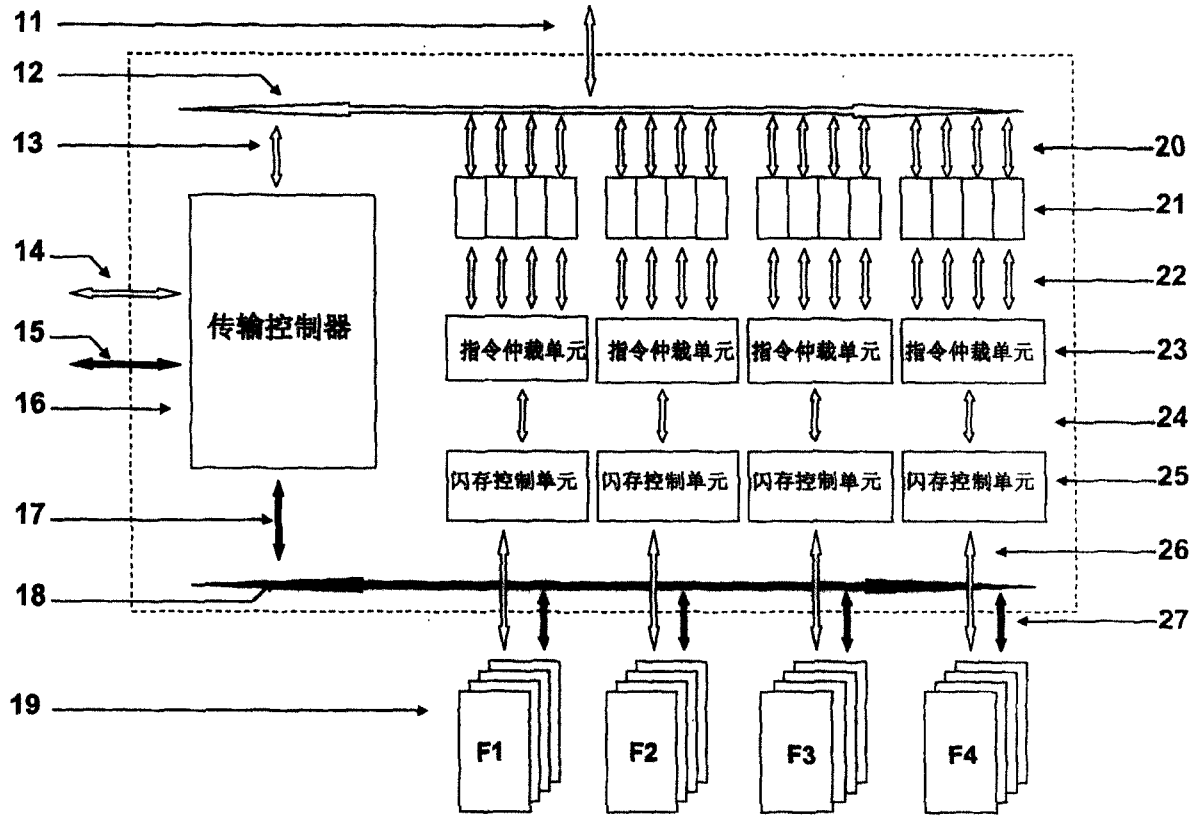


图 2

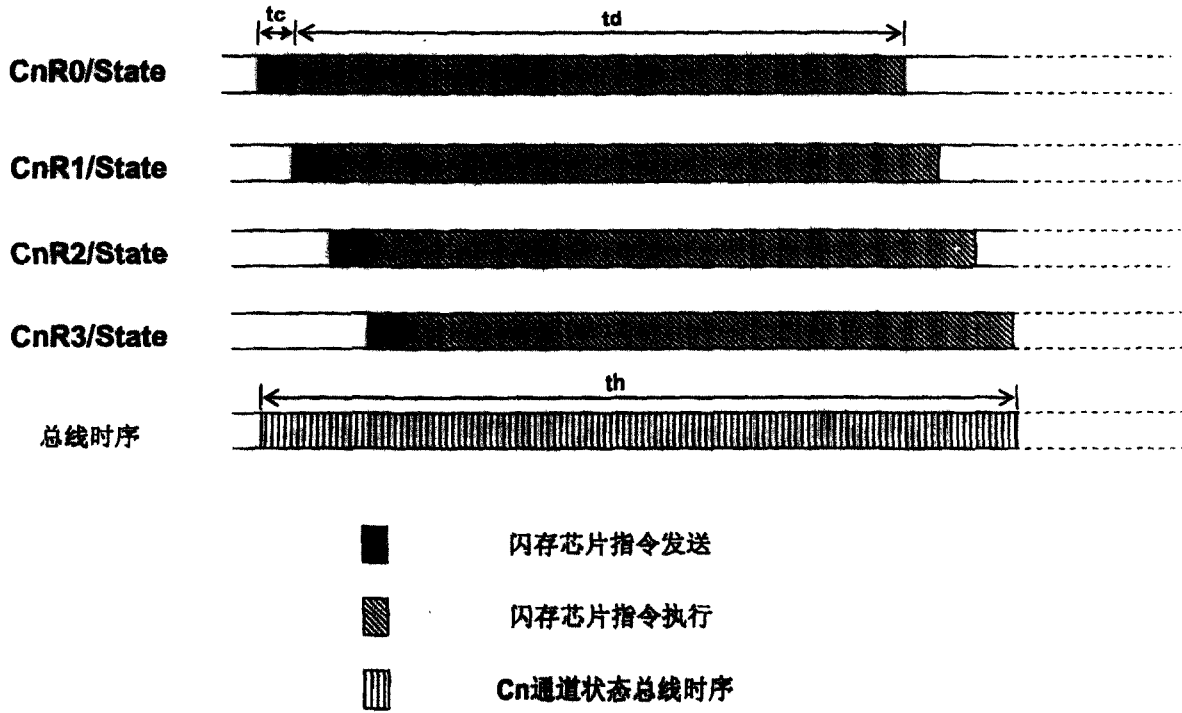


图 3

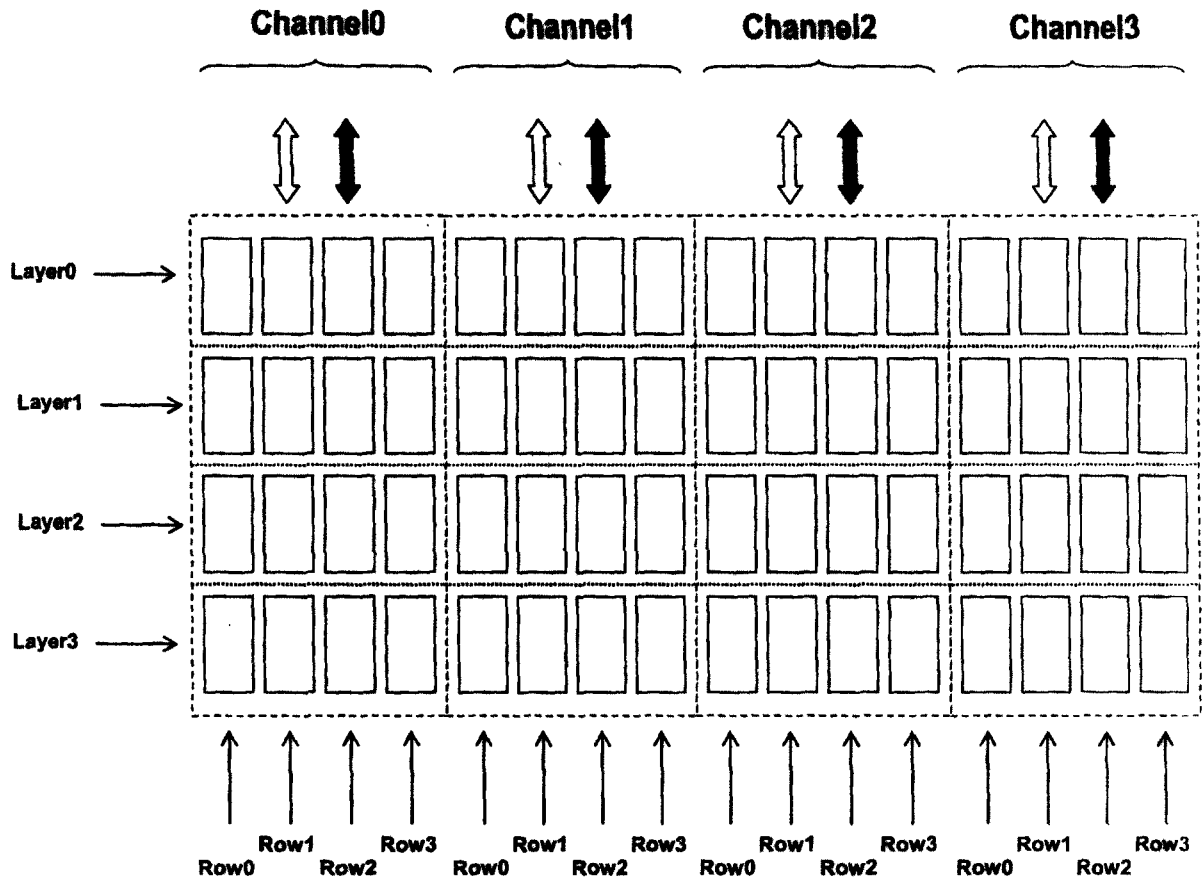


图 4