

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2018-49935

(P2018-49935A)

(43) 公開日 平成30年3月29日 (2018. 3. 29)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 27/115 (2017.01)	HO 1 L 27/10 4 3 4	5 F 0 8 3
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 3 7 1	5 F 1 0 1
HO 1 L 29/788 (2006.01)		
HO 1 L 29/792 (2006.01)		

審査請求 未請求 請求項の数 10 O L (全 15 頁)

(21) 出願番号 特願2016-184373 (P2016-184373)
 (22) 出願日 平成28年9月21日 (2016. 9. 21)

(71) 出願人 317006041
 東芝メモリ株式会社
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100108062
 弁理士 日向寺 雅彦
 (72) 発明者 坂本 渉
 東京都港区芝浦一丁目1番1号 株式会社
 東芝内
 Fターム(参考) 5F083 EP02 EP17 EP22 EP33 EP34
 EP76 ER23 GA02 GA10 GA27
 JA02 JA03 JA39 KA01 KA05
 KA18 LA00 LA12 LA16 LA20
 MA06 MA15 MA19 PR06 ZA28
 5F101 BA02 BA42 BA47 BB02 BD16
 BD22 BD30 BD32 BD34 BE07

(54) 【発明の名称】 半導体装置およびその製造方法

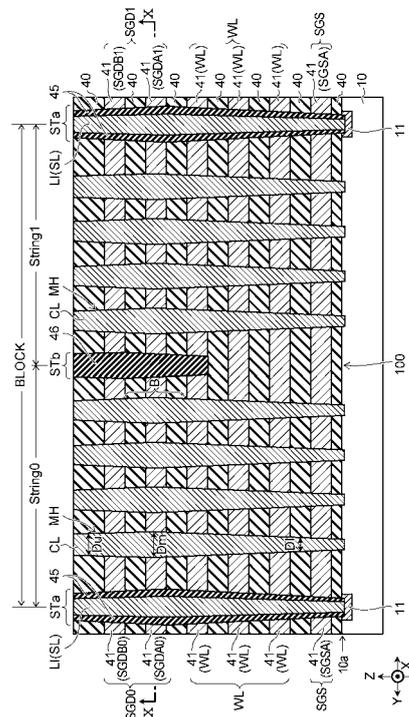
(57) 【要約】

【課題】電極層の抵抗の上昇を抑制することが可能な半導体装置を提供する。

【解決手段】

実施形態の半導体装置は、積層体100と、第1絶縁層45と、第2絶縁層46と、柱状部CLを含む。積層体100は、Z方向に沿って絶縁体を介して積層された電極層41を含む。第1絶縁層45は、X方向に延び、積層体100に、積層体100の上端から積層体100の下端まで設けられる。第2絶縁層46は、X方向に延び、第1絶縁層45の1つと第1絶縁層45の他の1つとの間の積層体100に、積層体100の上端から積層体100の途中まで設けられる。柱状部CLは、ボウイング形状を有する。第2絶縁層46は、柱状部CLの最大内径Dmの箇所を含む領域Bに設けられる。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

積層方向に沿って絶縁体を介して積層された複数の電極層を含む積層体と、
前記積層方向と交わる第 1 方向に延び、前記積層体に、前記積層体の上端から前記積層体の下端まで設けられた少なくとも 2 つの第 1 絶縁層と、

前記第 1 方向に延び、前記第 1 絶縁層の 1 つと前記第 1 絶縁層の他の 1 つとの間の前記積層体に、前記積層体の上端から前記積層体の途中まで設けられた少なくとも 1 つの第 2 絶縁層と、

前記積層方向に延びる半導体ボディと、前記半導体ボディと前記電極層との間に設けられた電荷蓄積部とを含み、前記第 1 絶縁層の 1 つと前記第 2 絶縁層との間、および前記第 1 絶縁層の他の 1 つと前記第 2 絶縁層との間の前記積層体に設けられた複数の柱状部と、
を備え、

前記柱状部は、ボウイング形状を有し、

前記第 2 絶縁層は、前記柱状部の最大内径の箇所を含む領域に設けられる、半導体装置

。

【請求項 2】

前記第 2 絶縁層は、前記第 1 絶縁層の 1 つと前記第 1 絶縁層の他の 1 つとの間の前記積層体に、2 つ以上設けられる、請求項 1 記載の半導体装置。

【請求項 3】

前記第 2 絶縁層は、前記複数の電極層のうち、選択ゲート層となる電極層に接し、かつ、選択ゲート層となる電極層を含む領域で止まる、請求項 1 又は 2 に記載の半導体装置。

【請求項 4】

前記第 2 絶縁層の底は、前記絶縁体の 1 つに達し、

前記第 2 絶縁層の底に接する前記絶縁体の前記積層方向の厚さは、他の前記絶縁体の前記積層方向の厚さよりも厚い、請求項 1 ~ 3 のいずれか 1 つに記載の半導体装置。

【請求項 5】

前記第 2 絶縁層の底に接する前記絶縁体は、前記絶縁体に含まれた第 1 絶縁物とは異なる第 2 絶縁物とを含む、請求項 4 記載の半導体装置。

【請求項 6】

前記第 2 絶縁層の底に接する前記絶縁体は、前記複数の電極層のうち、選択ゲート層となる電極層と、ダミーワード線となる電極層との間にある、請求項 4 又は 5 に記載の半導体装置。

【請求項 7】

前記第 2 絶縁層の、前記第 1 方向と前記積層体の主面に対して平行な方向で交差する第 2 方向の幅は、前記第 1 絶縁層の前記第 2 方向の幅よりも狭い、請求項 1 ~ 6 のいずれか 1 つに記載の半導体装置。

【請求項 8】

前記柱状部は、前記積層体に千鳥格子状に配置される、請求項 1 ~ 7 のいずれか 1 つに記載の半導体装置。

【請求項 9】

積層方向に沿って、絶縁体を介して積層された複数の犠牲層を含む積層体を形成する工程と、

前記積層体に、半導体ボディと電荷蓄積部とを含む複数の柱状部を形成する工程と、

前記積層体に、少なくとも 2 つの第 1 スリットを、前記積層体の上端から前記積層体の下端まで形成する工程と、

前記第 1 スリットの 1 つと前記第 1 スリットの他の 1 つとの間の前記積層体に、少なくとも 1 つの第 2 スリットを、前記積層体の上端から前記積層体の途中まで形成する工程と、

、

前記複数の犠牲層を、前記第 1 スリットと前記第 2 スリットとを介して複数の電極層に置換する工程と、

10

20

30

40

50

を備え、

前記柱状部は、ボウイング形状を有し、

前記第2スリットは、前記第2スリットが、前記柱状部の最大内径の箇所を含む領域に設けられるように形成する、半導体装置の製造方法。

【請求項10】

前記絶縁体の1つは、前記積層方向の厚さが、他の前記絶縁体の前記積層方向の厚さが厚くなるように形成し、

前記第2スリットは、前記第2スリットの底が、前記絶縁体の1つで止まるように形成する、請求項9記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

実施形態は、半導体装置およびその製造方法に関する。

【背景技術】

【0002】

複数の電極層が積層された積層体にメモリホールを形成し、そのメモリホール内に電荷蓄積膜および半導体膜が積層体の積層方向に延在して設けられた3次元構造のメモリデバイスが提案されている。積層体には、積層体の上面から基板に達するスリットが、複数形成される。高集積化のため、積層体の積層数を増やすと、メモリホールのアスペクト比が高くなる。アスペクト比が高いメモリホールでは、“ボウイング”が顕著になる。メモリデバイスの電極層は、例えば、犠牲層を導電体に、スリットを介してリプレイスすることで形成される。“ボウイング”によってメモリホールの内径が太くなった箇所は、電極層の抵抗が上昇しやすい。電極層の抵抗の上昇を抑制することが望まれている。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2015-50466号公報

【特許文献2】特開2010-187000号公報

【特許文献3】特開2015-79862号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

実施形態は、電極層の抵抗の上昇を抑制することが可能な半導体装置およびその製造方法を提供する。

【課題を解決するための手段】

【0005】

実施形態の半導体装置は、積層体と、少なくとも2つの第1絶縁層と、少なくとも1つの第2絶縁層と、複数の柱状部とを含む。積層体は、積層方向に沿って絶縁体を介して積層された複数の電極層を含む。第1絶縁層は、積層方向と交わる第1方向に延び、積層体に、積層体の上端から積層体の下端まで設けられる。第2絶縁層は、第1方向に延び、第1絶縁層の1つと第1絶縁層の他の1つとの間の積層体に、積層体の上端から積層体の途中まで設けられる。柱状部は、積層方向に延びる半導体ボディと、半導体ボディと電極層との間に設けられた電荷蓄積部とを含む。柱状部は、第1絶縁層の1つと第2絶縁層との間、および第1絶縁層の他の1つと第2絶縁層との間の積層体に設けられる。柱状部は、ボウイング形状を有する。第2絶縁層は、柱状部の最大内径の箇所を含む領域に設けられる。

【図面の簡単な説明】

【0006】

【図1】図1は、第1実施形態の半導体装置の模式斜視図である。

【図2】図2は、第1実施形態の半導体装置の模式平面図である。

10

20

30

40

50

【図 3】図 3 は、図 2 中の III - III 線に沿う模式断面図である。

【図 4】図 4 は、柱状部の 1 つの例を拡大して示す模式断面図である。

【図 5】図 5 は、第 1 実施形態の半導体装置の製造方法を示す模式断面図である。

【図 6】図 6 は、第 1 実施形態の半導体装置の製造方法を示す模式断面図である。

【図 7】図 7 は、第 1 実施形態の半導体装置の製造方法を示す模式断面図である。

【図 8】図 8 は、第 1 実施形態の半導体装置の製造方法を示す模式断面図である。

【図 9】図 9 は、第 1 実施形態の半導体装置の製造方法を示す模式断面図である。

【図 10】図 10 は、図 3 中の X - X 線に沿う模式断面図である。

【図 11】図 11 は、参考例の模式断面図である。

【図 12】図 12 は、第 2 実施形態の半導体装置の模式断面図である。

10

【図 13】図 13 は、第 3 実施形態の半導体装置の模式断面図である。

【図 14】図 14 は、第 4 実施形態の半導体装置の模式断面図である。

【図 15】図 15 は、第 5 実施形態の半導体装置の模式断面図である。

【発明を実施するための形態】

【0007】

以下、図面を参照し、実施形態について説明する。各図面中、同じ要素には同じ符号を付す。実施形態において、“上”とは、例えば、基板から遠ざかる方向を指し、“下”とは、例えば、基板に向かう方向を指す。実施形態の半導体装置は、メモリセルアレイを有する半導体記憶装置である。

【0008】

20

(第 1 実施形態)

<半導体装置>

図 1 は、第 1 実施形態の半導体装置の模式斜視図である。図 1 において、基板 10 の主面に対して平行な方向であって相互に直交する 2 方向を X 方向 (第 1 方向) および Y 方向 (第 2 方向) とし、これら X 方向および Y 方向の双方に対して交わる方向、例えば、直交する方向を Z 方向 (積層体 100 の積層方向) とする。

【0009】

図 1 に示すように、第 1 実施形態の半導体装置は、メモリセルアレイ 1 を有する。メモリセルアレイ 1 は、積層体 100 に設けられる。積層体 100 は、基板 10 の主面 10a 上に設けられる。基板 10 は、例えば、結晶化されたシリコン層を含む。シリコン層の導電性は、例えば、p 型である。

30

【0010】

積層体 100 は、交互に積層された複数の絶縁体 40 と複数の電極層 41 とを含む。電極層 41 は、導電物を含む。導電物は、例えば、導電性のシリコン (Si)、タングステン (W)、およびモリブデン (Mo) 等である。絶縁体 40 は、絶縁物を含む。絶縁物は、例えば、シリコン酸化物等である。絶縁物は、エアギャップであってもよい。電極層 41 は、積層体 100 内に、Z 方向に絶縁体 40 によって電氣的に絶縁されて設けられる。

【0011】

電極層 41 は、少なくとも 1 つのソース側選択ゲート (SGS) と、複数のワード線 (WL) と、少なくとも 1 つのドレイン側選択ゲート (SGD) とを含む。SGS は、ソース側選択トランジスタ (STS) のゲート電極である。WL は、メモリセル (MC) のゲート電極である。SGD は、ドレイン側選択トランジスタ (STD) のゲート電極である。電極層 41 の積層数は、任意である。

40

【0012】

SGS は、積層体 100 の下部領域に設けられる。SGD は、積層体 100 の上部領域に設けられる。下部領域は、積層体 100 の、基板 10 に近い側の領域を、上部領域は、積層体 100 の、基板 10 から遠い側の領域を指す。例えば、複数の電極層 41 のうち、基板 10 に最も近い電極層 41 を含む少なくとも 1 つが、SGS となる。複数の電極層 41 のうち、基板 10 から最も遠い電極層 41 を含む少なくとも 1 つが、SGD となる。WL は、SGS と SGD との間に設けられる。

50

【 0 0 1 3 】

第 1 実施形態の半導体装置は、STD と、STS との間に直列に接続された複数の MC を有する。STD、MC、および STS が直列に接続された構造は“メモリストリング（もしくは NAND ストリング）”と呼ばれる。メモリストリングは、例えば、コンタクト Cb を介してビット線（BL）に接続される。BL は、積層体 100 の上方に設けられ、Y 方向に延びる。

【 0 0 1 4 】

図 2 は、第 1 実施形態の半導体装置の模式平面図である。図 3 は、図 2 中の III - III 線に沿う模式断面図である。

【 0 0 1 5 】

積層体 100 内には、深い第 1 スリット STa、浅い第 2 スリット STb、および柱状部 CL が設けられる。

【 0 0 1 6 】

第 1 スリット STa は、積層体 100 の上端から積層体 100 の下端まで設けられる。図 2 および図 3 に示す範囲では、2 つの第 1 スリット STa が示される。2 つの第 1 スリットは、X 方向に延びる。第 1 スリット STa の側壁上には、第 1 絶縁層 45 が設けられる。第 1 絶縁層 45 は、絶縁物を含む。絶縁物は、例えば、シリコン酸化物である。積層体 100 は、第 1 絶縁層 45 によって、X 方向に沿って分離される。積層体 100 の、2 つの第 1 スリットに挟まれた領域はブロック（BLOCK）と呼ばれる。BLOCK は、例えば、情報イレズの最小単位となる。イレズサイズは、1 つの BLOCK、又は複数の BLOCK を組み合わせることで設定される。

【 0 0 1 7 】

第 1 スリット STa 内には、第 1 絶縁層 45 に沿って導電層 LI が設けられる。導電層 LI は、基板 10 に達する。基板 10 には、n 型の半導体層 11 が設けられる。導電層 LI は、半導体層 11 に電氣的に接続される。導電層 LI は、導電物を含む。導電物は、例えば、W である。導電層 LI は、例えば、ソース線（SL）として機能する。

【 0 0 1 8 】

第 2 スリット STb は、積層体 100 の BLOCK 内に設けられる。第 2 スリット STb は、X 方向に延びる。第 2 スリット STb は、第 1 スリット STa と異なり、積層体 100 の上端から積層体 100 の途中まで設けられる。第 2 スリット STb 内には、第 2 絶縁層 46 が設けられている。第 2 絶縁層 46 は、絶縁物を含む。絶縁物は、例えば、シリコン酸化物である。本実施形態において、第 2 絶縁層 46 は、X 方向に延び、例えば、SGD を、X 方向に沿って 2 つに分離する。本実施形態において、分離された 2 つの SGD の 1 つは“SGD0”と称し、残りの 1 つは“SGD1”と称する。SGD0 を含むメモリストリングは、“String0”に属する。SGD1 を含むメモリストリングは、“String1”に属する。“String0”および“String1”は、SL と BL との間に並列に接続される。

【 0 0 1 9 】

図 3 に示す半導体装置では、SGD0 は、SGDA0 および SGDB0 の 2 つを含む。SGD1 は、SGDA1 および SGDB1 の 2 つを含む。SGS は、SGSA の 1 つを含む。WL は、実際に使用される WL の他に、ドレイン側ダミーワード線（WLD D）およびソース側ダミーワード線（WLD S）が含まれていてもよい。

【 0 0 2 0 】

柱状部 CL は、第 1 絶縁層 45 の 1 つと第 2 絶縁層 46 との間、および第 1 絶縁層 45 の他の 1 つと第 2 絶縁層 46 との間の積層体 100 に設けられる。柱状部 CL は、Z 方向に延び、積層体 100 の上端から積層体 100 の下端まで設けられる。柱状部 CL は、メモリホール MH 内に設けられる。メモリホール MH は、積層体 100 内に設けられる。メモリホール MH は、Z 方向に延びる開孔である。メモリホール MH の下端は、基板 10 に達する。メモリホール MH は、円柱状、もしくは楕円柱状に形成される。

【 0 0 2 1 】

図 4 は、柱状部 CL の 1 つの例を拡大して示す模式断面図である。図 4 に示す断面は、

10

20

30

40

50

例えば、図 3 に示した断面に対応し、MC が設けられる部分のみを示す。図 4 においては、メモリホールMHの“ボウイング”は、反映していない。

【0022】

図 4 に示すように、柱状部CLは、メモリ膜30と、半導体ボディ20と、コア層50とを含む。メモリ膜30、半導体ボディ20、およびコア層50は、メモリホールMH内に設けられる。メモリ膜30は、膜中に、電荷蓄積部を含む。電荷蓄積部は、例えば、電荷をトラップするトラップサイト、および/又は浮遊ゲートを含む。MCのしきい値電圧は、電荷蓄積部中の電荷の有無、又は電荷の量によって変化する。これにより、MCは、情報を保持する。図 5 においては省略されているが、メモリ膜30は、電荷蓄積部と、半導体ボディ20との間に、トンネル絶縁膜を備えている。

10

【0023】

同様に図 4 においては省略されているが、メモリ膜30は、電荷蓄積部と電極層41との間に、第1ブロック絶縁膜を備えている。トンネル絶縁膜は、情報をイレーズする際、および情報をプログラムする際、電荷、例えば、電子や正孔がトンネリングする。メモリ膜30は、SGDとなる電極層41やSGSとなる電極層41が形成された部分において、除去されてもよい。この場合、メモリ膜30の代わりに、STDやSTSのゲート絶縁膜31が設けられる。

【0024】

半導体ボディ20は、Z方向に延びる。半導体ボディ20は、例えば、結晶化されたP型シリコンを含む。半導体ボディ20は、例えば、基板10と電氣的に接続される。

20

【0025】

コア層50は、絶縁物を含む。絶縁物は、例えば、シリコン酸化物である。コア層50は、メモリ膜30と、半導体ボディ20とが設けられたメモリホールMHを埋め込む。

【0026】

電極層41と絶縁体40との間、および電極層41とメモリ膜30との間には、第2ブロック絶縁膜42が設けられる。第2ブロック絶縁膜42は、例えば、シリコン酸化物とアルミニウム酸化物とを含む。第2ブロック絶縁膜42は、例えば、消去動作のとき、WLからメモリ膜30が含む電荷蓄積部への電荷のバックトンネリングを抑制する。

【0027】

図 4 においては、図示を省略していたが、図 3 に示すように、本実施形態のメモリホールMHは“ボウイング形状”を有する。ボウイング形状を有するメモリホールMHは、例えば、積層体100の上部領域にあるメモリホールMHの内径 D_u 、積層体100の下部領域にあるメモリホールMHの内径 D_l 、上部領域と下部領域との間の中間領域にあるメモリホールMHの内径 D_m が異なる。例えば、内径 D_m が最大となる。メモリホールMHの内径は、柱状部CLの内径である。

30

【0028】

第2スリットSTbは、メモリホールMHの最大内径 D_m の箇所を含む“ボウイング領域B”に設けられる。“ボウイング領域B”は、メモリホールMHの“ボウイング”が最も顕著に現れる箇所である。本実施形態では、第2スリットSTbの底が、“ボウイング領域B”を通過する。第2スリットSTbの底は、第2絶縁層46の底である。これにより、本実施形態の第2絶縁層46は、積層体100に、積層体100の上端から柱状部CLの最大内径の箇所を含む“ボウイング領域B”にかけて設けられる。

40

【0029】

< 製造方法 >

図 5 ~ 図 9 は、第 1 実施形態の半導体装置の製造方法を示す模式断面図である。図 5 ~ 図 9 に示す断面は、図 3 に示した断面に対応する。

【0030】

1. 積層体100の形成

図 5 に示すように、基板10の主面10a上に、積層体100を形成する。積層体100は、絶縁体40と犠牲層47とを、交互にZ方向に積層することで形成される。絶縁体

50

40と、犠牲層47とは、互いにエッチングの選択比がとれる材料が選ばれる。絶縁体40に、例えば、シリコン酸化物が選ばれた場合、犠牲層47には、例えば、シリコン窒化物が選ばれる。

【0031】

2. メモリホールMHおよび柱状部CLの形成

図6に示すように、メモリホールMHを、積層体100に形成する。メモリホールMHは、例えば、フォトレジストをマスクに用いた、異方性エッチングによって、積層体100に形成される。メモリホールMHは、積層体100を貫通して、基板10に達するまで、形成される。本実施形態では、メモリホールMHの断面形状は、ボウイング形状となる。

10

【0032】

次に、柱状部CLを、メモリホールMHに形成する。図6においては、柱状部CLの詳細は図示していないが、例えば、図4に示したメモリ膜30を、積層体100上に形成する。次に、メモリホールMHの底にあるメモリ膜30の部分除去し、メモリホールMHの底から、基板10を露出させる。次に、半導体ボディ20を、メモリ膜30上に形成する。次に、コア層50を、半導体ボディ20上に形成する。コア層50は、メモリ膜30と、半導体ボディ20とが形成されたメモリホールMHを埋め込む。これにより、柱状部CLが、メモリホールMHに形成される。

【0033】

3. 第1スリットSTaおよび第2スリットSTbの形成

図7に示すように、第1スリットSTaと第2スリットSTbとを、積層体100に形成する。第1スリットSTaと第2スリットSTbとは、例えば、フォトレジストをマスクに用いた、異方性エッチングによって積層体100に形成される。

20

【0034】

第1スリットSTaは、積層体100の上端から積層体100の下端まで形成される。第1スリットSTaを形成した後、第1スリットSTaを介して、例えば、n型不純物を、基板10に導入する。これにより、基板10には、n型の半導体層11が形成される。

【0035】

第2スリットSTbは、積層体100の上端から積層体100の途中まで形成される。本実施形態の第2スリットSTbは、メモリホールMHの最大内径Dmの箇所を含む“ボウイング領域B”に設けられる。本実施形態では、第2スリットSTbの底は、“ボウイング領域B”を通過し、より下方の位置(基板10に近い位置)に達する。

30

【0036】

第1スリットSTaと第2スリットSTbは、例えば、別々に積層体100に形成される。可能であれば、第1スリットSTaと第2スリットSTbとを同時に形成してもよい。第1スリットSTaを先に形成するか、第2スリットSTbを先に形成するかは、任意に選択できる。第1スリットSTaと第2スリットSTbとは、同時に積層体100に形成されてもよい。

【0037】

本実施形態では、第2スリットSTbのY方向の幅Wbは、第1スリットSTaのY方向の幅Waよりも狭い。例えば、第1スリットSTa内には、図3等に示したように、導電層LIが形成されるが、第2スリットSTb内には、例えば、導電層LIを形成する必要が、必ずしもないためである。図7においては、幅Wbは、第2スリットSTbで最もボウイングが顕著な箇所での幅を示す。同様に、幅Waについても、第1スリットSTaで最もボウイングが顕著な箇所での幅を示す。

40

【0038】

第2スリットSTbのY方向の幅Wbの最低値は、例えば、犠牲層47のZ方向の厚さT47よりも広く設定される。これは、例えば、第2スリットSTbを介した犠牲層47のリプレースを可能とするためである。例えば、幅Wbが厚さT47よりも狭いと、犠牲層47が除去された空間が電極層41となる導電物によって埋め込まれる前に、第2スリ

50

ットSTbが電極層41となる導電物によって閉塞してしまう。第2スリットSTbが閉塞してしまうと、第2スリットSTbを介したリプレイスが行えない。例えば、このような理由から、幅Wbの最低値は、例えば、厚さT47よりも広く設定される。

【0039】

4. 犠牲層47の(リプレイス工程)

図8に示すように、犠牲層47を、第1スリットSTaおよび第2スリットSTbを介して除去する。これにより、空間43が、絶縁体40の間に形成される。

【0040】

5. 電極層41の埋め込み(リプレイス工程)

図9に示すように、空間43を、電極層41によって埋め込む。これにより、積層体100には、電極層41が形成される。電極層41は、第1スリットSTaの側壁および第2スリットSTbの側壁にも形成される。第1スリットSTaの側壁に形成された電極層41および第2スリットSTbの側壁に形成された電極層41は、それぞれ除去される。図9は、電極層41が、第1スリットSTaの側壁および第2スリットSTbの側壁から除去された状態を示す。

10

【0041】

6. 第1絶縁層45、第2絶縁層46、および導電層LIの形成

図3に示すように、第1絶縁層45を、第1スリットSTaの側壁に形成する。次に、第2スリットSTbを、第2絶縁層46によって埋め込む。第1絶縁層45を先に形成するか、第2絶縁層46を先に形成するかは、任意に選択できる。可能であれば、第1絶縁層45と第2絶縁層46とを同時に形成してもよい。

20

【0042】

次に、第1絶縁層45を、第1スリットSTの底から除去する。これにより、第1スリットSTの底には、半導体層11が露出する。次に、導電層LIを、第1スリットSTに形成する。導電層LIは、半導体層11に電氣的に接続される。以降は、周知の製造方法に従えばよい。

【0043】

第1実施形態の半導体装置は、例えば、図5～図9に示した製造方法によって、製造することができる。

【0044】

このような第1実施形態によれば、以下のような利点を得ることができる。

30

図10は、図3中のX-X線に沿う模式断面図である。図10に示す断面は、例えば、XY平面に沿った断面である。図10に示す断面は、“ボウイング”が顕著となる箇所を示す。図10に示すメモリホールMHの内径は、図3に示した最大の内径Dmである、と仮定する。

【0045】

第1実施形態によれば、犠牲層47の電極層41へのリプレイスを、第1スリットSTaと第2スリットSTbとの双方を介して行う。第2スリットSTbは、最大内径Dmの箇所を含む“ボウイング領域B”に設けられる。このため、メモリホールMHの“ボウイング”が最も顕著となる“ボウイング領域B”においては、電極層41となる導電物が、第2スリットSTbからも積層体100の中に向かって入り込む。このため、“ボウイング領域B”において、第2スリットSTbと柱状部CLとの間を、導電物で満たすことができる。

40

【0046】

図10に示すように、電極層41には、抵抗が低くなる領域Saが存在する。領域Saは、第1スリットSTaと柱状部CLとの間にある。領域Saで抵抗が低くなる理由の1つは、領域Saには、柱状部CLがなく、電極層41となる導電物で満たされていることである。

【0047】

第1実施形態では、領域Saと同様な領域Sbが、第2スリットSTbに接する電極層

50

4 1 に存在する。領域 S b は、第 2 スリット S T b と柱状部 C L との間にある。領域 S b も、領域 S a と同様に、柱状部 C L がなく、電極層 4 1 となる導電物で満たされる。したがって、領域 S b は、領域 S a と同様に、抵抗が低くなる。

【 0 0 4 8 】

図 1 1 は、参考例の模式断面図である。図 1 1 に示す断面は、図 1 0 に示した断面に対応する。図 1 1 に示す参考例は、第 2 スリット S T b が無い場合の 1 つの例である。

【 0 0 4 9 】

図 1 1 に示すように、第 2 スリット S T b が無い場合、第 1 スリット S T a 間で、電極層 4 1 は、網目状のままとなってしまう。特に、“ボウイング領域 B”においては、メモリホール M H の内径 D m が太くなっている。このため、隣接するメモリホール M H の距離が近い。したがって、メモリホール M H の周囲に形成される電極層 4 1 の幅も細くなり、電極層 4 1 の抵抗が上昇しやすい。

【 0 0 5 0 】

このような参考例に対して、第 1 実施形態によれば、第 2 スリット S T b があるので、第 1 スリット S T a 間に領域 S b が形成される。しかも、第 1 実施形態では、領域 S b が、“ボウイング領域 B”に設けられる。このため、最も電極層 4 1 の抵抗が上昇しやすい箇所において、電極層 4 1 の抵抗を上昇が抑制される。

【 0 0 5 1 】

このように、第 1 実施形態によれば、例えば、図 1 0 に示す参考例に比較して、メモリホール M H の“ボウイング”が最も顕著となる“ボウイング領域 B”において、電極層 4 1 の抵抗の上昇を抑制することが可能な半導体装置と、その製造方法とが得ることができる。

【 0 0 5 2 】

(第 2 実施形態)

< 半導体装置 >

図 1 2 は、第 2 実施形態の半導体装置の模式断面図である。図 1 2 に示す断面は、図 3 に示す断面に対応する。

【 0 0 5 3 】

図 1 2 に示すように、第 2 実施形態が、例えば、図 3 に示した第 1 実施形態と異なるところは、2 つの第 2 スリット S T b を、1 つの BLOCK に設けたことである。第 2 実施形態では、1 つの BLOCK に設定される String が、String 0 ~ String 2 の 3 つとなる。

【 0 0 5 4 】

このように、第 2 スリット S T b は、1 つの BLOCK に、2 つ以上設けることも可能である。なお、第 2 スリット S T b を、1 つの BLOCK に 2 つ以上設けることが可能な理由としては、図 8 および図 9 に示したように、犠牲層 4 7 の電極層 4 1 へのリプレイスを、第 1 スリット S T a、および第 2 スリット S T b の双方から行うことがあげられる。犠牲層 4 7 の電極層 4 1 へのリプレイスを、第 2 スリット S T b から行うことで、第 2 スリット S T b 間においても、犠牲層 4 7 の電極層 4 1 へのリプレイスが可能となる。

【 0 0 5 5 】

第 2 実施形態においても、第 2 スリット S T b が、“ボウイング領域 B”に設けられる。このため、第 2 実施形態においても、第 1 実施形態と同様に、“ボウイング”によってメモリホール M H の内径が太くなった箇所において、電極層 4 1 の抵抗の上昇を抑制することができる。

【 0 0 5 6 】

(第 3 実施形態)

< 半導体装置 >

図 1 3 は、第 3 実施形態の半導体装置の模式断面図である。図 1 3 に示す断面は、図 3 に示す断面に対応する。

【 0 0 5 7 】

図 1 3 に示すように、第 3 実施形態が、例えば、図 3 に示した第 1 実施形態と異なる

10

20

30

40

50

ころは、第2スリットSTbを、電極層41のうち、SGDとなる電極層41に設けたことである。第3実施形態では、例えば、第2スリットSTbは、電極層41(SGD1)と、電極層41(WLDD)との間の絶縁体40で止まる。電極層41(WLDD)は、ドレイン側ダミーワード線となる電極層である。第3実施形態では、メモリホールMHの“ボウイング”が顕著となる位置が、SGDとなる電極層41が設けられる位置にある。

【0058】

第3実施形態では、SGDとなる電極層41が、電極層41(SGDA)と電極層41(SGDB)との2つを含む。第2スリットSTbは、電極層41(SGDA)と電極層41(SGDB)とを、X方向に沿って分離する。このため、電極層41(SGDA)は、String0側の電極層41(SGDA0)と、String1側の電極層41(SGDA1)とに分離される。同様に、電極層41(SGDB)は、String0側の電極層41(SGDB0)と、String1側の電極層41(SGDB1)とに分離される。

10

【0059】

第3実施形態は、第2スリットSTbの底を、電極層41のうち、SGDとなる電極層41に接するように、積層体100の途中で止める。このため、例えば、SGDを2層以上の電極層41を用い、かつ、メモリホールMHの最大内径Dmが、SGDとなる電極層41を含む領域にある場合に、有効に適用することができる。

【0060】

第3実施形態においても、第2スリットSTbを、“ボウイング領域B”に設けるので、第1実施形態と同様に、“ボウイング”によってメモリホールMHの内径が太くなった箇所において、電極層41の抵抗の上昇を抑制することができる。

20

【0061】

(第4実施形態)

<半導体装置>

図14は、第4実施形態の半導体装置の模式断面図である。図14に示す断面は、図3に示す断面に対応する。

【0062】

図14に示すように、第4実施形態が、例えば、図3に示した第1実施形態と異なるところは、第2スリットSTbの底に接する絶縁体40aのZ方向の厚さT40aが、他の絶縁体40のZ方向の厚さT40よりも厚いことである。厚さT40aを、他の絶縁体40の厚さT40よりも厚くすることで、絶縁体40aは、例えば、第2スリットSTbを形成する際のストッパーの役目を果たす。これにより、第2スリットSTbは、より確実に絶縁体40aで止めることができる。したがって、第4実施形態によれば、第2スリットSTbの深さの制御性が、絶縁体40aを設けない場合に比較して、向上する。

30

【0063】

第4実施形態によれば、第1実施形態と同様の利点を得られる他、第2スリットSTbの深さの制御性が向上するので、例えば、WLとなる電極層41を、意図せず第2スリットSTbによって分離してしまう可能性を低減できる。この結果、意図しないWLの抵抗の上昇を抑制することができる。

【0064】

第4実施形態では、絶縁体40aの厚さを厚くする他、絶縁体40aに、絶縁体40よりもエッチングされ難い材料を用いることも可能である。例えば、絶縁体40がシリコン酸化物であった場合には、絶縁体40aにはアルミニウム酸化物を用いる。

40

【0065】

さらに、絶縁体40aは、第1絶縁物と、第1絶縁物と積層され、第1絶縁物とは異なった第2絶縁物とを含むようにしてもよい。例えば、第1絶縁物がシリコン酸化物であった場合には、第2絶縁物として、例えば、アルミニウム酸化物を選べばよい。

【0066】

(第5実施形態)

<半導体装置>

50

図15は、第5実施形態の半導体装置の模式断面図である。図15に示す断面は、図14に示す断面に対応する。

【0067】

図15に示すように、第5実施形態が、例えば、図14に示した第4実施形態と異なるところは、絶縁体40aを、SGDとなる電極層41(SGDA)と、WLとなる電極層41(WL)との間に設けたことである。WLの1つの例は、例えば、ドレイン側ダミーワード線WLDDである。

【0068】

Z方向の厚さが厚い絶縁体40aは、電極層41(SGDA)と電極層41(WL)との間に設けるようにしてもよい。

10

【0069】

第5実施形態においても、第4実施形態と同様に、絶縁体40aに、絶縁体40よりもエッチングされ難い材料を用いることも可能である。

【0070】

さらに、第4実施形態と同様に、絶縁体40aは、第1絶縁物と、第1絶縁物と積層され、第1絶縁物とは異なった第2絶縁物とを含むようにしてもよい。

【0071】

以上、実施形態によれば、電極層の抵抗の上昇を抑制することが可能な半導体装置およびその製造方法を提供できる。

【0072】

20

以上、第1～第5実施形態について説明した。しかし、実施形態は、第1～第5実施形態に限られるものではない。これらの実施形態は、一例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、実施形態の要旨を逸脱しない範囲で、種々の省略、置き換え、および変更を行うことができる。

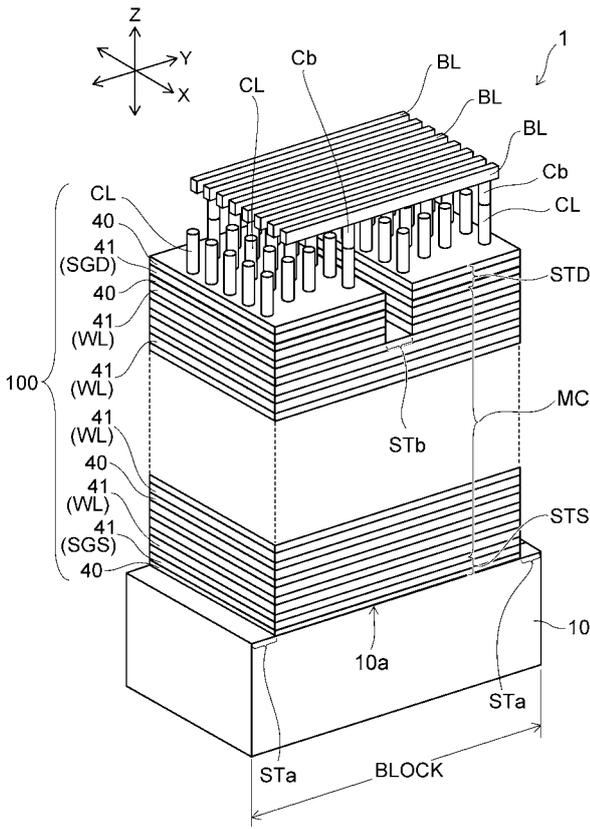
【符号の説明】

【0073】

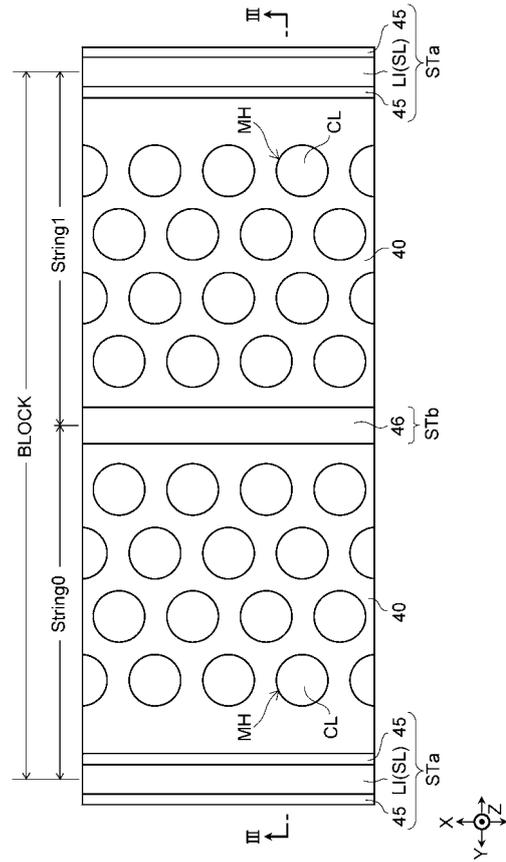
1...メモリセルアレイ、 10...基板、 10a...主面、 11...半導体層、 20...半導体ボディ、 30...メモリ膜、 31...ゲート絶縁膜、 40、40a...絶縁体、 41...電極層、 42...第2ブロック絶縁膜、 43...空間、 45...第1絶縁層、 46...第2絶縁層、 47...犠牲層、 50...コア層、 100...積層体、 SGS...ソース側選択ゲート、 STS...ソース側選択トランジスタ、 SGD、SGD0、SGD1、SGDA～SGDB、SGDA0～SGDB0、SGDA1～SGDB1...ドレイン側選択ゲート、 STD...ドレイン側選択トランジスタ、 WL...ワード線、 WLDD...ドレイン側ダミーワード線、 MC...メモリセル、 Cb...コンタクト、 BL...ビット線、 STa...第1スリット、 STb...第2スリット、 LI...導電層(SL)、 BLOCK...ブロック、 String0...SGD0を含むメモリストリング、 String1...SGD1を含むメモリストリング、 String2...SGD2を含むメモリストリング、 CL...柱状部、 MH...メモリホール、 B...ボウイング領域、 Sa...領域、 Sb...領域

30

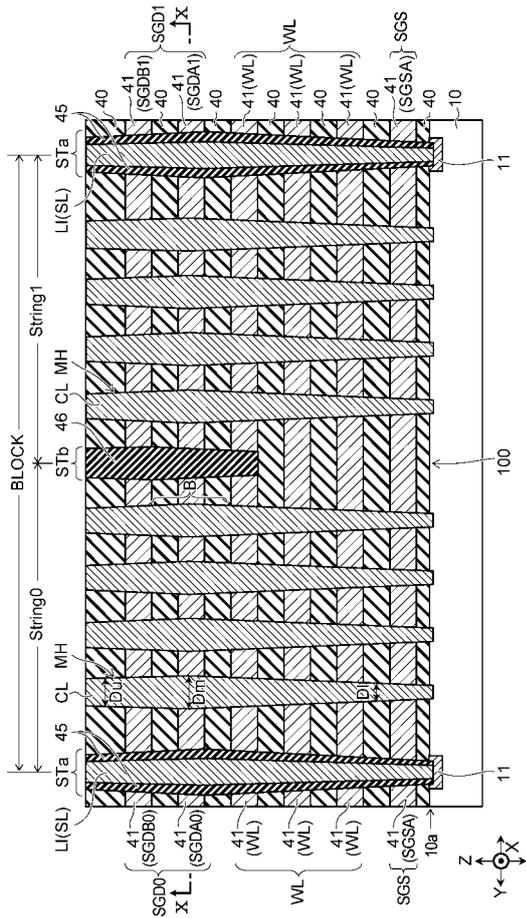
【 図 1 】



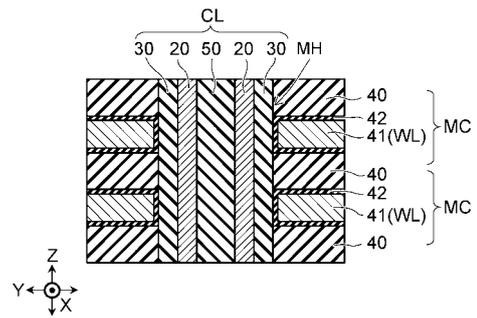
【 図 2 】



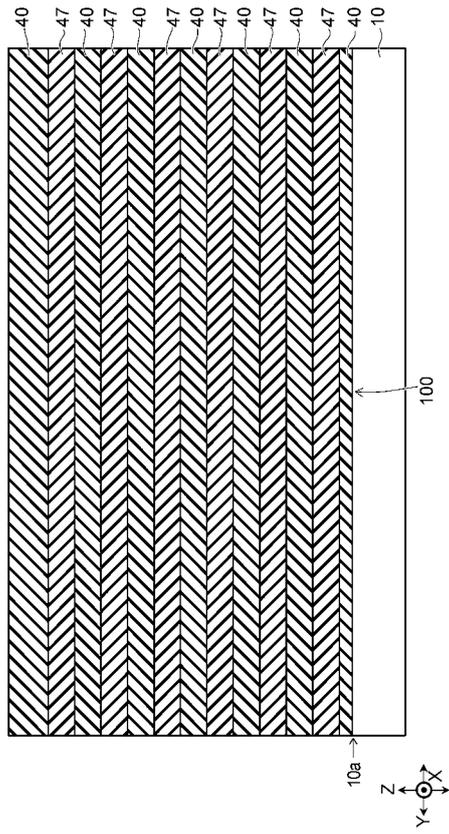
【 図 3 】



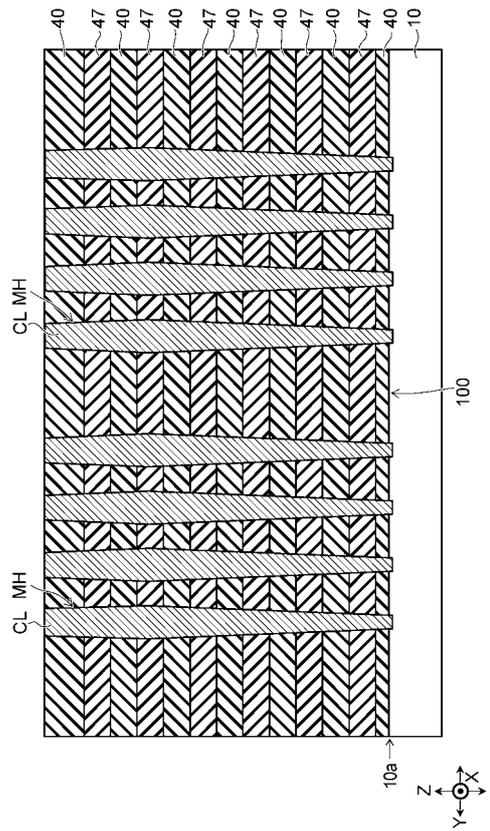
【 図 4 】



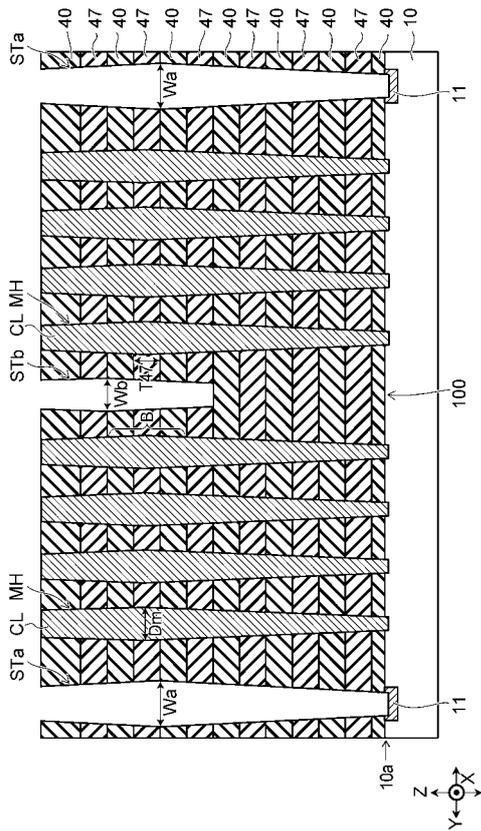
【 図 5 】



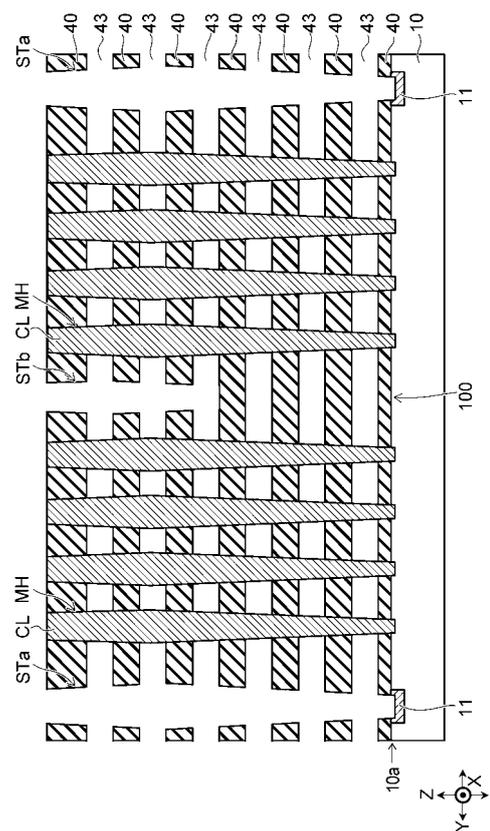
【 図 6 】



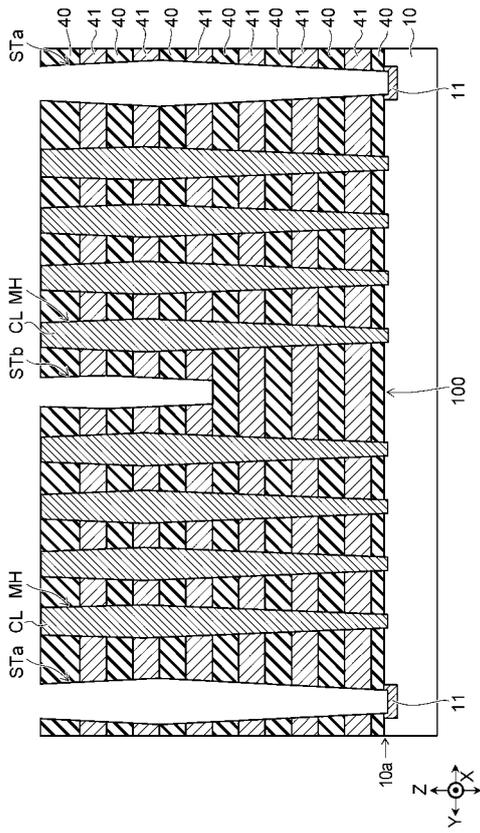
【 図 7 】



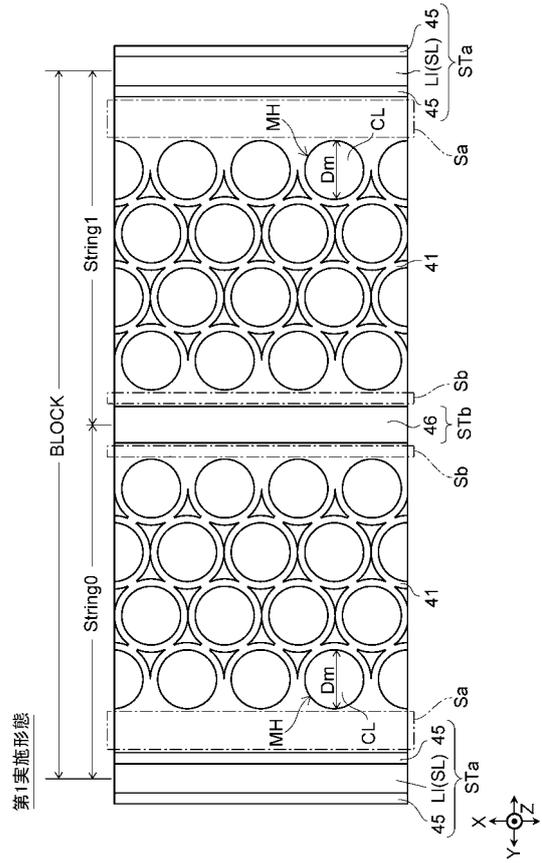
【 図 8 】



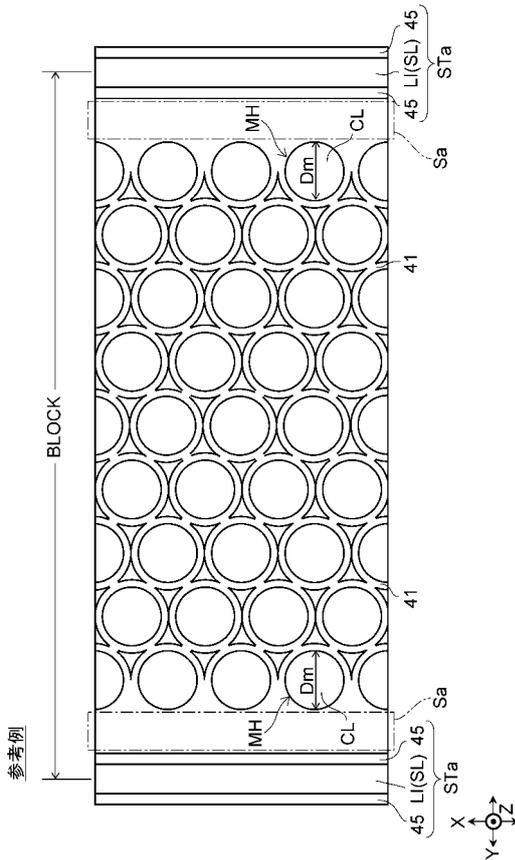
【 図 9 】



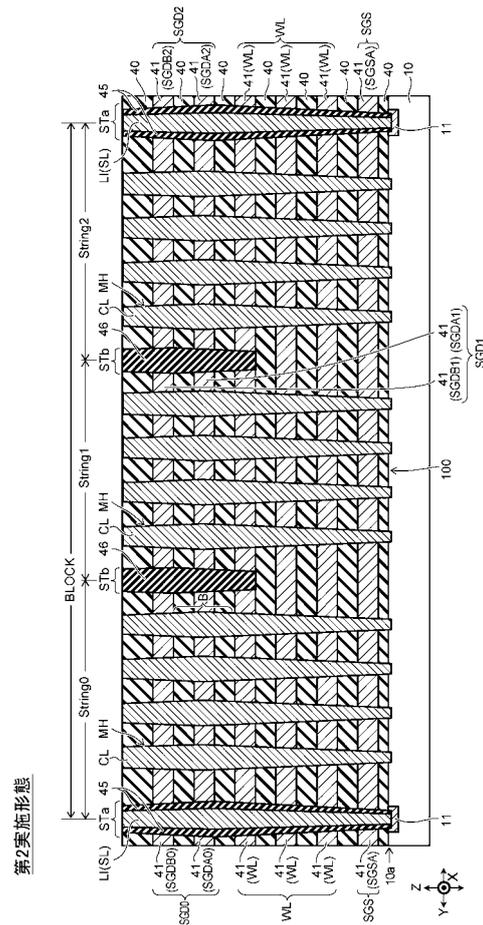
【 図 1 0 】



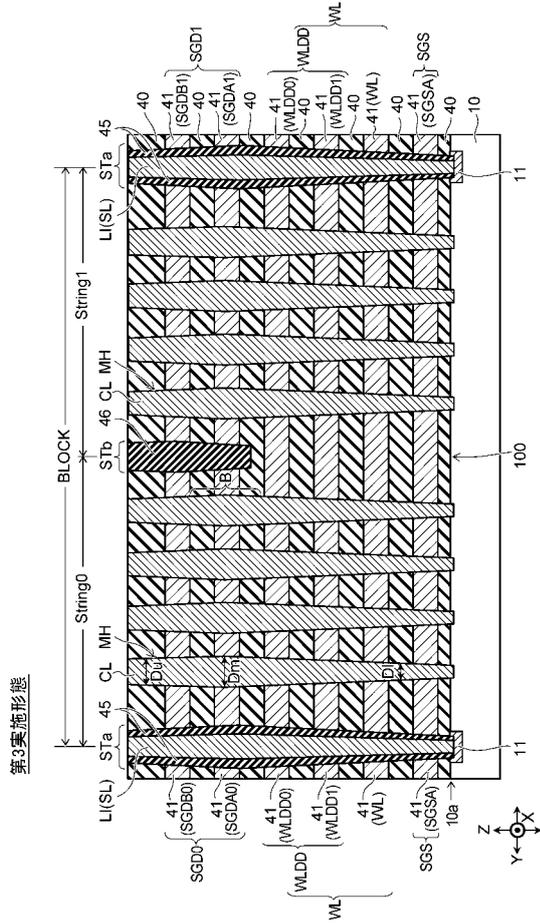
【 図 1 1 】



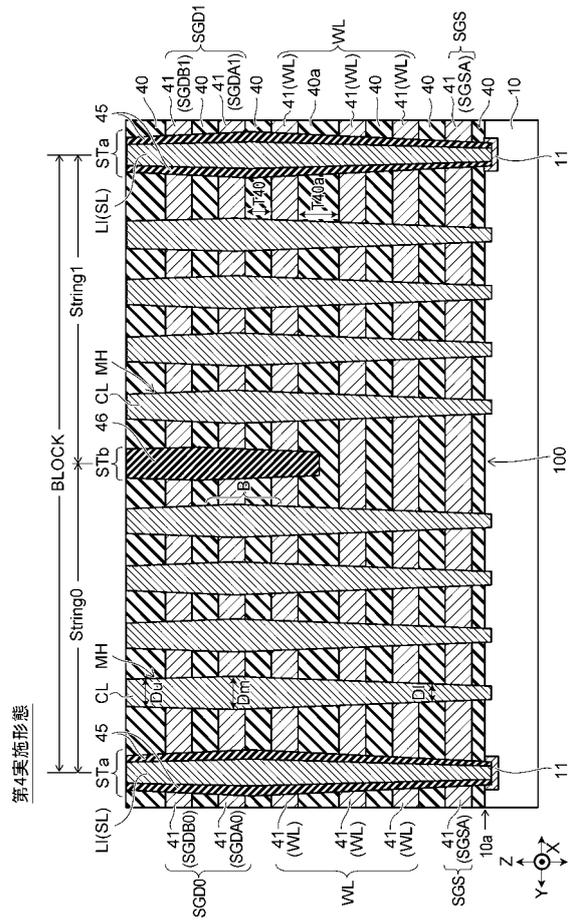
【 図 1 2 】



【 図 1 3 】



【 図 1 4 】



【 図 1 5 】

