



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년10월23일
(11) 등록번호 10-2169642
(24) 등록일자 2020년10월15일

(51) 국제특허분류(Int. Cl.)
H01L 29/423 (2006.01) H01L 29/417 (2006.01)
H01L 29/49 (2006.01) H01L 29/66 (2006.01)
(52) CPC특허분류
H01L 29/42312 (2013.01)
H01L 29/41791 (2013.01)
(21) 출원번호 10-2018-0061279
(22) 출원일자 2018년05월29일
심사청구일자 2018년05월29일
(65) 공개번호 10-2019-0024626
(43) 공개일자 2019년03월08일
(30) 우선권주장
62/551,903 2017년08월30일 미국(US)
15/904,835 2018년02월26일 미국(US)
(56) 선행기술조사문헌
KR1020160094244 A*
US09627379 B1*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
타이완 세미콘덕터 매뉴팩처링 컴퍼니 리미티드
중화민국, 타이완, 신추, 신추 사이언스 파크,
리-신 로드 6, 넘버 8
(72) 발명자
차이 야-이
중화민국, 타이완, 신추, 신추 사이언스 파크,
리-신 로드 6, 넘버 8
라이 춘-리양
중화민국, 타이완, 신추, 신추 사이언스 파크,
리-신 로드 6, 넘버 8
(뒷면에 계속)
(74) 대리인
김태홍, 김진희

전체 청구항 수 : 총 10 항

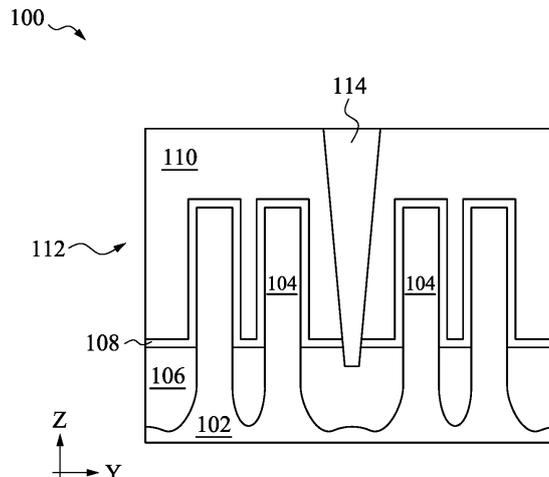
심사관 : 김중호

(54) 발명의 명칭 경사진 측벽을 가진 절단 금속 게이트

(57) 요약

반도체 소자는 기판과, 상기 기판으로부터 돌출하는 제1 및 제2핀과, 상기 제1 및 제2핀 위에 각각 배치된 제1 및 제2 하이-k 금속 게이트(HK MG)를 포함한다. 상면도로 볼 때, 상기 제1 및 제2핀은 제1 방향을 따라 길게 배열되고, 상기 제1 및 제2 HK MG는 상기 제1 방향에 대략 수직인 제2 방향을 따라 길게 배열되며, 상기 제1 및 제2 HK MG는 상기 제2 방향을 따라 정렬된다. 상기 제2 방향을 따라 취한 단면도에서, 상기 제1 HK MG는 상기 제2 HK MG 쪽으로 상부로부터 바닥부까지 경사진 제1 측벽을 갖고, 상기 제2 HK MG는 상기 제1 HK MG 쪽으로 상부로부터 바닥부까지 경사진 제2 측벽을 갖는다. 반도체 소자를 생성하는 방법이 또한 개시된다.

대표도 - 도12



(52) CPC특허분류

H01L 29/49 (2013.01)

H01L 29/6656 (2013.01)

(72) 발명자

쿠 슈-유안

중화민국, 타이완, 신추, 신추 사이언스 파크, 리
-신 로드 6, 넘버 8

첸 라이언 치아-젠

중화민국, 타이완, 신추, 신추 사이언스 파크, 리
-신 로드 6, 넘버 8

창 밍-칭

중화민국, 타이완, 신추, 신추 사이언스 파크, 리
-신 로드 6, 넘버 8

명세서

청구범위

청구항 1

반도체 디바이스에 있어서,

기관;

상기 기관으로부터 돌출하는 제1 핀 및 제2 핀;

제1 하이-k 금속 게이트(high-k metal gate, HK MG) 및 제2 HK MG - 상기 제1 HK MG는 상기 제1 핀 위에 배치되고, 상기 제2 HK MG는 상기 제2 핀 위에 배치되며, 상기 제1 및 제2 HK MG 각각은 도전성 층 및 하이-k 유전체 층을 포함하며,

상면도에서, 상기 제1 핀과 상기 제2 핀은 제1 방향을 따라 종방향으로(lengthwise) 배열되고, 상기 제1 및 제2 HK MG는 상기 제1 방향에 수직인 제2 방향을 따라 종방향으로 배열되며, 상기 제1 및 제2 HK MG는 상기 제2 방향을 따라 정렬되고,

상기 제2 방향을 따라 취한 단면도에서, 상기 제1 HK MG의 상기 도전성 층은 상기 제2 HK MG를 향하여 상부에서 바닥부로 경사진 제1 측벽을 갖고, 상기 제2 HK MG의 상기 도전성 층은 상기 제1 HK MG를 향하여 상부에서 바닥부로 경사진 제2 측벽을 가짐 - ;

상기 제1 및 제2 측벽 상의 중합체; 및

상기 제1 측벽 상의 중합체와 상기 제2 측벽 상의 중합체 사이에 측방향(laterally)으로 있는 유전체 재료를 포함하는 반도체 디바이스.

청구항 2

제1항에 있어서, 상기 제1 측벽은 기관의 법선과 제1 각도를 형성하고, 상기 제1 각도는 1도 내지 10도의 범위 내에 있는 것인 반도체 디바이스.

청구항 3

제2항에 있어서, 상기 제2 측벽은 기관의 법선과 제2 각도를 형성하고, 상기 제2 각도는 1도 내지 10도의 범위 내에 있는 것인 반도체 디바이스.

청구항 4

제1항에 있어서, 상기 제1 측벽과 상기 제2 측벽 사이에 측방향의 유전체 물질을 더 포함한 반도체 디바이스.

청구항 5

제4항에 있어서, 상기 유전체 물질은 상기 제1 측벽과 상기 제2 측벽 사이의 스페이스를 완전히 충전하는 것인 반도체 디바이스.

청구항 6

제1항에 있어서, 상기 제1 측벽의 상부와 상기 제2 측벽의 상부 사이가 제1 거리이고, 상기 제1 측벽의 바닥부와 상기 제2 측벽의 바닥부 사이가 제2 거리이며, 상기 제1 거리에 대한 상기 제2 거리의 비율은 0.4 내지 0.8의 범위인 것인 반도체 디바이스.

청구항 7

제1항에 있어서, 상기 제1 측벽의 상부와 상기 제2 측벽의 상부 사이의 거리에 대한 상기 제1 HK MG의 높이의 비율은 3~10의 범위인 것인 반도체 디바이스.

청구항 8

제1항에 있어서, 상기 제1핀과 상기 제2핀 사이에 그리고 상기 제1 HK MG와 상기 제2 HK MG 아래에 격리 (isolation) 구조를 더 포함하는 반도체 디바이스.

청구항 9

반도체 디바이스에 있어서,

기관;

상기 기관으로부터 돌출하는 제1 핀 및 제2 핀;

상기 기관으로부터 돌출하는 제3 핀 및 제4 핀;

상기 제1 핀 및 상기 제2 핀 위에 배치된 제1 하이-k 금속 게이트(high-k metal gate, HK MG); 및

상기 제3 핀 및 상기 제4 핀 위에 배치된 제2 HK MG

를 포함하고,

상기 제1 및 제2 HK MG 각각은 도전성 층 및 하이-k 유전체 층을 포함하며,

상면도에서, 상기 제1 핀, 상기 제2 핀, 상기 제3 핀 및 상기 제4 핀은 제1 방향을 따라 종방향으로 (lengthwise) 배열되고, 상기 제1 및 제2 HK MG는 상기 제1 방향에 수직인 제2 방향을 따라 종방향으로 정렬되며,

상기 제2 방향을 따라 취한 단면도에서, 상기 제1 HK MG의 도전성 층은 제1 측벽을 갖고, 상기 제2 HK MG의 도전성 층은 상기 제1 측벽에 대항하는 제2 측벽을 가지며, 상기 제1 및 제2 측벽은 기관의 범선과 2개의 각도를 형성하고, 각각의 각도는 $\tan^{-1}(1/(2 \times AR))$ 보다 작으며, 여기에서 AR은 상기 제1 측벽의 상부와 상기 제2 측벽의 상부 사이의 거리에 대한 상기 제1 HK MG의 높이의 비율이고,

상기 제1 측벽과 상기 제2 측벽 사이의 스페이스는 상기 제1 및 제2 HK MG의 하이-k 유전체 층과 상이한 하나 이상의 유전체 물질과 중합체에 의해 완전하게 점유된 것인 반도체 디바이스.

청구항 10

방법에 있어서,

기관, 상기 기관으로부터 돌출하는 핀들, 및 상기 기관 위 그리고 인접 핀들 사이의 격리 구조 - 상기 격리 구조는 상기 핀들보다 아래에 있음 - 를 갖는 구조체를 제공하는 단계;

상기 격리 구조 및 상기 핀들 위에 하이-k 유전체 층 및 도전성 층을 포함하는 게이트를 형성하는 단계; 및

상기 격리 구조를 노출시키도록 2개의 인접하는 핀들 사이의 게이트에 에칭 공정을 수행하여, 상기 게이트를 적어도 제1 부분과 제2 부분으로 분리하는 단계

를 포함하고,

상기 에칭 공정은, 상기 제1 부분의 제1 측벽 및 상기 제2 부분의 대항하는 제2 측벽을 생성하도록 상기 제1 부분의 제1 측벽 및 상기 제2 부분의 제2 측벽 상에 증착되는 중합체에 의해 제어되며, 상기 제1 및 제2 측벽은 바닥 개구보다 더 넓은 상부 개구를 제공하고, 상기 제1 측벽과 상기 제2 측벽 사이의 스페이스는 상기 게이트의 하이-k 유전체 층과 상이한 하나 이상의 유전체 물질과 중합체에 의해 완전하게 점유된 것인 방법.

발명의 설명

기술 분야

우선권

이 출원은 2017년 8월 30일자 출원된 미국 가특허 출원 제62/551,903호의 이익을 주장하며, 그 전체 내용은 인용에 의해 본원에 통합된다.

[0001]

[0002]

배경 기술

[0003] 반도체 집적 회로(IC) 산업은 기하급수적 성장을 하여왔다. IC 재료 및 설계의 기술적 진보는 IC의 세대를 만들었고, 각 세대는 이전 세대보다 더 작고 더 복잡한 회로를 갖는다. IC 진화의 과정에서 기능 밀도(즉, 칩 면적당 상호접속 소자의 수)는 일반적으로 증가하고 기하학적 크기(즉, 제조 공정을 이용하여 생성될 수 있는 최소 컴포넌트(또는 선))는 감소하였다. 이러한 규모 축소 공정은 일반적으로 생산 효율을 증가시키고 관련 비용을 저감시킴으로써 이익을 준다. 그러한 규모 축소는 IC의 처리 및 제조의 복잡도를 또한 증가시킨다.

[0004] 일부 IC 설계에서 기술 노드 축소로서 구현되는 한가지 진보는 감소된 피쳐 크기로 소자 성능을 개선하기 위해 전형적인 폴리실리콘 게이트를 금속 게이트로 교체하는 것이었다. 금속 게이트를 형성하는 하나의 공정은 금속 게이트를 "최종"으로 제조하는 교체 게이트 또는 "게이트-최종" 공정이라고 부르고, 이것은 게이트 형성 후에 수행해야 하는 고온 처리를 포함한 후속 공정들의 수를 줄일 수 있다. 그러나 N10, N5 및 그 이상과 같은 진보형 공정 노드에서 특히 규모 축소된 IC 피쳐로 그러한 IC 제조 공정을 구현해야 하는 난제가 있다. 한가지 난제는 교체 후에 금속 게이트를 어떻게 효과적으로 격리시키느냐이다.

발명의 내용

도면의 간단한 설명

[0005] 본 발명은 첨부 도면과 함께 읽을 때 하기의 상세한 설명으로부터 최상으로 이해된다. 산업계의 표준 관례에 따라서, 각종 피쳐는 정확한 축척으로 작도되지 않았고 단지 예시 목적으로 사용된다는 점에 주목해야 한다. 사실, 각종 피쳐들의 치수는 설명을 명확히 하기 위해 임의로 증대 또는 축소될 수 있다.

도 1a는 본 발명의 양태에 따른, 절단 금속 게이트 공정으로 구현된 반도체 구조의 상면도이다.

도 1b 및 1c는 실시형태에 따른, 도 1의 구조의 단면도이다.

도 2a 및 2b는 본 발명의 양태에 따른, 도 1a-1c에 도시된 구조를 형성하는 방법의 흐름도이다.

도 3, 4a, 4b, 5, 6a, 6b, 7a, 7b, 8, 9, 10, 11 및 12는 실시형태에 따른, 도 2a-2b의 방법에 따른 제조 공정 중의 반도체 구조의 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0006] 이하의 설명은 제공되는 발명의 상이한 피쳐들을 구현하기 위한 많은 다른 실시형태 또는 실시예를 제공한다. 컴포넌트 및 배열의 구체적인 예가 본 설명을 단순화하기 위해 이하에서 설명된다. 물론 이 예들은 단순히 예이고 제한하는 것으로 의도되지 않는다. 예를 들면, 이하의 설명에서 제2의 피쳐 위에 제1 피쳐를 형성하는 것은 제1 피쳐와 제2 피쳐가 직접 접촉으로 형성되는 실시형태를 포함할 수 있고, 제1 피쳐와 제2 피쳐가 직접 접촉되지 않도록 제1 피쳐와 제2 피쳐 사이에 추가의 피쳐가 형성되는 실시형태도 또한 포함할 수 있다. 또한, 본 설명에서는 각종 예에서 참조 번호 및/또는 문자를 반복할 수 있다. 이러한 반복은 단순성 및 명확성을 위한 것이고, 여기에서 설명하는 각종 실시형태 및/또는 구성들 간의 관계를 본질적으로 구술하는 것이 아니다.

[0007] 또한, 공간적으로 관계있는 용어, 예를 들면, "아래", "하", "하부", "위", "상부" 등은 도면에 예시된 다른 요소 또는 피쳐들에 대한 하나의 요소 또는 피쳐의 관계를 묘사하기 위한 설명의 용이성을 위해 여기에서 사용된다. 공간적으로 관계있는 용어들은 도면에 도시된 방위 외에 사용 또는 동작 중인 소자의 다른 방위를 포함하는 것으로 의도된다. 장치는 다른 방식으로 방위(90도 또는 다른 방위로 회전)될 수 있고 여기에서 사용하는 공간적으로 관계있는 서술자(descriptor)는 그에 따라서 동일한 방식으로 해석될 수 있다.

[0008] 본 발명은 일반적으로 반도체 소자 및 제조 방법에 관한 것이고, 더 구체적으로, 절단(cut) 금속 게이트 공정을 이용하여 반도체 소자를 제조하는 것에 관한 것이다. 절단 금속 게이트 공정은 금속 게이트(예를 들면, 하이-k 금속 게이트 또는 HK MG)로 더미 게이트 구조(예를 들면, 폴리실리콘 게이트)를 교체한 후에 금속 게이트를 2개 이상의 부분으로 분리하기 위해 금속 게이트를 (예를 들면 에칭 공정에 의해) 자르는(cut) 제조 공정을 말한다. 각 부분은 개별 트랜지스터의 금속 게이트로서 기능한다. 격리 물질이 금속 게이트의 인접 부분들 사이의 트렌치에 후속적으로 충전(fill)된다. 이러한 트렌치는 본 명세서에서 절단 금속 게이트 트렌치 또는 CMG 트렌치라고 부른다. 소자의 규모 축소가 계속됨에 따라서, CMG 트렌치의 중형비(CMG 트렌치의 폭에 대한 CMG 트렌치의 높이의 비율로서 규정됨)는 일반적으로 증가한다. 이 때문에 CMG 트렌치가 수직 측벽을 가질 때 상기 CMG 트렌치를 격리 물질로 완전히 충전하는 것이 어려워진다. 만일 격리 물질에 갭 또는 공극이 존재하면 단락 회로와

같은 회로 결함을 야기할 수 있다. 본 발명의 목적은 상부 개구가 바닥 개구보다 더 넓은 테이퍼형 윤곽(tapered profile)을 가진 CMG 트렌치를 생성하도록 절단 금속 게이트 방법을 고안하는 것이다. 다시 말해서, 이렇게 생성된 CMG 트렌치는 경사진 측면을 갖는다. 이러한 테이퍼형 윤곽은 격리 물질 내에 갭 또는 공극이 없게 CMG 트렌치를 격리 물질로 충전하는데 도움이 된다. 이러한 테이퍼형 윤곽은 중형비가 높은(예를 들면, 5~10) CMG 트렌치의 경우에 특히 유용하다.

- [0009] 도 1a는 반도체 소자(또는 반도체 구조)(100)의 상면도이다. 도 1b는 도 1a의 B-B 선을 따라 취한 소자(100)의 단면도이다. 도 1a 및 도 1b를 참조하면, 소자(100)는 기판(102), 기판(102)으로부터 돌출한 복수의 핀(fin)(104), 기판(102) 위 및 상기 핀(104)들 사이의 격리 구조(106), 및 상기 핀(104)과 격리 구조(106) 위에 배치된 복수의 게이트 스택(112)을 포함한다. 각각의 게이트 스택(112)은 하이-k 유전체 층(108) 및 이 하이-k 유전체 층(108) 위의 도전성 층(110)을 포함한다. 도전성 층(110)은 하나 이상의 금속성 물질의 층을 포함한다. 그러므로 각각의 게이트 스택(112)은 하이-k 금속 게이트(또는 HK MG)(112)라고도 부른다. 게이트 스택(112)은 상기 하이-k 유전체 층(108) 아래에 계면층(도시 생략)을 또한 포함할 수 있다.
- [0010] 상면도로 볼 때, 핀(104)은 X 방향을 따라 길게 배열되고, 게이트 스택(112)은 X 방향에 대략 수직인 Y 방향을 따라 길게 배열된다. 또한, 핀(104)들은 서로 대략 평행하고, 게이트 스택(112)은 서로 대략 평행하다. 소자(100)는 또한 X 방향을 따라 길게 배열되고 각각의 게이트 스택(112)을 적어도 2개의 부분으로 분리하는 유전체 층(114)을 포함한다. 게이트 스택(112)의 각 부분은 각각의 핀(104)과 결합하여 개별적인 핀렛(FinFET) 트랜지스터를 형성한다. 소자(100)는 게이트 스택(112) 및 유전체 층(114) 위에 배치된 하나 이상의 유전체 층(116)을 또한 포함한다. 소자(100)의 각 컴포넌트에 대해서는 뒤에서 자세히 설명한다.
- [0011] 기판(102)은 본 실시형태에서 실리콘 기판이다. 대안적으로, 기판(102)은 게르마늄과 같은 다른 기초 반도체; 실리콘 탄화물, 갈륨 비화물, 갈륨 인화물, 인듐 인화물, 인듐 비화물 및 인듐 안티몬화물을 포함한 화합물 반도체; 실리콘 게르마늄, 갈륨 비소 인화물, 알루미늄 인듐 인화물, 알루미늄 갈륨 비화물, 갈륨 인듐 비화물, 갈륨 인듐 인화물 및 갈륨 인듐 비소 인화물을 포함한 합금 반도체; 또는 이들의 조합을 포함할 수 있다.
- [0012] 핀(104)은 실리콘, 게르마늄, 실리콘 탄화물, 갈륨 비화물, 갈륨 인화물, 인듐 인화물, 인듐 비화물, 인듐 안티몬화물, 실리콘 게르마늄, 갈륨 비소 인화물, 알루미늄 인듐 인화물, 알루미늄 갈륨 비화물, 갈륨 인듐 비화물, 갈륨 인듐 인화물 및 갈륨 인듐 비소 인화물과 같은 하나 이상의 반도체 물질을 포함할 수 있다. 일 실시형태에서, 핀(104)은 실리콘 층과 실리콘 게르마늄 층이 교대로 적층된 것과 같이 2개의 다른 반도체 물질이 교대로 적층된 층들을 포함할 수 있다. 핀(104)은 소자(100)의 성능을 개선하기 위한 도펀트를 추가로 포함할 수 있다. 예를 들면, 핀(104)은 인 또는 비소와 같은 n형 도펀트, 또는 붕소 또는 인듐과 같은 p형 도펀트를 포함할 수 있다.
- [0013] 격리 구조(106)는 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, 플루오르 도핑 실리케이트 글라스(FSG), 로우-k 유전체 물질 및/또는 다른 적당한 절연 물질을 포함할 수 있다. 격리 구조(106)는 얇은 트렌치 격리(STI) 피쳐일 수 있다. 필드 산화물, 실리콘 국부 산화(LOCAL Oxidation of Silicon, LOCOS), 및/또는 다른 적당한 구조와 같은 다른 격리 구조도 가능하다. 격리 구조(106)는 예를 들면 핀(104) 부근에 하나 이상의 열 산화물 라이너 층을 가진 다층 구조를 포함할 수 있다.
- [0014] 하이-k 유전체 층(108)은 하프늄 실리콘 산화물(HfSiO), 하프늄 산화물(HfO₂), 알루미늄(Al₂O₃), 지르콘 산화물(ZrO₂), 란탄 산화물(La₂O₃), 티탄 산화물(TiO₂), 이트륨 산화물(Y₂O₃), 스트론튬 티타네이트(SrTiO₃) 또는 이들의 조합과 같은 하나 이상의 하이-k 유전체 물질(또는 하나 이상의 하이-k 유전체 물질 층)을 포함할 수 있다.
- [0015] 도전성 층(110)은 일함수 금속 층, 도전성 장벽 층 및 금속 충전 층과 같은 하나 이상의 금속 층을 포함한다. 일함수 금속 층은 소자의 유형(PFET 또는 NFET)에 따라 p형 또는 n형 일함수 층일 수 있다. p형 일함수 층은 비제한적으로 티탄 질화물(TiN), 탄탈 질화물(TaN), 루테늄(Ru), 몰리브덴(Mo), 텅스텐(W), 백금(Pt) 또는 이들의 조합의 그룹으로부터 선택된 충분히 큰 유효 일함수를 가진 금속을 포함한다. n형 일함수 층은 비제한적으로 티탄(Ti), 알루미늄(Al), 탄탈 카바이드(TaC), 탄탈 카바이드 질화물(TaCN), 탄탈 실리콘 질화물(TaSiN), 티탄 실리콘 질화물(TiSiN) 또는 이들의 조합의 그룹으로부터 선택된 충분히 낮은 유효 일함수를 가진 금속을 포함한다. 금속 충전층은 알루미늄(Al), 텅스텐(W), 코발트(Co) 및/또는 다른 적당한 물질을 포함할 수 있다.
- [0016] 유전체 층(114)은 실리콘 질화물, 실리콘 산화물, 실리콘 산질화물, 플루오르 도핑 실리케이트 글라스(FSG), 로우-k 유전체 물질 및/또는 다른 적당한 절연 물질과 같은 하나 이상의 유전체 물질을 포함할 수 있다. 특히, 게이트 스택(112)과 물리적으로 접촉하는 유전체 층(114)의 부분은 게이트 스택(112)의 금속 물질과 반응하지 않

는 유전체 물질을 포함한다. 예를 들면, 유전체 층(114)의 상기 부분은 일 실시형태에서 실리콘 질화물을 포함한다.

[0017] 유전체 층(116)은 실리콘 질화물, 실리콘 산화물, 실리콘 산질화물, 플루오르 도핑 실리콘 게이트 글라스(FSG), 로우-k 유전체 물질 및/또는 다른 적당한 절연 물질과 같은 하나 이상의 유전체 물질을 포함할 수 있다.

[0018] 도 1c를 참조하면서 소자(100)에 대하여 더 설명한다. 도 1c에서, 유전체 층(114, 116)은 절단 금속 게이트(CMG) 트렌치(113)의 세부를 설명하기 위해 생략하였다. 이 단면도에서, CMG 트렌치(113)는 게이트 스택(112)을 좌측 부분(112L)과 우측 부분(112R)으로 분리한다. 좌측 부분(112L)은 2개의 핀(104)과 맞물려서 하나의 트랜지스터를 형성하고, 우측 부분(112R)은 2개의 다른 핀(104)과 맞물려서 다른 하나의 트랜지스터를 형성한다. 각종 실시형태에서, 좌측(또는 우측) 부분은 임의의 수의 핀(104)과 맞물려서 트랜지스터를 형성할 수 있다. 좌측 부분(112L)은 우측 부분(112R) 쪽으로 상부로부터 바닥부까지 경사진 측벽(SW1)을 갖는다. 측벽(SW1)은 기판(102)에 수직인 Z 방향과 각도(θ_1)를 형성한다. 우측 부분(112R)은 좌측 부분(112L) 쪽으로 상부로부터 바닥부까지 경사진 측벽(SW2)을 갖는다. 측벽(SW2)은 Z 방향과 각도(θ_2)를 형성한다. CMG 트렌치(113)는 게이트 스택(112)의 좌측 부분과 우측 부분이 서로로부터 완전히 격리되도록 격리 구조(106) 내로 연장한다. 게이트 스택(112)은 게이트 스택(112)과 격리 구조(106) 사이의 계면으로부터 게이트 스택(112)의 상부면까지 측정하였을 때 Z 방향을 따라 높이(H1)를 갖는다. CMG 트렌치(113)는 게이트 스택(112)의 상부면에 상부 개구를 갖고 게이트 스택(112)과 격리 구조(106) 사이의 계면에 바닥 개구를 갖는다. 상부 개구는 폭이 W1이고, 바닥 개구는 폭이 W2이다. CMG 트렌치(113)의 중형비는 H1/W1으로 규정된다.

[0019] 일 실시형태에서, 높이(H1)은 80~140nm의 범위이고, 상부 개구 폭(W1)은 16~30nm의 범위일 수 있다. CMG 트렌치(113)의 중형비는 3~10의 범위, 예를 들면 4~8 또는 5~7의 범위일 수 있다. 높은 중형비에서, 단일 CMG 트렌치(113)가 수직 측벽을 가지면(전형적으로, 금속막의 건식 에칭에 의해 수직 측벽이 생성된다), 기존의 증착 기법으로는 전형적으로 깊고 좁은 트렌치의 바닥부에서 증착이 잘 안되기 때문에 유전체 층(114)으로 CMG 트렌치(113)를 완전하게 충전하는 것이 어렵다. 본 실시형태에서는 CMG 트렌치(113)가 테이퍼형 윤곽을 갖도록, 즉 W1>W2가 되도록 설계 및 가공된다. 실험에 의하면 그러한 테이퍼형 윤곽은 CMG 트렌치(113)에 대한 유전체 층(114)의 충전이 개선되는 것으로 나타났다.

[0020] 각종 실시형태에서, 각각의 각도(θ_1 , θ_2)는 0° 보다 크고(그래서 "경사진" 측벽임) $\tan^{-1}(1/(2 \times AR))$ 보다 작으며, 여기에서 AR은 본 실시형태에서 H1/W1과 동일한 CMG 트렌치(113)의 중형비이다. 단일 2개의 각도(θ_1 , θ_2)가 $\tan^{-1}(1/(2 \times AR))$ 과 같으면, CMG 트렌치(113)는 간신히 격리 구조(106)에 도달한다. 게이트 스택(112)의 좌측 부분과 우측 부분 간의 격리를 보장하기 위해, 2개의 각도(θ_1 , θ_2)는 $\tan^{-1}(1/(2 \times AR))$ 보다 작게 되도록 설계된다. 일 실시형태에서, CMG 트렌치(113)는 각각의 각도(θ_1 , θ_2)가 1~10° (또는 도)의 범위, 예를 들면 1.5~7° 또는 2~5°의 범위로 되도록 설계된다. 그러한 측벽 각은 높은 중형비를 가진 CMG 트렌치(113)에 대한 유전체 물질(114)의 충전에 도움이 되고 효과적인 것으로 밝혀졌다. 실시형태에서, 상기 2개의 각도(θ_1 , θ_2)는 서로 동일할 수도 있고 동일하지 않을 수도 있다.

[0021] 일부 실시형태에서, W2/W1의 비는 유전체 층(114)(도 1b)이 게이트 스택(112)의 좌측 부분과 우측 부분을 완전하게 격리하고 측벽 각(θ_1 , θ_2)이 막 증착을 용이하게 하기 위해 충분히 크게 되도록 0.4~0.8, 예를 들면 0.5~0.7이 되도록 설계된다. 실제로, 상기 측벽 각(θ_1 , θ_2)은 W1, W2 및 H1의 값으로부터 도출될 수 있다.

[0022] 도 2a 및 도 2b는 실시형태에 따른 반도체 소자(100)를 형성하는 방법(200)의 흐름도이다. 방법(200)은 단순히 예이고, 특히 청구범위에서 명시적으로 인용된 것 이상으로 본 발명을 제한하는 것으로 의도되지 않는다. 추가의 동작들이 방법(200)의 전, 중 및 후에 제공될 수 있고, 여기에서 설명하는 일부 동작들이 방법의 다른 실시형태에서는 교체, 제거 또는 이동될 수 있다. 방법(200)은 방법(200)에 따른 제조 단계 중에 반도체 소자(100)의 각종 단면도를 나타내는 도 3~12와 함께 이하에서 설명된다.

[0023] 동작 202에서, 방법(200)(도 2a)은 도 3에 도시된 것처럼 기판(102), 기판(102)으로부터 돌출한 핀(104), 및 기판(102) 위 및 핀(104)들 사이의 격리 구조(106)를 가진 소자 구조(100)를 제공하거나 이러한 소자 구조(100)가 제공된다. 기판(102), 핀(104) 및 격리 구조(106)의 각종 물질은 도 1a~1c와 관련하여 위에서 설명하였다.

[0024] 일 실시형태에서, 기판(102)은 실리콘 웨이퍼와 같은 웨이퍼일 수 있다. 핀(104)은 기판(102)의 전체 면적 위에 하나 이상의 반도체 층을 에피택셜적으로 성장시키고, 그 다음에 개별적인 핀(104)을 형성하도록 패터닝함으로써 형성될 수 있다. 핀(104)은 임의의 적당한 방법에 의해 패터닝될 수 있다. 예를 들면, 핀(104)은 이중 패터

닝 또는 다중 패터닝 공정을 포함한 하나 이상의 포토리소그래피 공정을 이용하여 패터닝될 수 있다. 일반적으로, 이중 패터닝 또는 다중 패터닝 공정은 포토리소그래피와 자기 정렬 공정을 결합하여 예를 들면 다른 경우에 단일의 직접 포토리소그래피 공정을 이용하여 획득할 수 있는 것보다 더 작은 피치를 가진 패턴을 생성할 수 있다. 예를 들면, 일 실시형태에서, 희생 층이 기판 위에 형성되고 포토리소그래피 공정을 이용하여 패터닝된다. 스페이서가 자기 정렬 공정을 이용하여 상기 패터닝된 희생 층과 나란하게 형성된다. 그 다음에 희생 층이 제거되고, 그 다음에 남아 있는 스페이서 또는 맨드렐을 이용하여 초기의 에피택셜 반도체 층을 에칭함으로써 핀(104)을 패터닝할 수 있다. 에칭 공정은 건식 에칭, 습식 에칭, 반응성 이온 에칭(RIE) 및/또는 다른 적당한 공정을 포함할 수 있다. 예를 들면, 건식 에칭 공정은 산소 함유 가스, 플루오르 함유 가스(예를 들면, CF_4 , CF_6 , CH_2F_2 , CHF_3 및/또는 C_2F_6), 염소 함유 가스(예를 들면, Cl_2 , $CHCl_3$, CCl_4 및/또는 BCl_3), 브롬 함유 가스(예를 들면, HBr 및/또는 $CHBr_3$), 요오드 함유 가스, 다른 적당한 가스 및/또는 플라즈마, 및/또는 이들의 조합으로 구현할 수 있다. 예를 들면, 습식 에칭 공정은 묽은 불화수소산(DHF); 수산화칼륨(KOH) 용액; 암모니아; 불화수소산(HF), 질산(HNO_3) 및/또는 아세트산(CH_3COOH)을 포함한 용액; 또는 다른 적당한 습식 에칭액의 에칭을 포함할 수 있다.

[0025] 격리 영역(106)은 하나 이상의 증착 및 에칭 방법에 의해 형성될 수 있다. 증착 방법은 열 산화, 화학적 산화, 및 화학 기상 증착(CVD), 예를 들면 유동성 CVD(FCVD)를 포함할 수 있다. 에칭 방법은 건식 에칭, 습식 에칭 및 화학 기계 평탄화(CMP)를 포함할 수 있다.

[0026] 동작 204에서, 방법(200)(도 2a)은 도 4a 및 도 4b에 도시된 것처럼 핀(104)과 맞물리는 더미(또는 임시) 게이트 구조를 형성한다. 도 4a는 도 1a의 1-1 선을 따라 취한 소자(100)의 단면도이고, 도 4b는 도 1a의 B-B 선을 따라 취한 소자(100)의 단면도이다. 도 4a 및 4b를 참조하면, 더미 게이트는 계면층(150), 전극층(152) 및 2개의 하드 마스크층(154, 156)을 포함한다. 동작 204는 더미 게이트 구조의 측벽 위에 게이트 스페이서(160)를 또한 형성한다.

[0027] 계면층(150)은 실리콘 산화물(예를 들면, SiO_2) 또는 실리콘 산질화물(예를 들면, $SiON$)과 같은 유전체 물질을 포함하고, 화학적 산화, 열 산화, 원자층 증착(ALD), CVD 및/또는 다른 적당한 방법에 의해 형성될 수 있다. 게이트 전극(152)은 다결정 실리콘(폴리-Si)을 포함할 수 있고 저압 화학 기상 증착(LPCVD) 및 플라즈마 강화 CVD(PECVD)와 같은 적당한 증착 공정에 의해 형성될 수 있다. 각각의 하드 마스크 층(154, 156)은 실리콘 산화물 및/또는 실리콘 질화물과 같은 하나 이상의 유전체 물질 층을 포함할 수 있고 CVD 또는 다른 적당한 방법에 의해 형성될 수 있다. 각종 층(150, 152, 154, 156)은 포토리소그래피 및 에칭 공정에 의해 패터닝될 수 있다. 게이트 스페이서(160)는 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, 실리콘 탄화물, 다른 유전체 물질 또는 이들의 조합과 같은 유전체 물질을 포함할 수 있고, 하나 이상의 물질 층을 포함할 수 있다. 게이트 스페이서(160)는 격리 구조(106), 핀(104) 및 더미 게이트 구조(150/152/154/156) 위에 블랭킷으로서 스페이서 물질을 증착함으로써 형성될 수 있다. 그 다음에 상기 스페이서 물질은 격리 구조(106), 하드 마스크 층(156) 및 핀(104)의 상부면을 노출시키도록 이방성 에칭 공정에 의해 에칭된다. 더미 게이트 구조(150/152/154/156)의 측벽 위에 있는 스페이서 물질 부분은 게이트 스페이서(160)가 된다. 인근의 게이트 스페이서(160)는 소자(100)의 S/D 영역에서 핀(104)을 노출시키는 트렌치(158)를 제공한다.

[0028] 동작 206에서, 방법(200)(도 2a)은 도 1a의 1-1 선을 따라 취한 소자(100)의 단면도인 도 5에 도시된 것처럼 소스/드레인(또는 S/D) 피쳐(162), 콘택트 에칭 스톱 층(CESL)(164), 층간 유전체(ILD) 층(166) 및 이 ILD 층(166) 위의 보호 유전체 층(168)을 형성한다. 예를 들면, 동작 206은 트렌치(158) 내의 노출된 핀(104) 내로 리세스를 에칭하고, 리세스 내에 반도체 물질을 에피택셜적으로 성장시킬 수 있다. 반도체 물질은 도 5에 도시된 것처럼 핀(104)의 상부면 위로 상승할 수 있다. 동작 206은 NFET 및 PFET용의 S/D 피쳐(162)를 별도로 형성할 수 있다. 예를 들면, 동작 206은 NFET 용의 n형 도핑된 실리콘으로 또는 PFET용의 p형 도핑된 실리콘 게르마늄으로 S/D 피쳐(162)를 형성할 수 있다. 그 다음에, 동작 206은 S/D 피쳐(162) 위에 CESL(164) 및 ILD 층(166)을 증착할 수 있다. CESL(164)은 실리콘 질화물, 실리콘 산질화물, 산소(O) 또는 탄소(C) 원소가 있는 실리콘 질화물 및/또는 다른 물질을 포함할 수 있고, CVD, PVD(물리 기상 증착), ALD 또는 다른 적당한 방법에 의해 형성될 수 있다. ILD 층(166)은 테트라에틸오소실리케이트(TEOS) 산화물, 비도핑 실리케이트 글라스, 또는 보로포스포실리케이트 글라스(BPSG)와 같은 도핑된 실리콘 산화물, 용융 실리카 글라스(FSG), 포스포실리케이트 글라스(PSG), 붕소 도핑 실리콘 글라스(BSG), 및/또는 다른 적당한 유전체 물질을 포함할 수 있다. ILD 층(166)은 PECVD, FCVD 또는 다른 적당한 방법에 의해 형성될 수 있다. 계속하여, 동작 206은 ILD 층(166)을 에치백하고, 후속 에칭 공정 중에 ILD 층(166)을 보호하기 위해 실리콘 질화물과 같은 질화물을 포함할 수 있는 보호 유전체

층(168)을 증착할 수 있다. 동작 206은 소자(100)의 상부면을 평탄화하고, 하드 마스크 층(154, 156)을 제거하며, 유전체 층(152)을 노출시키기 위해 하나 이상의 CMP 공정을 수행한다.

[0029] 동작 208에서, 방법(200)(도 2a)은 도 6a와 도 6b에 도시된 것처럼 게이트 트렌치(169)를 형성하기 위해 더미 게이트 구조를 제거한다. 도 6a와 도 6b는 각각 도 1a의 1-1 선 및 B-B 선을 따라 취한 소자(100)의 단면도이다. 게이트 트렌치(169)는 핀(104)의 표면 및 게이트 스페이서(160)의 측벽 표면을 노출시킨다. 동작 208은 전극 층(152) 및 계면 층(150)의 물질에 대하여 선택적인 하나 이상의 에칭 공정을 포함할 수 있다. 에칭 공정은 건식 에칭, 습식 에칭, 반응성 이온 에칭 또는 다른 적당한 에칭 방법을 포함할 수 있다.

[0030] 동작 210에서, 방법(200)(도 2a)은 도 7a와 도 7b에 도시된 것처럼 게이트 트렌치(169) 내에 하이-k 금속 게이트(112)를 증착한다. 도 7a와 도 7b는 각각 도 1a의 1-1 선 및 B-B 선을 따라 취한 소자(100)의 단면도이다. 하이-k 금속 게이트(112)는 하이-k 유전체 층(108)과 도전성 층(110)을 포함한다. 하이-k 금속 게이트(112)는 하이-k 유전체 층(108)과 핀(104) 사이에 계면 층(예를 들면, SiO₂)(도시 생략)을 또한 포함할 수 있다. 계면 층은 화학적 산화, 열 산화, 원자층 증착(ALD), 화학 기상 증착(CVD) 및/또는 다른 적당한 방법을 이용하여 형성될 수 있다. 하이-k 유전체 층(108) 및 도전성 층(110)의 물질은 도 1a~1c와 관련하여 위에서 설명하였다. 하이-k 유전체 층(108)은 하이-k 유전체 물질의 하나 이상의 층을 포함할 수 있고, CVD, ALD 및/또는 다른 적당한 방법을 이용하여 증착될 수 있다. 도전성 층(110)은 하나 이상의 일함수 금속 층 및 금속 충전 층을 포함할 수 있고, CVD, PVD, 도금 및/또는 다른 적당한 공정과 같은 방법을 이용하여 증착될 수 있다.

[0031] 동작 212에서, 방법(200)(도 2b)은 도 8에 도시된 것처럼 소자(100) 위에 하나 이상의 하드 마스크 층을 형성한다. 도 8은 이 제조 단계에서 도 1a의 B-B 선을 따라 취한 소자(100)의 단면도이다. 이 예에서는 2개의 하드 마스크 층(170, 172)이 도시되어 있다. 일 실시형태에서, 하드 마스크 층(170)은 티탄 질화물을 포함하고, 하드 마스크 층(172)은 실리콘 질화물을 포함한다. 본 실시형태에서, 하드 마스크 층(170)의 물질은 도전성 층(110)과 잘 접촉하지만 도전성 층(110)과 반응하지 않는 물질로 선택된다. 하드 마스크 층(170, 172)은 CVD, PVD, ALD 또는 다른 적당한 방법을 이용하여 증착될 수 있다.

[0032] 동작 214에서, 방법(200)(도 2b)은 도 9에 도시된 것처럼 패터닝 하드 마스크를 형성하기 위해 상기 하나 이상의 하드 마스크 층을 패터닝한다. 도 9는 이 제조 단계에서 도 1a의 B-B 선을 따라 취한 소자(100)의 단면도이다. 도 9를 참조하면, 하드 마스크 층(170, 172)은 도전성 층(110)을 노출시키는 개구(113)를 제공하도록 패터닝(예를 들면, 에칭)된다. 일 예로서, 동작 214는 포토레지스트 코팅, 노광, 노광후 베이킹 및 현상에 의해 상기 하드 마스크 층(170, 172) 위에 패터닝 포토레지스트를 형성할 수 있다. 패터닝 포토레지스트는 도 1a의 유전체 층(114)의 패터닝에 대응한다. 그 다음에, 동작 214는 개구(113)를 형성하기 위해 상기 패터닝 포토레지스트를 에칭 마스크로서 이용하여 상기 하드 마스크 층(170, 172)을 에칭한다. 에칭 공정은 습식 에칭, 건식 에칭, 반응성 이온 에칭 또는 다른 적당한 에칭 방법을 포함할 수 있다. 패터닝 포토레지스트는 그 다음에 예를 들면 레지스트 스트리핑에 의해 제거된다. 하드 마스크 층(170/172)에서 개구(113)의 측벽은 수직 또는 거의 수직이라는 점에 주목한다.

[0033] 동작 216에서, 방법(200)(도 2b)은 상기 개구(113)를 통하여 하이-k 금속 게이트(112)를 에칭한다. 패터닝 하드 마스크 층(170, 172)은 하이-k 금속 게이트(112)의 나머지를 에칭 공정으로부터 보호한다. 도 10을 참조하면, 동작 216은 개구(113)를 하이-k 금속 게이트(112)를 관통하여 하향으로 격리 구조(106) 내까지 연장시킨다. 특히, 동작 216은 도 1c와 관련하여 위에서 설명한 경사진 측벽(SW1, SW2)을 형성하도록 에칭 공정을 제어한다. 에칭 공정은 하이-k 금속 게이트(112) 내의 각종 층을 에칭하는 하나 이상의 에천트 또는 에천트들의 혼합물을 이용할 수 있다.

[0034] 예시적인 실시형태에서, 도전성 층(110)은 TiSiN, TaN, TiN, W 또는 이들의 조합을 포함한다. 이러한 도전성 층과 하이-k 유전체 층(108)을 에칭하기 위해, 동작 216은 염소, 플루오르, 브롬, 산소, 수소, 탄소 또는 이들의 조합의 원자들을 가진 에천트에 의한 건식 에칭 공정을 적용할 수 있다. 예를 들면, 에천트는 Cl₂, O₂, 탄소와 플루오르 함유 가스, 브롬과 플루오르 함유 가스, 및 탄소와 수소와 플루오르 함유 가스의 가스 혼합물을 가질 수 있다. 이러한 가스 혼합물에 의한 하이-k 금속 게이트(112)의 에칭은 에칭 공정 중에 CMG 트렌치(113)의 측벽 위에 일부 중합체(또는 중합체 물질)이 증착되게 하는 경향이 있다. 이러한 중합체는 측벽 쪽으로의 에칭을 느리게 하고, 이것에 의해 경사진 측벽(SW1, SW2)을 생성한다. 일 예로서, 에천트는 Cl₂, O₂, CF₄, BCl₃ 및 CHF₃의 가스 혼합물을 포함한다. 가스 혼합물의 BCl₃의 양을 조정함으로써, 동작 216은 CMG 트렌치(113)의 측벽에 증착되는 BO_xN_y 중합체의 양을 제어할 수 있고, 이것에 의해 측벽(SW1, SW2)의 기울기를 제어한다. 예를 들면,

동작 216은 증착되는 BO_xN_y 중합체의 양을 증가시키기 위해 가스 혼합물에서 BCl_3 의 비율을 증가시킬 수 있다. 대안적으로 또는 추가적으로, 가스 혼합물의 CHF_3 의 양을 조정함으로써, 동작 216은 CMG 트렌치(113)의 측벽에 증착되는 TiF_x 및 NF_x 중합체의 양을 제어할 수 있고, 이것에 의해 측벽(SW1, SW2)의 기울기를 제어한다. 예를 들면, 동작 216은 증착되는 TiF_x 및 NF_x 중합체의 양을 증가시키기 위해 가스 혼합물에서 CHF_3 의 비율을 증가시킬 수 있다. 또한, 동작 216은 측벽(SW1, SW2)에 증착되는 C_xF_y 중합체의 양을 제어하기 위해 가스 혼합물에서 플루오르에 대한 탄소의 비율을 조정할 수 있다. 예를 들면, 동작 216은 CF_4 를 C_xF_y 로 교체할 수 있고, 여기에서 $x:y$ 는 증착되는 C_xF_y 중합체의 양을 증가시키기 위해 1:4보다 크다(예를 들면, C_4F_6). 전술한 에천트 및 에칭 공정은 위에서 설명한 예시적인 물질 $TiSiN$, TaN , TiN 및 W 로 제한되지 않고 상기 도전성 층(110) 및 하이-k 유전체 층(108)에 적합한 각종 물질에 적용될 수 있다.

[0035] 더 나아가, 동작 216은 전술한 바와 같이 에천트를 제어하는 것에 추가적으로 또는 대안적으로 에칭 바이어스 전압을 또한 제어할 수 있다. (Z 방향을 따르는) 더 높은 에칭 바이어스 전압은 CMG 트렌치(113)에서 더 수직인 측벽을 생성하는 경향이 있고, 더 낮은 에칭 바이어스 전압은 에천트에 의한 하향 이온 충격을 감소시켜서 결과적으로 경사진 측벽을 생성한다. 본 실시형태에서, 동작 216은 50~100V 범위의 에칭 바이어스 전압을 인가할 수 있다. 또한, 동작 216은 본 실시형태에서 5~20mTorr의 압력, 100~200W의 에너지 및 75~125°C의 온도로 에칭 공정을 수행할 수 있다. 각종의 다른 값의 에칭 바이어스 전압, 에칭 압력, 에칭 에너지 및 에칭 온도도 가능하다. 또한, 게이트 스택(112)의 좌측 부분과 우측 부분 간의 격리를 보장하기 위해, 동작 216은 CMG 트렌치(113)를 격리 구조(106) 내로 연장시키기 위해 일부 오버에칭을 수행한다. 이러한 오버에칭은 기관(102)을 노출시키지 않도록 주의깊게 제어된다.

[0036] 동작 218에서, 방법(200)(도 2b)은 도 11에 도시된 것처럼 유전체 층(114)을 형성하기 위해 하나 이상의 유전체 물질로 상기 CMG 트렌치(113)를 충전한다. 게이트 스택(112)의 측벽(도 10의 SW1, SW2)이 금속 물질을 내포하기 때문에, 유전체 층(114)의 적어도 외부(즉, 측벽(SW1, SW2)과 직접 접촉하는 부분)은 산소와 같은 활성 화학 성분이 없다. 본 실시형태에서, 유전체 층(114)의 외부는 실리콘 질화물을 포함하고, 산소 또는 산화물이 없다. 하이-k 유전체 층(108)이 산소를 포함하기 때문에, 일부 산소 성분은 궁극적으로 유전체 층(114)의 일부 내로 확산할 수 있다는 점에 주목한다. 그러나 이러한 확산된 산소는 일반적으로 유전체 층(114)의 하부로 제한된다. 유전체 층(114)은 일부 실시형태에서 그 내부에 일부 산화물을 포함할 수 있다. 대안적으로, 유전체 층(114)은 하나의 균일한 실리콘 질화물 층을 포함할 수 있고 산화물이 없다. 유전체 층(114)은 CVD, PVD, ALD 또는 다른 적당한 방법을 이용하여 증착될 수 있다. 본 실시형태에서, 유전체 층(114)은 CMG 트렌치(113)를 완전히 충전하기 위해 ALD를 이용하여 증착된다.

[0037] 동작 220에서, 방법(200)(도 2b)은 하나 이상의 CMP 공정을 수행하여 과잉 유전체 층(114)(CMG 트렌치(113)의 외측 부분) 및 하드 마스크 층(172, 170)을 제거한다. 일 실시형태에서, 하드 마스크 층(170)은 CMP 공정에 의해 하드 마스크 층(172)을 제거할 때 CMP 스톱으로서 소용된다. 다른 실시형태에서, 동작 220은 도전성 층(110)(뿐만 아니라 유전체 층(114))을 원하는 HK MG 높이까지 리세스할 수 있다. 결과적인 구조는 도 12에 도시하였다.

[0038] 동작 222에서, 방법(200)(도 2b)은 소자(100)의 제조를 완료하기 위한 추가의 단계들을 수행한다. 예를 들면, 방법(200)은 S/D 피쳐(162)(도 7a)와 게이트 스택(112)을 전기적으로 접속하는 콘택트 및 비아를 형성하고, 완전한 IC를 형성하기 위해 각종 트랜지스터를 접속하는 금속 상호접속을 형성할 수 있다.

[0039] 비록 제한하는 의도는 없지만, 본 발명의 하나 이상의 실시형태는 반도체 소자 및 그 형성에 많은 이익을 제공한다. 예를 들면, 본 발명의 실시형태들은 경사진 측벽을 가진 절단 금속 게이트 트렌치를 제공한다. 경사진 측벽은 중형비가 높은 트렌치에 대한 유전체 물질의 충전을 개선한다. 이것은 소규모 소자의 경우에 특히 유용하다. 또한, 본 발명의 실시형태들은 기존의 반도체 제조 공정에 쉽게 통합될 수 있다.

[0040] 예시적인 일 양태에 있어서, 본 발명은 반도체 소자와 관련된다. 소자는 기관과; 상기 기관으로부터 돌출하는 제1핀 및 제2핀과; 제1의 하이-k 금속 게이트(HK MG) 및 제2 HK MG를 포함하고, 상기 제1 HK MG는 상기 제1핀 위에 배치되고 상기 제2 HK MG는 상기 제2핀 위에 배치된다. 상면도로 볼 때, 상기 제1핀과 제2핀은 제1 방향을 따라 길게 배열되고, 상기 제1 및 제2 HK MG는 상기 제1 방향에 대략 수직인 제2 방향을 따라 길게 배열되며, 상기 제1 및 제2 HK MG는 상기 제2 방향을 따라 정렬된다. 상기 제2 방향을 따라 취한 단면도에서, 상기 제1 HK MG는 상기 제2 HK MG 쪽으로 상부로부터 바닥부까지 경사진 제1 측벽을 갖고, 상기 제2 HK MG는 상기 제1 HK MG

쪽으로 상부로부터 바닥부까지 경사진 제2 측벽을 갖는다.

- [0041] 소자의 일 실시형태에서, 상기 제1 측벽은 기관의 법선과 제1 각도를 형성하고, 상기 제1 각도는 1~10도의 범위 내에 있다. 추가의 실시형태에서, 상기 제1 각도는 2~5도의 범위 내에 있다. 다른 실시형태에서, 상기 제2 측벽은 기관의 법선과 제2 각도를 형성하고, 상기 제2 각도는 1~10도의 범위 내에 있다. 예를 들면, 상기 제2 각도는 2~5도의 범위 내에 있다.
- [0042] 일 실시형태에서, 소자는 상기 제1 측벽과 상기 제2 측벽 사이에서 측방향으로 유전체 물질을 또한 포함한다. 추가의 실시형태에서, 상기 유전체 물질은 상기 제1 측벽과 상기 제2 측벽 사이의 스페이스를 완전하게 충전한다.
- [0043] 다른 실시형태에서, 제1 거리는 상기 제1 측벽의 상부와 상기 제2 측벽의 상부 사이이고, 제2 거리는 상기 제1 측벽의 바닥부와 상기 제2 측벽의 바닥부 사이이며, 상기 제1 거리에 대한 상기 제2 거리의 비율은 0.4~0.8의 범위이다. 추가의 실시형태에서, 상기 제1 거리에 대한 상기 제2 거리의 비율은 0.5~0.7의 범위이다.
- [0044] 소자의 일 실시형태에서, 상기 제1 측벽의 상부와 상기 제2 측벽의 상부 사이의 거리에 대한 상기 제1 HK MG의 높이의 비율은 3~10의 범위이다. 예를 들면, 상기 비율은 5~7의 범위이다. 또 다른 실시형태에서, 소자는 상기 제1핀과 상기 제2핀 사이 및 상기 제1 HK MG와 상기 제2 HK MG 아래에 격리 구조를 또한 포함한다.
- [0045] 다른 하나의 예시적인 양태에 있어서, 본 발명은 반도체 소자와 관련된다. 소자는 기관과; 상기 기관으로부터 돌출하는 제1핀 및 제2핀과; 상기 기관으로부터 돌출하는 제3핀 및 제4핀과; 상기 제1핀 및 제2핀 위에 배치된 제1의 하이-k 금속 게이트(HK MG)와; 상기 제3핀 및 제4핀 위에 배치된 제2 HK MG를 포함한다. 상면도로 볼 때, 상기 제1핀, 제2핀, 제3핀 및 제4핀은 제1 방향을 따라 길게 배열되고, 상기 제1 및 제2 HK MG는 상기 제1 방향에 대략 수직인 제2 방향을 따라 길게 배열된다. 상기 제2 방향을 따라 취한 단면도에서, 상기 제1 HK MG는 제1 측벽을 갖고, 상기 제2 HK MG는 상기 제1 측벽의 대향측에 제2 측벽을 가지며, 상기 제1 및 제2 측벽은 기관의 법선과 2개의 각도를 형성하고, 각각의 각도는 $\tan^{-1}(1/(2 \times AR))$ 보다 작으며, 여기에서 AR은 상기 제1 측벽의 상부와 상기 제2 측벽의 상부 사이의 거리에 대한 상기 제1 HK MG의 높이의 비율이다. 상기 제1 측벽과 상기 제2 측벽 사이의 스페이스는 하나 이상의 유전체 물질에 의해 완전하게 점유된다. 일부 실시형태에서, 상기 2개의 각도는 각각 1.5~7도의 범위이다.
- [0046] 소자의 일 실시형태에서, 단면도로 볼 때 제1 거리는 상기 제1 측벽의 상부와 상기 제2 측벽의 상부 사이이고, 제2 거리는 상기 제1 측벽의 바닥부와 상기 제2 측벽의 바닥부 사이이며, 상기 제1 거리에 대한 상기 제2 거리의 비율은 0.4~0.8의 범위이다. 소자의 다른 실시형태에서, 상기 AR은 4~8의 범위이다.
- [0047] 또 다른 양태에 있어서, 본 발명은 방법과 관련된다. 이 방법은 기관, 상기 기관으로부터 돌출하는 핀, 및 상기 기관 위 및 인접 핀들 사이에 격리 구조를 구비한 구조를 제공하는 단계를 포함하고, 상기 격리 구조는 상기 핀들보다 아래에 있다. 상기 방법은 상기 격리 구조 및 상기 핀들 위에 하이-k 유전체 층 및 도전성 층을 포함한 게이트를 형성하는 단계와; 상기 격리 구조를 노출시키도록 2개의 인접하는 핀들 사이의 게이트에 대해 에칭 공정을 수행하여 상기 게이트를 적어도 제1 부분과 제2 부분으로 분리하는 단계를 또한 포함한다. 상기 에칭 공정은 상기 제1 부분의 제1 측벽을 생성하고 대향측에 상기 제2 부분의 제2 측벽을 생성하도록 제어되며, 상기 제1 및 제2 측벽은 바닥 개구보다 더 넓은 상부 개구를 제공한다.
- [0048] 방법의 일 실시형태에서, 상기 에칭 공정은 50~100V 범위의 바이어스 전압에 의한 건식 에칭을 포함하고, 방법의 일 실시형태에서 상기 도전성 층은 텅스텐(W)을 포함하고, 상기 에칭 공정은 C_xF_y 를 함유한 가스 혼합물을 이용하여, 여기에서 x:y는 1:4보다 더 크다.
- [0049] 방법의 일 실시형태에서, 상기 에칭 공정은 Cl_2 , O_2 , 탄소와 플루오르 함유 가스, 브롬과 플루오르 함유 가스, 및 탄소와 수소와 플루오르 함유 가스의 가스 혼합물에 의한 건식 에칭을 포함한다. 방법의 또 다른 실시형태에서, 상기 에칭 공정은 염소, 플루오르, 브롬, 산소, 수소 및 탄소의 원자들을 가진 에천트에 의한 건식 에칭을 포함한다.
- [0050] 지금까지 당업자가 본 발명의 각종 양태를 잘 이해할 수 있을 정도로 몇 가지 실시형태의 피쳐들을 설명하였다. 당업자라면 여기에서 소개한 실시형태의 동일한 목적을 실행하고 및/또는 동일한 장점을 달성하는 다른 공정 및 구조의 설계 또는 수정을 위한 기초로서 본 명세서의 설명을 쉽게 이용할 수 있다는 것을 인식할 것이다. 당업자라면 그러한 등가적인 구성이 본 발명의 정신 및 범위로부터 벗어나지 않는다는 점, 및 본 발명의 정신 및 범위로부터 벗어나지 않고 여기에서 설명한 실시형태의 각종 변경, 치환 및 개조가 가능하다는 점을 또한 인식할

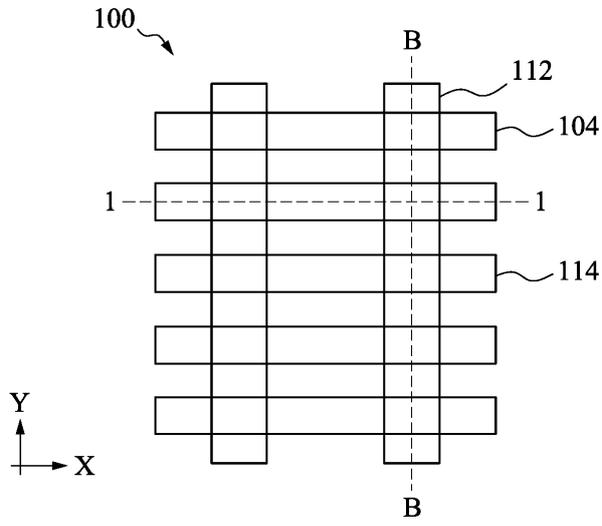
것이다.

- [0051] <부기>
- [0052] 1. 반도체 소자에 있어서,
- [0053] 기관과;
- [0054] 상기 기관으로부터 돌출하는 제1핀 및 제2핀과;
- [0055] 제1 하이-k 금속 게이트(high-k metal gate, HK MG) 및 제2 HK MG- 상기 제1 HK MG는 상기 제1핀 위에 배치되고, 상기 제2 HK MG는 상기 제2핀 위에 배치됨 -
- [0056] 를 포함하고,
- [0057] 상면도로 볼 때, 상기 제1핀과 상기 제2핀은 제1 방향을 따라 길게(lengthwise) 배열되고, 상기 제1 및 제2 HK MG는 상기 제1 방향에 수직인 제2 방향을 따라 길게 배열되며, 상기 제1 및 제2 HK MG는 상기 제2 방향을 따라 정렬되고,
- [0058] 상기 제2 방향을 따라 취한 단면도에서, 상기 제1 HK MG는 상기 제2 HK MG 를 향하여 상부로부터 바닥부까지 경사진 제1 측벽을 갖고, 상기 제2 HK MG는 상기 제1 HK MG를 향하여 상부로부터 바닥부까지 경사진 제2 측벽을 갖는 것인 반도체 소자.
- [0059] 2. 제1항에 있어서, 상기 제1 측벽은 기관의 법선과 제1 각도를 형성하고, 상기 제1 각도는 1도~10도의 범위 내에 있는 것인 반도체 소자.
- [0060] 3. 제2항에 있어서, 상기 제1 각도는 2도~5도의 범위 내에 있는 것인 반도체 소자.
- [0061] 4. 제2항에 있어서, 상기 제2 측벽은 기관의 법선과 제2 각도를 형성하고, 상기 제2 각도는 1도~10도의 범위 내에 있는 것인 반도체 소자.
- [0062] 5. 제4항에 있어서, 상기 제2 각도는 2도~5도의 범위 내에 있는 것인 반도체 소자.
- [0063] 6. 제1항에 있어서, 상기 제1 측벽과 상기 제2 측벽 사이에서 측방향으로 유전체 물질을 더 포함한 반도체 소자.
- [0064] 7. 제6항에 있어서, 상기 유전체 물질은 상기 제1 측벽과 상기 제2 측벽 사이의 스페이스를 완전하게 충전하는 것인 반도체 소자.
- [0065] 8. 제1항에 있어서, 상기 제1 측벽의 상부와 상기 제2 측벽의 상부 사이가 제1 거리이고, 상기 제1 측벽의 바닥부와 상기 제2 측벽의 바닥부 사이가 제2 거리이고, 상기 제1 거리에 대한 상기 제2 거리의 비율은 0.4~0.8의 범위인 것인 반도체 소자.
- [0066] 9. 제8항에 있어서, 상기 제1 거리에 대한 상기 제2 거리의 비율은 0.5~0.7의 범위인 반도체 소자.
- [0067] 10. 제1항에 있어서, 상기 제1 측벽의 상부와 상기 제2 측벽의 상부 사이의 거리에 대한 상기 제1 HK MG의 높이의 비율은 3~10의 범위인 반도체 소자.
- [0068] 11. 제10항에 있어서, 상기 비율은 5~7의 범위 반도체 소자.
- [0069] 12. 제1항에 있어서, 상기 제1핀과 상기 제2핀 사이 및 상기 제1 HK MG와 상기 제2 HK MG 아래에 격리 구조를 더 포함한 반도체 소자.
- [0070] 13. 반도체 소자에 있어서,
- [0071] 기관과;
- [0072] 상기 기관으로부터 돌출하는 제1핀 및 제2핀과;
- [0073] 상기 기관으로부터 돌출하는 제3핀 및 제4핀과;
- [0074] 상기 제1핀 및 상기 제2핀 위에 배치된 제1 하이-k 금속 게이트(high-k metal gate, HK MG)와;
- [0075] 상기 제3핀 및 상기 제4핀 위에 배치된 제2 HK MG
- [0076] 를 포함하고,

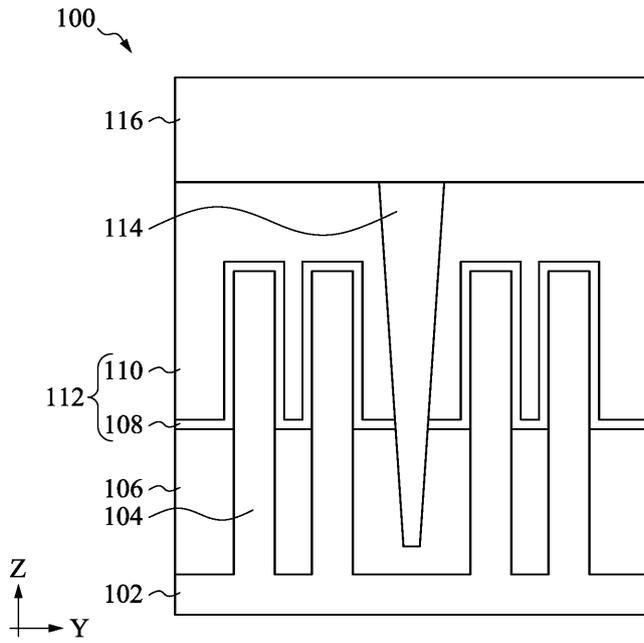
- [0077] 상면도로 볼 때, 상기 제1핀, 상기 제2핀, 상기 제3핀 및 상기 제4핀은 제1 방향을 따라 길게 배열되고, 상기 제1 및 제2 HK MG는 상기 제1 방향에 수직인 제2 방향을 따라 길게 정렬되며,
- [0078] 상기 제2 방향을 따라 취한 단면도에서, 상기 제1 HK MG는 제1 측벽을 갖고, 상기 제2 HK MG는 상기 제1 측벽의 대향측에 제2 측벽을 가지며, 상기 제1 및 제2 측벽은 기관의 법선과 2개의 각도를 형성하고, 각각의 각도는 $\tan^{-1}(1/(2 \times AR))$ 보다 작으며, 여기에서 AR은 상기 제1 측벽의 상부와 상기 제2 측벽의 상부 사이의 거리에 대한 상기 제1 HK MG의 높이의 비율이고,
- [0079] 상기 제1 측벽과 상기 제2 측벽 사이의 스페이스는 하나 이상의 유전체 물질에 의해 완전하게 점유된 것인 반도체 소자.
- [0080] 14. 제13항에 있어서, 단면도로 볼 때, 상기 제1 측벽의 상부와 상기 제2 측벽의 상부 사이가 제1 거리이고, 상기 제1 측벽의 바닥부와 상기 제2 측벽의 바닥부 사이가 제2 거리이고, 상기 제1 거리에 대한 상기 제2 거리의 비율은 0.4~0.8의 범위인 반도체 소자.
- [0081] 15. 제13항에 있어서, 상기 AR은 4~8의 범위인 반도체 소자.
- [0082] 16. 방법에 있어서,
- [0083] 기관, 상기 기관으로부터 돌출하는 핀들, 및 상기 기관 위 및 인접 핀들 사이의 격리 구조- 상기 격리 구조는 상기 핀들보다 아래에 있음 -를 구비한 구조를 제공하는 단계와;
- [0084] 상기 격리 구조 및 상기 핀들 위에 하이-k 유전체 층 및 도전성 층을 포함한 게이트를 형성하는 단계와;
- [0085] 상기 격리 구조를 노출시키도록 2개의 인접하는 핀들 사이의 게이트에 에칭 공정을 수행하여, 상기 게이트를 적어도 제1 부분과 제2 부분으로 분리하는 단계
- [0086] 를 포함하고, 상기 에칭 공정은, 상기 제1 부분의 제1 측벽 및 대향측에 상기 제2 부분의 제2 측벽을 생성하도록 제어되며, 상기 제1 및 제2 측벽은 바닥 개구보다 더 넓은 상부 개구를 제공하는 것인 방법.
- [0087] 17. 제16항에 있어서, 상기 에칭 공정은 50V~100V 범위의 바이어스 전압에 의한 건식 에칭을 포함한 것인 방법.
- [0088] 18. 제16항에 있어서, 상기 도전성 층은 텅스텐(W)을 포함하고, 상기 에칭 공정은 C_xF_y 를 함유한 가스 혼합물을 이용하며, 여기에서 x:y는 1:4보다 더 큰 것인 방법.
- [0089] 19. 제16항에 있어서, 상기 에칭 공정은 Cl_2 , O_2 , 탄소와 플루오르 함유 가스, 브롬과 플루오르 함유 가스, 및 탄소와 수소와 플루오르 함유 가스의 가스 혼합물에 의한 건식 에칭을 포함한 것인 방법.
- [0090] 20. 제16항에 있어서, 상기 에칭 공정은 염소, 플루오르, 브롬, 산소, 수소 및 탄소의 원자들을 가진 에천트에 의한 건식 에칭을 포함한 것인 방법.

도면

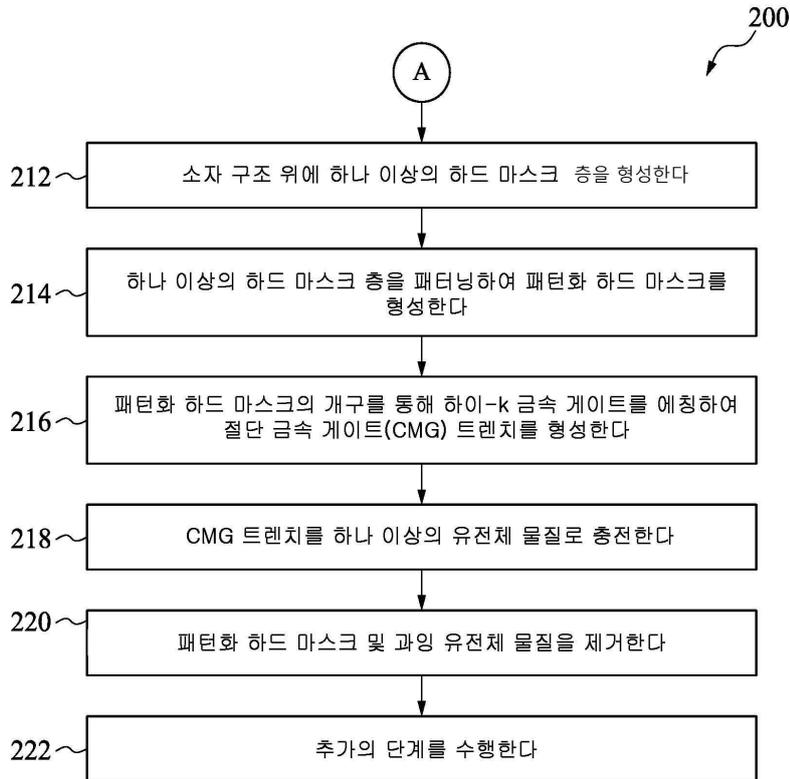
도면1a



도면1b

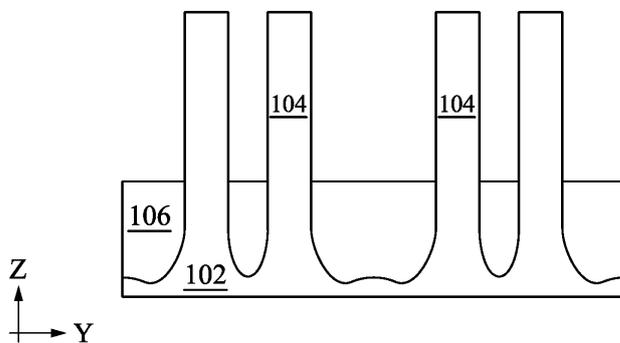


도면2b

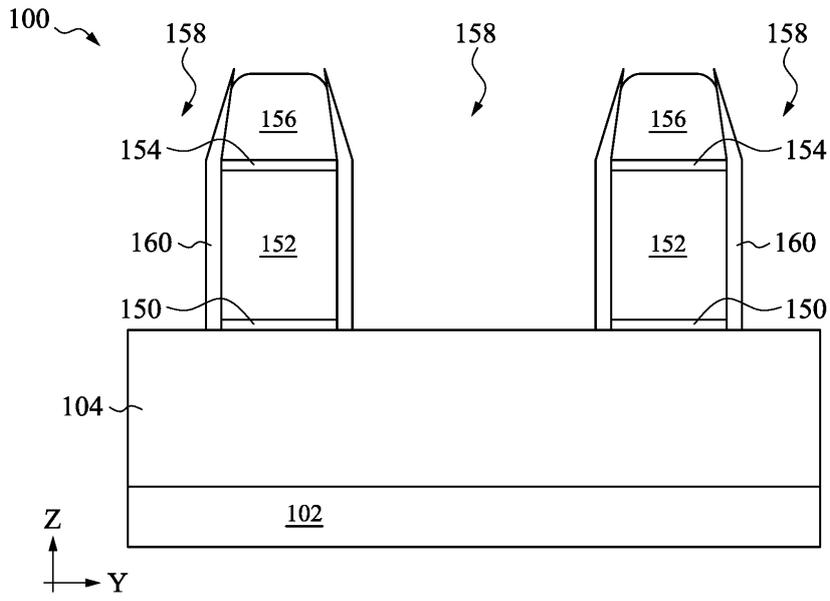


도면3

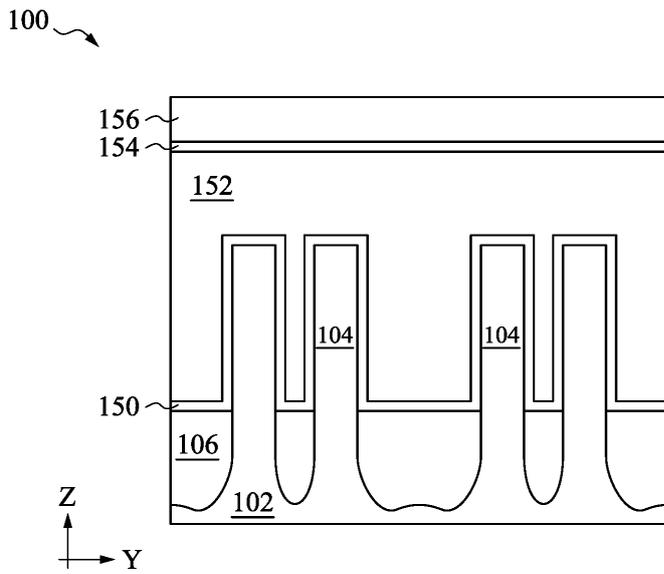
100



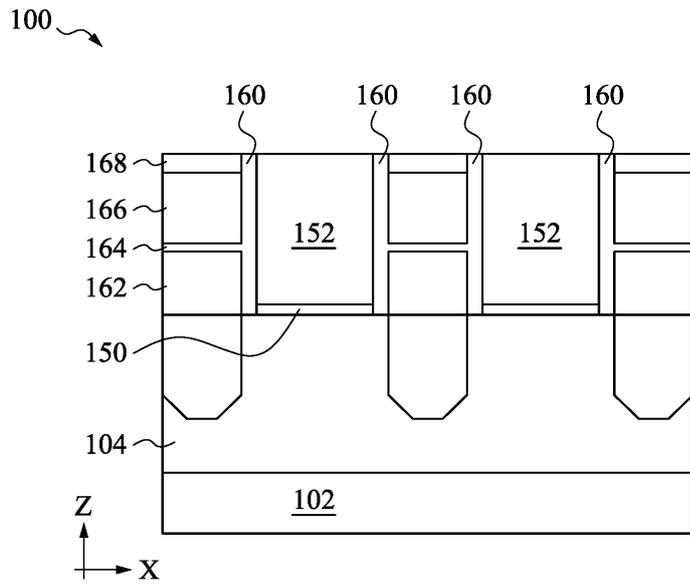
도면4a



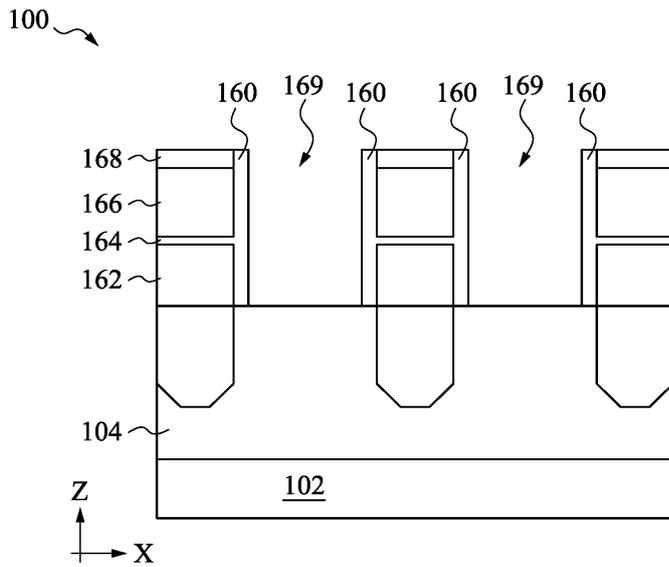
도면4b



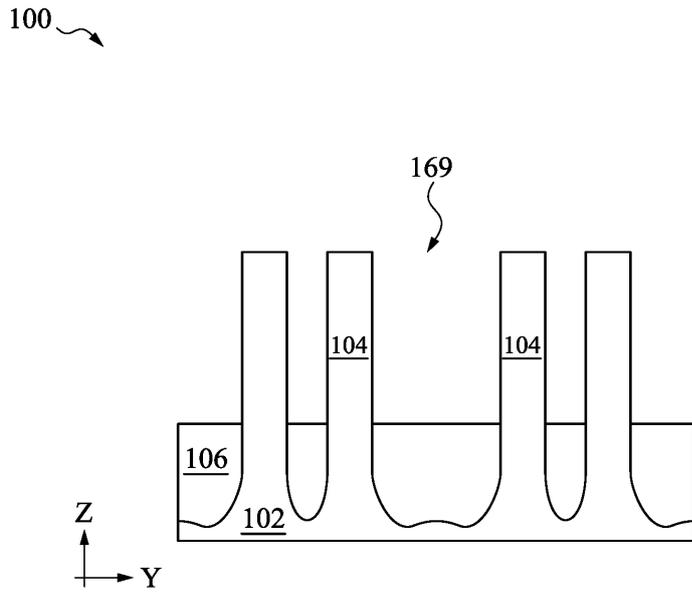
도면5



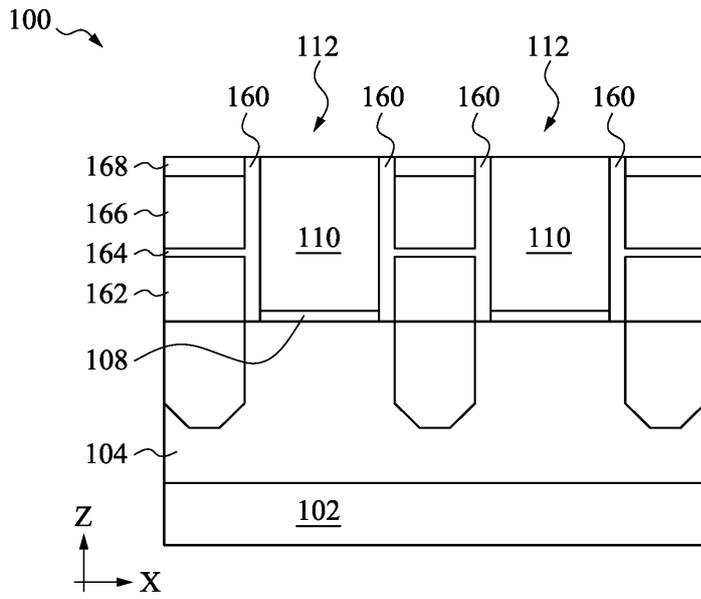
도면6a



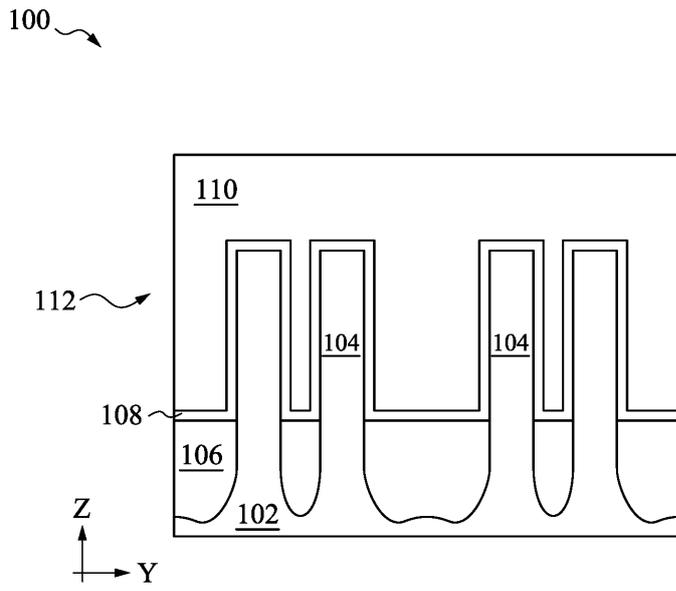
도면6b



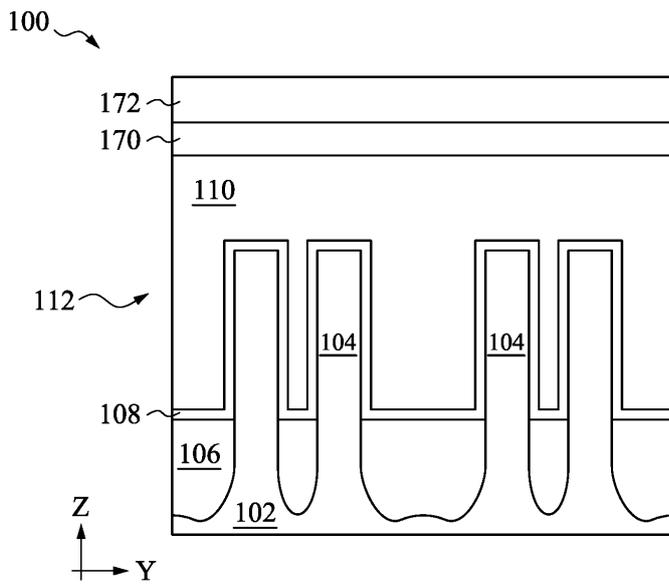
도면7a



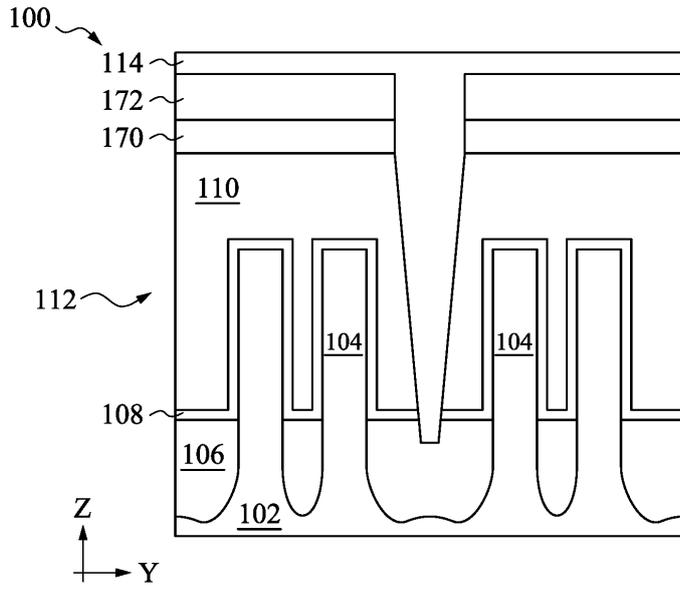
도면7b



도면8



도면11



도면12

