

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4563692号
(P4563692)

(45) 発行日 平成22年10月13日(2010.10.13)

(24) 登録日 平成22年8月6日(2010.8.6)

(51) Int.Cl.	F I	
G09G 3/30 (2006.01)	G09G 3/30	J
G09G 3/20 (2006.01)	G09G 3/20	6 2 3 B
	G09G 3/20	6 1 1 H
	G09G 3/20	6 1 2 F
	G09G 3/20	6 4 1 Q
請求項の数 19 (全 20 頁) 最終頁に続く		

(21) 出願番号	特願2004-28133 (P2004-28133)	(73) 特許権者	302062931 ルネサスエレクトロニクス株式会社 神奈川県川崎市中原区下沼部1753番地
(22) 出願日	平成16年2月4日(2004.2.4)	(74) 代理人	100103894 弁理士 冢入 健
(65) 公開番号	特開2004-258643 (P2004-258643A)	(72) 発明者	佐伯 穰 神奈川県川崎市中原区下沼部1753番地 NECエレクトロ ニクス株式会社内
(43) 公開日	平成16年9月16日(2004.9.16)		
審査請求日	平成19年1月12日(2007.1.12)	審査官	西島 篤宏
(31) 優先権主張番号	特願2003-30091 (P2003-30091)		
(32) 優先日	平成15年2月6日(2003.2.6)		
(33) 優先権主張国	日本国(JP)		

最終頁に続く

(54) 【発明の名称】 表示パネルの電流駆動回路及び電流駆動装置

(57) 【特許請求の範囲】

【請求項1】

カスケード接続された複数の電流駆動回路と、
前記複数の電流駆動回路に前記複数の電流駆動回路の外部から基準電流を流す基準電流源と、を備え、

前記複数の電流駆動回路の各々は、

基準抵抗を含み、かつ、前記基準電流に応答して流れる少なくとも一つの内部基準電流を生成する基準電流発生部を有し、前記少なくとも一つの内部基準電流を所望の数だけ合計して表示パネルの表示素子に出力し、

前記基準電流発生部は、前記基準抵抗の高電位電源側の電圧を出力するボルテージフォロワとしての第1オペアンプと、前記基準抵抗の低電位電源側の電圧を出力するボルテージフォロワとしての複数の第2オペアンプと、を備え、前記基準電流発生部は、前記少なくとも一つの電流調整抵抗の各々の両端に前記第1オペアンプの出力及び前記複数の第2オペアンプの内の該当するものの出力を印加して前記少なくとも一つの内部基準電流の内の該当する内部基準電流を生成する構成である

ことを特徴とする表示パネルの電流駆動装置。

【請求項2】

前記基準電流発生部はさらに少なくとも一つの電流調整抵抗を含み、前記基準抵抗の両端に生じる基準電圧が前記少なくとも一つの電流調整抵抗の各々に印加されて前記少なくとも一つの内部基準電流を発生させる請求項1記載の表示パネルの電流駆動装置。

【請求項 3】

前記複数の電流駆動回路の最高電位側の電流駆動回路の基準抵抗が高電位電源に電圧調整抵抗を通して接続され、前記複数の電流駆動回路の最低電位側の電流駆動回路の基準抵抗が前記基準電流源に接続される請求項 1 又は 2 記載の表示パネルの電流駆動装置。

【請求項 4】

前記複数の電流駆動回路の各々は、前記基準抵抗の高電位電源側に接続される電圧調整回路を有し、前記複数の電流駆動回路をバイアスしたときに、前記複数の電流駆動回路のうちの最高電位側の電流駆動回路の電圧調整回路のみが電圧降下を生じ、残りの電流駆動回路は短絡回路となる構成である請求項 1 又は 2 記載の表示パネルの電流駆動装置。

【請求項 5】

前記電圧調整回路は高電位端子及び低電位端子と、前記高電位端子及び低電位端子の間に接続される降圧用抵抗と、前記降圧用抵抗と並列接続される導電型の異なる第 1 及び第 2 MOS トランジスタとを有し、前記複数の電流駆動回路は、前記複数の電流駆動回路をバイアスしたときに、前記複数の電流駆動回路のうちの最高電位側の電流駆動回路の電圧調整回路の降圧用抵抗のみに電圧降下を生じ、残りの電流駆動回路の電圧調整回路は前記第 1 及び第 2 MOS トランジスタのうち少なくとも一つがオンして短絡回路となる構成である請求項 4 記載の表示パネルの電流駆動装置。

【請求項 6】

前記基準電流発生部はさらに、前記少なくとも一つの電流調整抵抗の各々と前記低電位電源との間に基準電流部を有し、前記複数の第 2 のオペアンプの内の該当するものの出力を前記基準電流部に入力することにより前記少なくとも一つの内部基準電流の内の該当する内部基準電流を前記低電位電源に流す構成である請求項 2 乃至 5 のいずれか 1 項に記載の表示パネルの電流駆動装置。

【請求項 7】

前記複数の電流駆動回路の各々はさらに少なくとも一つの電流駆動部を備え、前記少なくとも一つの電流駆動部の各々は、前記少なくとも一つの内部基準電流の内の一つの内部基準電流をミラーして複数のミラー電流を生成し、前記複数のミラー電流の内の所望数のミラー電流を合計して出力する請求項 1 乃至 6 のいずれか一項に記載の表示パネルの電流駆動装置。

【請求項 8】

前記少なくとも一つの電流駆動部の各々はさらに前記複数のミラー電流に対応する複数のスイッチを備え、前記複数のスイッチを選択してオン/オフさせることにより、前記所望数のミラー電流を合計する請求項 7 記載の表示パネルの電流駆動装置。

【請求項 9】

前記少なくとも一つの電流駆動部の各々はさらに前記複数のミラー電流に対応する複数のスイッチを備え、前記複数のスイッチを選択してオン/オフさせて前記所望数のミラー電流を合計し、前記複数の電流駆動回路の各々は、少なくとも一組の前記所望数のミラー電流を合計して前記表示素子に出力することにより、前記表示素子が発光する輝度を決定する構成である請求項 7 記載の表示パネルの電流駆動装置。

【請求項 10】

3 つのサブ抵抗が前記少なくとも一つの電流調整抵抗の各々として 3 原色に対応するように設けられ、3 原色を選択するスイッチ回路が前記 3 つのサブ抵抗と前記第 1 オペアンプとの間に設けられる請求項 2 乃至 9 のいずれか一項に記載の表示パネルの電流駆動装置。

【請求項 11】

前記スイッチ回路は、前記 3 つのサブ抵抗と前記第 1 オペアンプの出力との間に設けられる第 1 のスイッチ群と、前記 3 つのサブ抵抗と前記第 1 オペアンプの反転入力端子との間に設けられる第 2 のスイッチ群とを有する請求項 10 記載の表示パネルの電流駆動装置。

【請求項 12】

10

20

30

40

50

基準抵抗を含み、かつ、前記基準抵抗に外部から基準電流を流すことにより少なくとも一つの内部基準電流を生成する基準電流発生部を有し、前記少なくとも一つの内部基準電流を所望の数だけ合計して出力し、

前記基準電流発生部は、少なくとも一つの電流調整抵抗と、前記基準抵抗の高電位電源側の電圧を出力するボルテージフォロワとしての第1オペアンプと、前記基準抵抗の低電位電源側の電圧を出力するボルテージフォロワとしての複数の第2オペアンプと、を備え、前記基準電流発生部は、前記少なくとも一つの電流調整抵抗の各々の両端に前記第1オペアンプの出力及び前記複数の第2オペアンプの内の該当するものの出力が印加されて前記少なくとも一つの内部基準電流の内の該当する内部基準電流を生成する構成であることを特徴とする表示パネルの電流駆動回路。

10

【請求項13】

前記基準電流発生部はさらに、前記少なくとも一つの電流調整抵抗の各々と前記低電位電源との間に基準電流部を有し、前記複数の第2のオペアンプの内の該当するものの出力を前記基準電流部に入力することにより前記少なくとも一つの内部基準電流の内の該当するものの内部基準電流を前記低電位電源に流す構成である請求項12記載の表示パネルの電流駆動回路。

【請求項14】

さらに少なくとも一つの電流駆動部を備え、前記少なくとも一つの電流駆動部の各々は、前記少なくとも一つの内部基準電流の内の一つの内部基準電流をミラーして複数のミラー電流を生成し、前記複数のミラー電流の内の所望数のミラー電流を合計して出力する請求項12又は13記載の表示パネルの電流駆動回路。

20

【請求項15】

前記少なくとも一つの電流駆動部の各々はさらに前記複数のミラー電流に対応する複数のスイッチを備え、前記複数のスイッチを選択してオン/オフさせることにより、前記所望数のミラー電流を合計する請求項14記載の表示パネルの電流駆動回路。

【請求項16】

3つのサブ抵抗が前記少なくとも一つの電流調整抵抗の各々として3原色に対応するように設けられ、3原色を選択するスイッチ回路が前記3つのサブ抵抗と前記第1オペアンプとの間に設けられる請求項12乃至15のいずれか1項に記載の表示パネルの電流駆動回路。

30

【請求項17】

第1端子及び第2端子と、前記第1端子及び前記第2端子との間に接続され、基準電流源が生成する基準電流が入力される第1抵抗と、前記基準電流にตอบสนองして第1電流を生成する電流発生回路と、を備え、

前記電流発生回路は、第2抵抗と、前記第1抵抗の一端に現れる電圧にตอบสนองし、前記第2抵抗の一端に駆動電圧を印加する電圧印加回路と、前記第1抵抗の他端に現れる電圧にตอบสนองし、前記第2抵抗の他端を駆動して前記第1電流を前記第2抵抗に流す第1駆動回路と、を含み、

前記第2抵抗の一端には前記第1抵抗の一端の電圧が与えられ、前記第2抵抗の他端には前記第1抵抗の他端の電圧が与えられることを特徴とする装置。

40

【請求項18】

前記電流発生回路はさらに、一端に前記駆動電圧が印加される第3抵抗と、前記第1抵抗の他端に現れる前記電圧にตอบสนองし、前記第3抵抗を駆動して第2電流を前記第3抵抗に流す第2駆動回路と、を備える請求項17記載の装置。

【請求項19】

出力端子と、前記第1駆動回路と前記出力端子との間に接続されて起動すると前記第1電流を前記出力端子に供給する第1スイッチと、前記第2駆動回路と前記出力端子との間に接続されて起動すると前記第2電流を前記出力端子に供給する第2スイッチと、を備える請求項18記載の装置。

50

【発明の詳細な説明】

【技術分野】

【0001】

本発明は表示パネルの電流駆動回路及び電流駆動装置に係わり、特に表示装置上における表示素子の発光輝度の均一化を改善した表示パネルの電流駆動回路及び電流駆動装置に関する。

【背景技術】

【0002】

近年、半導体素子の微細化技術の進展に伴い、その半導体素子で構成するLSIも大規模化している。例えば、液晶等の表示装置の分野では、駆動回路のデータ線駆動用出力回路が、1画素あたり8ビットのデジタルデータを受け取り、256階調の液晶駆動出力電圧を発生し、1,677万色表示の液晶パネルを実現する。

10

【0003】

すなわち、アナログの画像をデジタル化する際の濃度数を階調で示すのに8ビットまたは16ビットのビット数が用いられている。モノクロの画像の場合は、最小の階調としては画素の明るさを黒“0”か、白“1”の1ビットの情報で表した2階調の表現となる。

【0004】

一方、カラーの場合は、周知のように赤色R、緑色G、青色Bからなる3原色の重ね合わせで実現する。例えば、赤R、緑G、青Bをそれぞれ256階調で表現する場合、全体では $256 \times 256 \times 256 = 1,677$ 万色を表示することが可能となる。

20

【0005】

このような表示パネルの駆動回路に用いられる駆動手段は、その一例が特許文献1に記載されている。同公報記載の従来の電流駆動手段は、図14に示すように複数の電流駆動ICを繋ぐ回路構成となっている。図14を参照すると、カレントミラーを定電流源に用いた複数の電流駆動IC(Integrated Circuit:以下においては電流駆動ICは駆動電流回路とも記載する)1~4と基準電流源5とを、高電位電源および低電位電源間に挿入し、内蔵するカレントミラーをカスケードに繋いで、それぞれの電流駆動IC内に均一な電流を供給している。

【0006】

上述した電流駆動IC内のカレントミラーをMOSトランジスタで構成した場合、MOSトランジスタのVTばらつき等から電流駆動ICの数が多いほどチップ間の電流ばらつきは増加する。

30

【0007】

一方、他の例が特許文献2に記載されており、同公報には、図15に示す駆動手段が記載されている。図15を参照すると、この駆動手段は電流出力部22及びシンク電流調節部23とを備える。電流出力部22は、互いに異なるリファレンス電流源I1, I2, ..., Inと、そのリファレンス電流源I1, I2, ..., Inをそれぞれ受けるとともに、出力端が共通接続され制御信号D1, D2, ..., Dnで出力レベルが決定される複数のスイッチSW1, SW2, ..., SWnとを有し、リファレンス電流源I1, I2, ..., Inを組み合わせて特定のレベルの電流を出力する。シンク電流調節部23は、スイッチSW1, SW2, ..., SWnから出力される特定レベルのリファレンス電流を受けてシンク電流のレベルを調整し、各画素に接続されたデータラインに特定のシンク電流を送出する。

40

【0008】

この例は一般的な電流駆動回路であり、例えばnビット階調であればI1~Inのバイナリーウェートの定電流を組み合わせることで特定レベルの電流を供給している。

【0009】

しかし、バイナリーウェートの定電流の電流駆動回路では、隣接する定電流の大きさが2倍異なるため出力電流を単調増加させた場合、単調増加性が悪い。従って、電流値を高分解能で増減させることができず、駆動電流を高階調化するのが難しい。また、この例で

50

はデジタル信号に対応する出力電流にガンマ補正をかけることができない。

【 0 0 1 0 】

さらに他の従来例が特許文献 3 に記載されている。この画像表示手段は、駆動電流の電流値と電流パルス幅の両方を調整することで、デジタル信号に対応する駆動電流にガンマ補正 ($\gamma = 2.0$) をかけている。しかし、低階調時は電流パルス幅が小さくなってしまい、発光素子を所望の輝度に駆動できる電流を発光素子に供給できない可能性がある。

【 0 0 1 1 】

【特許文献 1】特開 2 0 0 1 - 4 2 8 2 7 号公報

【特許文献 2】特開 2 0 0 2 - 2 4 4 6 1 8 号公報

【特許文献 3】特開 2 0 0 1 - 3 5 0 4 3 9 号公報

10

【発明の開示】

【発明が解決しようとする課題】

【 0 0 1 2 】

上述したように従来の表示パネルの駆動手段は、特許文献 1 の場合、複数の電流駆動 IC 1 ~ IC 4 をカレントミラーで繋いで、それぞれの電流駆動 IC 内に均一な電流を供給しているが、カレントミラーを MOS トランジスタで構成した場合、MOS トランジスタの VT ばらつき等から電流駆動 IC の数が多いほどチップ間の電流ばらつきは増加する欠点がある。

【 0 0 1 3 】

また、特許文献 2 の場合、バイナリーウェートの定電流を組み合わせると出力電流の単調増加性が悪くなるため、特定レベルの電流を高階調化するのが難しい。またデジタル信号に対応する出力電流に補正をかけることが出来ない欠点がある。

20

【 0 0 1 4 】

さらに、特許文献 3 の場合、駆動電流の電流値と電流パルス幅の両方を調整することで、デジタル信号に対応する駆動電流に補正をかけているが、駆動電流が微小となると MOS トランジスタでは応答速度が低下する欠点がある。

【課題を解決するための手段】

【 0 0 1 5 】

本発明の目的は、上述した従来の欠点に鑑みなされたものであり、表示パネルの複数の電流駆動 IC 内に、基準電流源を基準とした均一な電流を取り込み、電流駆動 IC から高精度な駆動電流を表示パネルへ出力することが出来、かつ駆動電流に補正をかけることが出来る駆動電流装置を提供することにある。

30

【 0 0 1 6 】

本発明の表示パネルの電流駆動装置は、カスケード接続された複数の電流駆動回路と、前記複数の電流駆動回路に前記複数の電流駆動回路の外部から基準電流を流す基準電流源と、を備え、前記複数の電流駆動回路の各々は、基準抵抗を含み、かつ、前記基準電流に応答して流れる少なくとも一つの内部基準電流を生成する基準電流発生部を有し、前記少なくとも一つの内部基準電流を所望の数だけ合計して表示パネルの表示素子に出力することを特徴とする。さらに、上記表示パネルの電流駆動装置において、前記基準電流発生部はさらに少なくとも一つの電流調整抵抗を含み、前記基準抵抗の両端に生じる基準電圧が前記少なくとも一つの電流調整抵抗の各々に印加されて前記少なくとも一つの内部基準電流を発生させる。

40

【 0 0 1 7 】

本発明の表示パネルの電流駆動装置の第 1 適用形態は、前記複数の電流駆動回路の最高電位側の電流駆動回路の基準抵抗が高電位電源に電圧調整抵抗を通して接続され、前記複数の電流駆動回路の最低電位側の電流駆動回路の基準抵抗が前記基準電流源に接続される。

【 0 0 1 8 】

本発明の表示パネルの電流駆動装置の第 2 適用形態は、前記複数の電流駆動回路の各々は、前記基準抵抗の高電位電源側に接続される電圧調整回路を有し、前記複数の電流駆動

50

回路をバイアスしたときに、前記複数の電流駆動回路のうちの最高電位側の電流駆動回路の電圧調整回路のみが電圧降下を生じ、残りの電流駆動回路は短絡回路となる構成である。

【0019】

本発明の表示パネルの電流駆動回路は、基準抵抗を含み、かつ、前記基準抵抗に外部から基準電流を流すことにより少なくとも一つの内部基準電流を生成する基準電流発生部を有し、前記少なくとも一つの内部基準電流を所望の数だけ合計して出力する特徴とする。

【0020】

本発明の表示パネルの電流駆動回路の第1適用形態は、前記基準電流発生部は少なくとも一つの電圧調整抵抗を含み、前記基準抵抗の両端に生じる基準電圧を前記少なくとも一つの電圧調整抵抗の各々に印加することにより前記少なくとも一つの内部基準電流を発生させ、前記基準電流発生部はさらに、前記基準抵抗の高電位電源側の電圧を出力するボルテージフォロワとしての第1オペアンプと、前記基準抵抗の低電位電源側の電圧を出力するボルテージフォロワとしての複数の第2オペアンプと、を備え、前記基準電流発生部は、前記少なくとも一つの電圧調整抵抗の各々の両端に前記第1オペアンプの出力及び前記複数の第2オペアンプの内の該当するものの出力が印加されて前記少なくとも一つの内部基準電流の内の該当する内部基準電流が生成される構成であり、前記基準電流発生部はさらに、前記少なくとも一つの電圧調整抵抗の各々と前記低電位電源との間に基準電流部を有し、前記複数の第2オペアンプの内の該当するものの出力を前記基準電流部に入力することにより前記少なくとも一つの内部基準電流の内の該当するものの内部基準電流を前記低電位電源に流す構成である。

【0021】

本発明の表示パネルの電流駆動回路の第2適用形態は、さらに少なくとも一つの電流駆動部を備え、前記少なくとも一つの電流駆動部の各々は、前記少なくとも一つの内部基準電流の内の一つの内部基準電流をミラーして複数のミラー電流を生成し、前記複数のミラー電流の内の所望数のミラー電流を合計して出力し、前記少なくとも一つの電流駆動部の各々はさらに前記複数のミラー電流に対応する複数のスイッチを備え、前記複数のスイッチを選択してオン/オフさせることにより、前記所望数のミラー電流を合計し、さらに、前記基準電流発生部はさらに少なくとも一つの電圧調整抵抗を含み、前記基準抵抗の両端に生じる基準電圧を前記少なくとも一つの電圧調整抵抗の各々に印加することにより前記少なくとも一つの内部基準電流を発生させ、前記少なくとも一つの電流駆動部の各々は前記複数のスイッチを選択してオン/オフさせることにより、前記電流駆動回路が少なくとも一組の前記所望数のミラー電流を合計した電流を合計して出力することができる。

【発明の効果】

【0022】

このような構成とすれば、複数の電流駆動回路の各々に含まれる電圧調整抵抗の抵抗値を変えることにより、表示パネルの表示素子に流す駆動電流を表示パネルの駆動電流対入力信号特性（ガンマ特性）に近似させることができる。また、本発明の表示パネルの電流駆動装置の第1, 2適用形態を用いることにより、複数の電流駆動回路の最高電位側の電流駆動回路に含まれる電圧調整抵抗に基準抵抗に生じる基準電圧を確実に印加することができ、複数の電流駆動回路に含まれる電圧調整抵抗に生じる電圧間のばらつきを小さくすることができる。

【発明を実施するための最良の形態】

【0023】

(実施例1)

まず、本発明の概要を述べる。図1は、本発明による電流駆動装置と後述する本発明の電流駆動ICと表示パネルとの関係を示している。図1のように、本発明による電流駆動IC、IC1～IC4はそれぞれ基準抵抗 R_r を有し、これらの抵抗は直列接続され、さらに1つの外付け基準電流源5に接続される。これらの電流駆動IC、IC1～IC4内の2端子101、102間にそれぞれ基準抵抗 R_r を設けることにより、外付け基準電流

源 5 が流す基準電流 I_{Ref} により基準抵抗 R_r に電圧降下 V_R を生じさせて表示装置上における表示素子の発光輝度を均一化させる。

【0024】

図示しないが、表示パネルの周辺には、例えば液晶表示パネルであれば、液晶パネルを駆動するための駆動装置として、駆動信号をライン毎に出力してソース線を駆動するためのソースドライバと、複数のソース線を時分割で駆動するためにゲート線を駆動するゲートドライバとが配置されている。

【0025】

本発明の電流駆動装置は、複数の電流駆動 I_C 、 $I_C1 \sim I_C4$ に含まれている基準抵抗 R_r と外付けした基準電流源 5 とをカスケード接続し、基準電流（リファレンス） I_{Ref} を各抵抗 R_r に流すことによって各抵抗 R_r に電圧降下 V_R を生じさせる。この電圧降下 V_R を利用して、各電流駆動 $I_C1 \sim I_C4$ 内に基準電流源 5 を基準とした均一な電流を取り込むことができる。

10

【0026】

また、この回路を利用することで、電流駆動 $I_C1 \sim I_C4$ から高精度な駆動電流を表示パネル 6 へ出力することができ、かつ駆動電流にガンマ補正をかけることができる。

【0027】

まず、本発明の第 1 の実施形態を図面を参照しながら説明する。

【0028】

図 2 に第 1 の実施の形態における電流駆動 I_C の構成を示す。図 2 を参照すると、本発明の電流駆動装置は、電流駆動 $I_C1 \sim I_C4$ と基準電流源 5 が高電位電源 V_{DD} および低電位電源 GND 間にカスケードに接続されている。従って、それぞれに内蔵した高精度（相対精度 0.5% 以下）の基準抵抗 R_r 、基準電流源 5 もカスケード接続となり、電流駆動 $I_C1 \sim I_C4$ の基準抵抗 R_r に高電位電源 V_{DD} から基準電流 I_{Ref} を流している。

20

【0029】

図 3 に電流駆動 I_C の構成を示す。図 3 を参照すると、電流駆動 I_C は、基準抵抗 R_r 、オペアンプ 111、112、電流調整抵抗 R 、基準 MOS トランジスタ 13、14（基準電流部を構成する）を備え、これらの素子が基準電流発生部を構成する。基準抵抗 R_r は、端子 101 および 102 間に接続されて高電位電源 V_{DD} を分圧する。オペアンプ 111 は、ボルテージフォロワで使用し、基準抵抗 R_r の高電位電源側の電圧 V_1 を非反転入力端子（+）に入力し、その電圧 V_1 と等しい電圧を電圧 V_3 として出力する。出力電圧 V_3 は、オペアンプ 111 からの内部基準電流 I が電流調整抵抗 R に流れることにより電圧 V_4 となる。

30

【0030】

オペアンプ 112 は、基準抵抗 R_r の低電位電源 GND 側の電圧 V_2 を反転入力端子（-）に入力し、その電圧を電流調整抵抗 R の低電位側に出力する。従って、電流調整抵抗 R の両端には基準抵抗 R_r に印加される電圧にほぼ等しい電圧が印加され、内部基準電流 I が基準 MOS トランジスタ 13、14 に流れる。

【0031】

ここで、オペアンプ 111 の非反転入力端子（+）の V_1 と反転入力端子（-）の V_3 と、オペアンプ 112 の反転入力端子（-）の V_2 と非反転入力端子（+）の V_4 とは、それぞれイマジナリーショートとなって等しくなる。

40

【0032】

よって、 $V_1 = V_3$ 、 $V_2 = V_4$ となり、抵抗 R と抵抗 R_r の両端にかかる電圧が等しくなるので、

$$I = I_{REF} \times (R_r / R) \cdots (1)$$

となる。式（1）より、電流駆動 $I_C1 \sim I_C4$ に基準電流 I_{Ref} を基準とした内部基準電流 I を取り出すことができる。

【0033】

50

さらに図3を参照して、抵抗Rおよび抵抗R_rの抵抗値の差 Rと、オペアンプ111およびオペアンプ112のオフセット電圧 V_{os}とをそれぞれ考慮すると、電流Iの基準電流I_{Ref}からのずれ Iは、

【0034】

【数1】

$$\Delta I = \sqrt{\left(\frac{\Delta R \times I}{R}\right)^2 + 2 \times \left(\frac{\Delta V_{os}}{V_r} \times I\right)^2} \quad \dots(2)$$

【0035】

となる。ここではR = R_rつまりI = I_{Ref}としている。

10

【0036】

I = 10 μA、R = 200 k、R = 1 k、V_{os} = 5 mVとすると、I = 0.06 μAとなり、電流ばらつきは0.6%となる。

【0037】

しかし、基準電流I_{Ref}に対する電流ばらつきは、どの電流駆動I_Cでも同じなので、電流駆動I_{C1} ~ I_{C4}の電流Iおよび基準電流I_{Ref}の電流ばらつきを同程度にすることができる。

【0038】

一方、従来の技術で述べた特開2001-42827号公報では、図14に示すように、複数の電流駆動I_Cをカレントミラーで繋いでいるため(カレントミラー比は1:1である)、基準電流源I_{REF}から最も離れている電流駆動I_{C4}の電流ばらつき I₄が一番大きい。

20

【0039】

つまり、I₁ < I₂ < I₃ < I₄となり、電流駆動I_Cの数が多いほど電流ばらつきは大きくなる。

【0040】

また、図3において、オペアンプ111、オペアンプ112に周知のオフセットキャンセル回路を加えれば、式(2)に示すV_{OS} = 0Vとなるため、電流ばらつき Iをさらに低減することができる。

【0041】

30

さらに、式(2)から、オペアンプ111、オペアンプ112にオフセットキャンセル回路を追加することで、図3における電圧降下V_rが電流ばらつき Iへ影響しなくなる。従って、抵抗R_rを小さくし電圧降下V_rを小さくすることができる。

【0042】

つまり、図3におけるオペアンプ111、オペアンプ112にオフセットキャンセル回路を加えることで、抵抗R_rでの電圧降下V_rが小さくでき、より多くの電流駆動I_Cをカスケード接続することができる。

【0043】

なお、上述した第1の実施形態の電流駆動装置では、図2における電流駆動I_{C1} ~ I_{C4}内のオペアンプ111、オペアンプ112の動作電源を高電位電源V_{DD}とし、図3における電流駆動I_Cを図2の電流駆動I_{C1} ~ I_{C4}に適用するものとする。この場合、図2の電流駆動I_{C4}におけるV₁電圧は高電位電源V_{DD}となる。

40

【0044】

図2の電流駆動I_{C4}におけるオペアンプ111の動作電源は高電位電源V_{DD}であり、オペアンプ11の入力端子V₁ = V_{DD}である。よって、理想的にはV₃(オペアンプ111の出力端子電圧) = V₁ = V_{DD}の等式が成り立つ。しかしながら実際には、オペアンプの出力トランジスタに電流を流すことで電流調整抵抗Rに電流を供給するので出力トランジスタの電圧降下が生じ、V₃ < V_{DD} = V₁の関係が成立する。従って、等式I = I_{Ref}は成立しない。ただし、駆動能力の大きい出力トランジスタを有するオペアンプを用いれば、出力トランジスタの電圧降下を非常に小さくすることができるためV₃

50

$VDD = V1$ とすることも可能である。しかしこの場合にはオペアンプの出力トランジスタが非常に大きくなってしまい、消費電流も大きくなる。

【0045】

上記の問題を解決するために、図2に示すように高電位電源 VDD と電流駆動 $IC4$ との間のA部に抵抗を挿入する。ここでは例えば 500 mV 程度の電圧降下が得られればよいので、流れる電流値にもよるが、 $50\text{ k} \sim 100\text{ k}$ 程度の抵抗値をもつ抵抗を直列接続することで $V1 < VDD$ となり、図2の電流駆動 $IC4$ において $V1 = V3 < VDD$ 、すなわち $I = I_{Ref}$ とすることができる。

【0046】

よって、図2における電流駆動 $IC1 \sim IC4$ 内のオペアンプ11の電源が高電位電源 VDD であっても、図2のA部に適当な値の抵抗を直列に接続することで、オペアンプ11のイマジナリーショートが成り立つよう動作するため、電流駆動 $IC1 \sim IC4$ 内に電流 $I = I_{Ref}$ を供給することができる。

(実施例2)

【0047】

次に、第2の実施形態を図面を参照しながら説明する。

【0048】

上述した第1の実施形態において図2のA部に外付け抵抗を付けない場合、電流駆動 $IC1 \sim IC4$ のB部に電圧降下調整回路7を搭載する必要がある。図4に電圧降下調整回路7の構成を示す。電圧降下調整回路7は、第1のPチャンネル型MOSトランジスタ71、定電流源72、インバータ73、第2のPチャンネル型MOSトランジスタ74、第3のPチャンネル型MOSトランジスタ75、及び降圧用抵抗 Rv を備える。第1のPチャンネル型MOSトランジスタ71および定電流源72は高電位電源 VDD 及び低電位電源 GND 間にカスケード接続される。第2のPチャンネル型MOSトランジスタ74は、ソースがPチャンネル型MOSトランジスタ71のゲートと降圧用電圧入力端子 VIN とに共通接続され、ドレインが降圧電圧出力端子 $VOUT$ に共通接続されるとともに、ゲートにはPチャンネル型MOSトランジスタ71のドレインがインバータ73を介して接続される。第3のPチャンネル型MOSトランジスタ75は、ゲートが高電位電源 VDD に接続される。降圧用抵抗 Rv は、降圧用電圧入力端子 VIN および降圧電圧出力端子 $VOUT$ 間に接続される。

【0049】

次にこの電圧降下調整回路7の動作を説明する。

【0050】

VIN 端子の電圧 = $VDD (= 10\text{ V})$ 、 $VOUT$ 端子の電圧 = $VDD - 2\text{ V}$ と仮定すると、カスケード接続された電流駆動 $IC1 \sim IC4$ のうち電流駆動 $IC4$ は、Nチャンネル型MOSトランジスタ75はオン(導通)せず、Pチャンネル型MOSトランジスタ71もオンしないため、Pチャンネル型MOSトランジスタ73の入力端子は論理レベルのロウレベル $L (0\text{ V})$ になり、Pチャンネル型MOSトランジスタ74のゲートはハイレベル $H (VDD)$ になるので、Pチャンネル型MOSトランジスタ74もオンしない。

【0051】

つまり、電流駆動 $IC4$ ではどのMOSトランジスタもオンしないので電流は抵抗 Rv を通り、 VIN 端子 - $VOUT$ 端子間に $Rv \times I$ の電圧降下が生じる。

【0052】

電流駆動 $IC3$ になると、 VIN 端子の電圧 = $VDD - 2\text{ V}$ 、 $VOUT$ 端子の電圧 = $VDD - 4\text{ V}$ となるのでPチャンネル型MOSトランジスタ71がオンし、Pチャンネル型MOSトランジスタ74もオンするので、Pチャンネル型MOSトランジスタ74のオン抵抗を小さくすれば電流はPチャンネル型MOSトランジスタ74を通るため、 VIN 端子 - $VOUT$ 端子間の電圧降下は非常に小さい。

【0053】

ここではNチャンネル型MOSトランジスタ75は弱オンである。電流駆動 $IC2$ IC

10

20

30

40

50

1になると、VIN端子の電圧 = VDD - 6V、VOUT端子の電圧 = VDD - 8Vとなるため、Pチャネル型MOSトランジスタ71、Nチャネル型MOSトランジスタ75はフルにオン状態になる。

【0054】

Pチャネル型MOSトランジスタ74もONするが、VIN端子の電圧が低くなっているため弱オン状態となる。つまり、この場合Nチャネル型MOSトランジスタ75を主に電流Iが通過することになり、電流駆動IC3と同様に、電圧降下は非常に小さい。

【0055】

ここで図5(a)に、図4の電圧降下調整回路7のVIN電圧とVIN - VOUT間電圧の関係の電圧特性を示す。図5(b)に示すように、図5(a)の特性を得るために電圧降下調整回路7の入力端子VINに0V ~ 10Vの電源電圧を印加し、出力端子VOUTに電流源IREFを接続する。図5(b)を参照すると、図2のB部に図4に示した電圧降下調整回路7を直列に接続することによって、高電位電源VDD端子に最も近い電流駆動IC4のB部のみに電圧降下を生じさせることができることがわかる。

10

【0056】

すなわち、図5(a)に示す波形は、図2の回路において高電位電源VDD = 10V、電流駆動IC1 ~ IC4の抵抗Rrにおける電圧降下Vr = 2Vのとき、図4の電圧降下調整回路7が図2の電流駆動IC4においてのみ電圧降下Vrが起こり、電流駆動IC1 ~ 3では電圧降下はほぼ0Vであることを示している。従って、図2における電流駆動IC1 ~ IC4内に電流I = IREFを供給することができる。

20

(実施例3)

【0057】

次に、第3の実施形態を説明する。

【0058】

図6に第3の実施形態における電流駆動IC内の複数の電流源の構成を示す。電流駆動IC8は、基準抵抗Rr、オペアンプ111 ~ 119、電流調整抵抗R1 ~ R8、基準MOSトランジスタ131 ~ 138、141 ~ 148を備え、これらは全て電流駆動ICの中で基準電流発生部を構成する。基準抵抗Rrは、端子101および102間に接続され高電位電源VDDを分圧する。オペアンプ111はボルテージフォロワとして使用し、基準抵抗Rrの高電位電源側の電圧V1を非反転入力端子(+)に入力し、電圧V1と等電圧を電圧V3として出力する。

30

【0059】

また、電流調整抵抗R1 ~ R8は、オペアンプ111からの出力電流I1 ~ I8をそれぞれ基準MOSトランジスタ131 ~ 138に流す。オペアンプ112 ~ 119は、基準抵抗Rrの低電位電源GND側の電圧V2を反転入力端子(-)に入力し、その電圧にほぼ等しい電圧を非反転入力端子(+)に電圧V4として出力する。電圧V3と電圧V4の差電圧が電流調整抵抗R1 ~ R8に印加されて、電流I1 ~ I8を基準MOSトランジスタ131 ~ 138, 141 ~ 148に流す。

【0060】

すなわち、前述した第2の実施形態で使用する、図3に示した電流駆動IC内の回路を電流駆動ICチップ内に複数設け、R1 ~ R8の値を調整することで、R1 ~ R8に流れる電流I1 ~ I8を調整することができるため、電流駆動IC内に複数の電流源をつくることができる。

40

【0061】

この第3の実施形態においても、図2におけるA部に前述したように50k ~ 100k程度の抵抗値をもつ抵抗を直列接続することでV1 < VDDとなり、図3においてV1 = V3、すなわちI = IRefとなるので、図2における電流駆動IC1 ~ IC4内のオペアンプ111の電源が高電位電源VDDであっても、図2のA点に適当な値の抵抗を直列に接続することで、オペアンプ111が正常に動作し、電流駆動IC1 ~ IC4内に電流I = IRefを供給することができる。

50

【 0 0 6 2 】

また、図 2 の B 部に図 4 に示した電圧降下調整回路 7 を直列に接続することによって、高電位電源 V D D 端子に最も近い電流駆動 I C 4 の B 部のみに電圧降下を生じさせることが出来る。

(実施例 4)

【 0 0 6 3 】

次に、第 4 の実施形態を説明する。

【 0 0 6 4 】

第 4 の実施形態の電流駆動回路 8 は FIG. 8 と同じ構成であり、電流駆動回路 8 のみが電流駆動装置を構成する。第 4 の実施形態の電流駆動回路 8 は、基準抵抗 R_r 、オペアンプ 1 1 1 ~ 1 1 9、電流調整抵抗 $R_1 \sim R_8$ 、基準 MOS トランジスタ 1 3 1 ~ 1 3 8、1 4 1 ~ 1 4 8 を備え、これらの素子が基準電流発生部を構成する。オペアンプ 1 1 1 はボルテージフォロワとして使用し、基準抵抗 R_r の高電位電源側の電圧 V_1 を非反転入力端子 (+) に入力し、電圧 V_1 と等電圧を電圧 V_3 として出力する。

10

【 0 0 6 5 】

また、電流調整抵抗 $R_1 \sim R_8$ は、オペアンプ 1 1 1 からの出力電流 $I_1 \sim I_8$ をそれぞれ基準 MOS トランジスタ 1 3 1 ~ 1 3 8 に流す。オペアンプ 1 1 2 ~ 1 1 9 は、基準抵抗 R_r の低電位電源 G N D 側の電圧 V_2 を反転入力端子 (-) に入力し、その電圧にほぼ等しい電圧を非反転入力端子 (+) に電圧 V_4 として出力する。電圧 V_3 と電圧 V_4 の差電圧が電流調整抵抗 $R_1 \sim R_8$ に印加されて、電流 $I_1 \sim I_8$ を基準 MOS トランジスタ 1 3 1 ~ 1 3 8、1 4 1 ~ 1 4 8 に流す。

20

【 0 0 6 6 】

上述した第 3 の実施形態では、図 2 で説明した電流駆動 I C 1 ~ I C 4 のように複数の電流駆動 I C それぞれに複数の電流源を設けたが、この第 4 の実施形態では、この電流駆動 I C 8 を、携帯電話の表示パネルなどのように小型表示パネル用の電流駆動 I C に実装する場合についての形態である。

【 0 0 6 7 】

つまり、小型の表示パネルを対象とする場合は、電流駆動 I C と表示パネル間を接続するためのドライバデータ線が少ないため、搭載されるドライバ用の電流駆動 I C は 1 チップが普通である。

30

【 0 0 6 8 】

よって、本実施形態では複数の電流駆動 I C ではなく、表示パネルに対して単体の電流駆動 I C を搭載した場合でも、その電流駆動 I C 内に複数の電流源を設けることができる。

【 0 0 6 9 】

上述した第 4 の実施形態の構成の変形例を図 7 に示す。図 6 では、オペアンプ 1 1 2 ~ 1 1 9 の出力端子は電流調整抵抗 $R_1 \sim R_8$ 側にある基準 MOS トランジスタ 1 3 1 ~ 1 3 8 のゲート端子に接続した。図 7 では、電流駆動 I C 5 8 のオペアンプ 1 1 2 ~ 1 1 9 の出力端子は G N D 側の基準 MOS トランジスタ 1 6 1 ~ 1 6 8 のゲート端子に接続している。

40

【 0 0 7 0 】

携帯電話等の小型表示パネルに対して単一の電流駆動 I C を搭載する場合は、図 7 の構成でも定電流回路を構成することが出来る。

【 0 0 7 1 】

すなわち、他の実施形態のように、複数の電流駆動 I C 1 ~ 4 を接続する場合は、端子 1 0 1 の電圧 V_3 および端子 1 0 2 の電圧 V_4 が電流駆動 I C 1 ~ 4 でそれぞれ異なるため、図 7 のような構成を他の実施形態に用いることは出来ない。

【 0 0 7 2 】

例えば、上記の回路構成を高電位電源 V D D に近い電流駆動 I C 4 の配置にした場合、端子 1 0 2 の電圧 $V_4 = V D D - 2 V \sim V D D - 3 V$ のため、上述した図 7 の構成を後述

50

する図9の駆動部XおよびYと接続した場合は、図9の駆動部の端子OUTの電圧範囲が狭くなってしまう。ここで、駆動部X、Yはそれぞれ複数のカレントミラー及びそれに直列接続されるスイッチ群を備え、これらの複数の駆動部X、Yが電流駆動部を構成する。すなわち、電流駆動ICのうち、基準電流発生部を除く部分が電流駆動部となる。

【0073】

つまり、カレントミラーの2段目のMOSトランジスタのゲート電圧が $V_4 = V_{DD} - 2V \sim V_{DD} - 3V$ であるためである。

【0074】

従って、単一の電流駆動ICを搭載する場合でも、端子102の電圧 V_4 を出来るだけ低い電圧になるように設定しなければ端子OUTの電圧範囲が狭くなる。

10

(実施例5)

【0075】

次に、第5の実施形態を説明する。

【0076】

図8に第5の実施形態における電流駆動回路の構成を示す。電流駆動回路9は、上述した第3の実施形態において説明した複数の定電流 $I_1 \sim I_8$ を流す電流駆動IC8を用いている。また、例えば図6の構成と図8の構成を組み合わせた電流駆動回路の構成を図9に示してある。図示しないが図7の構成と図8の構成を組み合わせてもよい。

【0077】

図8において、電流駆動回路9は、8bit階調の電流駆動回路であり、図8に示す定電流 $I_1 \sim I_8$ は、前述した図6の複数の電流源によってつくられた電流 $I_1 \sim I_8$ が流れる。

20

【0078】

すなわち、電流駆動回路9は、電流出力端子OUTと255個ある電流源 $I_1 \sim I_8$ の間に選択スイッチ $SW_1 \sim SW_{255}$ を並列接続して構成され、これらは全て電流駆動ICの中で駆動電流部を構成する。

【0079】

この場合、図9の電流駆動部X、Yが図8の電流駆動部Q、Rに相当する。ここで、図8に示す $I_1 \sim I_8$ は8bitのバイナリーウェイトで重み付けした電流とは異なる。

【0080】

つまり、バイナリーウェイト電流では8bitのとき、128、64、32、16、8、4、2、1の比率の電流源が8本になる。これらをスイッチングで選択することによって1~255の電流値(1LSB=1でフルスケールは255LSB)を得ることが出来る(図15における $n=8$ に対応)。

30

【0081】

しかし、本発明の場合は、定電流源 $I_1 \sim I_8$ の電流値が1LSB分(1階調分)の電流値になり、しかも、定電流源 $I_1 \sim I_8$ までの電流値が異なるので、1LSBも階調によって異なる。例えば、1~32LSBまでは1LSB= I_1 、33~64LSBまでは1LSB= I_2 、同様に、216~255LSBまでは1LSB= I_8 という具合である(図8参照)。

40

【0082】

この $I_1 \sim I_8$ までの定電流源の電流値を調整することにより、後述するガンマ特性図に示すように、入力信号-駆動電流の関係を得ることが出来る。

【0083】

図8の電流駆動回路において、OUT端子から駆動される電流が単調増加する場合、左端から順に並んでいる $SW_1 \sim SW_{255}$ を順次ONすることで駆動電流は単調増加するため、駆動電流の単調増加性は保たれている。

【0084】

図10に電流駆動回路のスイッチ $SW_1 \sim SW_{255}$ の構成を示す。スイッチ $SW_1 \sim SW_{255}$ は8bitであるため、図10に示す回路構成となり、8つのMOSスイッチ

50

のドレインとソースを各スイッチに応じた接続にすれば、駆動電流を単調増加させたとき、SW1からSW255まで一つずつONすることになる。

【0085】

駆動電流が単調増加するとき、図11のように、定電流I1～I8の重み付けが違うため入力信号 - 駆動電流の関係はガンマ特性のカーブを示す折れ線グラフになる。

【0086】

この折れ線グラフは図8の定電流I1～I8の調整、つまり図6の電流調整抵抗R1～R8の調整によってガンマ特性である $\gamma = 2.2$ の曲線と近似することができる。よって、図8の電流駆動回路において駆動電流のガンマ補正が可能である。

【0087】

また、図10の定電流源I1～I8がカバーするデジタル信号の区分を調整することで（図11では等間隔になっている）、駆動電流の対デジタル信号特性をより $\gamma = 2.2$ の曲線に近似させることができる。

【0088】

つまり、図11において、例えば、駆動電流が大きいI8の領域では $\gamma = 2.2$ に似せているにも関わらず直線性が目立っている。そこで、216～255LSBまでは1LSB = I8となるところを、定電流源I8でカバーするデジタル信号の範囲を狭くして232～255LSBにする等の調整をすれば良い。逆に、定電流源の電流値が1LSB分の電流値であることから、定電流源I1でカバーするデジタル信号の範囲を1～48LSBまでにレンジを広げること当然できる。

【0089】

さらに、図6における抵抗R1～R8を調整することにより、図8の定電流源I1～I8を調整し、駆動電流値、すなわち、折れ線グラフの γ 値を変更することもできる。

（実施例6）

【0090】

次に、第6の実施形態を説明する。

【0091】

図12に第6の実施形態における入力信号に対する駆動電流のパターンがRGB3種類ある場合の電流源の構成図を示す。電流駆動IC21は、基準抵抗Rr、第1の3原色対応スイッチSWB1, SWG1, SWR1、第2の3原色対応スイッチSWB2, SWG2, SWR2、オペアンプ111, 112、基準MOSトランジスタ13、14、及び電流調整抵抗RB, RG, RRを備え、これらは全て電流駆動ICの中で基準電流発生部を構成する。第1の3原色対応スイッチSWB2, SWG2, SWR2、及び第2の3原色対応スイッチSWB1, SWG1, SWR1は、駆動電流およびガンマ特性に応じて駆動電流量を選択するために使用する。第2の3原色対応スイッチ手段SWB2, SWG2, SWR2は、オペアンプ111の出力端と電流制限抵抗RB, RG, RRとの間にそれぞれ設けられ、これら抵抗はオペアンプ112の負荷MOSトランジスタ13に接続される。

【0092】

前述した第5の実施形態において、入力信号に対する駆動電流のパターンが複数ある場合で、例えば、表示パネルのRGB（赤、緑、青）発光素子に対する駆動電流値および特性が異なる場合に適した電流源として、この電流駆動装置21は、図6に示した電流I1～I8の電流源のうちの1つを示したものである。

【0093】

この電流駆動装置21は、表示パネルのR（赤）の発光素子に対して電流駆動を行うときは、SWR1, SWR2のみをオンして、電流源の抵抗RRにIRを流す。

【0094】

表示パネルのG（緑）の発光素子に対して電流駆動を行うときは、SWG1, SWG2のみをオンして、電流源の抵抗RGにIGを流す。

【0095】

表示パネルのB（青）の発光素子に対して電流駆動を行うときは、SWB1, SWB2

10

20

30

40

50

のみをオンして、電流源の抵抗 R_B に I_B を流す。

【0096】

上述したように、電流駆動装置 21 の回路構成によるスイッチの切り替えによって、 R_{GB} に応じて入力信号に対して駆動電流が変化する特性をつくりだすことができる。

【0097】

このとき、第 6 の実施形態と前述した第 5 の実施形態との回路構成の違いは、図 12 のスイッチ 6 つと抵抗 R_R 、 R_G 、 R_B のみである。第 6 の実施形態の電流駆動回路は、図 8 で示した電流駆動回路 9 と全く同じである。よって、回路構成およびチップ面積の若干の変更だけで R_{GB} それぞれに対応した電流駆動を行う電流駆動 I_C をつくりだすことができる。

10

【0098】

上述したように、本発明の表示パネルの電流駆動装置は、1 つの外付け基準電流源と、その外付け基準電流源に流す基準電流による電圧降下を生じさせて表示装置上における表示素子の発光輝度を均一化するために電流駆動 I_C 内の 2 端子間に設ける基準抵抗とを有し、複数の電流駆動 I_C 内それぞれの基準抵抗と 1 つの外付け基準電流源とがカスケード接続となるように構成した。従って、電流駆動装置から高精度な駆動電流を表示パネルへ出力することができ、かつ駆動電流にガンマ補正をかけることができるので、表示パネルの電流駆動装置の市場における製品差別化に寄与する。

【0099】

ここで、この技術分野の当業者であれば、本発明は上述の実施形態及び記載に限定されず、添付の請求項の技術思想及び技術範囲を逸脱しない範囲で修正または変更が可能であることが理解されるであろう。

20

【0100】

例えば図 9 では、電流駆動 I_C10 が出力端子を通して駆動電流を吸い込む構成となっているが、図 13 に示す電流駆動 I_C60 のように、出力端子を通して駆動電流を吐き出す構成も可能である。電流駆動 I_C60 は、電流駆動 I_C10 のオペアンプの反転入力端子と非反転入力端子とを入れ替え、Nチャネル型基準 MOS トランジスタを Pチャネル型基準 MOS トランジスタとすることにより構成することができる。また、駆動電流を吐き出す構成の駆動電流装置においては、複数の電流駆動 I_C60 をカスケード接続し、外部基準電流源からの基準電流 I_{REF} は高電位電源 V_{DD} と最高電位側の電流駆動 I_C60 との間に挿入される。

30

【図面の簡単な説明】

【0101】

【図 1】本発明の第 1 の実施形態における電流駆動 I_C と表示パネルとの関係を示した図である。

【図 2】本発明の第 1 の実施形態における電流駆動 I_C の構成である。

【図 3】本発明の第 1 の実施形態における電流駆動 I_C 内の電流源の構成である。

【図 4】本発明の第 2 の実施形態における電圧降下調整回路図である。

【図 5】(a) は電圧降下調整回路の電圧特性図であり、(b) は電圧降下調整回路の電圧特性を測定したときの電流駆動装置のバイアス状態を示す模式図である。

40

【図 6】本発明の第 3 の実施形態における電流駆動 I_C 内の複数の電流源を示すための図である。

【図 7】本発明の第 4 の実施形態の変形例における電流駆動回路の構成である。

【図 8】本発明の第 5 の実施形態における電流駆動回路の構成である。

【図 9】本発明の第 5 の実施形態における電流源と電流駆動回路を組み合わせた構成である。

【図 10】電流駆動回路のスイッチの構成である。

【図 11】入力信号に対する駆動電流の関係のガンマ特性を示す図である。

【図 12】本発明の第 6 の実施形態における入力信号に対する駆動電流が 3 原色 R_{GB} に対応して 3 種類ある場合の電流駆動 I_C の構成である。

50

【図13】本発明の電流駆動装置が、図9の電流吸い込み型の電流駆動ICだけでなく、電流吐き出し型の電流駆動ICも採用できることを示すための電流駆動ICの回路図である。

【図14】従来の複数の電流駆動ICを繋ぐ電流駆動装置の構成である。

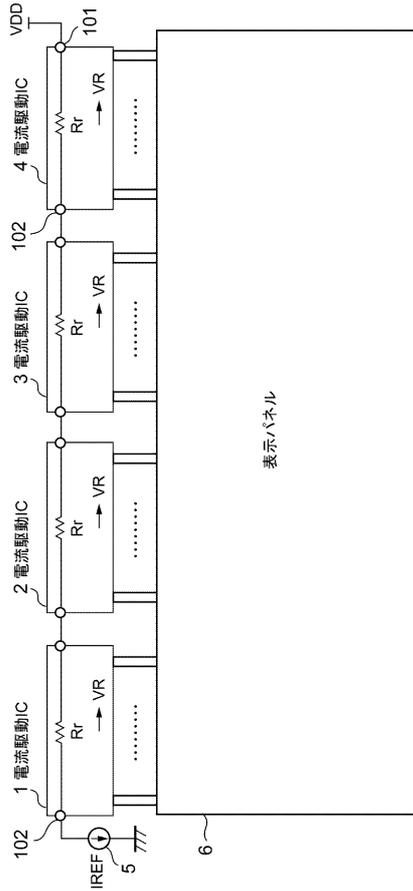
【図15】一般的な電流駆動回路の構成である。

【符号の説明】

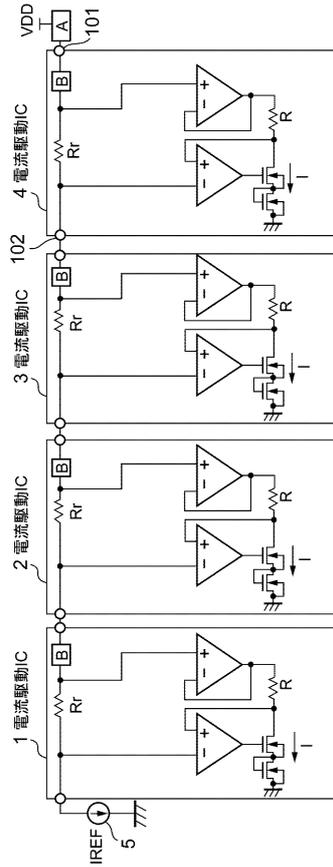
【0102】

1 ~ 4, 8, 10, 21, 58, 60	電流駆動IC	
5	基準電流源	
6	表示パネル	10
7	電圧降下調整回路	
9	電流駆動回路	
13, 14, 131 ~ 138, 141 ~ 148, 161 ~ 168	基準MOSトランジスタ	
22	電流出力部	
23	シンク電流調節部	
71, 74	Pチャンネル型MOSトランジスタ	
72	定電流源	
73	インバータ	
75	Nチャンネル型MOSトランジスタ	20
101, 102	端子	
111, 112, 113, 114, 115, 116, 117, 118, 119	オペアンプ	
I	内部基準電流	
I1 ~ I8	定電流源	
IREF	基準電流	
R, R1, R2, R3, R4, R5, R6, R7, R8	電流調整抵抗	
Rr	基準抵抗	
Rv	降圧用抵抗	
R1, R2 ~ R8, RB, RG, RR	電流制限抵抗	30
SW1 ~ SW255	選択スイッチ	
SWB1, SWG1, SWR1	第1の3原色対応スイッチ	
SWB2, SWG2, SWR2	第2の3原色対応スイッチ	
VDD	高電位電源	
GND	低電位電源	
Vr	電圧降下	
V3	反転入力端子電圧	
V4	非反転入力端子電圧	
VOU T	降圧電圧出力端子	
Vos	オフセット電圧	40
X, Y, P, Q	電流駆動部	

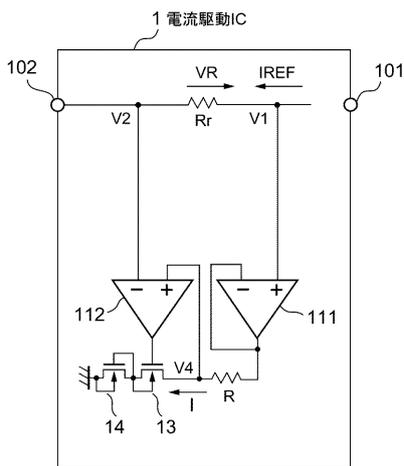
【図 1】



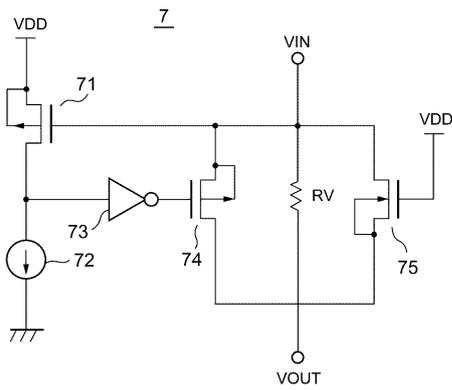
【図 2】



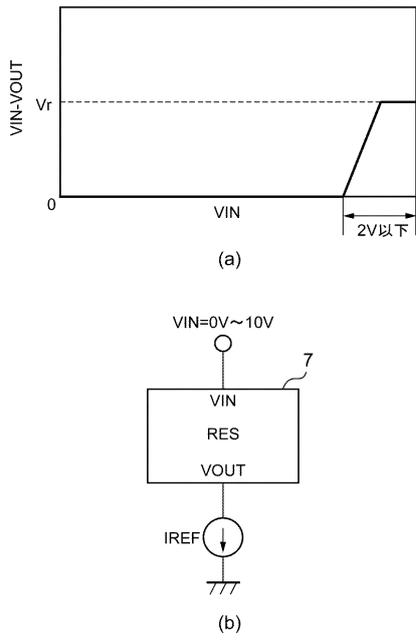
【図 3】



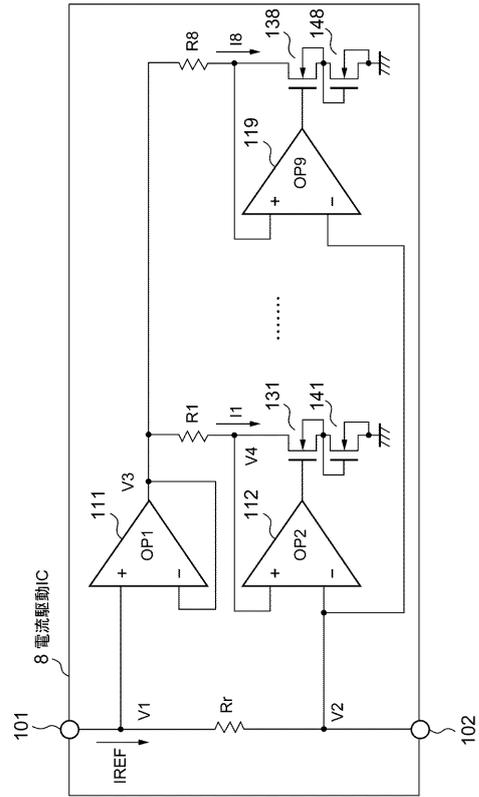
【図 4】



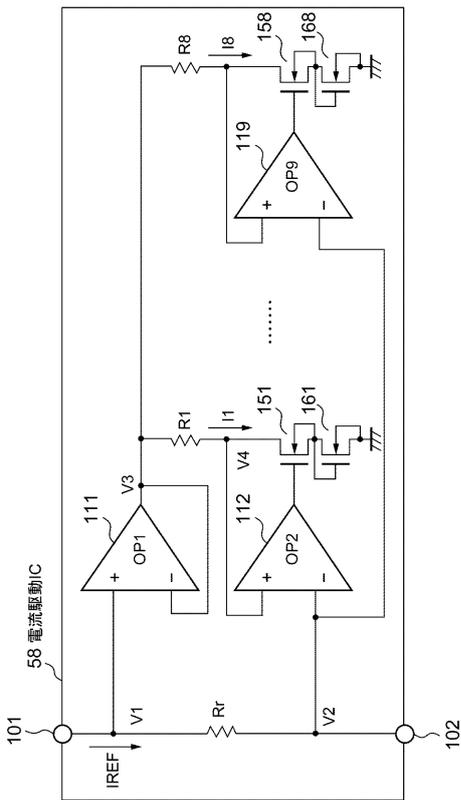
【図5】



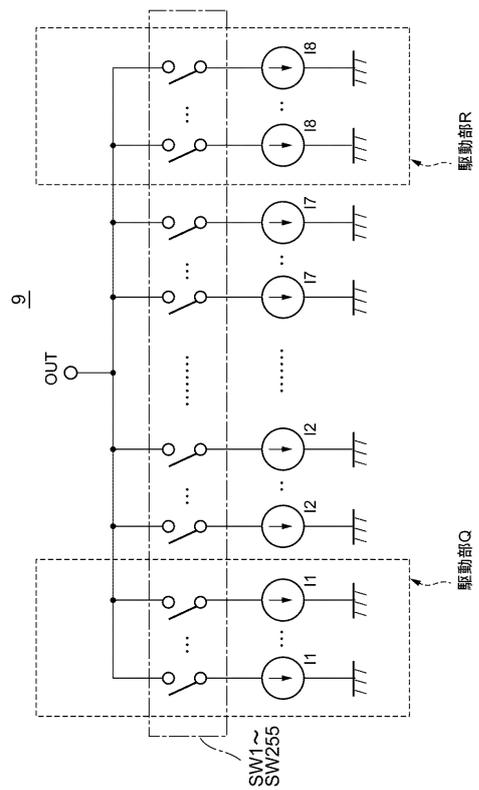
【図6】



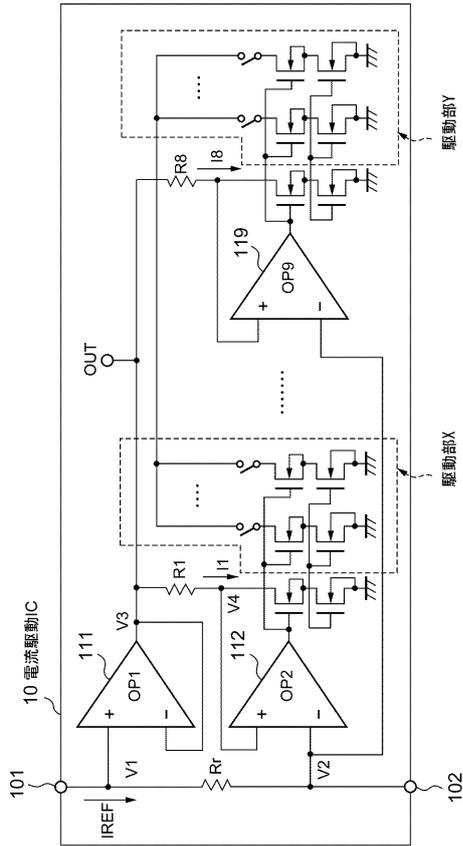
【図7】



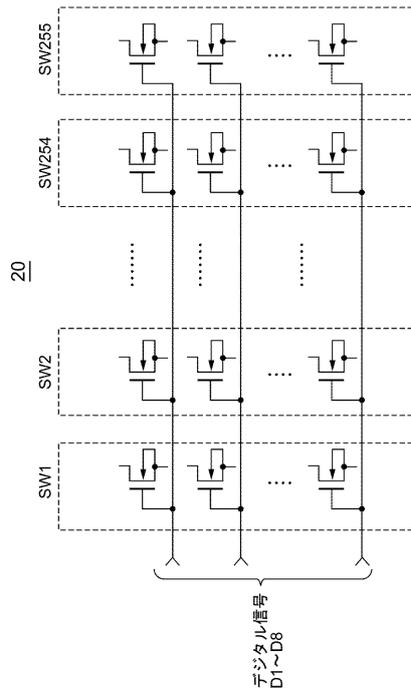
【図8】



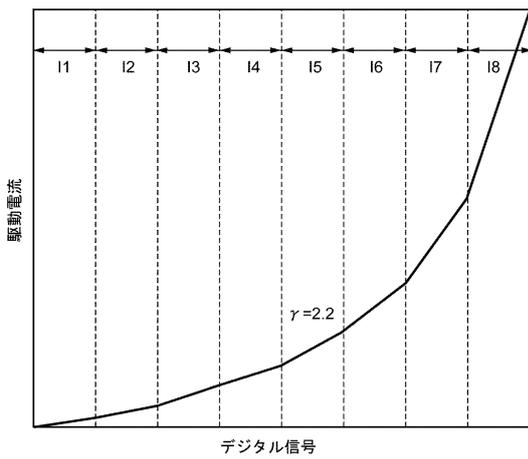
【図9】



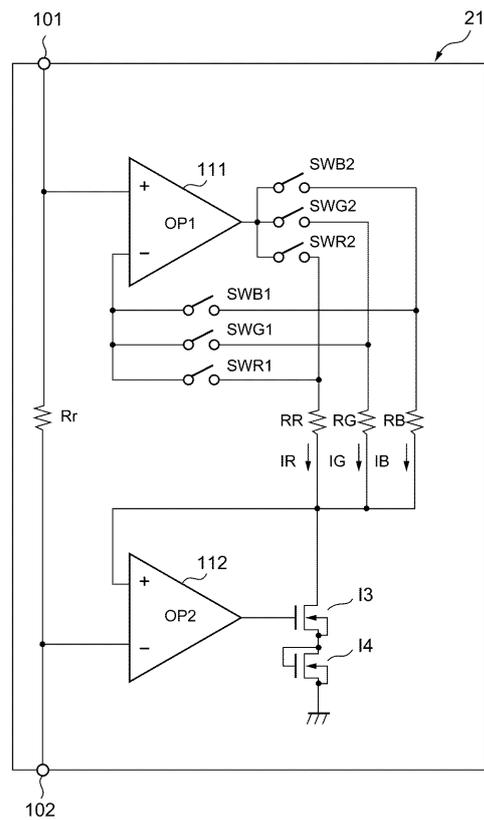
【図10】



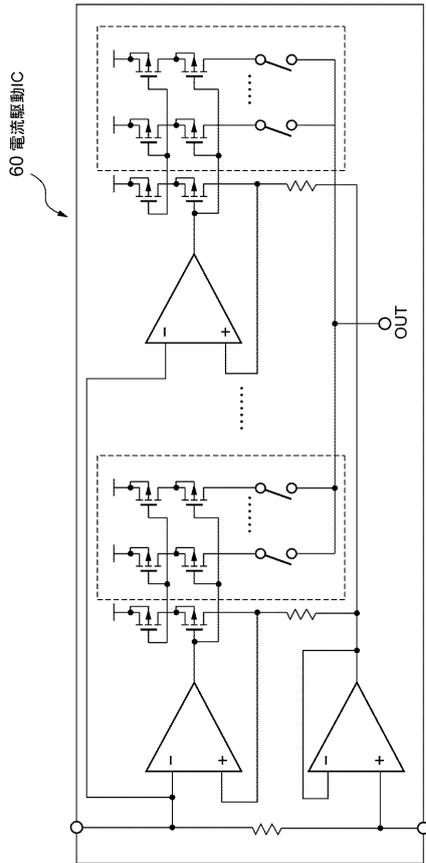
【図11】



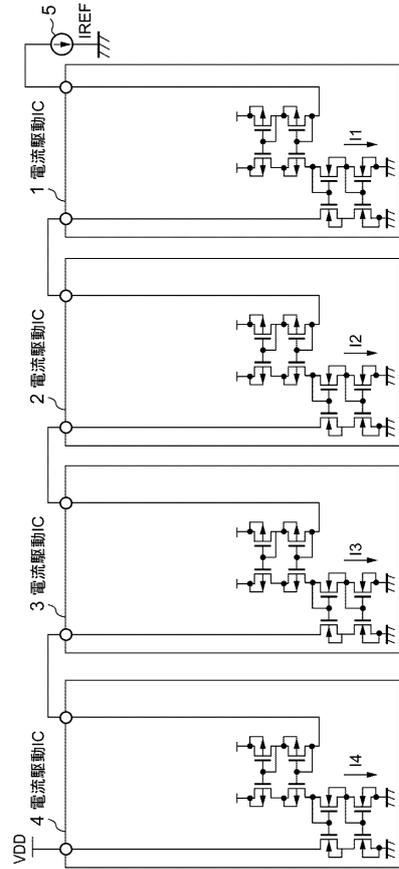
【図12】



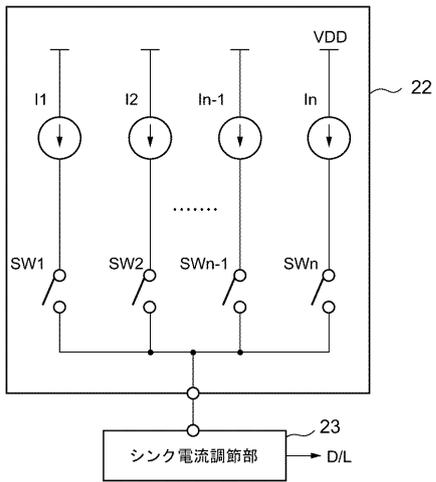
【図 13】



【図 14】



【図 15】



フロントページの続き

(51)Int.Cl.

F I

G 0 9 G 3/20 6 4 2 L

(56)参考文献 特開平 1 0 - 0 0 4 3 2 3 (J P , A)
特開昭 6 1 - 1 8 4 0 0 2 (J P , A)
実開昭 6 2 - 1 2 2 4 8 8 (J P , U)
特開 2 0 0 3 - 2 8 8 0 4 5 (J P , A)
特開 2 0 0 0 - 2 9 3 2 4 5 (J P , A)
特開 2 0 0 1 - 0 4 2 8 2 7 (J P , A)
特開 2 0 0 2 - 2 4 4 6 1 8 (J P , A)

(58)調査した分野(Int.Cl. , DB名)

G 0 9 G 3 / 0 0 - 3 / 3 8