



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H01L 21/027 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년01월19일 10-0672123 2007년01월15일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2006-0010154 2006년02월02일 2006년02월02일	(65) 공개번호 (43) 공개일자
----------------------------------	---	------------------------

(73) 특허권자 주식회사 하이닉스반도체
 경기 이천시 부발읍 아미리 산136-1

(72) 발명자 정우영
 서울 광진구 화양동 현대아파트 102-602

 조성운
 경기 수원시 영통구 원천동 주공아파트 108-1401

 김최동
 경기 이천시 안흥동 주공아파트 114동 501호

 송필근
 경기 성남시 분당구 정자동 7번지 두산위브파빌리온 A동 1014호

(74) 대리인 신영무

심사관 : 이창희

전체 청구항 수 : 총 16 항

(54) 반도체 소자의 미세 패턴 형성방법

(57) 요약

본 발명은 반도체 소자의 미세 패턴 형성방법에 관한 것으로, 피식각층을 갖는 반도체 기판상에 제 1 폴리실리콘막과 버퍼 산화막과 제 2 폴리실리콘막과 연마정지막과 제 1 산화막을 적층 형성하고, 제 1 산화막과 연마정지막과 제 2 폴리실리콘막을 패터닝하고 패터닝된 측면에 질화막 스페이서를 형성한 다음, 전체 구조물상에 제 2 산화막을 형성하고 연마정지막을 스탱퍼로 하여 CMP(Chemical Mechanical Polishing) 공정을 실시한다. 이어, 질화막 스페이서를 제거하고 산화막과 폴리실리콘막의 식각 선택비 차이를 이용하여 제 2 산화막과 2 폴리실리콘막을 제거하고 제 1 폴리실리콘막과 버퍼 산화막이 적층된 구조의 미세 패턴 형성용 하드마스크를 형성하고, 이 하드마스크를 식각 배리어로 피식각층을 식각한다.

대표도

도 2a

특허청구의 범위

청구항 1.

- (a) 피식각층을 갖는 반도체 기판상에 제 1 폴리실리콘막과 버퍼산화막을 순차 형성하고 상기 버퍼산화막의 소정 영역상에 제 2 폴리실리콘막과 연마정지막과 제 1 산화막이 적층된 구조의 하드마스크를 형성하는 단계;
- (b) 상기 하드마스크의 측면에 질화막 스페이서를 형성하고 상기 전체 구조물상에 제 2 산화막을 형성하는 단계;
- (c) 상기 연마정지막이 노출되도록 상기 제 2 산화막과 상기 질화막 스페이서 및 상기 제 1 산화막을 연마하고 상기 연마정지막과 질화막 스페이서를 제거하는 단계;
- (d) 상기 제 2 폴리실리콘막과 상기 제 2 산화막을 마스크로 상기 버퍼산화막을 식각하고 상기 제 2 산화막을 제거하는 단계;
- (e) 상기 제 2 폴리실리콘막과 상기 버퍼산화막을 마스크로 제 1 폴리실리콘막을 식각하고 상기 제 2 폴리실리콘막을 제거하는 단계; 및
- (f) 상기 버퍼 산화막과 상기 제 1 폴리실리콘막을 마스크로 상기 피식각층을 식각하는 단계를 포함하는 반도체 소자의 미세 패턴 형성방법.

청구항 2.

제 1항에 있어서,

상기 (d) 단계 이후에 (e) 단계를 실시하기 전에 패턴 형성을 원하지 않는 부분에 형성된 상기 버퍼 산화막의 소정 부분을 제거하는 (g) 단계를 더 포함하는 반도체 소자의 미세 패턴 형성방법.

청구항 3.

제 2항에 있어서,

상기 (g) 단계는 전체 구조물상에 제 2 반사방지막과 제 2 포토레지스트를 차례로 형성하는 단계;

패턴 형성을 원하지 않는 부분에 형성된 버퍼 산화막 상부의 제 2 반사방지막이 노출되도록 상기 제 2 포토레지스트를 패터닝하는 단계;

상기 패터닝된 제 2 포토레지스트를 마스크로 상기 제 2 반사방지막과 상기 버퍼 산화막을 식각하는 단계; 및

상기 제 2 포토레지스트와 상기 제 2 반사방지막을 제거하는 단계로 이루어짐을 특징으로 하는 반도체 소자의 미세 패턴 형성방법.

청구항 4.

제 1항에 있어서,

상기 제 1 폴리실리콘막을 형성하기 전에 하부의 피식각층을 보호하기 위한 보호층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 미세 패턴 형성방법.

청구항 5.

제 4항에 있어서,

상기 보호층을 200 ~ 400Å의 두께를 갖는 SiON막을 이용하여 형성하는 것을 특징으로 하는 반도체 소자의 미세 패턴 형성방법.

청구항 6.

제 4항에 있어서,

상기 보호층을 형성하기 전에 제 1 알과 카본막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 미세 패턴 형성방법.

청구항 7.

제 6항에 있어서,

상기 제 1 알과 카본막을 1500~2500Å의 두께로 형성하는 것을 특징으로 하는 반도체 소자의 미세 패턴 형성방법.

청구항 8.

제 1항에 있어서,

상기 제 1 폴리실리콘막을 500~600Å의 두께로 형성하고 상기 제 2 폴리실리콘막을 500~700Å의 두께로 형성하는 것을 특징으로 하는 반도체 소자의 미세 패턴 형성방법.

청구항 9.

제 1항에 있어서,

상기 버퍼 산화막을 400~500Å의 두께로 형성하고 상기 제 1 산화막을 800~1000Å의 두께로 형성하는 것을 특징으로 하는 반도체 소자의 미세 패턴 형성방법.

청구항 10.

제 1항에 있어서,

상기 연마정지막을 200~400Å 두께의 SiON막을 이용하여 형성하는 것을 특징으로 하는 반도체 소자의 미세 패턴 형성방법.

청구항 11.

제 1항에 있어서,

상기 하드마스크는 상기 버퍼산화막의 전면에 상기 제 2 폴리실리콘막과 상기 연마정지막과 상기 제 1 산화막을 순차 형성하는 단계;

상기 제 1 산화막상에 제 2 알과 카본막을 형성하는 단계;

상기 제 2 알과 카본막상에 제 1 포토레지스트를 도포하고 패터닝하는 단계;

상기 패터닝된 제 1 포토레지스트를 마스크로 상기 제 2 알과 카본막과 상기 제 1 산화막과 상기 연마정지막 및 상기 제 2 폴리실리콘막을 식각하는 단계;

상기 식각 공정 이후에 잔류하는 제 1 포토레지스트 및 제 2 알과 카본막을 제거하는 단계를 이용하여 형성하는 것을 특징으로 하는 반도체 소자의 미세 패턴 형성방법.

청구항 12.

제 11항에 있어서,

상기 제 2 알과 카본막을 1500~2500Å의 두께로 형성하는 것을 특징으로 하는 반도체 소자의 미세 패턴 형성방법.

청구항 13.

제 11항에 있어서,

상기 제 1 포토레지스트를 도포하기 전에 제 2 보호층과 반사방지막을 순차 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 미세 패턴 형성방법.

청구항 14.

제 13항에 있어서,

상기 제 2 보호층을 200~400Å 두께의 SiON막을 이용하여 형성하고, 상기 반사방지막을 200~400Å의 두께로 형성하는 것을 특징으로 하는 반도체 소자의 미세 패턴 형성방법.

청구항 15.

제 1항에 있어서,

상기 (c) 단계에서 상기 연마정지막을 과도 연마 공정을 이용하여 제거한 후에 상기 질화막 스페이서를 제거하는 것을 특징으로 하는 반도체 소자의 미세 패턴 형성방법.

청구항 16.

제 1항에 있어서,

상기 (c) 단계에서 상기 연마정지막을 상기 질화막 스페이서와 함께 제거하는 것을 특징으로 하는 반도체 소자의 미세 패턴 형성방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자 제조방법에 관한 것으로, 특히 노광 장비의 해상 능력 이하의 피치(pitch)를 갖는 미세 패턴을 형성하기 위한 반도체 소자의 미세 패턴 형성방법에 관한 것이다.

반도체 소자의 제조공정 중 광을 이용하는 사진 공정에서 형성되는 패턴의 최소 피치(pitch)는 노광장치에 사용되는 노광광의 파장에 따라 결정된다. 따라서, 반도체 장치의 고집적화가 가속화되는 현 상황에서 더욱 작은 피치의 패턴을 형성하기 위해서는 현재 사용되는 광보다 파장이 짧은 광을 사용해야 한다. 이를 위해 엑스 선(X-ray)나 전자빔(E-beam)을 사용하는 것이 바람직하겠으나, 기술적인 문제와 생산성 등에 의해 아직은 실험실 수준에 머무르고 있는 실정이다. 이에, 이중 노광 식각 기술(Double Exposure and Etch Technology : DEET)이 제안되었다.

도 1a 내지 도 1c는 이중 노광 식각 기술을 설명하기 위한 단면도로, 도 1a에 도시하는 바와 같이 피식각층(11)을 갖는 반도체 기판(10)상에 제 1 포토레지스트(PR1)를 도포하고 노광 및 현상 공정으로 제 1 포토레지스트(PR1)를 패터닝한 후, 패터닝된 제 1 포토레지스트(PR1)를 마스크로 피식각층(11)을 식각한다. 식각된 피식각층(11)의 라인 폭은 150nm이고, 스페이스 폭은 50nm이다.

이어, 제 1 포토레지스트(PR1)를 제거하고 전체 구조물상에 제 2 포토레지스트(PR2)를 도포한 후, 도 1b에 도시하는 바와 같이 피식각층(11)의 일부분이 노출되도록 노광 및 현상 공정으로 상기 제 2 포토레지스트(PR2)를 패터닝한다.

이후, 도 1c에 도시하는 바와 같이 패터닝된 제 2 포토레지스트(PR2)를 마스크로 피식각층(11)을 재식각하여 라인 및 스페이스 폭이 50nm인 최종 패턴을 형성한 후, 상기 제 2 포토레지스트(PR2)를 제거한다.

전술한 이중 노광 식각 기술에서 제 2 포토레지스트(PR2) 노광 공정시 중첩 정확도(overlay accuracy)는 최종 패턴의 CD(Critical Dimension) 변이(variation)로 직결되게 된다. 실제로 노광 장비의 중첩 정확도는 10nm 이하로 제어하기가 어려워 최종 패턴의 CD 변이를 줄이기 어려운 실정이며, 이중 노광에 따른 회로 분리에 의해 OPC(Optical Proximity Correction) 제어에도 어려움이 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 전술한 종래 기술의 문제점을 해결하기 위하여 안출한 것으로서, 패턴의 CD 변이를 줄일 수 있는 반도체 소자의 미세 패턴 형성방법을 제공하는데 그 목적이 있다.

발명의 구성

본 발명에 따른 반도체 소자의 미세 패턴 형성방법은 (a)피식각층을 갖는 반도체 기판상에 제 1 폴리실리콘막과 버퍼산화막을 순차 형성하고 상기 버퍼산화막의 소정 영역상에 제 2 폴리실리콘막과 연마정지막과 제 1 산화막이 적층된 구조의 하드마스크를 형성하는 단계와, 상기 하드마스크의 측면에 질화막 스페이서를 형성하고 상기 전체 구조물상에 제 2 산화막을 형성하는 단계와, 상기 연마정지막이 노출되도록 상기 제 2 산화막과 상기 질화막 스페이서 및 상기 제 1 산화막을 연마하고 상기 연마정지막과 질화막 스페이서를 제거하는 단계와, 상기 제 2 폴리실리콘막과 상기 제 2 산화막을 마스크로 상기 버퍼산화막을 식각하고 상기 제 2 산화막을 제거하는 단계와, 상기 제 2 폴리실리콘막과 상기 버퍼산화막을 마스크로 제 1 폴리실리콘막을 식각하고 상기 제 2 폴리실리콘막을 제거하는 단계와, 상기 버퍼산화막과 상기 제 1 폴리실리콘막을 마스크로 상기 피식각층을 식각하는 단계를 포함한다.

상기 (d) 단계 이후에 (e) 단계를 실시하기 전에 패턴 형성을 원하지 않는 부분에 형성된 상기 버퍼산화막의 소정 부분을 제거하는 (g) 단계를 더 포함한다.

상기 (g) 단계는 전체 구조물상에 제 2 반사방지막과 제 2 포토레지스트를 차례로 형성하는 단계와, 패턴 형성을 원하지 않는 부분에 형성된 버퍼 산화막 상부의 제 2 반사방지막이 노출되도록 상기 제 2 포토레지스트를 패터닝하는 단계와, 상기 패터닝된 제 2 포토레지스트를 마스크로 상기 제 2 반사방지막과 상기 버퍼 산화막을 식각하는 단계와, 상기 제 2 포토레지스트와 상기 제 2 반사방지막을 제거하는 단계를 포함한다.

상기 제 1 폴리실리콘막을 형성하기 전에 하부의 피식각층을 보호하기 위한 보호층을 형성하는 단계를 더 포함하며, 상기 보호층을 200~400Å의 두께를 갖는 SiON막을 이용하여 형성한다.

상기 보호층을 형성하기 전에 제 1 알과 카본막을 형성하는 단계를 더 포함하며, 상기 제 1 알과 카본막을 1500~2500Å의 두께로 형성한다.

상기 제 1 폴리실리콘막을 500~600Å의 두께로 형성하고 상기 제 2 폴리실리콘막을 500~700Å의 두께로 형성하며, 상기 버퍼 산화막을 400~500Å의 두께로 형성하고 상기 제 1 산화막을 800~1000Å의 두께로 형성한다. 또한, 상기 연마정지막을 200~400Å 두께의 SiON막을 이용하여 형성한다.

상기 하드마스크는 상기 버퍼산화막의 전면에 상기 제 2 폴리실리콘막과 상기 연마정지막과 상기 제 1 산화막을 순차 형성하는 단계와, 상기 제 1 산화막상에 제 2 알과 카본막을 형성하는 단계와, 상기 제 2 알과 카본막상에 제 1 포토레지스트를 도포하고 패터닝하는 단계와, 상기 패터닝된 제 1 포토레지스트를 마스크로 상기 제 2 알과 카본막과 상기 제 1 산화막과 상기 연마정지막 및 상기 제 2 폴리실리콘막을 식각하는 단계와, 상기 식각 공정 이후에 잔류하는 제 1 포토레지스트 및 제 2 알과 카본막을 제거하는 단계를 이용하여 형성한다.

상기 제 1 포토레지스트를 도포하기 전에 제 2 보호층과 반사방지막을 순차 형성하는 단계를 더 포함한다.

상기 제 2 보호층을 200~400Å 두께의 SiON막을 이용하여 형성하고, 상기 반사방지막을 200~400Å의 두께로 형성한다.

상기 (c) 단계에서 상기 연마정지막은 과도 연마 공정을 이용하여 제거하나, 상기 질화막 스페이서와 함께 제거한다.

이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 설명하기로 한다. 그러나, 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 본 발명의 범위가 다음에 상술하는 실시예에 한정되는 것은 아니다. 단지 본 실시예는 본 발명의 개시가 완전하도록 하며 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명의 범위는 본원의 특허청구범위에 의해서 이해되어야 한다.

도 2a 내지 도 2k는 본 발명의 실시예에 따른 반도체 소자의 미세 패턴 형성공정 단면도로, 본 발명을 플래쉬 메모리 소자의 게이트 식각 공정에 적용한 경우이다.

도 2a를 참조하면, 메모리 셀 트랜지스터가 형성되는 메모리 셀 영역, DSL(Drain Selective Line) 및 SSL(Source Selective Line)이 형성되는 DSL/SSL 영역, 그리고 주변 회로들 형성되는 페리(peri) 영역이 정의된 반도체 기판(20)상에 피식각층인 터널 산화막(21)과 부유 게이트용 도전막(22)과 유전체막(23)과 제어 게이트용 도전막(24)과 하드마스크 질화막(25)을 차례로 형성한다. 하드마스크 질화막(25)은 자기 정렬 콘택(self aligned contact) 공정을 위한 것으로, 2000~3000Å의 두께로 형성함이 바람직하다. 상기 DSL/SSL 영역 및 페리 영역에서는 부유 게이트용 도전막(22)과 제어 게이트용 도전막(24)이 단일 게이트로 동작될 수 있도록 하기 위하여 상기 제어 게이트용 도전막(24)을 형성하기 전에 DSL/SSL 영역 및 페리 영역에 형성된 유전체막(23)을 제거한다.

이어서, 전체 구조물 구조물상에 제 1 폴리실리콘막(28)과 버퍼 산화막(29)을 차례로 형성한다. 상기 제 1 폴리실리콘막(28)은 500~600Å의 두께로 형성하고, 상기 버퍼 산화막(29)은 400~500Å 두께의 TEOS(Tetra Ethyl Ortho Silicate) 산화막을 이용하여 형성함이 바람직하다.

여기서, 상기 제 1 폴리실리콘막(28)을 형성하기 전에 제 1 알과 카본막(α-carbon)(26)과 제 1 보호층(27)을 더 형성하는 것이 좋다. 상기 제 1 알과 카본막(26)은 이후에 하드마스크 질화막(25) 식각시 식각 마진 부족을 보완하기 위한 것으로, 1500~2500Å의 두께로 형성하는 것이 좋다. 상기 제 1 보호층(27)은 상부층에 대한 식각 공정시 하부층을 보호하기 위한 것으로, 200~400Å 두께의 SiON막을 이용하여 형성함이 바람직하다.

이어서, 상기 버퍼 산화막(29)상에 제 2 폴리실리콘막(30)과 연마정지막(31)과 제 1 산화막(32)을 차례로 형성한다. 이때, 제 2 폴리실리콘막(30)은 500~700Å의 두께로 형성하고, 연마정지막(31)은 200~400Å 두께의 SiON막을 이용하여 형성하고, 상기 제 1 산화막(32)은 800~1000Å 두께의 TEOS 산화막을 이용하여 형성하는 것이 좋다. 그런 다음, 상기 제 1 산화막(32)상에 제 2 알과 카본막(33)과 제 2 보호층(34)을 차례로 형성하고, 상기 제 2 보호층(34)상에 제 1 포토레지스트(PR1)를 도포한다. 상기 제 2 알과 카본막(33)은 상기 제 1 산화막(32)과 연마정지막(31) 및 제 2 폴리실리콘막(30) 식각시 상기 제 1 포토레지스트(PR1)의 마진 부족을 보완하기 위해 추가로 형성하는 막이고, 상기 제 2 보호층(34)은 200~400Å 두께의 SiON막으로 형성하고, 상기 포토레지스트(PR)는 약 1800Å의 두께로 형성한다.

한편, 도시하지는 않았지만 상기 제 1 포토레지스트(PR1)를 도포하기 전에 상기 제 2 보호층(34)상에 200~400Å 두께의 반사방지막을 추가로 형성하는 것이 좋다.

이어서, 노광 및 현상 공정으로 제 1 포토레지스트(PR1)를 패터닝한다. 이때, 메모리 셀 영역에 형성되는 제 1 포토레지스트(PR1)의 라인 CD는 65 내지 75nm, 스페이스 CD는 115 내지 125nm가 되도록 상기 패터닝 공정을 컨트롤한다.

그런 다음, 도 2b에 도시하는 바와 같이 패터닝된 제 1 포토레지스트(PR1)를 마스크로 제 2 보호층(34)과 제 2 알과 카본막(33)과 제 1 산화막(32)과 연마정지막(31) 및 제 2 폴리실리콘막(30)을 식각되, 라인 CD(Critical Dimension) 바이어스(bias)를 5~15nm로 설정하여 식각된 제 2 폴리실리콘막(30)과 연마정지막(31)과 제 1 산화막(32)의 CD가 상기 제 1 포토레지스트(PR1)의 CD에 비하여 5~15nm 정도 감소되게끔 한다.

이와 같이 공정을 진행하면, 제 1 포토레지스트(PR1)를 노광 장비의 해상 능력 이내의 사이즈로 패터닝하더라도 노광 장비의 해상 능력 이하의 사이즈를 갖는 패턴을 형성할 수 있다.

상기 제 2 알과 카본막(33)의 두께가 얇으면 상기 식각 공정시 라인 CD 바이어스를 확보하기가 어려우므로 제 2 알과 카본막(33)이 일정 두께 이상이어야 한다. 바람직하게, 상기 제 2 알과 카본막(33)을 1500~2500Å의 두께로 형성한다. 한편, 상기 식각 공정시 제 1 포토레지스트(PR1)도 함께 제거되게 되는데, 제 1 포토레지스트(PR1)가 완전히 제거되더라도 하부의 제 2 알과 카본막(33)이 제 1 산화막(32)과 연마정지막(31) 및 제 2 폴리실리콘막(30)에 대한 식각 마스크로서의 역할을 하므로 제 1 포토레지스트(PR1) 하부에 있는 제 1 산화막(32)에 대한 어택이 방지된다.

그런 다음, 제 2 알과 카본막(33)을 포함하여 제 1 산화막(32)상에 잔류하는 막들을 제거하고, 도 2c에 도시하는 바와 같이 전체 구조물상에 40~50Å 두께의 질화막을 증착하고 에치백(etchback)하여 상기 식각된 제 2 폴리실리콘막(30)과 연마정지막(31)과 제 1 산화막(32)의 측면에 질화막 스페이서(35)를 형성하고, 전체 구조물상에 제 2 산화막(36)을 증착한다. 상기 제 2 산화막(36)으로는 고밀도 플라즈마(High Density Plasma : HDP) 산화막 또는 SOG(Spin On Glass) 산화막 중 어느 하나를 사용함이 바람직하다.

그런 다음, 도 2d에 도시하는 바와 같이 연마정지막(31)을 CMP 스탱퍼(Stopper)로 하여 전면을 CMP(Chemical Mechanical Polishing)하여 제 2 산화막(36)과 제 1 산화막(32)을 평탄 제거하고, 오버(Over) CMP 공정을 실시하여 연마정지막(31)을 제거한다. 이로써, 질화막 스페이서(35)를 사이에 두고 분리되는 제 2 산화막(36)과 제 2 폴리실리콘막(30)이 남게 된다. 이때, 연마정지막(31)을 제거하지 않은 채로 후속 공정을 진행하더라도 연마정지막(31)은 이후에 실시되는 질화막 스페이서(35) 제거 공정시에 제거 가능하므로 전술한 오버 CMP 공정은 생략 가능하다.

한편, CMP 공정시 둥근 호 모양의 질화막 스페이서(35) 상부의 숄더(shoulder) 부분이 제거되므로 CMP 공정 이후에 잔류하는 질화막 스페이서(35)와 제 2 산화막(36)과 제 2 폴리실리콘막(30)은 높이에 따른 CD 변이를 거의 갖지 않는다.

이어, 도 2e에 도시하는 바와 같이 습식 식각 공정으로 상기 질화막 스페이서(35)를 제거하고, 습식 식각 공정을 실시하여 상기 제 2 산화막(36)과 제 2 폴리실리콘막(30)의 폭을 조정한다.

그런 다음, 도 2f에 도시하는 바와 같이 상기 제 2 산화막(36)과 제 2 폴리실리콘막(30)을 식각 배리어로 하부의 버퍼 산화막(29)을 식각한다. 이때, 버퍼 산화막(29)과 식각 선택비가 동일한 제 2 산화막(36)도 함께 식각되게 되며, 버퍼 산화막(29)과 식각 선택비가 상이한 제 2 폴리실리콘막(30)의 버퍼 산화막(29)상에 잔류하게 된다.

그런 다음, 패턴 형성을 원하지 않는 영역에 형성된 버퍼 산화막(29)을 제거해야 한다.

이를 위하여 도 2g에 도시하는 바와 같이 전체 구조물상에 제 2 반사방지막(37)과 제 2 포토레지스트(PR2)를 차례로 형성하고, 패턴 형성을 원하지 않는 부분에 형성된 버퍼 산화막(29) 상부의 제 2 반사방지막(37)이 노출되도록 상기 제 2 포토레지스트(PR2)를 패터닝한 후, 도 2h에 도시하는 바와 같이 패터닝된 제 2 포토레지스트(PR2)를 마스크로 제 2 반사방지막(37)과 버퍼 산화막(29)을 식각한 후, 상기 제 2 포토레지스트(PR2)와 제 2 반사방지막(37)을 제거한다.

상기 버퍼 산화막(29) 식각시 제 1 폴리실리콘막(28)에 의해 식각이 멈춰지게 되므로 하부층에 대한 어택(attack)이 방지되게 된다. 또한, 제 2 폴리실리콘막(30)과 버퍼 산화막(29)은 식각 선택비가 상이하므로 제 2 포토레지스트(PR2)에 의하여 버퍼 산화막(29) 뿐만 아니라 이에 인접한 제 2 폴리실리콘막(30)의 상부가 오픈되더라도 제 2 폴리실리콘막(30)의 큰 손실 없이 버퍼 산화막(29)을 제거할 수 있으므로 제 2 포토레지스트(PR2) 노광 공정시 중첩 마진은 충분히 확보되게 된다.

이어서, 도 2i에 도시하는 바와 같이 제 2 폴리실리콘막(30)과 버퍼 산화막(29)을 식각 배리어로 하여 제 1 폴리실리콘막(28)을 식각한다. 이때, 상기 제 1 폴리실리콘막(28)과 식각 선택비가 동일한 제 2 폴리실리콘막(30)은 제거되게 되며, 제 1 폴리실리콘막(28)과 식각 선택비가 상이한 버퍼 산화막(29)은 제 1 폴리실리콘막(28)상에 잔류하게 된다. 한편, 상기 제 1 폴리실리콘막(28) 식각시 제 1 보호층(27)에 의하여 하부층에 대한 어택이 방지되게 된다.

이어서, 도 2j에 도시하는 바와 같이 잔류하는 버퍼 산화막(29) 및 제 1 폴리실리콘막(28)을 식각 배리어로 상기 제 1 보호층(27)과 제 1 알파 카본막(26)과 하드마스크 질화막(25)을 식각한다. 이때, 버퍼 산화막(29)과 그 하부의 제 1 폴리실리콘막(28)과 제 1 보호층(27) 및 제 1 알파 카본막(26)의 일부가 함께 제거되게 되어 하드마스크 질화막(25)상에는 소정 두께의 제 1 알파 카본막(26)만이 잔류하게 된다.

이후, 잔류하는 제 1 알파 카본막(26)을 제거한 다음, 도 2k에 도시하는 바와 같이 패터닝된 하드마스크 질화막(25)을 식각 배리어로 제어 게이트용 도전막(24), 유전체막(23), 부유 게이트용 도전막(22)을 패터닝하여 최종 게이트 패턴을 형성한다.

위의 설명에서는 본 발명을 플래쉬 메모리 소자의 게이트 식각 공정 적용한 경우를 예로 들어서 설명하였으나, 본 발명은 디램(DRAM), 에스램(SRAM) 등의 모든 반도체 소자의 게이트 식각 공정, 소자분리 트렌치 식각 공정 및 콘택 식각 공정 등 반도체 소자 제조에 필요한 모든 식각 공정에 적용 가능함을 밝혀 둔다.

발명의 효과

상술한 바와 같이, 본 발명은 다음과 같은 효과가 있다.

첫째, 연마정지막에 의하여 CMP 공정이 멈춰지게 되어 CMP 공정의 균일도가 향상되게 되므로 CMP 공정의 불균일성에 의한 패턴 불량을 방지할 수 있다.

둘째, 제 2 폴리실리콘막과 질화막 스페이서 및 제 1 산화막을 이용하여 노광 장비 해상력 이하의 피치를 갖는 마스크를 형성하고 습식 식각 공정을 통해 마스크의 폭을 줄일 수 있으므로 노광 장비의 해상력의 절반 이하의 피치를 갖는 패턴을 형성할 수 있다.

셋째, 패턴 밀도가 조밀하여 중첩 정확도에 민감한 셀 패턴을 이중 노광 공정이 아닌 한번의 노광 공정을 통해 패턴을 형성할 수 있으므로 이중 노광 공정의 중첩 마진 부족에 기인한 패턴 사이즈 변이를 방지할 수 있다.

넷째, 산화막과 폴리실리콘막의 식각비 차이를 이용하여 패턴 형성이 불필요한 부분에 형성된 버퍼 산화막을 제거하므로 2차 노광시 버퍼 산화막뿐만 아니라 이에 이웃한 폴리실리콘막이 노출시키어도 무방하다. 따라서, 2차 노광시 중첩 마진이 향상되게 된다.

다섯째, 알파 카본막을 이용하여 식각 마진을 향상시킬 수 있으므로 포토레지스트의 식각 마진 부족으로 인한 하부층의 어택을 방지할 수 있다.

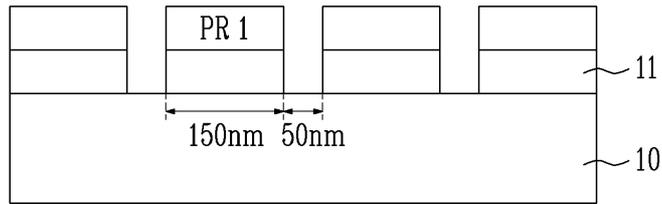
도면의 간단한 설명

도 1a 내지 도 1c는 종래 기술에 따른 이중 노광 식각 기술을 설명하기 위한 도면

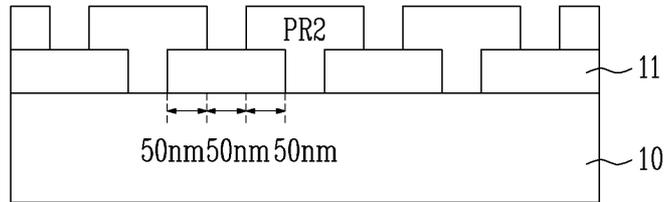
도 2a 내지 도 2k는 본 발명의 실시예에 따른 반도체 소자의 미세 패턴 형성 공정 단면도

도면

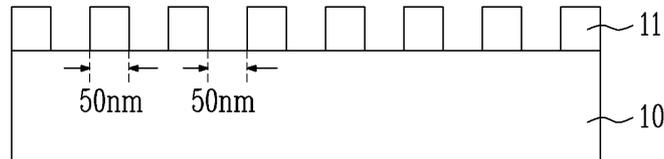
도면1a



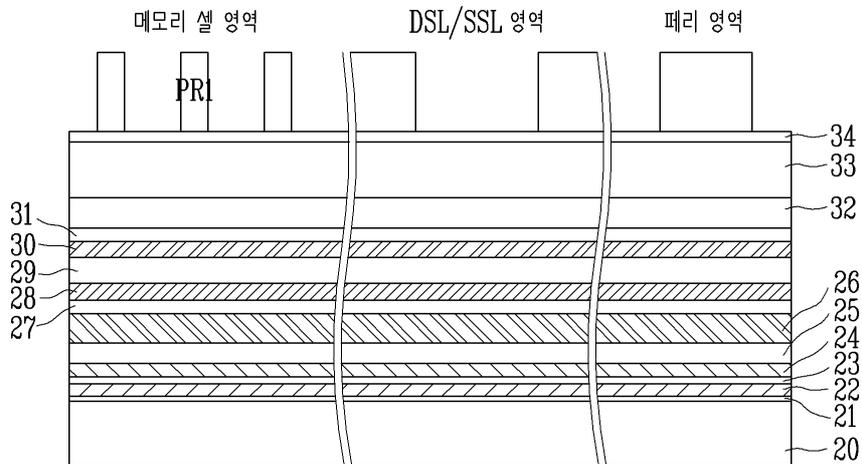
도면1b



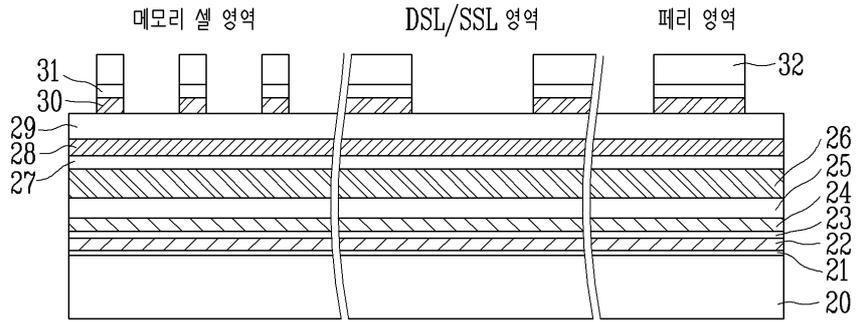
도면1c



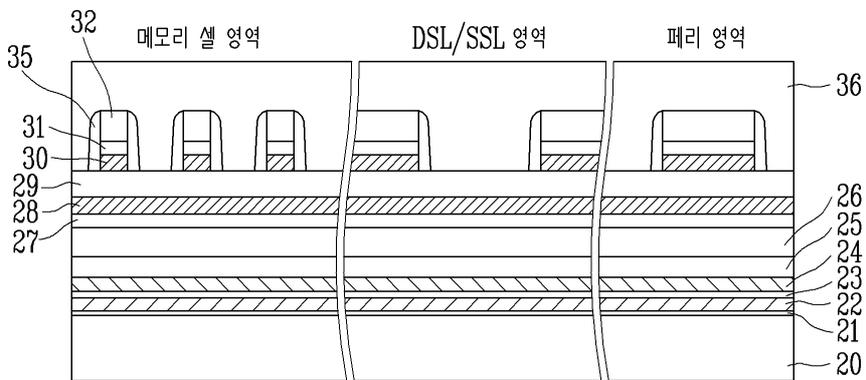
도면2a



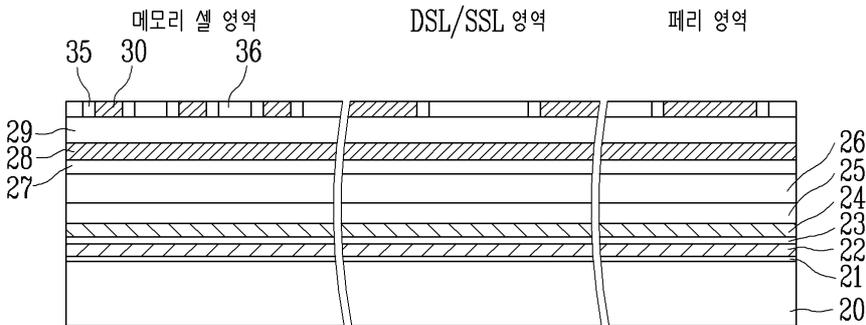
도면2b



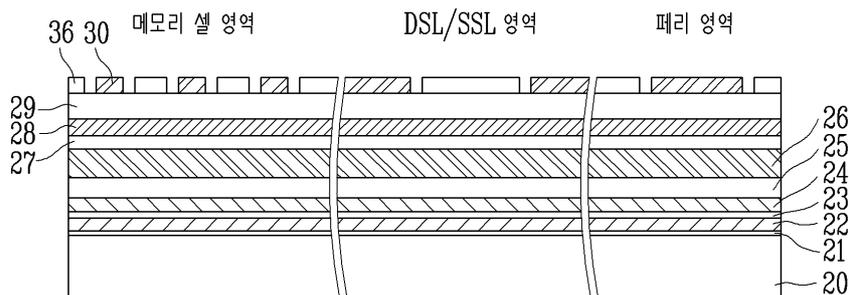
도면2c



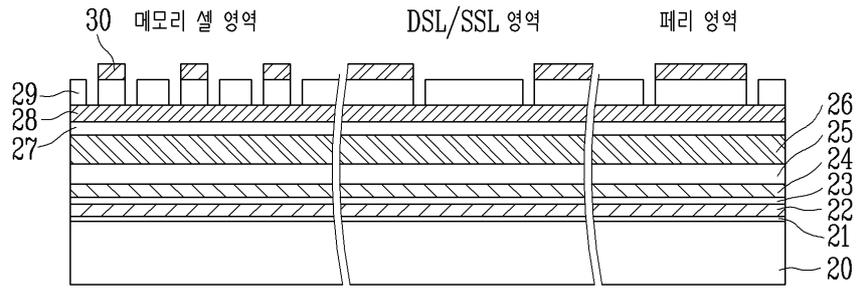
도면2d



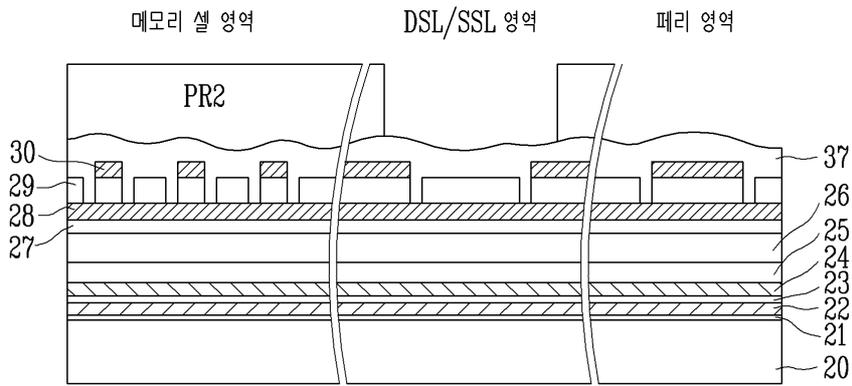
도면2e



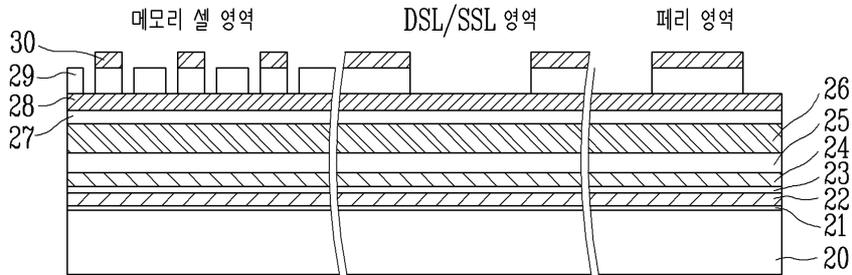
도면2f



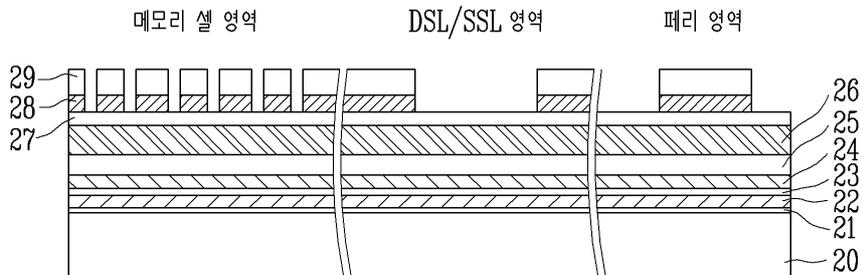
도면2g



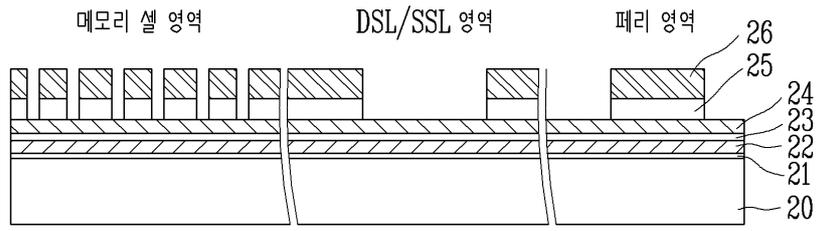
도면2h



도면2i



도면2j



도면2k

