

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5049814号
(P5049814)

(45) 発行日 平成24年10月17日(2012.10.17)

(24) 登録日 平成24年7月27日(2012.7.27)

(51) Int.Cl. F I
G 1 1 C 13/00 (2006.01) G 1 1 C 13/00 1 5 0

請求項の数 5 (全 14 頁)

(21) 出願番号	特願2008-32646 (P2008-32646)	(73) 特許権者	000003078 株式会社東芝 東京都港区芝浦一丁目1番1号
(22) 出願日	平成20年2月14日(2008.2.14)	(74) 代理人	100092820 弁理士 伊丹 勝
(65) 公開番号	特開2009-193629 (P2009-193629A)	(74) 代理人	100106389 弁理士 田村 和彦
(43) 公開日	平成21年8月27日(2009.8.27)	(72) 発明者	前嶋 洋 東京都港区芝浦一丁目1番1号 株式会社東芝内
審査請求日	平成22年3月3日(2010.3.3)	(72) 発明者	磯部 克明 東京都港区芝浦一丁目1番1号 株式会社東芝内

最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置のデータ書き込み方法

(57) 【特許請求の範囲】

【請求項1】

互いに交差する第1及び第2の配線と、これらの各交差部に配置された電氣的書き換え可能で抵抗値をデータとして不揮発に記憶する可変抵抗素子及び整流素子を直列接続したメモリセルとを備えた不揮発性半導体記憶装置の前記第1及び第2の配線にデータの書き込みに必要な電圧を印加する不揮発性半導体記憶装置のデータ書き込み方法であって、

非選択の第1の配線及び選択された第2の配線に基準電圧を与えると共に、選択された第1の配線に前記基準電圧に対して前記可変抵抗素子のプログラムに必要なプログラム電圧を印加し、非選択の第2の配線に前記プログラム電圧に対して前記整流素子がオンしない制御電圧を印加することにより前記選択された第1及び第2の配線に接続される可変抵抗素子のみをプログラムするセット動作、及び前記可変抵抗素子のデータを消去するリセット動作のうち一方を他方に先行させて連続して実行し、

前記セット動作及び前記リセット動作のうち先行する動作と同時又はその動作に先立ち、前記非選択の第2の配線を前記基準電圧よりも大きなスタンバイ電圧までプリチャージし、前記セット動作及び前記リセット動作が完了するまで前記非選択の第2の配線を前記スタンバイ電圧に維持する

ことを特徴とする不揮発性半導体記憶装置のデータ書き込み方法。

【請求項2】

前記リセット動作時に前記非選択の第2の配線のみを前記スタンバイ電圧までプリチャージすることを特徴とする請求項1記載の不揮発性半導体記憶装置のデータ書き込み方法

【請求項3】

前記スタンバイ電圧は前記制御電圧以下であることを特徴とする請求項2記載の不揮発性半導体記憶装置のデータ書き込み方法。

【請求項4】

前記可変抵抗素子へのセット動作に先行するタイミングで前記可変抵抗素子へのリセット動作を実行し、前記リセット動作に先行するタイミングで前記非選択の第2の配線のみを前記スタンバイ電圧までプリチャージする充電シーケンス動作期間を有することを特徴とする請求項1記載の不揮発性半導体記憶装置のデータ書き込み方法。

【請求項5】

前記非選択の第2の配線を前記スタンバイ電圧に維持しながらプログラムする可変抵抗素子を順次切り替える

ことを特徴とする請求項1記載の不揮発性半導体記憶装置のデータ書き込み方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、可変抵抗素子への電圧印加によって不揮発にデータの書き込みを行う不揮発性半導体記憶装置のデータ書き込み方法に関する。

【背景技術】

【0002】

近年、ワード線とビット線との交差部に、可変抵抗素子を含むメモリセルを接続し、このメモリセルをアレイ状に配置してなる不揮発性メモリが注目されている。

【0003】

この種の不揮発性メモリとしては、可変抵抗素子にカルコゲナイド素子を使用したPCRAM (Phase-change Random Access Memory)、遷移金属酸化物素子を使用したReRAM (Resistance Random Access Memory)、金属陽イオンを析出させて電極間に架橋(コンタクティングブリッジ)を形成したり、析出した金属をイオン化して架橋を破壊することで抵抗値を変化させるもの(CBRAM)等が知られている。これらの可変抵抗メモリの特徴は、抵抗値の変化を情報として記憶する点にある。

【0004】

PCRAMは、カルコゲナイド素子に印加する電流/電圧パルスの大きさ及び幅等の形状によって発熱から冷却までの過程を制御し、結晶状態又は非結晶状態に相変化させて、素子の抵抗値を制御する(特許文献1参照)。ReRAMには、バイポーラ型とユニポーラ型がある。バイポーラ型の場合、遷移金属酸化物素子に印加する電流/電圧パルスの方角によって素子の抵抗値を制御する。一方、ユニポーラ型の場合、遷移金属酸化物素子に印加する電流/電圧パルスの大きさ及び幅等によって素子の抵抗値を制御する。

【0005】

ユニポーラ型のReRAMの場合、可変抵抗メモリに対するデータの書き込みは、可変抵抗素子に、例えば4.5V程度(電流値は10nA程度)のプログラム電圧を10ns~100ns印加することでなされる。これにより、可変抵抗素子が高抵抗状態から低抵抗状態へ変化する。この状態変化を「プログラム」、又は「セット」と呼ぶ。また、データがプログラムされた可変抵抗素子に0.7V程度の消去電圧を印加し、1μA~10μAの電流を200ns~1μsだけ流すと、可変抵抗素子は低抵抗状態から高抵抗状態へと変化する。この状態変化を、「消去」、又は「リセット」と呼ぶ。

【0006】

これらのセット動作及びリセット動作では、選択されたワード線及びビット線に接続される可変抵抗素子に、必要なプログラム電圧や消去電圧を印加する。一方、非選択のワード線又はビット線には、ダイオードがオンしないように、例えば逆バイアスとなる制御電圧を印加する必要がある。しかし、非選択のワード線又はビット線は、選択ワード線又は

10

20

30

40

50

ビット線よりも本数が多く、トータルの容量が大きいため、立ち上げに時間がかかる。従って、データのセットの度に非選択ワード線又はビット線のオンオフを行うと、データ書き込み時間が増大するという問題がある。

【特許文献 1】特表 2002-541613号

【発明の開示】

【発明が解決しようとする課題】

【0007】

本発明は、データの書き込み時間を短縮することができる不揮発性半導体記憶装置のデータ書き込み方法を提供することを目的とする。

【課題を解決するための手段】

【0008】

本発明の一つの態様において、不揮発性半導体記憶装置のデータ書き込み方法は、互いに交差する第 1 及び第 2 の配線と、これらの各交差部に配置された電氣的書き換え可能で抵抗値をデータとして不揮発に記憶する可変抵抗素子及び整流素子を直列接続したメモリセルとを備えた不揮発性半導体記憶装置の前記第 1 及び第 2 の配線にデータの書き込みに必要な電圧を印加する不揮発性半導体記憶装置のデータ書き込み方法であって、非選択の第 1 の配線及び選択された第 2 の配線に基準電圧を与えると共に、選択された第 1 の配線に前記基準電圧に対して前記可変抵抗素子のプログラムに必要なプログラム電圧を印加し、非選択の第 2 の配線に前記プログラム電圧に対して前記整流素子がオンしない制御電圧を印加することにより前記選択された第 1 及び第 2 の配線に接続される可変抵抗素子のみをプログラムするセット動作、及び前記可変抵抗素子のデータを消去するリセット動作のうち一方を他方に先行させて連続して実行し、前記セット動作及び前記リセット動作のうち先行する動作と同時に又はその動作に先立ち、前記非選択の第 2 の配線を前記基準電圧よりも大きなスタンバイ電圧までプリチャージし、前記セット動作及び前記リセット動作が完了するまで前記非選択の第 2 の配線を前記スタンバイ電圧に維持することを特徴とする。

【発明の効果】

【0009】

本発明によれば、データの書き込み時間を短縮することができる不揮発性半導体記憶装置のデータ書き込み方法を提供することができる。

【発明を実施するための最良の形態】

【0010】

[第 1 の実施形態]

以下、図面を参照して、この発明の第 1 の実施形態を説明する。

【0011】

[全体構成]

図 1 は、本発明の第 1 の実施形態に係る不揮発性メモリのブロック図である。

【0012】

この不揮発性メモリは、後述する P C R A M (相変化型素子)、R e R A M (可変抵抗素子)等の抵抗変化型素子を使用したメモリセルをマトリクス状に配置したメモリセルアレイ 1 を備える。メモリセルアレイ 1 のビット線 B L 方向に隣接する位置には、メモリセルアレイ 1 のビット線 B L を制御し、メモリセルのデータ消去、メモリセルへのデータ書き込み、及びメモリセルからのデータ読み出しを行うカラム制御回路 2 が設けられている。また、メモリセルアレイ 1 のワード線 W L 方向に隣接する位置には、メモリセルアレイ 1 のワード線 W L を選択し、メモリセルのデータ消去、メモリセルへのデータ書き込み、及びメモリセルからのデータ読み出しに必要な電圧を印加するロウ制御回路 3 が設けられている。これらカラム制御回路 2 及びロウ制御回路 3 で、メモリセルアレイ 1 に対するデータの読み出し / 書き込みを行うデータ読み出し / 書き込み回路を構成する。

【0013】

データ入出力バッファ 4 は、外部の図示しないホスト装置と接続され、ホスト装置との

10

20

30

40

50

間で書き込みデータの受け取り、消去命令の受け取り、読み出しデータの出力、アドレスデータやコマンドデータの受け取りを行う。データ入出力バッファ4は、受け取った書き込みデータをカラム制御回路2に送り、カラム制御回路2から読み出したデータを受け取って外部に出力する。外部のホスト装置からデータ入出力バッファ4に供給されたアドレスは、アドレスレジスタ5を介してカラム制御回路2及びロウ制御回路3に送られる。また、外部のホスト装置からデータ入出力バッファ4に供給されたコマンドは、コマンド・インターフェイス6に送られる。コマンド・インターフェイス6は、外部からの外部制御信号を受け、データ入出力バッファ4に入力されたデータが書き込みデータかコマンドかアドレスかを判断し、コマンドであれば受け取りコマンド信号としてステートマシン7に転送する。ステートマシン7は、この不揮発性メモリ全体の管理を行うもので、外部のホスト装置からのコマンドを受け付け、読み出し、書き込み、消去、データの入出力管理等を行う。また、外部のホスト装置は、ステートマシン7が管理するステータス情報を受け取り、動作結果を判断することも可能である。また、このステータス情報は書き込み、消去の制御にも利用される。

10

【0014】

また、ステートマシン7によってパルスジェネレータ9が制御される。この制御により、パルスジェネレータ9は任意の電圧、任意のタイミングのパルスを出力することが可能となる。ここで、形成されたパルスはカラム制御回路2及びロウ制御回路3で選択された任意の配線へ転送することが可能である。

20

【0015】

なお、メモリセルアレイ1以外の周辺回路素子は配線層に形成されたメモリアレイ1の直下のSi基板に形成可能であり、これにより、この不揮発性メモリのチップ面積はほぼ、メモリセルアレイ1の面積に等しくすることも可能である。

【0016】

[メモリブロック及びその周辺回路]

図2は、メモリセルアレイ1の一部の斜視図、図3は、図2におけるI-I線で切断して矢印方向に見たメモリセル1つ分の断面図である。

【0017】

複数本の第1の配線としてワード線WL0~WL2が平行に配設され、これと交差して複数本の第2の配線としてビット線BL0~BL2が平行に配設され、これらの各交差部に両配線に挟まれるようにメモリセルMCが配置される。第1及び第2の配線は、熱に強く、且つ抵抗値の低い材料が望ましく、例えばW, WSi, NiSi, CoSi等を用いることができる。

30

【0018】

メモリセルMCは、図3に示すように、可変抵抗素子VRと非オーミック素子NOの直列接続回路からなる。

【0019】

可変抵抗素子VRとしては、電圧印加によって、電流、熱、化学エネルギー等を介して抵抗値を変化させることができるもので、上下にバリアメタル及び接着層として機能する電極EL1, EL2が配置される。電極材としては、Pt, Au, Ag, TiAlN, SrRuO, Ru, RuN, Ir, Co, Ti, TiN, TaN, LaNiO, Al, PtIrOx, PtRhOx, Rh/TaAlN等が用いられる。また、配向性を一様にするようなメタル膜の挿入も可能である。また、別途バッファ層、バリアメタル層、接着層等を挿入することも可能である。

40

【0020】

可変抵抗素子VRは、カルコゲナイド等のように結晶状態と非晶質状態の相転移により抵抗値を変化させるもの(PCRAM)、金属陽イオンを析出させて電極間に架橋(コンタクティングブリッジ)を形成したり、析出した金属をイオン化して架橋を破壊することで抵抗値を変化させるもの(CBRAM)、電圧あるいは電流印加により抵抗値が変化するもの(ReRAM)(電極界面に存在する電荷トラップにトラップされた電荷の存在の有無により抵抗変化が起きるものと、酸素欠損等に起因する伝導パスの存在の有無により

50

抵抗変化が起きるものにと大別される。)等を用いることができる。

【0021】

図4及び図5は、ReRAMの例を示す図である。図4に示す可変抵抗素子VRは、電極層11、13の間に記録層12を配置してなる。記録層12は、少なくとも2種類の陽イオン元素を有する複合物から構成される。陽イオン元素の少なくとも1種類は電子が不完全に満たされたd軌道を有する遷移元素とし、且つ隣接する陽イオン元素間の最短距離は、0.32nm以下とする。具体的には、化学式 $A_x M_y X_z$ (AとMは互いに異なる元素)で表され、例えばスピネル構造(AM_2O_4)、イルメナイト構造(AMO_3)、デラフォサイト構造(AMO_2)、LiMoN₂構造(AMN_2)、ウルフラマイト構造(AMO_4)、オリピン構造(A_2MO_4)、ホランダイト構造(A_xMO_2)、ラムスデライト構造(A_xMO_2)ペロブスカイト構造(AMO_3)等の結晶構造を持つ材料により構成される。

10

【0022】

図4の例では、AがZn、MがMn、XがOである。記録層12内の小さな白丸は拡散イオン(Zn)、大きな白丸は陰イオン(O)、小さな黒丸は遷移元素イオン(Mn)をそれぞれ表している。記録層12の初期状態は高抵抗状態であるが、電極層11を固定電位、電極層13側に負の電圧を印加すると、記録層12中の拡散イオンの一部が電極層13側に移動し、記録層12内の拡散イオンが陰イオンに対して相対的に減少する。電極層13側に移動した拡散イオンは、電極層13から電子を受け取り、メタルとして析出するため、メタル層14を形成する。記録層12の内部では、陰イオンが過剰となり、結果的に記録層12内の遷移元素イオンの下層を上昇させる。これにより、記録層12はキャリアの注入により電子伝導性を有するようになってセット動作が完了する。再生に関しては、記録層12を構成する材料が抵抗変化を起こさない程度の微小な電流値を流せば良い。プログラム状態(低抵抗状態)を初期状態(高抵抗状態)にリセットするには、例えば記録層12に大電流を十分な時間流してジュール加熱して、記録層12の酸化還元反応を促進すれば良い。また、セット時と逆向きの電場を印加することによってモリセット動作が可能である。

20

【0023】

図5の例は、電極層11、13に挟まれた記録層15が第1化合物層15aと第2化合物層15bの2層で形成されている。第1化合物層15aは電極層11側に配置され化学式 $A_x M_1 y X_1 z$ で表記される。第2化合物層15bは電極層13側に配置され第1化合物層15aの陽イオン元素を収容できる空隙サイトを有している。

30

【0024】

図5の例では、第1化合物層15aにおけるAがMg、M1がMn、X1がOである。第2化合物層15bには、遷移還元イオンとして黒丸で示すTiが含まれている。また、第1化合物層15a内の小さな白丸は拡散イオン(Mg)、大きな白丸は陰イオン(O)、二重丸は遷移元素イオン(Mn)をそれぞれ表している。なお、第1化合物層15aと第2化合物層15bとは、2層以上の複数層となるように積層されていても良い。

【0025】

この可変抵抗素子VRにおいて、第1化合物層15aが陽極側、第2化合物層15bが陰極側となるように、電極層11、13に電位を与え、記録層15に電位勾配を発生させると、第1化合物層15a内の拡散イオンの一部が結晶中を移動し、陰極側の第2化合物層15b内に進入する。第2化合物層15bの結晶中には、拡散イオンを収容できる空隙サイトがあるため、第1化合物層15a側から移動してきた拡散イオンは、この空隙サイトに収まることになる。このため、第1化合物層15a内の遷移元素イオンの価数が上昇し、第2化合物層15b内の遷移元素イオンの価数が減少する。初期状態において、第1及び第2の化合物層15a、15bが高抵抗状態であるとすれば、第1化合物層15a内の拡散イオンの一部が第2化合物層15b内に移動することにより、第1及び第2化合物の結晶中に伝導キャリアが発生し、両者共に電気伝導性を有することになる。なお、プログラム状態(低抵抗状態)を消去状態(高抵抗状態)にリセットするには、先の例と同様

40

50

に、記録層 15 に大電流を十分な時間流してジュール加熱して、記録層 15 の酸化還元反応を促進すれば良い。また、セット時とは逆向きの電場を印加することによってリセットは可能である。

【 0 0 2 6 】

非オーミック素子 NO は、例えば図 6 に示すように、(a) ショットキーダイオード、(b) PN 接合ダイオード、(c) PIN ダイオード等の各種ダイオード、(d) MIM (Metal-Insulator-Metal) 構造、(e) SIS 構造 (Silicon-Insulator-Silicon) 等からなる。ここにもバリアメタル層、接着層を形成する電極 EL2, EL3 を挿入しても良い。また、ダイオードを使用する場合はその特性上、ユニポーラ動作を行うことができ、また、MIM 構造、SIS 構造等の場合にはバイポーラ動作を行うことが可能である。なお、非オーミック素子 NO と可変抵抗素子 VR の配置は、図 3 と上下を逆にしても良いし、非オーミック素子 NO の極性を上下反転させても良い。

10

【 0 0 2 7 】

また、図 7 に示すように、上述したメモリ構造を複数積層した三次元構造とすることもできる。ここでは、シリコン基板 21 上に 4 層のセルアレイ CA0 ~ CA3 を積層した例を示している。各セルアレイのワード線 WL は、ビア配線 24 により共通接続されて基板 21 上のロウ制御回路 23 に接続される。各セルアレイ CA0 ~ CA3 のビット線 BL は独立にそれぞれビア配線 25 を介して、基板 21 上のカラム制御回路 22 に接続される。

【 0 0 2 8 】

図 8 は、図 1 のメモリセルアレイ 1 の詳細を示す等価回路図である。なお、ここでは、非オーミック素子 NO としてダイオード SD を用い、説明を簡単にするため、1 層構造であるとして説明を進める。

20

【 0 0 2 9 】

図 8 において、メモリセルアレイ MA のメモリセル MC は、直列接続されたダイオード SD 及び可変抵抗素子 VR により構成される。ダイオード SD のアノードはビット線 BL に接続され、カソードは可変抵抗素子 VR を介してワード線 WL に接続されている。各ビット線 BL の一端はカラム制御回路 2 に接続されている。また、各ワード線 WL の一端はロウ制御回路 3 に接続されている。

【 0 0 3 0 】

なお、メモリセル MC は、個別に選択されても、選択されたワード線 WL1 につながる複数のメモリセル MC のデータが一括で読み出される形式でも良い。また、メモリセルアレイ 1 は、図 8 に示した回路とは、ダイオード SD の極性を逆にして、ワード線 WL 側からビット線 BL 側に電流が流れるようにしても良い。

30

【 0 0 3 1 】

[不揮発性メモリの動作]

次に、このように構成された不揮発性半導体メモリの動作について説明する。

【 0 0 3 2 】

メモリセル MC を構成する可変抵抗素子 VR の抵抗値は、図 9 に示すように、消去状態では 100 k ~ 1 M の高抵抗範囲に分布し、書き込み (プログラム) 状態では 1 k ~ 10 k の低抵抗範囲に分布する。データの消去は、可変抵抗素子 VR に、例えば 0.7 V 程度の消去電圧 VERA を印加し、1 μ A ~ 10 μ A の電流を 200 ns ~ 1 μ s だけ流すリセット動作により行う。可変抵抗素子 VR へのデータの書き込み (プログラム) は、可変抵抗素子 VR に、例えば 4.5 V 程度 (電流値は 10 nA 程度) のプログラム電圧 VPGM を 10 ns ~ 100 ns だけ印加して、可変抵抗素子 VR の抵抗値を低抵抗範囲内に移動させる処理となる。

40

【 0 0 3 3 】

いま、図 8 の点線円で示すように、ワード線 WL0 及びビット線 BL0 につながるメモリセル MC を選択セル A としてデータの書き込みを行う場合を想定すると、“1”データの書き込みはリセット動作、“0”データの書き込みはセット動作となる。リセット動作とセット動作は、印加する電圧及び時間が異なるので、異なるタイミングで実行すること

50

が望ましい。

【 0 0 3 4 】

図 1 0 は、リセット動作がセット動作に先行する例を示す図である。

【 0 0 3 5 】

選択セル A に “ 1 ” を書き込む場合には、非選択ビット線 B L 1 , B L 2 及び選択ワード線 W L 0 に、それぞれ基準電圧である 0 V を印加し、選択ビット線 B L 0 に消去電圧 V E R A を印加する。このとき、非選択ワード線 W L 1 , W L 2 には、消去電圧 V E R A を印加すれば良いが、この第 1 の実施形態では、セット動作時の立ち上がりを速めるため、リセット時においても非選択ワード線 W L 1 , W L 2 をスタンバイ電圧として制御電圧であるプログラム電圧 V P G M まで充電するようにしている。この結果、選択セル A には、順バイアスで消去電圧 V E R A が所定時間印加され、消去電流が流れて内部に発生するジュール熱によりリセットされる。一方、選択ビット線 B L 0 と非選択ワード線 W L 1 , W L 2 に接続された非選択メモリセル M C には逆バイアスが印加されて電流は流れない。また、非選択ビット線 B L 1 , B L 2 と選択ワード線 W L 0 に接続された非選択メモリセル M C の両端には 0 V が印加されるため、こちらも電流が流れない。

10

【 0 0 3 6 】

選択セル A に “ 0 ” を書き込む場合には、リセット動作に続くセット動作のタイミングで、非選択ビット線 B L 1 , B L 2 及び選択ワード線 W L 0 に、それぞれ基準電圧である 0 V を印加し、選択ビット線 B L 0 にプログラム電圧 V P G M を印加する。このとき、非選択ワード線 W L 1 , W L 2 には、リセット動作時に既にプログラム電圧 V P G M まで充電されている。この結果、選択セル A には、プログラム電圧 V P G M が印加され、選択セル A がセットされる。一方、選択ビット線 B L 0 と非選択ワード線 W L 1 , W L 2 に接続された非選択メモリセル M C の両端には共にプログラム電圧 V P G M が印加されるので、電流は流れない。また、非選択ビット線 B L 1 , B L 2 と選択ワード線 W L 0 に接続された非選択メモリセル M C の両端には 0 V が印加されるため、こちらも電流が流れない。

20

【 0 0 3 7 】

なお、選択セル A からデータを読み出す際には、選択ビット線 B L 0 に読み出し電圧 V R E A D を印加すると共に、非選択ビット線 B L 1 , B L 2 に 0 V を印加し、選択ワード線 W L 0 に 0 V を印加すると共に、非選択ワード線 W L 1 , W L 2 には、0 V ~ V R E A D の電圧を印加する。これにより、選択セル A のダイオードが順方向バイアスされるので、選択セル A に流れる電流値をカラム制御回路 2 又はロウ制御回路 3 に設けた図示しないセンスアンプで検出して選択セル A の抵抗値が高抵抗か低抵抗かを判定する。これにより、データの読み出しを行う。

30

【 0 0 3 8 】

以上のように、本実施形態によれば、先行するリセット動作の中に非選択ワード線の充電時間を確保することにより、セット動作の立ち上がりを速めることができるという効果がある。すなわち、リセット動作はセット動作に比べて動作時間が数十倍長く、且つ非選択ワード線 W L 1 , W L 2 の電圧が V P G M まで立ち上がる必要はないので、リセット動作と非選択ワード線 W L 1 , W L 2 の充電動作とを同時に行うことで、非選択ワード線をプログラム電圧 V P G M まで充電する時間をリセット動作時間の中に隠すことができる。

40

【 0 0 3 9 】

また、本実施形態によれば、リセット動作とセット動作の間に非選択ワード線が充放電されることがないので、消費電力も低減することができる。

【 0 0 4 0 】

更に、本実施形態によれば、セット動作で選択ビット線 B L 0 をプログラム電圧 V P G M に立ち上げるときには、パルスジェネレータ 9 から出力される高電圧 V P P が非選択ワード線による大きな容量 C a p につながっているため、容量分配だけで選択ビット線 B L 0 を高速に立ち上げることができる。つまり選択ビット線 B L 0 の立ち上げ速度はパルスジェネレータ 9 のポンプ能力に依存しない。

【 0 0 4 1 】

50

[第 2 の実施形態]

図 1 1 は、本発明の第 2 の実施形態に係る不揮発性半導体メモリのデータ書き込み方法を説明するための波形図である。

【 0 0 4 2 】

第 1 の実施形態では、リセット動作時に非選択ワード線にスタンバイ電圧として制御電圧（プログラム電圧） V_{PGM} を印加したが、第 2 の実施形態では、リセット動作時の非選択ワード線にスタンバイ電圧として制御電圧（プログラム電圧） V_{PGM} よりも低い V_{PGM-} を印加している。これにより、逆バイアスされるダイオードのオフリークの影響を排除することができる。

【 0 0 4 3 】

[第 3 の実施形態]

図 1 2 は、本発明の第 3 の実施形態に係る不揮発性半導体メモリのデータ書き込み方法を説明するための波形図である。

【 0 0 4 4 】

この第 3 の実施形態では、第 1 の実施形態におけるリセット動作に先立って、充電シーケンスを設けている。

【 0 0 4 5 】

この実施形態によれば、リセット動作の立ち上がりも早くなる。なお、充電シーケンスとして、図示のように、非選択ワード線をプログラム電圧 V_{PGM} に充電する前に、一度 V_{DD} や他の電位に充電することにより、高速化及び昇圧回路の負荷軽減を図ることができる。

【 0 0 4 6 】

[第 4 の実施形態]

図 1 3 は、本発明の第 4 の実施形態に係る不揮発性半導体メモリのデータ書き込み方法を説明するための波形図である。

【 0 0 4 7 】

この実施形態は、非選択ワード線をスタンバイ電圧としてプログラム電圧 V_{PGM} に維持したまま、選択ビット線を順次変化させて選択メモリセルを順次セットして行くようにした例である。セットは、1 ビットずつの他、複数ビットからなる所定の分割単位で順次行うようにしても良い。

【 0 0 4 8 】

本実施形態によれば、非選択ワード線がプログラム電圧 V_{PGM} に維持されているので、非選択ワード線の放電及び充電時間を短縮して高速データ書き込みが可能になる。なお、選択ビット線の切り替え時間 A にベリファイ動作を行うようにしても良い。

【 0 0 4 9 】

[第 5 の実施形態]

図 1 4 は、本発明の第 5 の実施形態に係る不揮発性半導体メモリのデータ書き込み方法を説明するための波形図である。

【 0 0 5 0 】

この実施形態は、非選択ワード線をスタンバイ電圧であるプログラム電圧 V_{PGM} に維持したまま、選択ビット線と選択ワード線を順次変化させて選択メモリセルを順次セットして行くようにした例である。セットは、1 ビットずつの他、複数ビットからなる所定の分割単位で順次行うようにしても良い。

【 0 0 5 1 】

ワード線 BL_0 , BL_1 が選択状態から非選択状態、又は非選択状態から選択状態に切り替わる際に、ワード線に対する充電又は放電が生じるが、充電又は放電されるワード線は限定されているのに対し、大多数の非選択ワード線はプログラム電圧 V_{PGM} に維持されているので、この場合にも高速データ書き込みが可能になる。

【 0 0 5 2 】

[第 6 の実施形態]

10

20

30

40

50

図15は、本発明の第6の実施形態に係る不揮発性半導体メモリのデータ書き込み方法を説明するための波形図である。

【0053】

この実施形態では、リセット動作とセット動作に続いてペリファイ動作を設けている。ペリファイ動作中も非選択ワード線はスタンバイ電圧としてプログラム電圧VPGMを維持している。これにより、先の実施形態と同様に高速のデータ書き込みが可能である。

【0054】

[第7の実施形態]

図16は、本発明の第7の実施形態に係る不揮発性半導体メモリのデータ書き込み方法を説明するための波形図である。

【0055】

この実施形態は、セット動作をリセット動作に先行させて設けた例である。また、セット動作に先立ち充電シーケンスを設けている。本実施形態の場合、充電シーケンスにより非選択ワード線をプログラム電圧VPGMまで充電し、“0”書き込み(セット)を先行させる。リセット動作時にも非選択ワード線の電圧はプログラム電圧VPGMを保持する。以後、更なる連続動作を行っても良い。

【0056】

これにより、非選択ワード線のオンオフを省略することができるので、高速書き込みと消費電力の低減を図ることができる。

【0057】

[その他の実施形態]

本発明は、上述した実施形態に限定されるものではない。

【0058】

上記実施形態では、ビット線を第1の配線、ワード線を第2の配線としたが、メモリセルの整流素子の極性を反転させれば、ワード線を第1の配線、ビット線を第2の配線として、同様のデータ書き込み方法を実現することができる。

【0059】

また、整流素子にオンさせないための制御電圧は、プログラム電圧に限定されるものではなく、整流素子の閾値を超えない範囲でこれよりも低い電圧を与えるようにしても良い。

【図面の簡単な説明】

【0060】

【図1】本発明の第1の実施形態に係る不揮発性半導体メモリのブロック図である。

【図2】同実施形態に係る不揮発性メモリのメモリセルアレイの一部の斜視図である。

【図3】図2におけるI-I'線で切断して矢印方向に見たメモリセル1つ分の断面図である。

【図4】同実施形態における可変抵抗素子の一例を示す模式的な断面図である。

【図5】同実施形態における可変抵抗素子の他の例を示す模式的な断面図である。

【図6】同実施形態における非オーミック素子の例を示す模式的断面図である。

【図7】同実施形態の変形例に係るメモリセルアレイの一部を示す斜視図である。

【図8】同実施形態に係る不揮発性メモリのメモリセルアレイ及びその周辺回路の回路図である。

【図9】二値データの場合のメモリセルの抵抗値分布とデータの関係を示すグラフである。

【図10】同実施形態に係る不揮発性半導体メモリのデータ書き込み方法を説明するための波形図である。

【図11】本発明の第2の実施形態に係る不揮発性半導体メモリのデータ書き込み方法を説明するための波形図である。

【図12】本発明の第3の実施形態に係る不揮発性半導体メモリのデータ書き込み方法を説明するための波形図である。

10

20

30

40

50

【図13】本発明の第4の実施形態に係る不揮発性半導体メモリのデータ書き込み方法を説明するための波形図である。

【図14】本発明の第5の実施形態に係る不揮発性半導体メモリのデータ書き込み方法を説明するための波形図である。

【図15】本発明の第6の実施形態に係る不揮発性半導体メモリのデータ書き込み方法を説明するための波形図である。

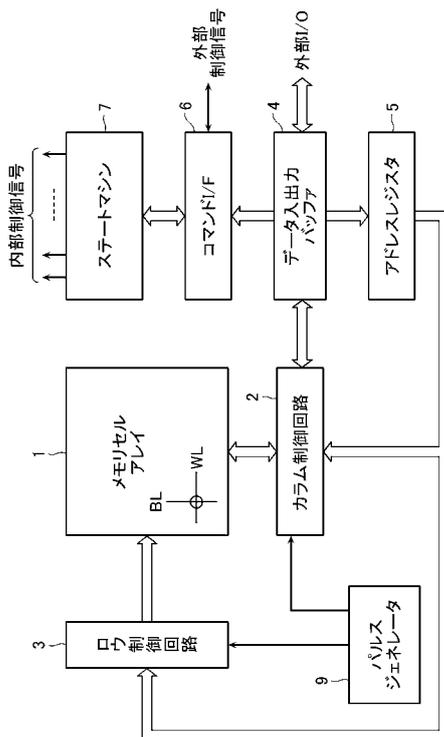
【図16】本発明の第7の実施形態に係る不揮発性半導体メモリのデータ書き込み方法を説明するための波形図である。

【符号の説明】

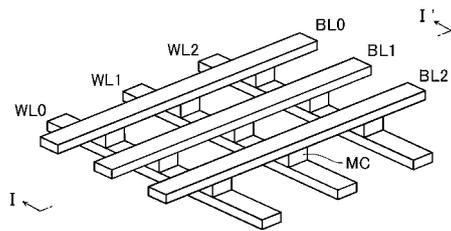
【0061】

1...メモリセルアレイ、2...カラム制御回路、3...row制御回路、4...データ入出力バッファ、5...アドレスレジスタ、6...コマンド・インターフェイス、7...ステートマシン、9...パルスジェネレータ。

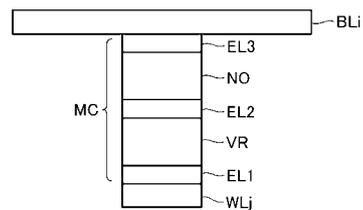
【図1】



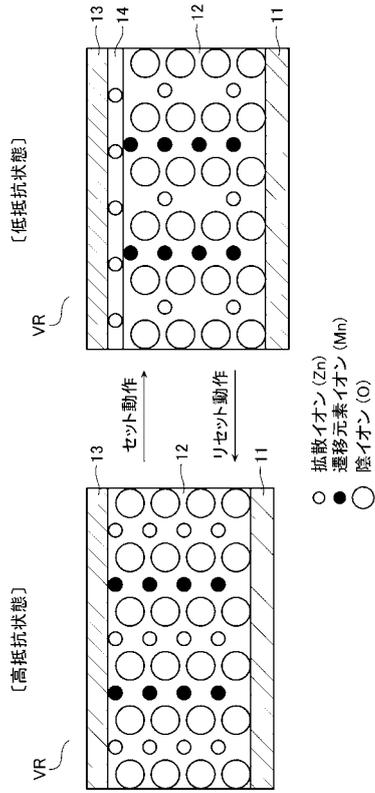
【図2】



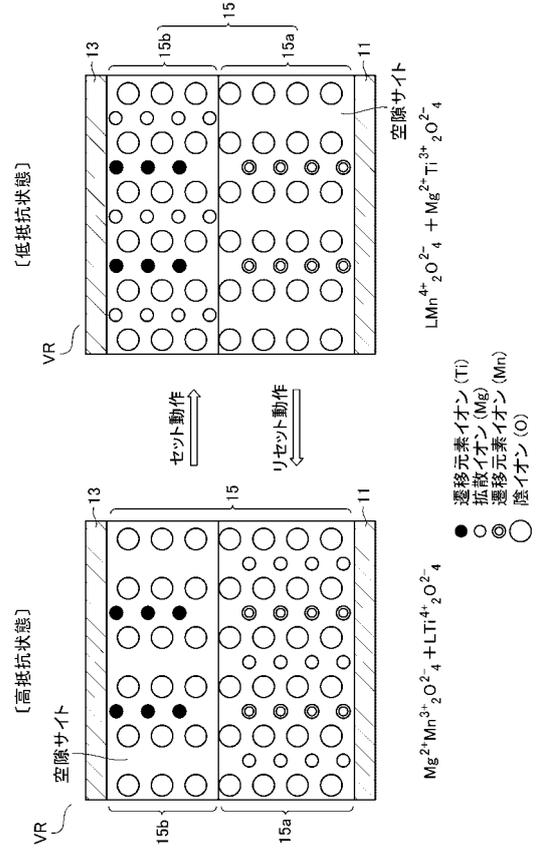
【図3】



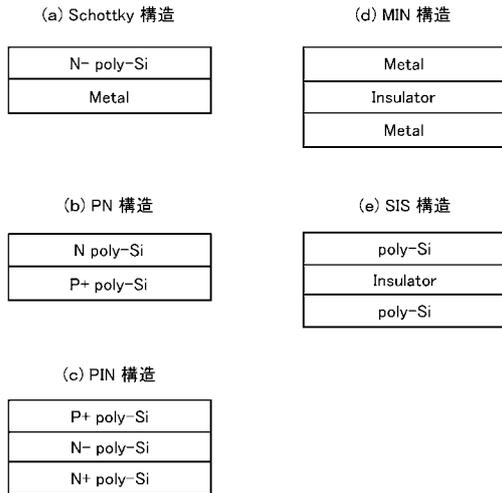
【 図 4 】



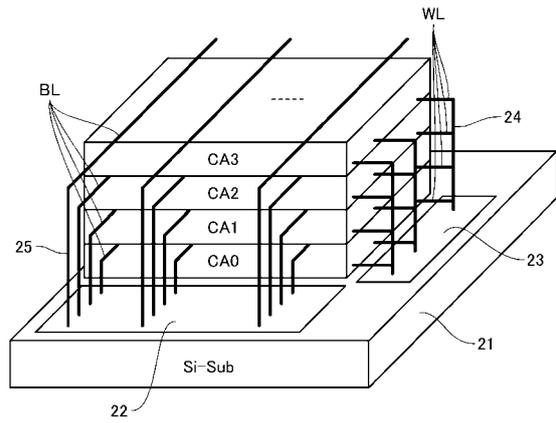
【 図 5 】



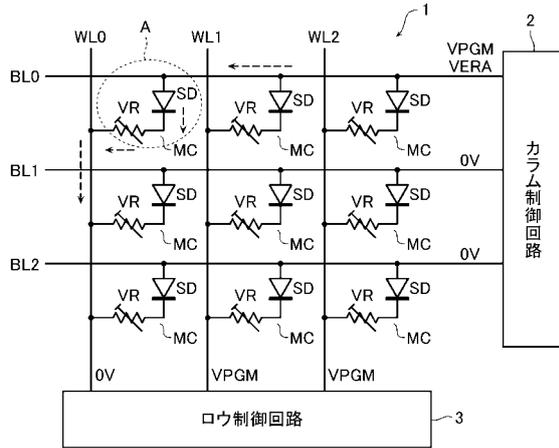
【 図 6 】



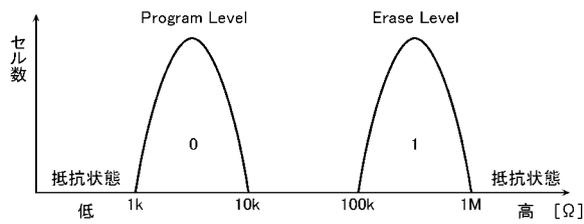
【 図 7 】



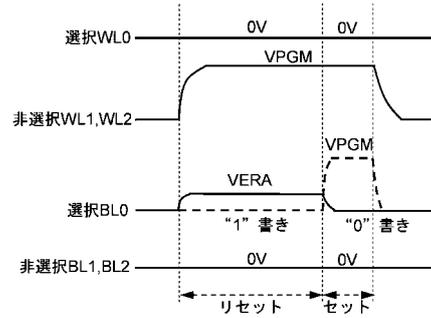
【図 8】



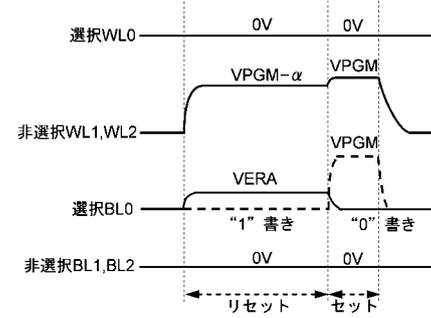
【図 9】



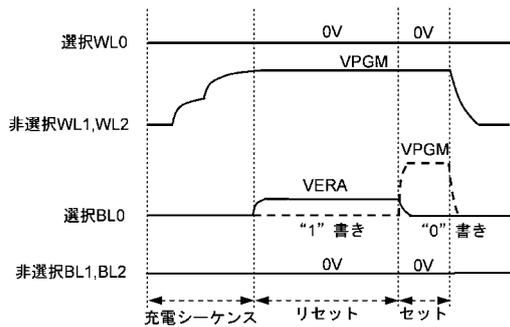
【図 10】



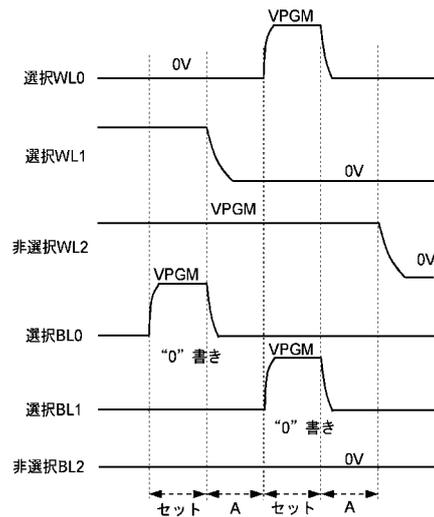
【図 11】



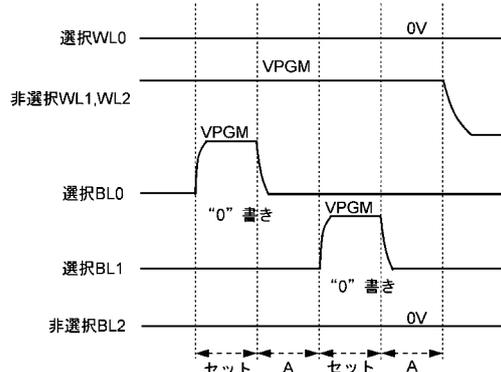
【図 12】



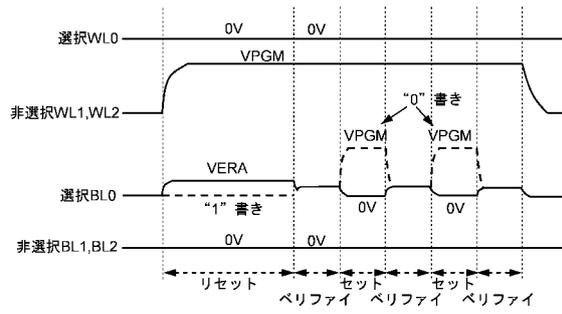
【図 14】



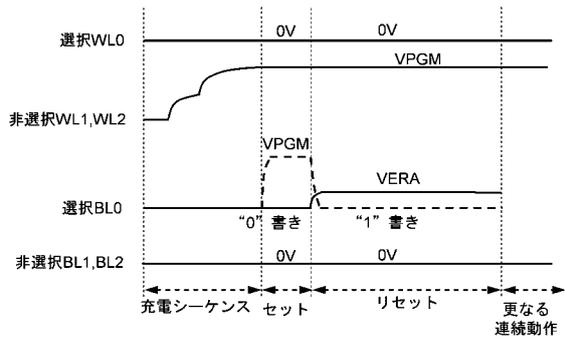
【図 13】



【図 15】



【図 16】



フロントページの続き

(72)発明者 向井 秀夫
東京都港区芝浦一丁目1番1号 株式会社東芝内

審査官 後藤 彰

(56)参考文献 特開2008-123595(JP,A)
特開平07-263647(JP,A)
特表2005-514722(JP,A)
特表2008-527613(JP,A)
国際公開第2006/078506(WO,A1)

(58)調査した分野(Int.Cl., DB名)
G11C 13/00