

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2018-26518

(P2018-26518A)

(43) 公開日 平成30年2月15日(2018.2.15)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 27/115 (2017.01)	HO 1 L 27/10 4 3 4	5 F 0 8 3
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 3 7 1	5 F 1 0 1
HO 1 L 29/788 (2006.01)		
HO 1 L 29/792 (2006.01)		

審査請求 未請求 請求項の数 26 O L (全 28 頁)

(21) 出願番号 特願2017-16330 (P2017-16330)
 (22) 出願日 平成29年1月31日 (2017.1.31)
 (31) 優先権主張番号 62/374,034
 (32) 優先日 平成28年8月12日 (2016.8.12)
 (33) 優先権主張国 米国 (US)

(71) 出願人 317006041
 東芝メモリ株式会社
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100108062
 弁理士 日向寺 雅彦
 (72) 発明者 内海 哲章
 東京都港区芝浦一丁目1番1号 株式会社
 東芝内
 Fターム(参考) 5F083 EP18 EP23 EP33 EP34 EP76
 GA10 JA37 JA39 KA01 LA10
 LA16 LA21 MA06 MA16 MA19
 NA01 ZA03 ZA05 ZA06 ZA07
 5F101 BA26 BA36 BA45 BB05 BD16
 BD22 BD30 BD34 BD35

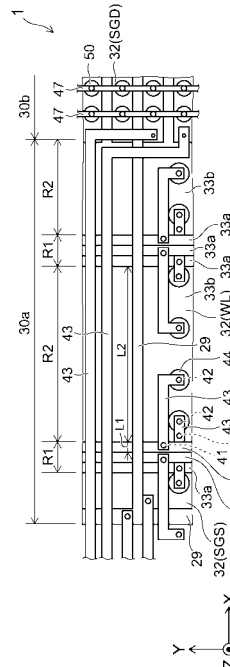
(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】配線のレイアウトが容易な半導体記憶装置を提供する。

【解決手段】半導体記憶装置は、半導体基板と、前記半導体基板の上面に形成され第1方向に沿って配列され、最小周期が第1周期である複数のトランジスタと、前記半導体基板上に設けられ複数枚の電極膜を有する積層体と、下端が前記電極膜に接続された第1コンタクトと、前記積層体を貫き、下端が前記トランジスタのソース・ドレインの一方に接続された第2コンタクトと、を備える。前記積層体の第1部分の形状は、前記電極膜毎にテラスが形成された階段状である。前記第1部分には、前記第1方向に沿って、第1領域及び第2領域が設定されている。前記第2領域に配置された前記テラスの前記第1方向における長さは、前記第1周期よりも長い。前記第1領域に配置された前記テラスの前記第1方向における長さは、前記第1周期よりも短い。

【選択図】 図2



【特許請求の範囲】**【請求項 1】**

半導体基板と、

前記半導体基板の上面に形成され、前記上面に平行な第 1 方向に沿って配列され、前記配列の最小周期が第 1 周期である複数のトランジスタと、

前記半導体基板上に設けられた積層体と、

第 1 コンタクトと、

第 2 コンタクトと、

前記第 1 コンタクトと前記第 2 コンタクトとの間に接続された第 1 配線と、

を備え、

10

前記積層体は、

上下方向に沿って相互に離隔して積層された複数枚の電極膜と、

前記複数のトランジスタの直上域を除く領域において前記複数枚の電極膜を貫く半導体部材と、

前記半導体部材と前記複数枚の電極膜の 1 枚との間に設けられた電荷蓄積部材と、

を有し、

前記積層体における前記複数のトランジスタの直上域に配置された第 1 部分の形状は、前記電極膜毎にテラスが形成された階段状であり、

前記第 1 部分には、前記第 1 方向に沿って 2 つの第 1 領域及び前記 2 つの第 1 領域間に配置された第 2 領域が設定されており、

20

各前記第 1 領域には、複数の前記テラスが配置されており、

前記第 2 領域には、1 つの前記テラスが配置されており、

前記第 2 領域に配置された前記テラスの前記第 1 方向における長さは、前記第 1 周期よりも長く、

前記第 1 領域に配置された前記テラスの前記第 1 方向における長さは、前記第 1 周期よりも短く、

前記第 1 コンタクトの下端は、前記複数枚の電極膜の 1 枚に前記テラスにおいて接続されており、

前記第 2 コンタクトは、前記積層体を貫き、下端が前記トランジスタのソース・ドレインの一方に接続された半導体記憶装置。

30

【請求項 2】

前記第 1 コンタクトは前記第 1 領域に配置されており、前記第 2 コンタクトは前記第 2 領域に配置されている請求項 1 記載の半導体記憶装置。

【請求項 3】

前記第 1 配線は、前記積層体上に配置されている請求項 1 または 2 に記載の半導体記憶装置。

【請求項 4】

前記第 1 配線は、前記第 1 コンタクトの上端及び前記第 2 コンタクトの上端に接続されている請求項 1 ~ 3 のいずれか 1 つに記載の半導体記憶装置。

【請求項 5】

40

前記第 2 領域は複数設定されており、

前記第 1 領域と前記第 2 領域は、前記第 1 方向に沿って交互に配置されている請求項 1 ~ 4 のいずれか 1 つに記載の半導体記憶装置。

【請求項 6】

前記第 1 部分の上面は、前記上下方向及び前記第 1 方向に対して交差した第 2 方向における任意の位置において、前記半導体部材から遠ざかる前記第 1 方向に沿って、途中で上ることなく段階的に下っている請求項 1 ~ 5 のいずれか 1 つに記載の半導体記憶装置。

【請求項 7】

前記複数の電極膜の 1 つは、前記上下方向及び前記第 1 方向に対して交差した第 2 方向に沿って配列された複数の帯状部分に分割されており、

50

前記第 1 コントクトは、前記複数の帯状部分のうちの第 1 の帯状部分に接続されており、前記第 2 コントクトは、前記複数の帯状部分のうちの第 2 の帯状部分を貫く請求項 1 ~ 6 のいずれか 1 つに記載の半導体記憶装置。

【請求項 8】

前記第 1 の帯状部分と前記第 2 の帯状部分は隣り合っている請求項 7 記載の半導体記憶装置。

【請求項 9】

前記第 1 配線は、前記第 2 方向に延びる部分を有する請求項 7 または 8 に記載の半導体記憶装置。

【請求項 10】

前記複数の電極膜の 1 つは、前記上下方向及び前記第 1 方向に対して交差した第 2 方向に沿って配列された複数の帯状部分に分割されており、

前記複数の帯状部分は同じ前記トランジスタに接続されている請求項 1 ~ 9 のいずれか 1 つに記載の半導体記憶装置。

【請求項 11】

前記積層体は、前記上下方向及び前記第 1 方向に対して交差した第 2 方向に沿って配列された複数の帯状部分に分割されており、

前記第 1 部分において、前記帯状部分間にはスリットが形成されており、

前記トランジスタは前記スリットの直下域に配置されている請求項 1 ~ 10 のいずれか 1 つに記載の半導体記憶装置。

【請求項 12】

前記複数のトランジスタは、前記上下方向及び前記第 1 方向に対して交差した第 2 方向に沿っても配列されている請求項 1 ~ 11 のいずれか 1 つに記載の半導体記憶装置。

【請求項 13】

前記テラスは、前記上下方向及び前記第 1 方向に対して交差した第 2 方向に沿っても配列されている請求項 1 ~ 12 のいずれか 1 つに記載の半導体記憶装置。

【請求項 14】

前記複数の電極膜の 1 つは、前記上下方向及び前記第 1 方向に対して交差した第 2 方向に沿って配列された複数の帯状部分に分割されており、

前記第 1 部分において、前記第 1 コントクトは、一部の前記帯状部分に接続されている請求項 1 ~ 13 のいずれか 1 つに記載の半導体記憶装置。

【請求項 15】

前記第 1 部分において、前記第 1 コントクトは、隣り合う複数本の前記帯状部分に接続されており、隣り合う他の複数本の前記帯状部分には接続されていない請求項 14 記載の半導体記憶装置。

【請求項 16】

前記第 1 コントクト及び前記第 2 コントクトは、前記第 1 方向において同じ位置に配置されている請求項 1 ~ 15 のいずれか 1 つに記載の半導体記憶装置。

【請求項 17】

前記トランジスタのソース・ドレインの他方に接続され、前記上下方向及び前記第 1 方向に対して交差した第 2 方向に延びる第 2 配線をさらに備えた請求項 1 ~ 16 のいずれか 1 つに記載の半導体記憶装置。

【請求項 18】

前記半導体基板と前記積層体の間に設けられ、前記半導体部材が接続された導電膜をさらに備えた請求項 1 ~ 17 のいずれか 1 つに記載の半導体記憶装置。

【請求項 19】

前記半導体部材は前記半導体基板に接続されている請求項 18 記載の半導体記憶装置。

【請求項 20】

第 1 チップと、
第 2 チップと、

10

20

30

40

50

を備え、
 前記第 1 チップは、
 第 1 半導体基板と、
 前記第 1 半導体基板上に設けられた積層体と、
 第 1 コンタクトと、
 第 1 パッドと、
 を有し、
 前記積層体は、
 上下方向に沿って相互に離隔して積層された複数枚の電極膜と、
 前記複数枚の電極膜を貫く半導体部材と、
 前記半導体部材と前記複数枚の電極膜の 1 枚との間に設けられた電荷蓄積部材と、
 を有し、
 前記第 1 コンタクトは、前記複数枚の電極膜の 1 枚を前記第 1 パッドに接続し、
 前記第 2 チップは、
 第 2 半導体基板と、
 前記第 2 半導体基板の上面に形成された複数のトランジスタと、
 第 2 パッドと、
 前記トランジスタのソース・ドレインの一方を前記第 2 パッドに接続する第 2 コンタ
 クトと、
 を有し、
 前記第 1 チップと前記第 2 チップは、前記第 1 パッドが前記第 2 パッドに対向するよう
 に配置されており、
 前記第 1 パッドは前記第 2 パッドに接続されている半導体記憶装置。
 【請求項 2 1】
 前記第 1 パッドと前記第 2 パッドとの間に接続されたバンプをさらに備えた請求項 2 0
 記載の半導体記憶装置。
 【請求項 2 2】
 前記第 1 パッドと前記第 2 パッドとの間に接続された導電性のピラーをさらに備えた請
 求項 2 0 記載の半導体記憶装置。
 【請求項 2 3】
 前記第 1 パッドは前記第 2 パッドに接している請求項 2 0 記載の半導体記憶装置。
 【請求項 2 4】
 前記積層体の第 1 方向の端部の形状は、前記電極膜毎にテラスが形成された階段状であ
 り、
 前記端部には、前記第 1 方向に沿って 2 つの第 1 領域及び前記 2 つの第 1 領域間に配置
 された第 2 領域が設定されており、
 各前記第 1 領域には、複数の前記テラスが配置されており、
 前記第 2 領域には、1 つの前記テラスが配置されており、
 前記第 2 領域に配置された前記テラスの前記第 1 方向における長さは、前記第 1 パッド
 の前記第 1 方向における最小周期と前記複数のトランジスタの前記第 1 方向における最小
 周期のうち、より大きい方の周期よりも長く、
 前記第 1 領域に配置された前記テラスの前記第 1 方向における長さは、前記より大きい
 方の周期よりも短い請求項 2 0 ~ 2 3 のいずれか 1 つに記載の半導体記憶装置。
 【請求項 2 5】
 前記電荷蓄積部材はシリコン及び窒素を含む請求項 1 ~ 1 4 のいずれか 1 つに記載の半
 導体記憶装置。
 【請求項 2 6】
 前記電荷蓄積部材は導電性である請求項 1 ~ 1 4 のいずれか 1 つに記載の半導体記憶装
 置。
 【発明の詳細な説明】

10

20

30

40

50

【技術分野】

【0001】

実施形態は、半導体記憶装置に関する。

【背景技術】

【0002】

近年、メモリセルを3次元的に集積させた積層型の半導体記憶装置が提案されている。このような積層型の半導体記憶装置においては、半導体基板上に電極膜と絶縁膜が交互に積層された積層体が設けられており、積層体を貫く半導体ピラーが設けられている。これにより、電極膜と半導体ピラーの交差部分毎にメモリセルトランジスタが形成される。一方、積層体の周辺には電極膜に電位を供給するか否かを切り替えるトランジスタが設けられている。積層体の端部は階段状に加工されており、各電極膜にコンタクトが接続され、このコンタクトが上層配線を介してトランジスタに接続されている。このような半導体記憶装置においては、電極膜の積層数が増加すると、上層配線の本数が増え、レイアウトの作成が困難になる。

10

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2007-266143号公報

【特許文献2】特開2014-53605号公報

【発明の概要】

20

【発明が解決しようとする課題】

【0004】

実施形態の目的は、配線のレイアウトが容易な半導体記憶装置を提供することである。

【課題を解決するための手段】

【0005】

実施形態に係る半導体記憶装置は、半導体基板と、前記半導体基板の上面に形成され、前記上面に平行な第1方向に沿って配列され、前記配列の最小周期が第1周期である複数のトランジスタと、前記半導体基板上に設けられた積層体と、第1コンタクトと、第2コンタクトと、前記第1コンタクトと前記第2コンタクトとの間に接続された第1配線と、を備える。前記積層体は、上下方向に沿って相互に離隔して積層された複数枚の電極膜と、前記トランジスタの直上域を除く領域において前記複数枚の電極膜を貫く半導体部材と、前記半導体部材と前記複数枚の電極膜の1枚との間に設けられた電荷蓄積部材と、を有する。前記積層体における前記トランジスタの直上域に配置された第1部分の形状は、前記電極膜毎にテラスが形成された階段状である。前記第1部分には、前記第1方向に沿って2つの第1領域及び前記2つの第1領域間に配置された第2領域が設定されている。各前記第1領域には、複数の前記テラスが配置されている。前記第2領域には、1つの前記テラスが配置されている。前記第2領域に配置された前記テラスの前記第1方向における長さは、前記第1周期よりも長い。前記第1領域に配置された前記テラスの前記第1方向における長さは、前記第1周期よりも短い。前記第1コンタクトの下端は前記複数枚の電極膜の1枚に前記テラスにおいて接続されている。前記第2コンタクトは、前記積層体を貫き、下端が前記トランジスタのソース・ドレインの一方に接続されている。

30

40

【図面の簡単な説明】

【0006】

【図1】第1の実施形態に係る半導体記憶装置を示す断面図である。

【図2】第1の実施形態に係る半導体記憶装置の配線部を示す平面図である。

【図3】第1の実施形態に係る半導体記憶装置の基板面を示す平面図である。

【図4】図1の領域Aを示す一部拡大断面図である。

【図5】第2の実施形態に係る半導体記憶装置を示す平面図である。

【図6】図5に示すB-B'線による断面図である。

【図7】図5に示すC-C'線による断面図である。

50

- 【図 8】図 6 の領域 D を示す一部拡大断面図である。
- 【図 9】第 3 の実施形態に係る半導体記憶装置を示す平面図である。
- 【図 10】図 9 に示す E - E' 線による断面図である。
- 【図 11】図 9 に示す F - F' 線による断面図である。
- 【図 12】第 4 の実施形態に係る半導体記憶装置を示す平面図である。
- 【図 13】第 5 の実施形態に係る半導体記憶装置の積層体を示す平面図である。
- 【図 14】第 5 の実施形態に係る半導体記憶装置の半導体基板を示す平面図である。
- 【図 15】第 5 の実施形態に係る半導体記憶装置を示す断面図である。
- 【図 16】第 6 の実施形態に係る半導体記憶装置の積層体を示す平面図である。
- 【図 17】第 6 の実施形態に係る半導体記憶装置の半導体基板を示す平面図である。 10
- 【図 18】第 6 の実施形態に係る半導体記憶装置を示す断面図である。
- 【図 19】第 7 の実施形態に係る半導体記憶装置の積層体を示す平面図である。
- 【図 20】第 7 の実施形態に係る半導体記憶装置の半導体基板を示す平面図である。
- 【図 21】第 7 の実施形態に係る半導体記憶装置を示す断面図である。
- 【図 22】第 8 の実施形態に係る半導体記憶装置の積層体を示す平面図である。
- 【図 23】第 8 の実施形態に係る半導体記憶装置の半導体基板を示す平面図である。
- 【図 24】第 8 の実施形態に係る半導体記憶装置を示す断面図である。
- 【図 25】第 9 の実施形態に係る半導体記憶装置におけるトランジスタが形成されたチップを示す平面図である。
- 【図 26】第 9 の実施形態に係る半導体記憶装置における積層体が形成されたチップを示す平面図である。 20
- 【図 27】第 9 の実施形態に係る半導体記憶装置を示す断面図である。
- 【図 28】第 9 の実施形態の第 1 の変形例に係る半導体記憶装置におけるトランジスタが形成されたチップを示す平面図である。
- 【図 29】第 9 の実施形態の第 1 の変形例に係る半導体記憶装置における積層体が形成されたチップを示す平面図である。
- 【図 30】第 9 の実施形態の第 1 の変形例に係る半導体記憶装置を示す断面図である。
- 【図 31】第 9 の実施形態の第 2 の変形例に係る半導体記憶装置におけるトランジスタが形成されたチップを示す平面図である。
- 【図 32】第 9 の実施形態の第 2 の変形例に係る半導体記憶装置における積層体が形成されたチップを示す平面図である。 30
- 【図 33】第 9 の実施形態の第 2 の変形例に係る半導体記憶装置を示す断面図である。
- 【発明を実施するための形態】
- 【0007】
- (第 1 の実施形態)
- 先ず、第 1 の実施形態について説明する。
- 図 1 は、本実施形態に係る半導体記憶装置を示す断面図である。
- 図 2 は、本実施形態に係る半導体記憶装置の配線部を示す平面図である。
- 図 3 は、本実施形態に係る半導体記憶装置の基板面を示す平面図である。
- 図 4 は、図 1 の領域 A を示す一部拡大断面図である。 40
- 本実施形態に係る半導体記憶装置は、例えば不揮発性半導体記憶装置であり、例えば、積層型の NAND フラッシュメモリである。
- 【0008】
- 図 1 ~ 図 3 に示すように、本実施形態に係る半導体記憶装置 1 においては、半導体基板 10 が設けられている。以下、本明細書においては、説明の便宜上、XYZ 直交座標系を採用する。半導体基板 10 の上面 10a に対して平行で、且つ、相互に直交する 2 方向を「X 方向」及び「Y 方向」とし、半導体基板 10 の上面に対して垂直な方向を「Z 方向」とする。また、Z 方向のうち、半導体基板 10 から後述する積層体 30 に向かう方向を「上」といい、その反対方向を「下」というが、この表記は便宜上のものであり、重力の方向とは無関係である。 50

【 0 0 0 9 】

半導体基板 1 0 は、例えば、シリコンの単結晶により形成されている。半導体基板 1 0 の上層部分の一部には、例えば p 形のウェル 2 1 が形成されている。ウェル 2 1 の上層部分の一部には、S T I (Shallow Trench Isolation) 2 6 が格子状に設けられており、ウェル 2 1 の上層部分を複数のボディ領域 2 1 a に区画している。ボディ領域 2 1 a は、X 方向及び Y 方向に沿ってマトリクス状に配列されている。各ボディ領域 2 1 a の上面、すなわち、半導体基板 1 0 の上面 1 0 a のうち S T I 2 6 によって囲まれた領域には、電界効果型のトランジスタ 2 0 が設けられている。各ボディ領域 2 1 a の Y 方向両端部の上部には、n 形の拡散領域 2 2 及び 2 3 が相互に離隔して形成されている。拡散領域 2 2 及び 2 3 はトランジスタ 2 0 のソース・ドレイン領域である。また、ウェル 2 1 上にはゲート絶縁膜 2 4 が設けられており、ゲート絶縁膜 2 4 上にはゲート電極 2 5 が設けられている。

10

【 0 0 1 0 】

X 方向におけるトランジスタ 2 0 の配列周期は略一定である。より詳細には、半導体基板 1 0 の上面 1 0 a における所定の領域内に複数個のトランジスタ 2 0 が設けられており、この領域内においては、X 方向におけるトランジスタ 2 0 の配列周期は一定である。本明細書では、この配列周期を「最小配列周期」という。本実施形態においては、この領域は 1 つのみ示されているが、後述する第 9 の実施形態のように、複数設けられている場合もある。この場合、隣り合う領域間の距離は、最小配列周期によって決定されるトランジスタ 2 0 間の間隔よりも大きい。

20

【 0 0 1 1 】

半導体基板 1 0 上であってトランジスタ 2 0 上には、下から上に向かって、コンタクト 2 7、下層配線 2 8 及びソース線 2 9 が設けられている。なお、下層配線 2 8 は複数層設けられており、ビアコンタクトを介して相互に接続されていてもよい。コンタクト 2 7 の下端は拡散領域 2 2 に接続されており、上端は下層配線 2 8 に接続されている。ソース線 2 9 は下層配線 2 8 上に設けられており、その形状は X Y 平面に沿って広がる板状である。

【 0 0 1 2 】

ソース線 2 9 上には、積層体 3 0 が設けられている。積層体 3 0 においては、絶縁膜 3 1 及び電極膜 3 2 が Z 方向に沿って交互に積層されている。絶縁膜 3 1 は例えばシリコン酸化物 (S i O) 等の絶縁性材料により形成されており、電極膜 3 2 は、例えばタンゲステン (W) 又は不純物が導入されたポリシリコン (S i) 等の導電性材料により形成されている。トランジスタ 2 0 は、電極膜 3 2 を駆動するためのトランジスタである。半導体記憶装置 1 には、トランジスタ 2 0 の他に、例えば、周辺回路 (図示せず) を構成するトランジスタが設けられていてもよい。

30

【 0 0 1 3 】

図 2 に示すように、電極膜 3 2 は Y 方向に沿って配列された複数の帯状部分に分割されている。各帯状部分は X 方向に延びている。本実施形態においては、最下層の電極膜 3 2 の帯状部分はソース側選択ゲート S G S として機能し、最上層の電極膜 3 2 の帯状部分はドレイン側選択ゲート S G D として機能し、それ以外の電極膜 3 2 の帯状部分はワード線 W L として機能する。なお、最下層から複数層の電極膜 3 2 の帯状部分がソース側選択ゲート S G S として機能してもよく、最上層から複数層の電極膜 3 2 の帯状部分がドレイン側選択ゲート S G D として機能してもよい。Y 方向におけるドレイン側選択ゲート S G D の配列周期は、ソース側選択ゲート S G S 及びワード線 W L の配列周期の半分である。すなわち、1 本のワード線 W L の直上域には、2 本のドレイン側選択ゲート S G D が配置されている。なお、1 本のワード線 W L の直下域に、1 本又は 3 本以上のドレイン側選択ゲート S G D が配置されていてもよい。

40

【 0 0 1 4 】

積層体 3 0 の X 方向の端部 3 0 a の形状は、電極膜 3 2 毎にテラスが形成された階段状である。テラスは、電極膜 3 2 の X 方向の端部の上面である。テラスの直上域には、それ

50

より上層の電極膜 3 2 は配置されていない。端部 3 0 a は、トランジスタ 2 0 の直上域に配置されている。一方、積層体 3 0 における X 方向の中央部 3 0 b は、トランジスタ 2 0 の直上域には配置されていない。

【 0 0 1 5 】

端部 3 0 a の上面は、積層体 3 0 における X 方向中央部 3 0 b から端部 3 0 a に向かう方向に沿って、途中で上ることなく段階的に下っている。但し、その下り方は周期的ではない。具体的には、端部 3 0 a において、X 方向に沿って領域 R 1 及び領域 R 2 が交互に配置されている。領域 R 1 においては、幅が狭い複数のテラス 3 3 a が X 方向に沿って配列されている。一方、領域 R 2 においては、幅が広い 1 つのテラス 3 3 b が配置されている。X 方向におけるテラス 3 3 b の長さ L 2 は、テラス 3 3 a の長さ L 1 よりも長い。また、X 方向において、テラス 3 3 a の長さ L 1 はトランジスタ 2 0 の最小配列周期 P よりも短く、テラス 3 3 b の長さ L 2 はトランジスタ 2 0 の最小配列周期 P よりも長い。すなわち、 $L 1 < P < L 2$ である。

10

【 0 0 1 6 】

半導体基板 1 0 上には、積層体 3 0 を覆うように、層間絶縁膜 4 0 が設けられている。層間絶縁膜 4 0 内には、複数本のコンタクト 4 1 及び複数本のコンタクト 4 2 が設けられている。各コンタクト 4 1 の上端と各コンタクト 4 2 の上端との間には、上層ワード線 4 3 が接続されている。上層ワード線 4 3 は、層間絶縁膜 4 0 内における積層体 3 0 よりも上方に配置されている。

【 0 0 1 7 】

コンタクト 4 1 は Z 方向に延び、コンタクト 4 1 の下端はテラス 3 3 a 又はテラス 3 3 b において、電極膜 3 2 に接続されている。従って、電極膜 3 2 のうち、テラス 3 3 a が領域 R 1 内にある電極膜 3 2 は、領域 R 1 内にあるコンタクト 4 1 に接続されている。一方、テラス 3 3 b が領域 R 2 内にある電極膜 3 2 は、領域 R 2 内にあるコンタクト 4 1 に接続されている。このため、コンタクト 4 1 は、領域 R 1 及び領域 R 2 の双方に配置されている。

20

【 0 0 1 8 】

コンタクト 4 2 は領域 R 2 内に配置されている。コンタクト 4 2 は Z 方向に延び、積層体 3 0 の端部 3 0 a 及びソース線 2 9 を貫通している。コンタクト 4 2 の下端は下層配線 2 8 に接続されている。コンタクト 4 2 の周囲には絶縁膜 4 4 が設けられている。コンタクト 4 2 は絶縁膜 4 4 によって電極膜 3 2 及びソース線 2 9 から絶縁されている。

30

【 0 0 1 9 】

このようにして、各電極膜 3 2 は、コンタクト 4 1、上層ワード線 4 3、コンタクト 4 2、下層配線 2 8 及びコンタクト 2 7 を介して、トランジスタ 2 0 の拡散領域 2 2 に接続されている。また、テラス 3 3 a が領域 R 1 内にある電極膜 3 2 は、領域 R 1 内のコンタクト 4 1 及び領域 R 2 内のコンタクト 4 2 を介して拡散領域 2 2 に接続されている。テラス 3 3 b が領域 R 2 内にある電極膜 3 2 は、領域 R 2 内のコンタクト 4 1 及び領域 R 2 内のコンタクト 4 2 を介して拡散領域 2 2 に接続されている。

【 0 0 2 0 】

一方、積層体 3 0 の中央部 3 0 b 内には、Z 方向に延びるシリコンピラー 5 0 が設けられている。シリコンピラー 5 0 は、例えばポリシリコンからなり、その形状は下端が閉塞した円筒形である。シリコンピラー 5 0 の下端はソース線 2 9 に接続されている。シリコンピラー 5 0 の上端は、ビアコンタクト 4 6 を介してビット線 4 7 に接続されている。ビット線 4 7 は積層体 3 0 の中央部 3 0 b 上に配置され、Y 方向に延びている。

40

【 0 0 2 1 】

図 4 に示すように、シリコンピラー 5 0 内には、例えばシリコン酸化物からなるコア部材 5 1 が設けられている。なお、コア部材 5 1 は設けられていなくてもよい。シリコンピラー 5 0 の側面上には、トンネル絶縁膜 5 2 が設けられている。トンネル絶縁膜 5 2 は、通常は絶縁性であるが、半導体記憶装置 1 の駆動電圧の範囲内にある所定の電圧が印加されるとトンネル電流を流す膜である。トンネル絶縁膜 5 2 は、例えば、単層のシリコン層

50

、又は、シリコン酸化層、シリコン窒化層及びシリコン酸化層がこの順に積層されたONO膜により構成されている。

【0022】

トンネル絶縁膜52の表面上には、電荷蓄積膜53が設けられている。電荷蓄積膜53は電荷を蓄積する能力がある膜であり、例えば、電子のトラップサイトを持つ材料によって形成されており、例えば、シリコン窒化物(SiN)により形成されている。

【0023】

電荷蓄積膜53の表面上には、ブロック絶縁膜54が設けられている。ブロック絶縁膜54は、半導体記憶装置1の駆動電圧の範囲内で電圧が印加されても実質的に電流を流さない膜である。ブロック絶縁膜54は、例えば、電荷蓄積膜53側からシリコン酸化層及びアルミニウム酸化層が積層された二層膜である。

10

【0024】

トンネル絶縁膜52、電荷蓄積膜53及びブロック絶縁膜54により、データを記憶可能なメモリ膜55が構成されている。従って、メモリ膜55は、シリコンピラー50と電極膜32との間に配置されている。

【0025】

これにより、シリコンピラー50とワード線WLとの交差部分毎に、メモリ膜55を介して、MONOS(Metal-Oxide-Nitride-Oxide-Silicon)構造のメモリセルトランジスタMCが構成される。シリコンピラー50は、X方向及びY方向に沿ってマトリクス状に配列されており、ワード線WLはZ方向に沿って配列されているため、メモリセルトランジスタMCは、三次元マトリクス状に配列される。これにより、ビット線47とソース線29との間に、複数のメモリセルトランジスタMCが直列に接続されたNANDストリングが形成されている。そして、各トランジスタ20のオン/オフを切り替えることにより、ワード線WL等に選択的に電位を印加して、任意のメモリセルトランジスタMCを選択することができる。

20

【0026】

次に、本実施形態の効果について説明する。

本実施形態に係る半導体記憶装置1においては、ワード線WL等を選択するトランジスタ20を、半導体基板10と積層体30との間に配置している。これにより、トランジスタ20を積層体30の周囲に配置する場合と比較して、チップ面積を低減することができる。この結果、半導体記憶装置1の集積度を高め、コストを低減することができる。

30

【0027】

また、本実施形態においては、積層体30のX方向端部30aにおいて、トランジスタ20の最小配列周期Pよりも狭いテラス33aが形成された領域R1と、最小配列周期Pよりも広いテラス33bが形成された領域R2とが、交互に配列されている。これにより、トランジスタ20の最小配列周期Pと、テラス33a及び33bの平均的な配列周期が略一致して、各電極膜32と各トランジスタ20との接続が容易になる。そして、領域R1に配置されたコンタクト41を、上層ワード線43によって領域R2まで引き出し、領域R2に配置され積層体30を貫通するコンタクト42を介して、拡散領域22に接続している。これにより、領域R2を有効に活用してコンタクト42の配置密度を低くすることができる。この結果、コンタクト41、コンタクト42及び上層ワード線43のレイアウトが容易になる。

40

【0028】

なお、複数のトランジスタ20を配置するために必要な領域のX方向の長さは、端部30aのX方向の長さよりも長いため、領域R2を設けても、半導体記憶装置1が大型化することはない。

【0029】

更に、積層体30の端部30aを階段状に加工する際には、半導体基板10上の全面に積層体30を形成し、その上にレジスト膜を形成し、その後、このレジスト膜をマスクとしたエッチングとこのレジスト膜のスリミングを交互に行うことにより、電極膜32を1

50

層ずつ部分的に除去して、テラスを形成する。この場合、レジスト膜の1回のスリミング量が大きいほど、テラスの幅は広がるが、レジスト膜の初期高さを高くする必要が生じ、加工が困難になる。

【0030】

そこで、本実施形態においては、レジスト膜の形成、スリミング及びエッチングの複数回の繰り返し、並びに、レジスト膜の除去を含む単位プロセスを、複数回実施する。これにより、1回の単位プロセス又は連続して実施される複数回の単位プロセスにより、1つの領域R1において複数のテラス33aが形成される。そして、ある領域R1を形成するための1回又は複数回の単位プロセスにおける最終加工端と、次の領域R1を形成するための1回又は複数回の単位プロセスにおける最初の加工端との間が、領域R2となる。このようにすると、均一な広さのテラスを形成する場合と比較して、1回のスリミング量を抑えることができ、レジスト膜の初期高さを低くすることができる。この結果、半導体記憶装置1の製造が容易になる。

10

【0031】

(第2の実施形態)

次に、第2の実施形態について説明する。

図5は、本実施形態に係る半導体記憶装置を示す平面図である。

図6は、図5に示すB-B'線による断面図である。

図7は、図5に示すC-C'線による断面図である。

図8は、図6の領域Dを示す一部拡大断面図である。

20

【0032】

図5～図7に示すように、本実施形態に係る半導体記憶装置2は、前述の第1の実施形態に係る半導体記憶装置1(図1～図4参照)と比較して、トランジスタ20の替わりにトランジスタ20aが設けられている。トランジスタ20aにおいては、2つの拡散領域22の間に、1つの拡散領域23が設けられている。拡散領域23には、トランジスタ20にソース電位を供給するためのコンタクト(図示せず)が接続されている。また、ゲート電極25は2本設けられており、ウェル21における拡散領域22と拡散領域23との間の領域の直上域に配置されている。これにより、1つのトランジスタ20a内に、独立して駆動する2つのトランジスタ素子が含まれる。

【0033】

30

また、半導体記憶装置2においては、端部30aの階段がX方向だけでなく、Y方向に沿っても形成されている。従って、Z方向から見て、テラス33a及び33bは碁盤目状に配列されている。これにより、端部30aのX方向における長さを短くすることができる。なお、前述の第1の実施形態と同様に、端部30aの上面は、Y方向における任意の位置において、積層体30における中央部30bから端部30aに向かうX方向、すなわち、シリコンピラー50から遠ざかる方向に沿って、途中で上ることなく段階的に下っている。

【0034】

更に、半導体記憶装置2においては、Y方向に配列された複数本のワード線WLが、中央部30bのX方向の両側において交互に引き出されている。すなわち、Y方向に沿って配列された複数本のワード線WLを、交互にワード線WL__A及びワード線WL__Bと命名したとき、図5～図7に示す端部30aにおいては、ワード線WL__Aのみにコンタクト41が接続されている。一方、ワード線WL__Bは、積層体30におけるX方向の反対側の端部30a(図示せず)において、コンタクト41に接続されている。このように、積層体30のX方向両側においてワード線WLを交互に引き出すことにより、コンタクト41及び上層ワード線43のレイアウトに余裕を持たせることができる。

40

【0035】

上述の如く、図5～図7に示す端部30aにおいては、ワード線WL__Aのみにコンタクト41が接続されている。従って、コンタクト41はワード線WL__Aの直上域のみに配置されている。一方、コンタクト42はワード線WL__Bを貫いている。このため、上

50

層ワード線 4 3 はワード線 W L __ A の直上域からワード線 W L __ B の直上域にわたって延びている。すなわち、上層ワード線 4 3 には、Y 方向に延びる部分が存在する。このように、半導体記憶装置 2 においては、ワード線 W L __ A の直上域に配置されたコンタクト 4 1 が、上層ワード線 4 3 によってワード線 W L __ B の直上域まで引き出されて、コンタクト 4 2 を介してトランジスタ 2 0 a の拡散領域 2 2 に接続されている。これにより、コンタクト 4 1 及びコンタクト 4 2 を Y 方向において分散して配置できるため、コンタクト 4 1、コンタクト 4 2 及び上層ワード線 4 3 のレイアウトの制約が緩和される。

【 0 0 3 6 】

また、本実施形態においても、前述の第 1 の実施形態と同様に、領域 R 1 に配置されたコンタクト 4 1 の一部は、領域 R 2 に配置されたコンタクト 4 2 に接続されている。これにより、X 方向におけるコンタクト 4 2 の配置の制約が緩和される。これによっても、コンタクト 4 1、コンタクト 4 2 及び上層ワード線 4 3 のレイアウトが容易になる。なお、X 方向反対側の端部 3 0 a (図示せず) においても、コンタクト 4 1、コンタクト 4 2 及び上層ワード線 4 3 は、同様に配置されている。

10

【 0 0 3 7 】

更に、各トランジスタ 2 0 a の拡散領域 2 3 上には、コンタクト 4 8 が設けられている。コンタクト 4 8 の下端は拡散領域 2 3 に接続されている。コンタクト 4 8 は Z 方向に延び、ソース線 2 9 及び積層体 3 0 の端部 3 0 a を貫いている。但し、コンタクト 4 8 はソース線 2 9 及び電極膜 3 2 から絶縁されている。コンタクト 4 8 上には、上層ソース線 4 9 が設けられている。コンタクト 4 8 の上端は上層ソース線 4 9 に接続されている。上層ソース線 4 9 は、例えば Y 方向に延びている。なお、図 5 及び図 6 においては、図を見やすくするために、1 本の上層ソース線 4 9 のみを示している。

20

【 0 0 3 8 】

図 8 に示すように、本実施形態に係る半導体記憶装置 2 においては、浮遊電極型のメモリセルトランジスタ M C が形成されている。すなわち、コア部材 5 1、シリコンピラー 5 0 及びトンネル絶縁膜 5 2 からなる柱状体と電極膜 3 2 との間には、例えばポリシリコン等の導電性材料からなる浮遊ゲート電極 5 6 が設けられている。浮遊ゲート電極 5 6 の形状はトンネル絶縁膜 5 2 を囲む円環状である。浮遊ゲート電極 5 6 は電荷蓄積部材として機能する。浮遊ゲート電極 5 6 と電極膜 3 2 との間には、ブロック絶縁膜 5 4 が設けられている。ブロック絶縁膜 5 4 においては、例えば、浮遊ゲート電極 5 6 の上面、下面及び電極膜 3 2 側の側面を覆うアルミニウム酸化層 5 4 a と、電極膜 3 2 の上面、下面及び浮遊ゲート電極 5 6 側の側面を覆うアルミニウム酸化層 5 4 c と、アルミニウム酸化層 5 4 a とアルミニウム酸化層 5 4 c との間に配置されたシリコン酸化層 5 4 b と、が設けられている。

30

【 0 0 3 9 】

次に、本実施形態の効果について説明する。

本実施形態においては、コンタクト 4 1 がワード線 W L __ A の直上域に配置され、コンタクト 4 2 がワード線 W L __ B の配置領域に配置され、コンタクト 4 1 の上端とコンタクト 4 2 の上端が上層ワード線 4 3 によって接続されている。これにより、本来デッドスペースであるワード線 W L __ B の配置領域を有効に活用して、ワード線 W L __ A を拡散領域 2 2 に接続することができる。この結果、コンタクト 4 1 とコンタクト 4 2 との間隔を確保し、レイアウトの作成を容易にすることができる。本実施形態における上記以外の構成及び効果は、前述の第 1 の実施形態と同様である。

40

【 0 0 4 0 】

(第 3 の実施形態)

次に、第 3 の実施形態について説明する。

図 9 は、本実施形態に係る半導体記憶装置を示す平面図である。

図 1 0 は、図 9 に示す E - E ' 線による断面図である。

図 1 1 は、図 9 に示す F - F ' 線による断面図である。

【 0 0 4 1 】

50

図 9 ~ 図 11 に示すように、本実施形態に係る半導体記憶装置 3 においては、ソース線 29 (図 1 参照) が設けられておらず、シリコンピラー 50 の下端は半導体基板 10 に接続されている。また、積層体 30 の端部 30 a において、Y 方向において隣り合うソース側選択ゲート S G S 間及びワード線 W L 間に、X 方向に延びるスリット 60 が形成されている。スリット 60 内には電極膜 32 が配置されておらず、層間絶縁膜 40 が埋め込まれている。そして、トランジスタ 20 a はスリット 60 の直下域のみに形成されており、コンタクト 42 はスリット 60 内に配置されている。一方、コンタクト 41 は電極膜 32 の直上域に配置されている。このように、コンタクト 41 とコンタクト 42 は、Y 方向において離隔している。従って、全ての上層ワード線 43 には、Y 方向に延びる部分が存在し、一部の上層ワード線 43 には、X 方向に延びる部分も存在する。また、本実施形態にお

10

20

30

40

50

【0042】

本実施形態に係る半導体記憶装置 3 においては、ソース線 29 が設けられておらず、半導体基板 10 がソース線として機能する。これにより、半導体記憶装置 4 の製造工程数や加工時間を抑制でき、製造が容易になる。また、積層体 30 の端部 30 a にスリット 60 を設け、トランジスタ 20 a をスリット 60 の直下域に配置することにより、ゲート電極 25、コンタクト 27 及び下層配線 28 等のトランジスタ 20 a の上部構造体及び付属構造体と、下層側の電極膜 32 とが干渉することを回避できる。また、コンタクト 41 が配置される領域とコンタクト 42 が配置される領域とが分離されるため、コンタクト 41 及び 42 の配置、並びに、上層ワード線 43 の引き回しが容易になる。本実施形態における上記以外の構成及び効果は、前述の第 2 の実施形態と同様である。

【0043】

(第 4 の実施形態)

次に、第 4 の実施形態について説明する。

図 12 は、本実施形態に係る半導体記憶装置を示す平面図である。

図 12 に示すように、本実施形態に係る半導体記憶装置 4 においては、Y 方向に沿って配列された複数本のワード線 W L が、1 つのトランジスタ 20 の拡散領域 22 に接続されている。例えば、Y 方向において隣り合う 2 本のワード線 W L に接続された 2 本のコンタクト 41 と、1 つのトランジスタ 20 の拡散領域 22 に接続された 1 本のコンタクト 42 が、1 本の上層ワード線 43 に接続されている。

本実施形態によれば、トランジスタ 20 の個数を減らすことができる。本実施形態における上記以外の構成及び効果は、前述の第 1 の実施形態と同様である。

【0044】

(第 5 の実施形態)

次に、第 5 の実施形態について説明する。

図 13 は、本実施形態に係る半導体記憶装置の積層体を示す平面図である。

図 14 は、本実施形態に係る半導体記憶装置の半導体基板を示す平面図である。

図 15 は、本実施形態に係る半導体記憶装置を示す断面図である。

【0045】

図 13 ~ 図 15 に示すように、本実施形態に係る半導体記憶装置 5 においては、一つのメモリブロックのトランジスタ 20 が X 方向だけでなく、Y 方向に沿っても複数行配列されている。また、1 つのトランジスタ 20 の拡散領域 22 が、複数本、例えば 4 本の電極膜 32 に接続されている。コンタクト 42 は、領域 R2 に配置されており、X 方向に沿って一列に配列されている。本実施形態においても、X 方向におけるテラス 33 a の長さ L1 はトランジスタ 20 の最小配列周期 P よりも短く、テラス 33 b の長さ L2 はトランジスタ 20 の最小配列周期 P よりも長い。すなわち、 $L1 < P < L2$ が成立する。

【0046】

以下、半導体記憶装置 5 の構成を詳細に説明する。

半導体記憶装置 5 においては、Z 方向に沿って配列された 13 層の電極膜 32 が設けられている。これらの電極膜 32 を、下層側から順に、電極膜 32 c ~ 32 o とする。この

うち、最下層の電極膜 3 2 c はソース側選択ゲート S G S である。1つのメモリブロックにおいて、電極膜 3 2 c は、Y 方向に沿って 4 枚配列されており、同じトランジスタ 2 0 に接続されている。最下層から 2 番目の電極膜 3 2 d から最上層から 2 番目の電極膜 3 2 n はワード線 W L である。1つのメモリブロックにおいて、電極膜 3 2 d ~ 3 2 n は、それぞれ、Y 方向に沿って 4 枚配列されており、それぞれ、同じトランジスタ 2 0 に接続されている。

【 0 0 4 7 】

最上層の電極膜 3 2 o はドレイン側選択ゲート S G D である。1つのメモリブロックにおいて、電極膜 3 2 o は、Y 方向に沿って 8 枚配列されており、相互に異なるトランジスタ 2 0 に接続されている。なお、1つのメモリブロックに属する 8 枚の電極膜 3 2 o を、電極膜 3 2 o 1 ~ 3 2 o 8 ともいう。Y 方向におけるドレイン側選択ゲート S G D の配列周期は、ワード線 W L の配列周期の半分である。従って、ある 1 本のワード線 W L の直上域には、2 本のドレイン側選択ゲート S G D が配置されている。

10

【 0 0 4 8 】

半導体記憶装置 5 においては、2 0 個のトランジスタ 2 0 が設けられている。これらのトランジスタ 2 0 を、トランジスタ 2 0 c ~ 2 0 v とする。また、トランジスタ 2 0 c の拡散領域 2 2 を拡散領域 2 2 c とする。更に、コンタクト 2 7、下層配線 2 8、コンタクト 4 2、上層ワード線 4 3、コンタクト 4 1 のうち、トランジスタ 2 0 c に接続されたものを、それぞれ、コンタクト 2 7 c、下層配線 2 8 c、コンタクト 4 2 c、上層ワード線 4 3 c、コンタクト 4 1 c とする。トランジスタ 2 0 d ~ 2 0 v についても同様である。

20

【 0 0 4 9 】

トランジスタ 2 0 c の拡散領域 2 2 c は、コンタクト 2 7 c、下層配線 2 8 c、コンタクト 4 2 c によって略直上に引き出され、上層ワード線 4 3 c によって Y 方向に引き出され、U 字状に半周回し、4 本のコンタクト 4 1 c を介して 4 枚の電極膜 3 2 c (ソース側選択ゲート S G S) に接続されている。

【 0 0 5 0 】

トランジスタ 2 0 d はトランジスタ 2 0 c から見て Y 方向側に配置されている。トランジスタ 2 0 d の拡散領域 2 2 d は、下層配線 2 8 d によって拡散領域 2 2 c の直上域まで引き出され、コンタクト 4 2 d によって直上に引き出され、上層ワード線 4 3 d によって上層ワード線 4 3 c の外側を半周回し、4 本のコンタクト 4 1 d を介して 4 枚の電極膜 3 2 d (ワード線 W L) に接続されている。

30

【 0 0 5 1 】

トランジスタ 2 0 e はトランジスタ 2 0 d から見て X 方向側に配置されている。トランジスタ 2 0 e の拡散領域 2 2 e は、下層配線 2 8 e によって拡散領域 2 2 f の直上域まで引き出され、コンタクト 4 2 e によって直上に引き出され、上層ワード線 4 3 e によって上層ワード線 4 3 d とは逆方向に半周回し、4 本のコンタクト 4 1 e を介して 4 枚の電極膜 3 2 e (ワード線 W L) に接続されている。

【 0 0 5 2 】

トランジスタ 2 0 f はトランジスタ 2 0 e から見て Y 方向側に配置されている。トランジスタ 2 0 f の拡散領域 2 2 f は、コンタクト 2 7 f、下層配線 2 8 f、コンタクト 4 2 f によって略直上に引き出され、上層ワード線 4 3 f によって上層ワード線 4 3 e の内側を半周回し、4 本のコンタクト 4 1 f を介して 4 枚の電極膜 3 2 f (ワード線 W L) に接続されている。

40

【 0 0 5 3 】

このように、トランジスタ 2 0 c ~ 2 0 f は、それぞれ 4 枚の電極膜 3 2 c ~ 3 2 f に接続されている。また、トランジスタ 2 0 c ~ 2 0 f の拡散領域 2 3 は、それぞれ、下層配線 3 9 に接続されている。下層配線 3 9 は、概ね Y 方向に延びている。下層配線 3 9 の Z 方向における位置は、下層配線 2 8 の Z 方向における位置と同じである。下層配線 3 9 は、その幹線部を上層配線としてもよく、その場合は追加のコンタクトを介して下層配線 3 9 を幹線部となる上層配線に接続する。

50

【0054】

トランジスタ20c~20fから電極膜32c~32fに至る電流経路と同様な半周回する配線パターンにより、トランジスタ20g~20jは、それぞれ4枚の電極膜32g~32jに接続されている。また、同様な半周回する配線パターンにより、トランジスタ20k~20nは、それぞれ4枚の電極膜32k~32nに接続されている。

【0055】

トランジスタ20oの拡散領域22oは、コンタクト27o、下層配線28o、コンタクト42oによって略直上に引き出され、上層ワード線43oによってY方向に引き出された後、X方向に引き出され、1本のコンタクト41oを介して1枚の電極膜32o2(ドレイン側選択ゲートSGD)に接続されている。Z方向から見て、上層ワード線43oの形状はL字状である。

10

【0056】

トランジスタ20pの拡散領域22pは、下層配線28pによって拡散領域22oの直上域まで引き出され、コンタクト42pによって直上に引き出され、上層ワード線43pによって上層ワード線43oの外側をL字状に引き回され、1本のコンタクト41pを介して1枚の電極膜32o1(ドレイン側選択ゲートSGD)に接続されている。

【0057】

トランジスタ20o及び20pから電極膜32o2及び32o1に至る電流経路と同様なL字状の配線パターンにより、トランジスタ20qの拡散領域22qは電極膜32o4に接続され、トランジスタ20rの拡散領域22rは電極膜32o3に接続される。

20

【0058】

同様なL字状の配線パターンにより、トランジスタ20sの拡散領域22sは電極膜32o7に接続され、トランジスタ20tの拡散領域22tは電極膜32o8に接続される。また、トランジスタ20uの拡散領域22uは電極膜32o5に接続され、トランジスタ20vの拡散領域22vは電極膜32o6に接続される。

【0059】

次に、本実施形態の効果について説明する。

本実施形態においては、トランジスタ20がX方向だけでなくY方向にも配列しているため、トランジスタ20の配置領域、及び積層体30の端部30aのX方向における長さを短縮することができる。

30

本実施形態における上記以外の構成及び効果は、前述の第1の実施形態と同様である。

【0060】

(第6の実施形態)

次に、第6の実施形態について説明する。

図16は、本実施形態に係る半導体記憶装置の積層体を示す平面図である。

図17は、本実施形態に係る半導体記憶装置の半導体基板を示す平面図である。

図18は、本実施形態に係る半導体記憶装置を示す断面図である。

【0061】

図16~図18に示すように、本実施形態に係る半導体記憶装置6においては、端部30aの階段がX方向だけでなくY方向に沿っても形成されている。X方向に沿った階段は、Z方向に沿って配列された全ての電極膜32にわたって形成されており、2枚の電極膜32毎に1つのステップが形成されている。Y方向に沿った階段は、1枚の電極膜32のみに対応して形成されており、この1枚の電極膜32に対して1つのステップが形成されている。すなわち、積層体30において、Z方向に沿って配列された電極膜32の枚数をnとするとき、X方向に沿っては、2枚の電極膜32毎に(n/2)段のステップが形成されており、Y方向に沿っては、1枚の電極膜32に対応した1段のステップのみが形成されている。これにより、n枚の電極膜32の全てについて、テラスを形成することができる。端部30a全体で見ると、Y方向において隣にあるテラスよりも1段高いテラスが配置された領域Hの形状は、Z方向から見て櫛状である。

40

【0062】

50

また、半導体記憶装置 6 においては、Y 方向に沿って配列された複数本のワード線 WL が、積層体 30 の X 方向両側において 2 本毎に交互に引き出されている。すなわち、Y 方向に沿って配列された複数本のワード線 WL を、ワード線 WL__A、ワード線 WL__A、ワード線 WL__B、ワード線 WL__B、ワード線 WL__A、ワード線 WL__A・・・とするとき、図 16 ~ 図 18 に示す端部 30 a においては、ワード線 WL__A のみにコンタクト 41 が接続されている。一方、ワード線 WL__B には、反対側の端部 30 a (図示せず) において、コンタクト 41 が接続されている。

【 0063 】

更に、半導体記憶装置 6 においては、前述の第 5 の実施形態に係る半導体記憶装置 5 (図 13 ~ 図 15 参照) と同様に、トランジスタ 20 が X 方向だけでなく、Y 方向に沿って

10

【 0064 】

そして、図 16 ~ 図 18 に示す端部 30 a において、コンタクト 41 は、ワード線 WL__A の直上域に配置されている。一方、コンタクト 42 は、ワード線 WL__B を貫く位置に配置されている。このため、上層ワード線 43 は、ワード線 WL__A の直上域からワード線 WL__B の直上域まで延びている。従って、上層ワード線 43 には、Y 方向に延びる部分が存在する。コンタクト 42 は、X 方向に沿って一列に配列されている。

【 0065 】

ソース側選択ゲート SGS についても、ワード線 WL と同様に、積層体 30 の X 方向両側に 2 本ずつ交互に引き出されている。ドレイン側選択ゲート SGD は、積層体 30 の X 方向両側に 4 本ずつ交互に引き出されている。

20

【 0066 】

次に、本実施形態の効果について説明する。

本実施形態においては、積層体 30 の端部 30 a において、X 方向に沿った主階段に加えて、Y 方向に沿った副階段を形成している。これにより、端部 30 a の X 方向における長さを短くすることができる。

【 0067 】

また、本実施形態においては、電極膜 32 を積層体 30 の X 方向両側において交互に引き出している。これにより、電極膜 32 を X 方向片側のみ引き出す場合と比較して、片方の端部 30 a の直下域に形成するトランジスタ 20 の個数を半分にすることができる。この結果、上層ワード線 43 等のレイアウトの作成が容易になる。

30

【 0068 】

更に、本実施形態においては、コンタクト 41 がワード線 WL__A の直上域に配置され、コンタクト 42 がワード線 WL__B の配置領域に配置されている。これにより、本来デッドスペースであるワード線 WL__B の配置領域を有効に活用して、配線を引き回すことができる。

本実施形態における上記以外の構成及び効果は、前述の第 1 の実施形態と同様である。

【 0069 】

(第 7 の実施形態)

次に、第 7 の実施形態について説明する。

図 19 は、本実施形態に係る半導体記憶装置の積層体を示す平面図である。

図 20 は、本実施形態に係る半導体記憶装置の半導体基板を示す平面図である。

図 21 は、本実施形態に係る半導体記憶装置を示す断面図である。

40

【 0070 】

図 19 ~ 図 21 に示すように、本実施形態に係る半導体記憶装置 7 は、前述の第 6 の実施形態に係る半導体記憶装置 6 (図 16 ~ 図 18 参照) と比較して、領域 H の形状が島状である点が異なっている。上述の如く、領域 H は、Y 方向において隣にあるテラスよりも 1 段高いテラスが配置された領域である。

【 0071 】

50

これにより、本実施形態においては、第 6 の実施形態と比較して、Y 方向において隣り合うトランジスタ 20 間で、接続される電極膜 32 が逆になっている。また、積層体 30 の中央部 30 b から端部 30 a に向かう方向において、領域 H の中央部 30 b 側の端縁は、1 段上るステップ U S となる。但し、ステップ U S は加工上の都合により発生する形状であって、ステップ U S を端面とする電極膜 32 は、実際に機能する電極膜からは孤立し絶縁されていて、電氣的に機能するものではない。実際に機能する電極膜に関しては、他の実施形態と同様に、中間部 30 b から端部 30 a に向かう方向において、途中で上ることなく段階的に下っている。Y 方向に沿って配列されたテラスは、X 方向に沿って配列されたテラスと同様に、複数段形成されてもよい。

本実施形態においては、Y 方向に沿って配列されたワード線 W L とドレイン側選択ゲート S G D とを同一の工程で形成することができ、工程数を削減することができる。

10

本実施形態における上記以外の構成及び効果は、前述の第 6 の実施形態と同様である。

【0072】

(第 8 の実施形態)

次に、第 8 の実施形態について説明する。

図 22 は、本実施形態に係る半導体記憶装置の積層体を示す平面図である。

図 23 は、本実施形態に係る半導体記憶装置の半導体基板を示す平面図である。

図 24 は、本実施形態に係る半導体記憶装置を示す断面図である。

【0073】

図 22 ~ 図 24 に示すように、本実施形態に係る半導体記憶装置 8 は、前述の第 7 の実施形態に係る半導体記憶装置 6 (図 19 ~ 図 21 参照) と比較して、コンタクト 41 及び 42 の配列が異なっている。

20

【0074】

半導体記憶装置 8 においては、ソース側選択ゲート S G S 及びワード線 W L のそれぞれについて、Y 方向に沿って配列された 2 つのテラスに接続された 2 本のコンタクト 41 と、これらのコンタクト 41 に上層ワード線 43 を介して接続された 2 本のコンタクト 42 が、Y 方向に沿って一列に配列されている。すなわち、X 方向において、2 本のコンタクト 41 の位置及び 2 本のコンタクト 42 の位置は、相互に等しい。ドレイン側選択ゲート S G D については、Y 方向に沿って配列された 2 つのテラスに接続された 4 本のコンタクト 41 が Y 方向に沿って一列に配列されており、この 4 本のコンタクト 41 に接続された 4 本のコンタクト 42 も Y 方向に沿って一列に配列されている。すなわち、X 方向における 4 本のコンタクト 41 の位置は相互に等しく、4 本のコンタクト 42 の位置も相互に等しい。但し、X 方向において、コンタクト 41 の位置とコンタクト 42 の位置は、相互に異なっている。

30

本実施形態における上記以外の構成及び効果は、前述の第 7 の実施形態と同様である。

【0075】

(第 9 の実施形態)

次に、第 9 の実施形態について説明する。

図 25 は、本実施形態に係る半導体記憶装置におけるトランジスタが形成されたチップを示す平面図である。

40

図 26 は、本実施形態に係る半導体記憶装置における積層体が形成されたチップを示す平面図である。

図 27 は、本実施形態に係る半導体記憶装置を示す断面図である。

【0076】

図 25 ~ 図 27 に示すように、本実施形態に係る半導体記憶装置 9 においては、2 枚のチップ 101 及び 102 が bumps 103 を介して貼り合わされている。チップ 101 には積層体 30 が設けられている。チップ 102 にはトランジスタ 20 が形成されている。そして、チップ 101 に設けられた電極膜 32 が、bumps 103 を介して、チップ 102 に形成されたトランジスタ 20 に接続されている。半導体記憶装置 9 においては、図 25 に示すチップ 102 と、図 26 に示すチップ 101 とが、それぞれの上面側が対向するよう

50

に貼り合わされている。なお、図 27 は、 bumps 103 の中心を含む断面を示しているが、説明の便宜上、下層配線 28 及びコンタクト 42 も示している。

【0077】

以下、より詳細に説明する。

チップ 101 においては、例えばシリコンからなる半導体基板 11 が設けられており、半導体基板 11 上に積層体 30 が設けられており、積層体 30 を覆うように、層間絶縁膜 40 が設けられている。但し、半導体基板 11 にはトランジスタ 20 は形成されておらず、半導体基板 11 と積層体 30 との間に、ソース線 29 (図 24 参照) は設けられていない。また、積層体 30 の各電極膜 32 のテラス上にはコンタクト 41 が設けられており、コンタクト 41 上には上層ワード線 43 が設けられており、コンタクト 41 の上端は上層ワード線 43 に接続されている。但し、コンタクト 42 (図 24 参照) は設けられていない。層間絶縁膜 40 の上層部分には、パッド 64 が設けられており、層間絶縁膜 40 の上面において露出している。パッド 64 は例えば銅により形成されている。上層ワード線 43 とパッド 64 との間には、コンタクト 63 が接続されている。

10

【0078】

本実施形態においては、前述の第 6 の実施形態 (図 16 ~ 図 18 参照) と同様に、電極膜 32 は積層体 30 の X 方向両側に引き出されている。すなわち、Y 方向に沿って配列された複数本のソース側選択ゲート S G S 及び複数本のワード線 W L は、積層体 30 の X 方向両側に 2 本毎に交互に引き出されている。また、Y 方向に沿って配列された複数本のドレイン側選択ゲート S G D は、積層体 30 の X 方向両側に 4 本毎に交互に引き出されている。

20

【0079】

そして、Y 方向において隣り合う 2 本のソース側選択ゲート S G S は、コンタクト 41 を介して共通の上層ワード線 43 に接続されて、1 本のコンタクト 63 を介して 1 つのパッド 64 に接続されている。また、Y 方向において隣り合う 2 本のワード線 W L は、コンタクト 41 を介して共通の上層ワード線 43 に接続されて、1 本のコンタクト 63 を介して 1 つのパッド 64 に接続されている。但し、Z 方向における位置が相互に異なるワード線 W L は、相互に異なる上層ワード線 43 に接続されている。更に、Y 方向に沿って配列された 4 本のドレイン側選択ゲート S G D は、コンタクト 41、上層ワード線 43 及びコンタクト 63 を介して、相互に異なるパッド 64 に接続されている。このように、各電極膜 32 は、コンタクト 41、上層ワード線 43 及びコンタクト 63 を介して、いずれかのパッド 64 に接続されている。

30

【0080】

一方、チップ 102 においては、例えばシリコンからなる半導体基板 12 が設けられており、半導体基板 12 上には、層間絶縁膜 66 が設けられている。半導体基板 12 の上層部分内及び層間絶縁膜 66 内には、トランジスタ 20 が形成されており、X 方向及び Y 方向に沿ってマトリクス状に配列されている。トランジスタ 20 の構成は、前述の第 1 の実施形態と同様である。層間絶縁膜 66 の上層部分には、パッド 67 が設けられている。パッド 67 は例えば銅により形成されている。パッド 67 と下層配線 28 との間には、コンタクト 42 が接続されている。このように、各トランジスタ 20 の拡散領域 22 は、コンタクト 27、下層配線 28 及びコンタクト 42 を介して、いずれかのパッド 67 に接続されている。

40

【0081】

チップ 101 とチップ 102 は、パッド 64 とパッド 67 が対向するように配置されており、パッド 64 とパッド 67 の間には、 bumps 103 が接合されている。 bumps 103 は、導電性材料からなる bumps であり、例えば、はんだボールである。 bumps 103 により、パッド 64 がパッド 67 に電氣的に接続されると共に、チップ 101 がチップ 102 に機械的に連結されている。これにより、チップ 101 の電極膜 32 は、チップ 102 のトランジスタ 20 の拡散領域 22 に接続される。

【0082】

50

X方向において、パッド64の最小配列周期をP1とし、トランジスタ20の最小配列周期をP2としたとき、X方向におけるテラスTの長さは、周期P1及び周期P2のうち、いずれか大きい方の周期 $P = \text{MAX}(P1, P2)$ で決定される。領域R1に配置されたテラス33aの長さL1は、周期Pよりも短い。また、領域R2に配置されたテラス33bの長さL2は、周期Pよりも長い。すなわち、 $L1 < P < L2$ である。

【0083】

次に、本実施形態の効果について説明する。

本実施形態においては、2枚のチップ101及び102を設け、チップ101に積層体30を形成し、チップ102にトランジスタ20を形成している。これにより、1枚のチップにトランジスタ20及び積層体30の双方を形成する場合と比較して、製造が容易であり、製造コストが低い。

10

【0084】

また、チップ101内にコンタクト42を設ける必要がないため、上層ワード線43のレイアウトを簡略化することができる。これにより、上層ワード線43のレイアウトの作成が容易になると共に、配線の微細化に伴う動作速度の低下、消費電力の増大、及び、信頼性の低下を抑制できる。

本実施形態における上記以外の構成及び効果は、前述の第1の実施形態と同様である。

【0085】

(第9の実施形態の第1の変形例)

次に、第9の実施形態の第1の変形例について説明する。

20

図28は、本変形例に係る半導体記憶装置におけるトランジスタが形成されたチップを示す平面図である。

図29は、本変形例に係る半導体記憶装置における積層体が形成されたチップを示す平面図である。

図30は、本変形例に係る半導体記憶装置を示す断面図である。

【0086】

図28～図30に示すように、本変形例に係る半導体記憶装置9aにおいては、チップ101とチップ102が、導電性のピラー104により接合されている。ピラー104は、例えば銅からなり、その形状は例えば円柱形である。チップ101及びチップ102の構成は、前述の第9の実施形態と同様である。

30

本変形例における上記以外の構成及び効果は、前述の第9の実施形態と同様である。

【0087】

(第9の実施形態の第2の変形例)

次に、第9の実施形態の第2の変形例について説明する。

図31は、本変形例に係る半導体記憶装置におけるトランジスタが形成されたチップを示す平面図である。

図32は、本変形例に係る半導体記憶装置における積層体が形成されたチップを示す平面図である。

図33は、本変形例に係る半導体記憶装置を示す断面図である。

【0088】

40

図31～図33に示すように、本変形例に係る半導体記憶装置9bにおいては、チップ101とチップ102が、直接貼り合わされている。例えば、接着剤又は機械的手段により、チップ101がチップ102に連結されており、チップ101のパッド64がチップ102のパッド67に接触している。パッド64とパッド67は、導電性の接着剤により接着されていてもよい。チップ101及びチップ102の構成は、前述の第9の実施形態と同様である。

本変形例における上記以外の構成及び効果は、前述の第9の実施形態と同様である。

【0089】

以上説明した実施形態及びその変形例によれば、配線のレイアウトが容易な半導体記憶装置を実現することができる。

50

なお、第 1、第 3、第 4、第 9 の実施形態、並びに、第 9 の実施形態の第 1 及び第 2 の変形例においても、積層体 30 の端部 30 a に Y 方向に沿って階段が形成されていてもよい。

【0090】

以上、本発明のいくつかの実施形態及びその変形例を説明したが、これらの実施形態及び変形例は、例として提示したものであり、発明の範囲を限定することは意図していない。これらの新規な実施形態及び変形例は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明及びその等価物の範囲に含まれる。また、前述の実施形態及び変形例は、相互に組み合わせて実施することもできる。

10

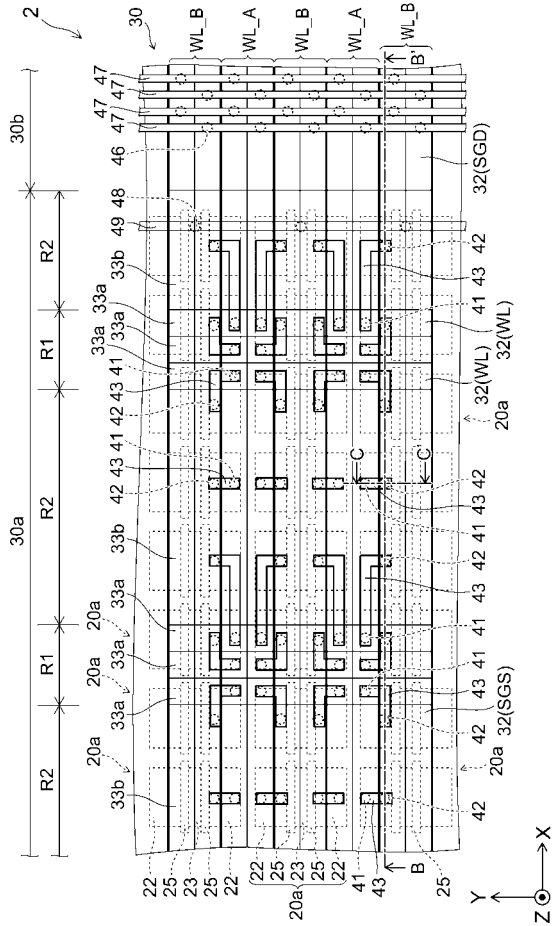
【符号の説明】

【0091】

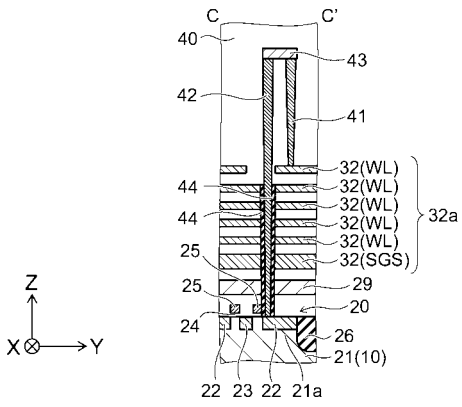
1、2、3、4、5、6、7、8、9、9 a、9 b：半導体記憶装置、10、11、12：半導体基板、10 a：上面、20、20 a、20 c～20 v：トランジスタ、21：ウェル、21 a：ボディ領域、22、22 c～22 v、23：拡散領域、24：ゲート絶縁膜、25：ゲート電極、26：STI、27、27 c～27 v：コンタクト、28、28 c～28 v：下層配線、29：ソース線、30：積層体、30 a：端部、30 b：中央部、31：絶縁膜、32、32 c～32 n、32 o1～32 o8：電極膜、33 a、33 b：テラス、39：下層配線、40：層間絶縁膜、41、41 c～41 v、42、42 c～42 v：コンタクト、43、43 c～43 v：上層ワード線、44：絶縁膜、46：ヴィアコンタクト、47：ビット線、48：コンタクト、49：上層ソース線、50：シリコンピラー、51：コア部材、52：トンネル絶縁膜、53：電荷蓄積膜、54：ブロック絶縁膜、54 a：アルミニウム酸化層、54 b：シリコン酸化層、54 c：アルミニウム酸化層、55：メモリ膜、56：浮遊ゲート電極、60：スリット、63：コンタクト、64：パッド、66：層間絶縁膜、67：パッド、101、102：チップ、103：バンプ、104：ピラー、A：領域、D：領域、H：領域、L1：長さ、L2：長さ、MC：メモリセルトランジスタ、P：最小配列周期、R1、R2：領域、SGD：ドレイン側選択ゲート、SGS：ソース側選択ゲート、US：ステップ、WL：ワード線

20

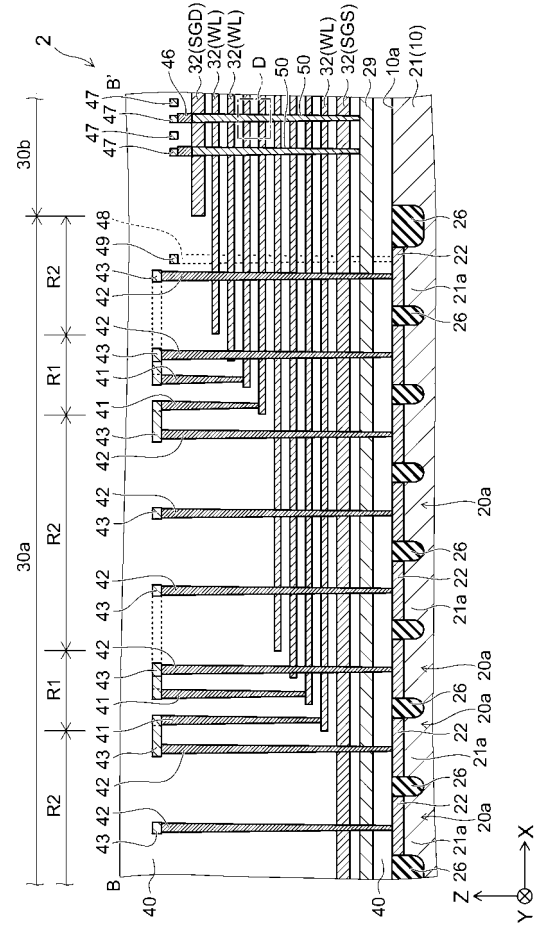
【 図 5 】



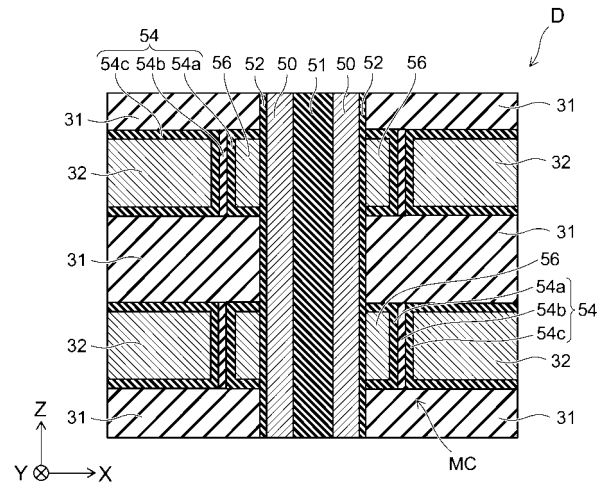
【 図 7 】



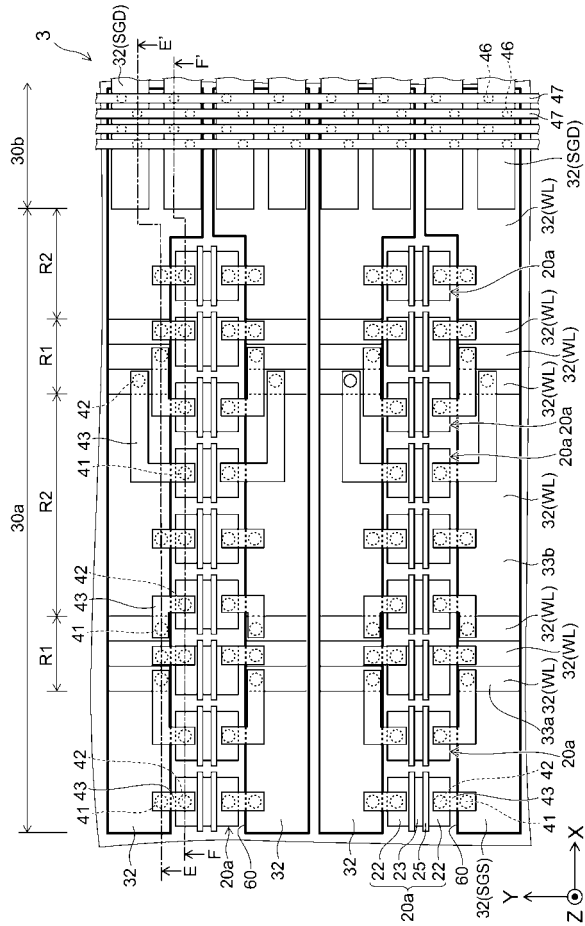
【 図 6 】



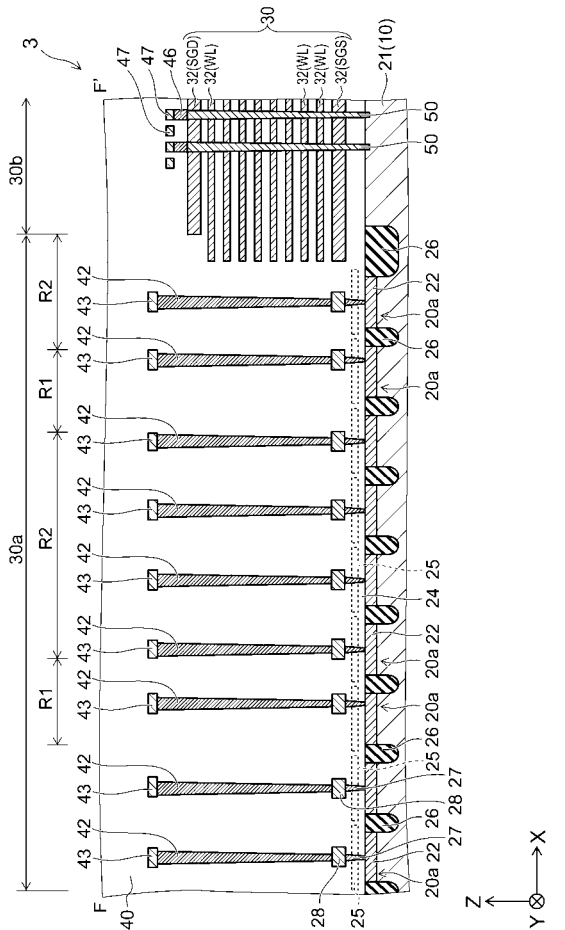
【 図 8 】



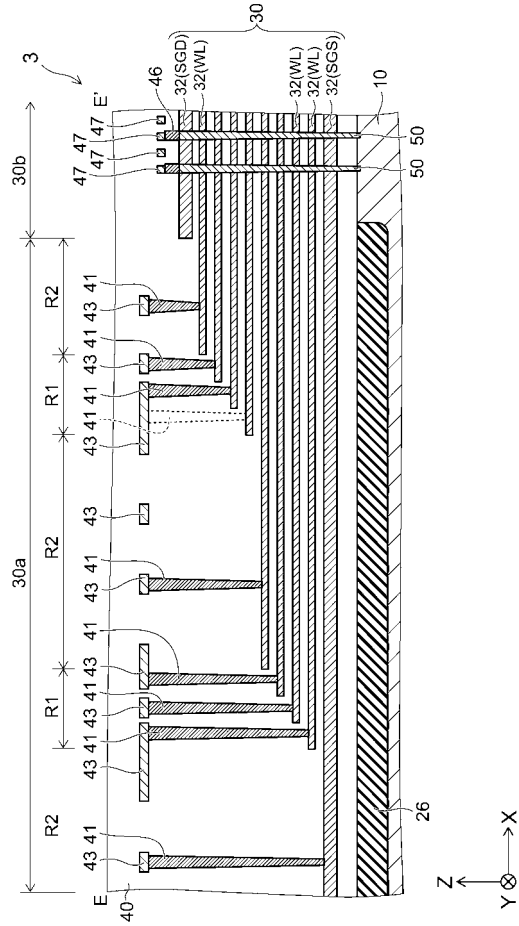
【 図 9 】



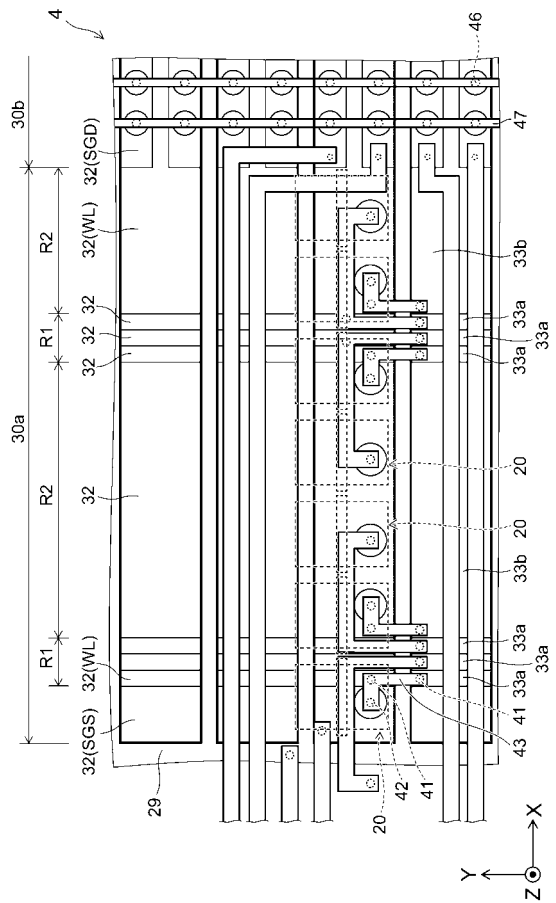
【 図 1 1 】



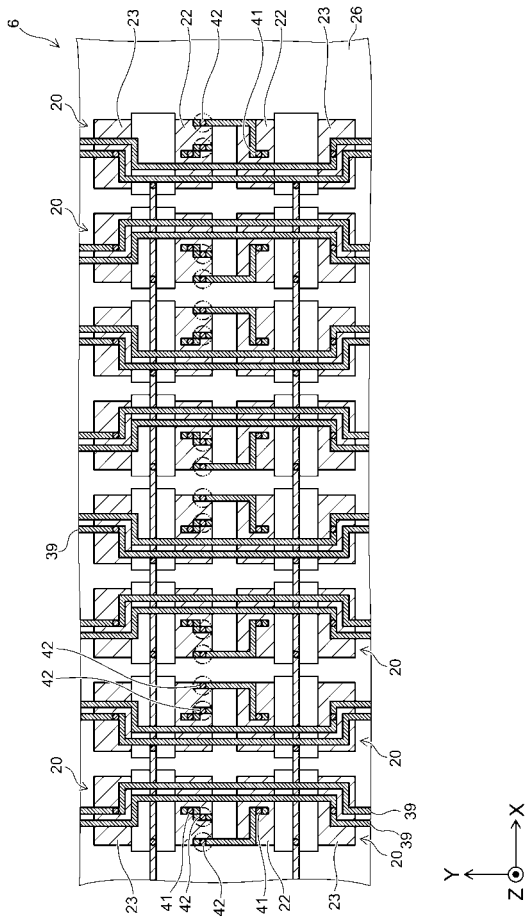
【 図 1 0 】



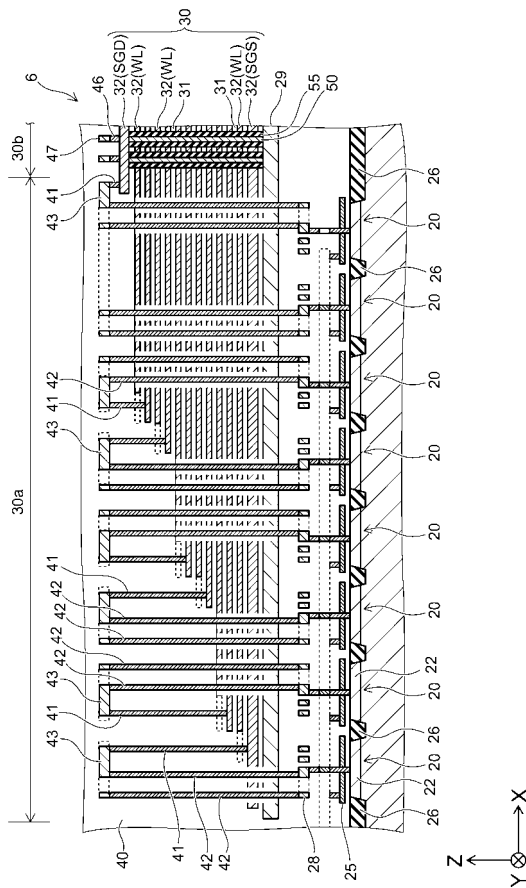
【 図 1 2 】



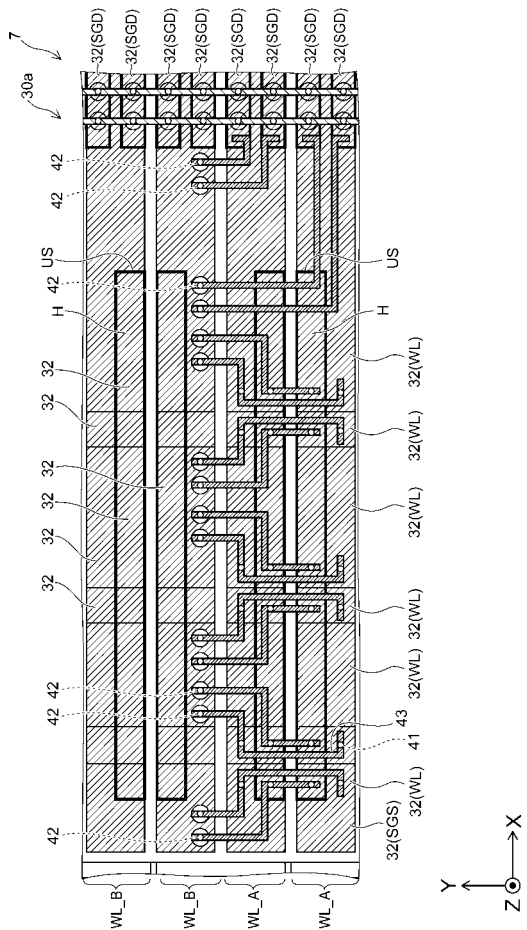
【 図 1 7 】



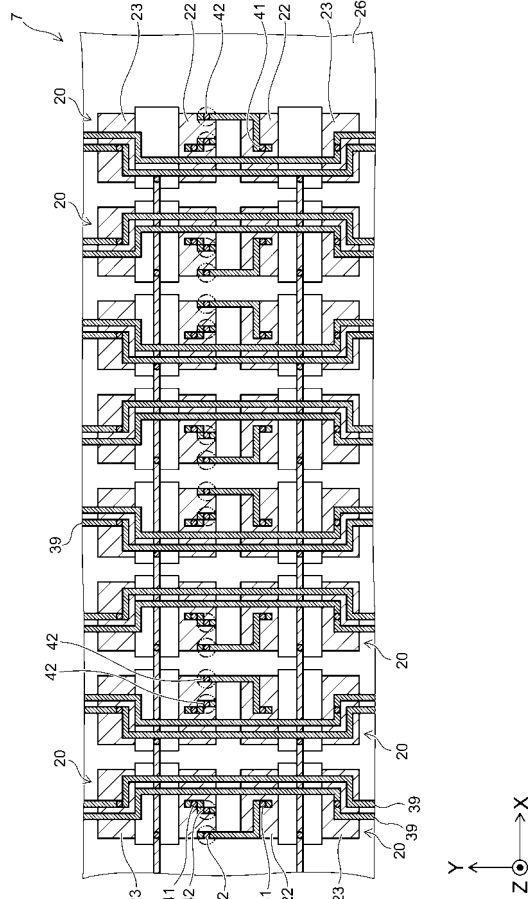
【 図 1 8 】



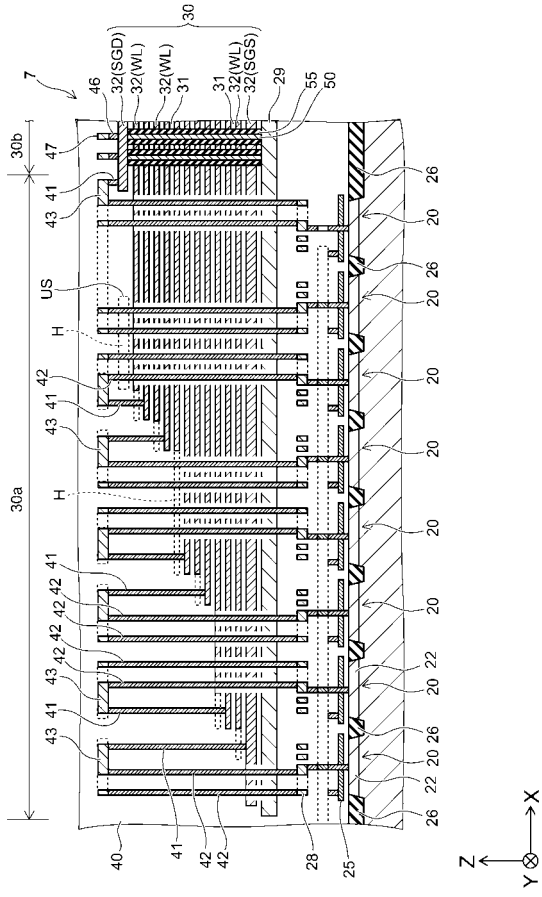
【 図 1 9 】



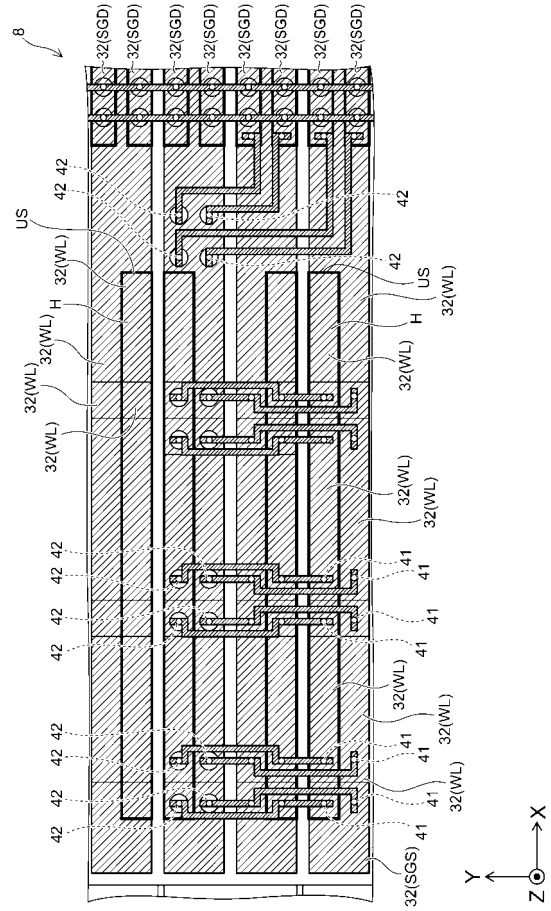
【 図 2 0 】



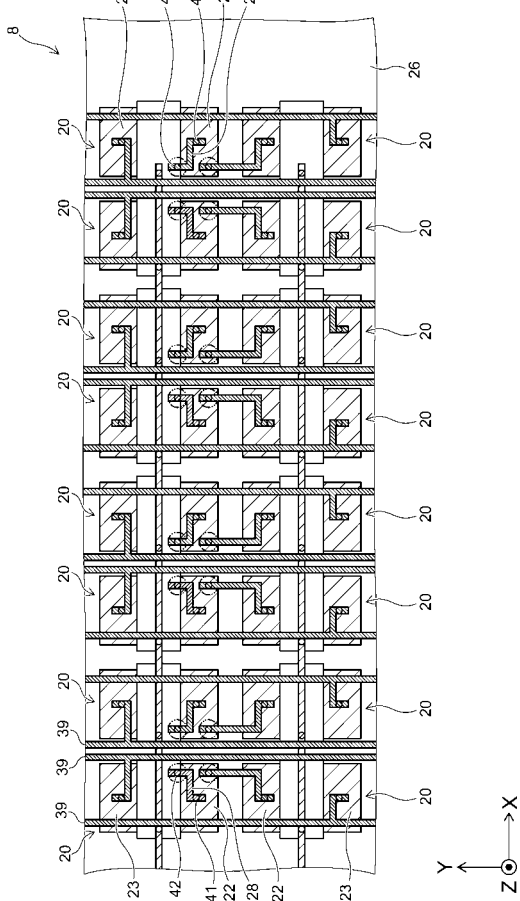
【 図 2 1 】



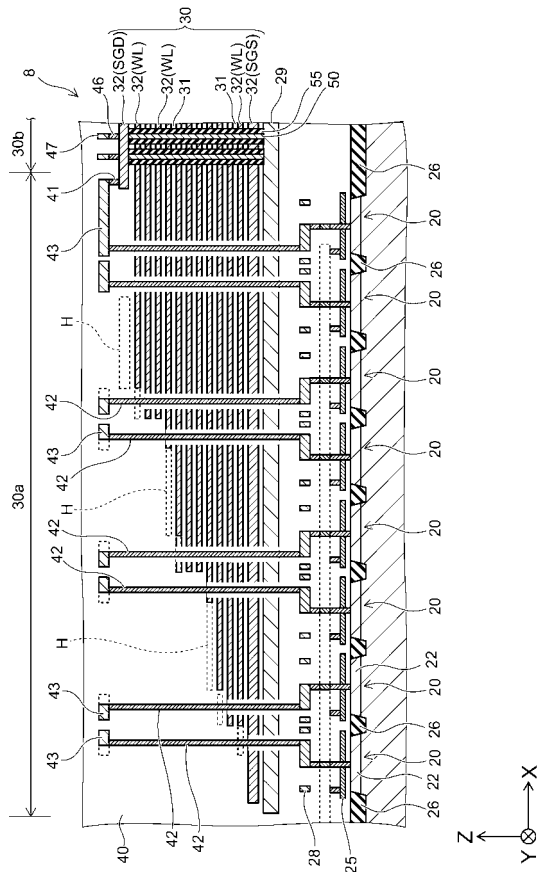
【 図 2 2 】



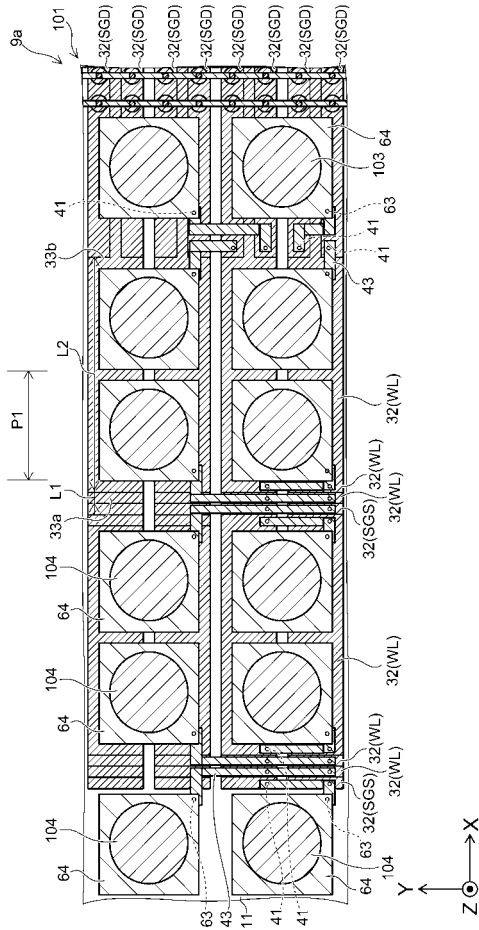
【 図 2 3 】



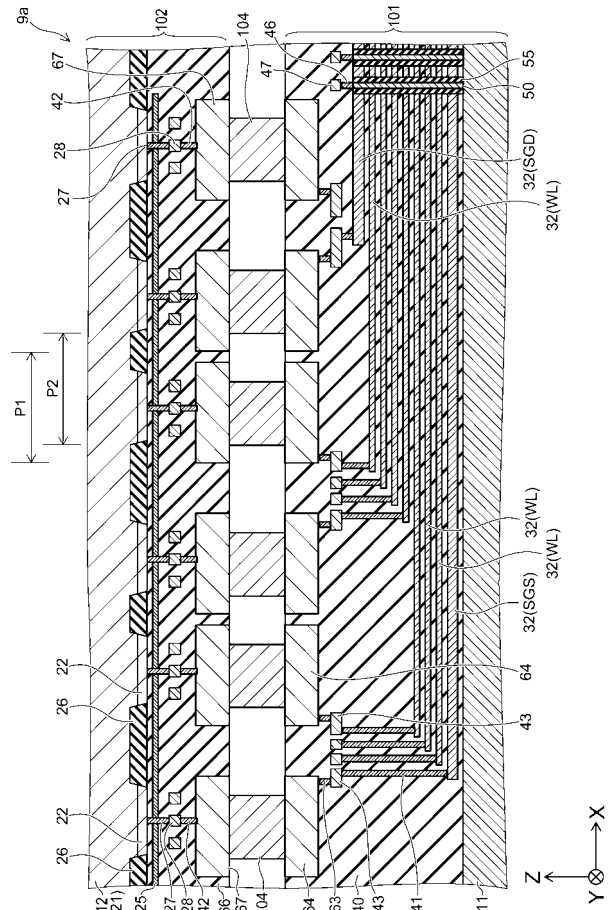
【 図 2 4 】



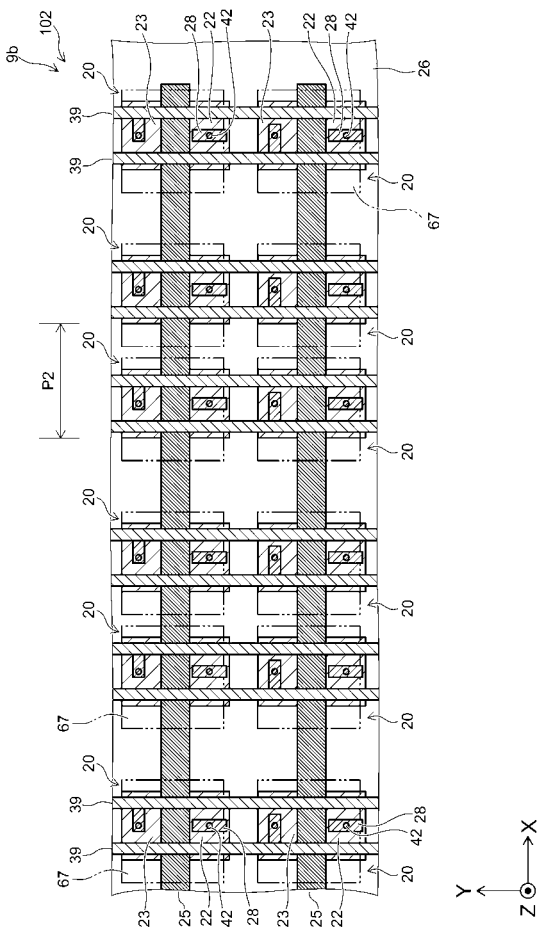
【 図 29 】



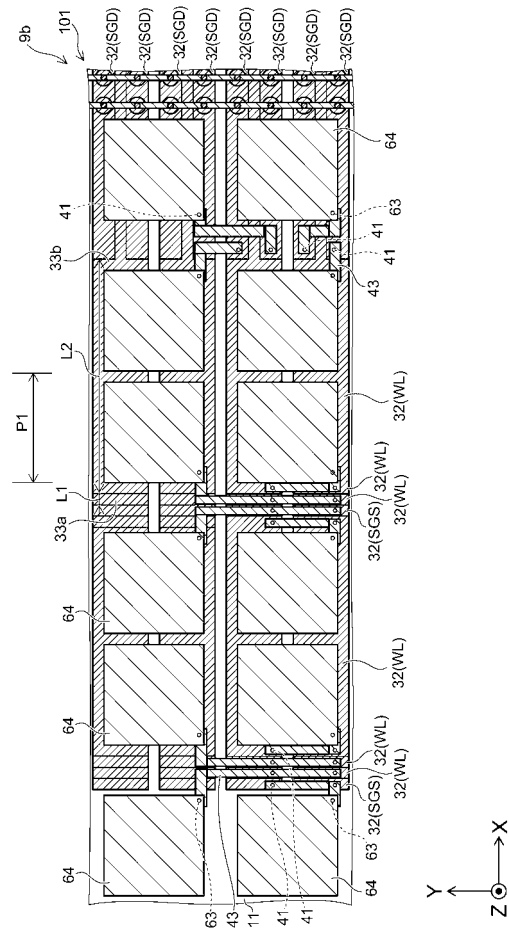
【 図 30 】



【 図 31 】



【 図 32 】



【 3 3 3 】

