

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成18年1月19日(2006.1.19)

【公表番号】特表2005-510881(P2005-510881A)

【公表日】平成17年4月21日(2005.4.21)

【年通号数】公開・登録公報2005-016

【出願番号】特願2003-548314(P2003-548314)

【国際特許分類】

H 0 1 L 29/78 (2006.01)

H 0 1 L 21/336 (2006.01)

【F I】

H 0 1 L 29/78 6 5 3 A

H 0 1 L 29/78 6 5 2 F

H 0 1 L 29/78 6 5 2 G

H 0 1 L 29/78 6 5 8 A

H 0 1 L 29/78 6 5 8 E

H 0 1 L 29/78 6 5 8 G

【手続補正書】

【提出日】平成17年11月21日(2005.11.21)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1の伝導性の基板と、

上記基板上に形成され、上記第1の伝導性を有し、多数キャリア濃度が該基板よりも低いエピタキシャル層と、

上記エピタキシャル層の上面から該エピタキシャル層内に延びるトレンチと、

上記トレンチの内壁の少なくとも一部を覆う絶縁層と、

上記絶縁層に接し、上記トレンチ内に埋め込まれた導電領域と、

上記トレンチの底部と基板間のエピタキシャル層内に形成され、上記第1の伝導性を有し、多数キャリア濃度が該基板より低く、上記エピタキシャル層よりも高く、該トレンチの底部よりも広く、該トレンチの底部から該基板に亘る距離の100%に亘る不純物ドーブ領域と、

上記エピタキシャル層の上部内に上記トレンチに隣接して形成され、該エピタキシャル層の上面から、該トレンチより浅い深さまで延びる、第2の伝導性のボディ領域と、

上記ボディ領域の上部内に上記トレンチに隣接して形成された、第1の伝導性のソース領域とを備えるトレンチ金属酸化膜半導体電界効果トランジスタデバイス。

【請求項2】

上記第1の伝導性は、n型伝導性であり、上記第2の伝導性は、p型伝導性であることを特徴とする請求項1記載のトレンチ金属酸化膜半導体電界効果トランジスタデバイス。

【請求項3】

上記不純物ドーブ領域は、リンがドーブされていることを特徴とする請求項2記載のトレンチ金属酸化膜半導体電界効果トランジスタデバイス。

【請求項4】

上記基板は、 n^+ 基板であり、上記エピタキシャル層は、 n^- エピタキシャル層であり

、上記不純物ドーピング領域は、n領域であり、上記ボディ領域は、p領域であり、上記ソース領域は、 n^+ 領域であることを特徴とする請求項2記載のトレンチ金属酸化膜半導体電界効果トランジスタデバイス。

【請求項5】

当該トレンチ金属酸化膜半導体電界効果トランジスタデバイスは、シリコンデバイスであることを特徴とする請求項1記載のトレンチ金属酸化膜半導体電界効果トランジスタデバイス。

【請求項6】

上記絶縁層は、酸化シリコン層であることを特徴とする請求項1記載のトレンチ金属酸化膜半導体電界効果トランジスタデバイス。

【請求項7】

上記導電領域は、不純物がドーピングされた多結晶シリコンを含むことを特徴とする請求項5記載のトレンチ金属酸化膜半導体電界効果トランジスタデバイス。

【請求項8】

上記トレンチの底部と基板間の上記不純物ドーピング領域の厚さは、 $1 \sim 6 \mu\text{m}$ であることを特徴とする請求項1記載のトレンチ金属酸化膜半導体電界効果トランジスタデバイス。

【請求項9】

上記不純物ドーピング領域の正味n型不純物濃度は、 $1 \times 10^{18} \sim 5 \times 10^{19} \text{ cm}^{-3}$ であることを特徴とする請求項2記載のトレンチ金属酸化膜半導体電界効果トランジスタデバイス。

【請求項10】

上記トレンチは、正方形及び六角形の金属酸化膜半導体電界効果トランジスタセルの1つを画定することを特徴とする請求項1記載のトレンチ金属酸化膜半導体電界効果トランジスタデバイス。

【請求項11】

n型伝導性の基板と、

上記基板上に形成され、上記n型伝導性を有し、多数キャリア濃度が該基板よりも低いエピタキシャル層と、

上記エピタキシャル層の上面から該エピタキシャル層内に延びるトレンチと、

上記トレンチの内壁の少なくとも一部を覆う酸化シリコン絶縁層と、

上記酸化シリコン絶縁層に接し、上記トレンチ内に埋め込まれた不純物がドーピングされた多結晶シリコン領域と、

上記トレンチの底部と基板間のエピタキシャル層内に形成され、上記n型伝導性を有し、多数キャリア濃度が該基板よりも低く、上記エピタキシャル層よりも高く、該トレンチの底部よりも広く、該トレンチの底部から該基板に亘る距離の100%に亘る不純物ドーピング領域と、

上記エピタキシャル層の上部内に上記トレンチに隣接して形成され、該エピタキシャル層の上面から、該トレンチより浅い深さまで延びる、p型伝導性のボディ領域と、

上記ボディ領域の上部内に上記トレンチに隣接して形成された、n型伝導性のソース領域とを備えるトレンチ金属酸化膜半導体電界効果トランジスタデバイス。

【請求項12】

上記不純物ドーピング領域は、リングドーピングされていることを特徴とする請求項11記載のトレンチ金属酸化膜半導体電界効果トランジスタデバイス。

【請求項13】

上記トレンチの底部と基板間の上記不純物ドーピング領域の厚さは、 $1 \sim 6 \mu\text{m}$ であることを特徴とする請求項11記載のトレンチ金属酸化膜半導体電界効果トランジスタデバイス。

【請求項14】

上記不純物ドーピング領域の正味n型不純物濃度は、 $1 \times 10^{18} \sim 5 \times 10^{19} \text{ cm}^{-3}$ であることを特徴とする請求項11記載のトレンチ金属酸化膜半導体電界効果トランジスタ

タデバイス。

【請求項 15】

第 1 の伝導性の基板を準備する工程と、

上記基板上に、上記第 1 の伝導性を有し、多数キャリア濃度が該基板よりも低いエピタキシャル層を成長させる工程と、

上記エピタキシャル層の上部内に第 2 の伝導性のボディ領域を形成する工程と、

上記エピタキシャル層の上面から該エピタキシャル層内に延び、該エピタキシャル層の上面から、上記ボディ領域より深い深さまで延びるトレンチをエッチングする工程と、

上記トレンチの底部と基板間のエピタキシャル層内に、上記第 1 の伝導性を有し、多数キャリア濃度が上記基板より低く、該エピタキシャル層よりも高い不純物ドーブ領域を形成する工程と、

上記トレンチの内壁の少なくとも一部を覆う絶縁層を形成する工程と、

上記絶縁層に接し、上記トレンチ内に埋め込まれた導電領域を形成する工程と、

上記ボディ領域の上部内に上記トレンチに隣接する、第 1 の伝導性のソース領域を形成する工程とを有するトレンチ金属酸化膜半導体電界効果トランジスタデバイスの製造方法。

【請求項 16】

上記不純物ドーブ領域を形成する工程は、

(a) 上記エピタキシャル層に上記第 1 の伝導性の不純物を打ち込む工程と、

(b) 高温により上記第 1 の伝導性の不純物を拡散させる工程とを有することを特徴とする請求項 15 記載のトレンチ金属酸化膜半導体電界効果トランジスタデバイスの製造方法。

【請求項 17】

上記不純物は、上記不純物ドーブ領域が上記トレンチの底部から上記基板に亘る距離の 50% より大きく延びるまで拡散させることを特徴とする請求項 16 記載のトレンチ金属酸化膜半導体電界効果トランジスタデバイスの製造方法。

【請求項 18】

上記不純物は、上記不純物ドーブ領域が上記トレンチの底部から上記基板に亘る距離の 100% に亘って延びるまで拡散されることを特徴とする請求項 16 記載のトレンチ金属酸化膜半導体電界効果トランジスタデバイスの製造方法。

【請求項 19】

上記第 1 の伝導性は、n 型伝導性であり、上記第 2 の伝導性は、p 型伝導性であることを特徴とする請求項 16 記載のトレンチ金属酸化膜半導体電界効果トランジスタデバイスの製造方法。

【請求項 20】

上記不純物は、リンであることを特徴とする請求項 19 記載のトレンチ金属酸化膜半導体電界効果トランジスタデバイスの製造方法。

【請求項 21】

上記トレンチを形成する工程及び上記不純物ドーブ領域を形成する工程は、

(a) 上記エピタキシャル層上にトレンチマスクを形成する工程と、

(b) 上記トレンチマスクを介して上記トレンチをエッチングする工程と、

(c) 上記トレンチマスクを介して、上記第 1 の伝導性の不純物を打ち込む工程と、

(d) 上記第 1 の伝導性の不純物を高温により拡散させる工程とを有することを特徴とする請求項 15 記載のトレンチ金属酸化膜半導体電界効果トランジスタデバイスの製造方法。

【請求項 22】

上記高温により不純物を拡散させる工程は、上記トレンチの内壁に犠牲酸化層を成長させる工程と同時に進行することを特徴とする請求項 21 記載のトレンチ金属酸化膜半導体電界効果トランジスタデバイスの製造方法。

【請求項 23】

上記トレンチ金属酸化膜半導体電界効果トランジスタデバイスは、シリコンデバイスであることを特徴とする請求項 15 記載のトレンチ金属酸化膜半導体電界効果トランジスタデバイスの製造方法。

【請求項 24】

上記半導体基板に接する金属ドレインコンタクトを形成する工程と、

上記ソース領域の上面に接する金属ソースコンタクトを形成する工程と、

上記ソース領域から離れた上記導電領域の上面に金属ゲートコンタクトを形成する工程とを有する請求項 15 記載のトレンチ金属酸化膜半導体電界効果トランジスタデバイスの製造方法。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【発明の詳細な説明】

【発明の名称】オン抵抗が向上されたトレンチ金属酸化膜半導体電界効果トランジスタデバイス

【技術分野】

【0001】

本発明は、トレンチ金属酸化膜半導体電界効果トランジスタデバイスに関し、詳しくは、オン抵抗が向上されたトレンチ金属酸化膜半導体電界効果トランジスタデバイスに関する。

【背景技術】

【0002】

トレンチ金属酸化膜半導体電界効果トランジスタ (metal-oxide-semiconductor field-effect transistor: 以下、MOSFET という。) は、チャネルが縦に形成されるとともに、ゲートがソースとドレイン間に延びるトレンチ内に形成されたトランジスタである。トレンチは、内壁が酸化膜のような薄い絶縁層で覆われるとともに、ポリシリコン (すなわち、多結晶シリコン) のような導体で埋められており、電流の流れが余り制限されず、これにより固有オン抵抗 (specific on-resistance) をより小さくすることができる。MOSFET の具体例は、米国特許第 5,072,266 号、第 5,541,425 号、第 5,866,931 号にも開示されており、これらは参照することにより、本願に援用される。

【0003】

図 1 は、米国特許第 5,072,266 号に開示されている六角形の形状を有する従来のトレンチ MOSFET 21 の半分を示している。この構造体 21 は、 n^+ 基板 23 と、この n^+ 基板 23 上に、不純物が軽くドーブされて成長された所定の厚さ d_{epi} の n^- エピタキシャル層 25 とを備える。 n^- エピタキシャル層 25 内には、p ボディ領域 27 (p、 p^+) が形成されている。この設計では、p ボディ領域 27 (中央の領域を除く) は、 n^- エピタキシャル層 25 の上面から距離 d_{min} の深さに実質的に平面状に形成されている。p ボディ領域 27 の大部分上には、デバイスのソースとして機能する別の (n^+) 層 28 が設けられている。 n^- エピタキシャル層 25 内には、六角形の形状を有する一連のトレンチ 29 が設けられており、これらのトレンチ 29 は、上面に向かって開き、所定の深さ d_{tr} を有している。通常、トレンチ 29 の内壁は酸化膜で覆われており、その内部には、導電性ポリシリコンが埋め込まれ、これにより MOSFET デバイスのゲートが形成されている。トレンチ 29 は、セル領域 31 を画定し、これらのセル領域 31 も水平断面において六角形の形状を有する。セル領域 31 内の p ボディ領域 27 は、 n^- エピタキシャル層 25 の上面まで達しており、これによりセル領域 31 の上面における水平方向の断面に露呈したパターン 33 が形成される。図 1 に示す特定の設計では、p ボディ領域 27 の中央の p^+ 部分の n^- エピタキシャル層 25 の表面から延びる深さ d_{max} は

、トランジスタセルのトレンチ深さ d_{tr} より深く、これにより、降伏電圧は、トレンチ 29 の表面ではなく、半導体物質の大部分 (bulk) にかかる。

【0004】

典型的な MOSFET デバイスは、単一の集積回路 (chip、すなわち半導体ウェハの部分) 内に並列に製造された多数の独立した MOSFET トランジスタセル 31 を備える。したがって、図 1 に示す集積回路は、多数の六角形状のセル 31 を含んでいる (図 1 には、5 つのセルの部分のみを示している)。このような六角形の構造以外のセル構造、例えば正方形の構造等も広く用いられている。図 1 に示す設計では、 n^+ 基板 23 は、個々の MOSFET セル 31 の全てに対して、共通のドレインとして機能する。図には示していないが、MOSFET セル 31 の全てのソースは、通常、 n^+ ソース領域 28 上に配設された金属ソースコンタクトを介して、互いに短絡されている。ゲート領域がソース領域と短絡することを防止するために、通常、トレンチ 29 内のポリシリコンと金属ソースコンタクト間には、例えば BPSG (boro-phospho-silicate glass) からなる絶縁領域 (図示せず) が設けられている。この結果、ゲートコンタクトを形成するために、トレンチ 29 内のポリシリコンは、通常、MOSFET セル 31 を越えて端子領域 (termination region) まで延びるとともに、このポリシリコン上に金属ゲートコンタクトが形成されている。ポリシリコンゲート領域は、トレンチ 29 を介して互いに接続されるので、この構成により、デバイスの全てのゲート領域に対して共通の単一のゲートコンタクトが実現される。この結果、集積回路は、個々のトランジスタセル 31 のマトリクスからなるが、これらの複数のトランジスタセル 31 は、1 個の大きなトランジスタとして動作する。

【0005】

トレンチ MOSFET デバイスでは、オン抵抗を更に低くしたいという要求が根強く存在する。オン抵抗を低減する 1 つの方法は、エピタキシャル層の厚さを薄くすることである。これにより、ボディ領域及び基板の間に存在するエピタキシャル層 (図 1 の符号 25 参照) の厚さが薄くなる。この領域は、比較的高い抵抗率を有するため、これにより、デバイスのオン抵抗が低減される。しかしながら、当分野において周知のように、エピタキシャル層が薄くなると、特に降伏によって破損しやすい端子領域 (termination region) において降伏が発生する可能性が高くなってしまふ。

【発明の開示】

【課題を解決するための手段】

【0006】

本発明は、トレンチ金属酸化膜半導体電界効果トランジスタデバイスを提供する。本発明に係るトレンチ金属酸化膜半導体電界効果トランジスタデバイスは、(a) 第 1 の伝導性の基板と、(b) 基板上に形成され、第 1 の伝導性を有し、多数キャリア濃度が基板よりも低いエピタキシャル層と、(c) エピタキシャル層の上面からエピタキシャル層内に延びるトレンチと、(d) トレンチの内壁の少なくとも一部を覆う絶縁層と、(e) 絶縁層に接し、トレンチ内に埋め込まれた導電領域と、(f) トレンチの底部と基板間のエピタキシャル層内に形成され、第 1 の伝導性を有し、多数キャリア濃度が基板よりも低く、エピタキシャル層よりも高く、トレンチの底部よりも広く、トレンチの底部から基板に亘る距離の 100% に亘る不純物ドーブ領域と、(g) エピタキシャル層の上部内にトレンチに隣接して形成され、エピタキシャル層の上面から、トレンチより浅い深さまで延びる、第 2 の伝導性のボディ領域と、(h) ボディ領域の上部内にトレンチに隣接して形成された、第 1 の伝導性のソース領域とを備える。

【0007】

トレンチの底部と基板との間に不純物ドーブ領域 (「トレンチ底部インプラント」とも呼ぶ。) を設けることにより、デバイスのオン抵抗を低減できる。この不純物ドーブ領域は、好ましくは、トレンチの底部から基板に亘る距離の 50% より大きく延びるよう形成し、より好ましくは、トレンチの底部から基板に亘る距離の 100% に亘って延びるよう形成する。

【0008】

本発明は、他の側面として、トレンチ金属酸化膜半導体電界効果トランジスタデバイスの製造方法を提供する。本発明に係るトレンチ金属酸化膜半導体電界効果トランジスタデバイスの製造方法は、(a)第1の伝導性の基板を準備する工程と、(b)基板上に、第1の伝導性を有し、多数キャリア濃度が基板よりも低いエピタキシャル層を成長させる工程と、(c)エピタキシャル層の上部内に第2の伝導性のボディ領域を形成する工程と、(d)エピタキシャル層の上面からエピタキシャル層内に延び、エピタキシャル層の上面から、ボディ領域より深い深さまで延びるトレンチをエッチングする工程と、(e)トレンチの底部と基板間のエピタキシャル層内に、第1の伝導性を有し、多数キャリア濃度が基板よりも低く、エピタキシャル層よりも高い不純物ドーピング領域を形成する工程と、(f)トレンチの内壁の少なくとも一部を覆う絶縁層を形成する工程と、(g)絶縁層に接し、トレンチ内に埋め込まれた導電領域を形成する工程と、(h)ボディ領域の上部内にトレンチに隣接する、第1の伝導性のソース領域を形成する工程とを有する。

【0009】

不純物ドーピング領域を形成する工程は、好ましくは、エピタキシャル層に第1の伝導性の不純物を打ち込む工程と、高温により第1の伝導性の不純物を拡散させる工程とを有する。より好ましくは、トレンチを形成する工程及び不純物ドーピング領域を形成する工程は、(a)エピタキシャル層上にトレンチマスクを形成する工程と、(b)トレンチマスクを介してトレンチをエッチングする工程と、(c)トレンチマスクを介して、第1の伝導性の不純物を打ち込む工程と、(d)第1の伝導性の不純物を高温により拡散させる工程とを有する。更に好ましくは、高温により不純物を拡散させる工程は、トレンチの内壁に犠牲酸化層を成長させる工程と同時に行われる。

【0010】

トレンチ底部インプラントは、トレンチより深く延びる深いボディ領域(例えば、図1に示す深いボディ領域)を有するデバイスにおいて生じる問題を解決するために、以前から用いられている。詳しくは、米国特許第5,929,481号は、トレンチより深く延びる深いボディ領域を有するトレンチ金属酸化膜半導体電界効果トランジスタデバイスを開示している。しかしながら、これらの深いボディ領域は、トレンチコーナ部の電気的な降伏を回避するために設けられ、これにより、トレンチの底部に寄生接合型電界効果トランジスタ(Junction Field Effect Transistor: JFET)を形成してしまうという問題があった。この寄生JFETの形成を抑制するために、トレンチの底部に、周囲のドリフト領域に広がる、不純物がドーピングされたトレンチ底部インプラント領域を形成する。このトレンチ底部インプラント領域は、周囲のドリフト領域と同じ伝導性を有し、より高濃度に不純物がドーピングされている。一方、本発明に基づくトレンチ金属酸化膜半導体電界効果トランジスタデバイスは、米国特許第5,929,481号に開示されるデバイスとは異なり、上述のような深いボディ領域を有していない。これに代えて、本発明に基づくデバイスのトレンチは、ボディ領域より深い深さに延びている。

【0011】

本発明により、オン抵抗が向上されたトレンチ金属酸化膜半導体電界効果トランジスタセルを実現できる。

【0012】

また、本発明により、設計及び製造工程の複雑さを実質的に増加させることなく、オン抵抗が向上されたトレンチ金属酸化膜半導体電界効果トランジスタセルを実現できる。

【0013】

更に、本発明により、エピタキシャル層において、トレンチの底部と基板との間の抵抗が低められたトレンチ金属酸化膜半導体電界効果トランジスタセルを実現できる。これにより、エピタキシャル層を薄くすることなく、及び端子領域における降伏特性を犠牲にすることなく、オン抵抗を低減することができる。

【0014】

本発明のこれらの及び他の実施例及びその利点は、特許請求の範囲及び発明の実施の形態により、当業者にとって明らかとなる。

【発明を実施するための最良の形態】

【0015】

以下、本発明の好ましい実施例を示す図面を参照して、本発明を更に詳細に説明する。なお、本発明は、後述する実施例とは異なる形式で実現してもよく、したがって、これらの実施例によって限定されてるものではない。

【0016】

本発明は、トレンチの底部と基板との間に、多数キャリア濃度が比較的高い領域（ここでは、この領域の好ましい形状に基づき「トレンチ底部インプラント（trench bottom implant）とも呼ぶ。）が形成された新規のトレンチMOSFET構造を提供する。このようなトレンチMOSFET構造により、オン抵抗が向上する。

【0017】

本発明に基づくトレンチMOSFETを図2に示す。このトレンチMOSFETは、 n^+ 基板200と、この n^+ 基板200上に成長されたエピタキシャル層201とを備える。

【0018】

この実施例における n^+ 基板200は、シリコン基板からなり、その厚さは、例えば10～25ミル（mil）であり、正味不純物濃度は、例えば $1 \times 10^{19} \sim 1 \times 10^{20} \text{ cm}^{-3}$ である。

【0019】

エピタキシャル層201の下部には、 n 領域202が形成されている。この実施例では、 n 領域202の厚さは、例えば2～5 μm であり、正味不純物濃度は、例えば $4 \times 10^{15} \sim 8 \times 10^{16} \text{ cm}^{-3}$ である。

【0020】

エピタキシャル層201の上部には、 p ボディ領域204が形成されている。ここに示す実施例では、これらの p ボディ領域204は、1～2 μm の厚さを有し、正味不純物濃度は、例えば $1 \times 10^{17} \sim 1 \times 10^{18} \text{ cm}^{-3}$ である。

【0021】

エピタキシャル層201内に形成されたトレンチの内壁は、絶縁体210、酸化物等の絶縁体で覆われるとともに、トレンチには、導電体211、代表的には不純物がドーブされた多結晶シリコンが埋め込まれ、これによりデバイスのゲート電極機能が実現されている。トレンチは、例えば1.5～2.5 μm の深さに延びている。酸化シリコン（代表的には、二酸化シリコン）を絶縁体210として用いる場合、その厚さは、例えば500～700とすることができる。導電体211として多結晶シリコンを用いる場合、その抵抗率は、例えば1～15 Ω/sq とすることができる。トレンチ間の領域は、その形状から、「メサ」又は「トレンチメサ」と呼ばれることもある。これらの領域の幅は、例えば1.5～4 μm である。これらの領域は、一般的に、上面から見て正方形又は六角形の形状を有している。

【0022】

本発明の実施例では、トレンチの底部と n^+ 基板200との間に n 領域206（トレンチ底部インプラント（trench bottom implants）とも呼ぶ。）を設けている。 n 領域206の正味不純物濃度は、例えば $1 \times 10^{18} \sim 5 \times 10^{19} \text{ cm}^{-3}$ である。これらの n 領域206は、図2に示すように、トレンチの底部から n^+ 基板200までの全領域に亘って形成することが望ましいが、必要であれば、この領域の一部のみをブリッジしてもよい。 n 領域206の深さは、代表的には、1～6 μm とする。

【0023】

図2に示すトレンチMOSFETデバイスは、更に、 n^+ ソース領域212を備え、ここに示す実施例では、この n^+ ソース領域212は、エピタキシャル層201の上面から、例えば0.3～0.5 μm の深さまで延び、正味不純物濃度は、例えば $5 \times 10^{19} \sim 5 \times 10^{20} \text{ cm}^{-3}$ である。

【0024】

金属ソースコンタクト218は、 n^+ ソース領域212に電氣的に接触している。絶縁領域であるBPSG (borophosphosilicate glass) 領域216は、ゲート電極に関する不純物がドーブされた多結晶シリコン領域211がソースコンタクトを介して、 n^+ ソース領域212に短絡することを防いでいる。通常は、トレンチMOSFETセルの領域の外側に位置する多結晶シリコン211のゲートランナ部分に、別の金属ゲートコンタクト(図示せず)が接続される。更に、通常、 n^+ 基板200に接する金属ドレインコンタクト(図示せず)も配設される。

【0025】

図3に示す曲線aは、図2に示す線A-A'の一部に沿った、トレンチの底部から基板200内に延びる部分の不純物濃度プロファイルを概略的に示している。この曲線aの左側の部分は、 n 領域206に対応し、右側の部分は、 n^+ 基板200に対応する。比較のために、図2に示す線B-B'に沿った対応する部分における不純物濃度プロファイルを曲線bとして図3示す。この曲線bの左側の部分は、 n 領域206に対応し、右側の部分は、 n^+ 基板200に対応する。

【0026】

理論に頼ることなく(Although not wishing to be bound by theory)、pボディ領域204とゲートのポリシリコン領域211との間に電位差を生じさせることにより、ゲート酸化層210に隣接するpボディ領域204内に電荷が容量的に誘導され、pボディ領域204内にチャンネルが形成されると考えられている。ここで、ソース212と n^+ 基板200(ドレインとして機能する)との間に更なる電位差を生じさせると、ゲート酸化層210に隣接するpボディ領域204内に形成されたチャンネルを介して、ソース212から n^+ 基板200に電流が流れ、トレンチMOSFETがパワーオン状態となる。更に、図2に示すデバイスでは、トランジスタがパワーオン状態のとき、トレンチの下側に形成された n 領域206が、ソース212からドレイン(n^+ 基板200)に流れる電流に対して抵抗が低減されたパスを提供するため、オン抵抗が向上する。

【0027】

本発明に基づき、図2に示すようなトレンチMOSFETを製造する製造方法について、図4A~図4Cを用いて説明する。

【0028】

まず、図4Aに示すように、 n^+ にドーブされた n^+ 基板200上に n にドーブされたエピタキシャル層201を成長させる。 n^+ 基板200の厚さを、例えば10~25ミル(mil)とし、正味 n 型不純物濃度を、例えば $1 \times 10^{19} \sim 1 \times 10^{20} \text{ cm}^{-3}$ とする。エピタキシャル層201の正味 n 型不純物濃度を、例えば $4 \times 10^{15} \sim 8 \times 10^{16} \text{ cm}^{-3}$ とし、厚さを、例えば3~10 μm とする。

【0029】

次に、適切なマスクを用いて、打込み及び拡散により、エピタキシャル層201内にp領域204を形成する。ここでは、例えば、エピタキシャル層内にホウ素を打ち込み、高温でホウ素を拡散させて、p領域204を形成する。p領域の厚さは、例えば1~2 μm とし、正味p型不純物濃度は、例えば $1 \times 10^{17} \sim 1 \times 10^{18} \text{ cm}^{-3}$ とする。この工程の後、エピタキシャル層201の n 領域202が2~5 μm の厚みで残る。 n 領域202は、上述したエピタキシャル層201の正味 n 型不純物濃度と同じ正味 n 型不純物濃度を有する。

【0030】

次に、例えば、化学気相成長(chemical vapor deposition: 以下、CVDという。)によってマスク酸化層203を堆積させ、パターン化されたトレンチマスク(図示せず)を形成した後、反応性イオンエッチングによりマスク酸化層203をエッチングする。これにより、図4Aに示す構造が形成される。次に、パターン化されたマスク酸化層203の開口を介して、例えば反応性イオンエッチングによりトレンチをエッチングする。この実施例では、トレンチの深さを1.5~2.5 μm とする。このトレンチ形成工程によって、分離した複数のpボディ領域204が画定される。

【0031】

次に、トレンチマスクを打ち込みマスクとして用いて、n型不純物、好ましくはリンをこの構造体に打ち込む。例えば、この具体例では、 $80 \sim 100 \text{ keV}$ で $5 \times 10^{15} \sim 1 \times 10^{17} \text{ cm}^{-2}$ のドーズ量でリンを打ち込む。これにより、図4Bに示す構造が形成される。トレンチの底部の下の破線は、構造体内に打ち込まれたリンの存在を示している。

【0032】

打ち込まれたn型不純物（例えば、リン）は、この時点で、単に構造体を加熱することによって構造体内に拡散させることができるが、この好ましい実施例では、犠牲酸化層の形成と同時に行われる。詳しくは、この時点で、例えば20～60分間、 $900 \sim 1150$ の温度でドライ酸化を行うことにより、トレンチ内に犠牲酸化層を形成する。この結果、犠牲酸化層205が形成されるとともに、この高温処理によって、先にエピタキシャル層201に打ち込まれたn型不純物が拡散し、n領域206が形成される。これにより、図4Cに示す構造が形成される。

【0033】

次に、トレンチMOSFETを完成させることにより、図2に示す構造が形成される。詳しくは、好ましくはウェットエッチングによって、図4Cに示す犠牲酸化層205をトレンチから取り除く。次に、20～60分間、 $900 \sim 1100$ の温度でドライ酸化を行うことにより、トレンチの底部に好ましくは $500 \sim 700$ の厚さを有する酸化層を成長させる。この酸化層の一部は、最終的なデバイスのゲート酸化層210を構成する。

【0034】

次に、好ましくはCVDを用いて、多結晶シリコン層によりこの構造体を覆い、及びトレンチを埋め込む。多結晶シリコンには、その抵抗率を低減するために、通常、n型不純物をドーピングする。n型不純物のドーピングは、例えば、亜リン酸クロライド（phosphorous chloride）を用いたCVDにより、若しくはヒ素又はリンを打ち込むことにより行うことができる。次に、例えば反応性イオンエッチングにより、多結晶シリコン層をエッチングする。トレンチ部分内のポリシリコン層は、エッチングの不均一性を鑑み、通常若干深めにエッチングし、これにより形成されるポリシリコンゲート領域211の上面は、隣接するpボディ領域204の表面より $0.1 \sim 0.2 \mu\text{m}$ 低い位置に形成される。

【0035】

次に、パターン化されたマスク層を形成し、このマスク層を介して、打ち込み及び拡散工程によって、エピタキシャル層201の上面から、例えば $0.3 \sim 0.5 \mu\text{m}$ の深さまで延び、正味不純物濃度が例えば $5 \times 10^{19} \sim 5 \times 10^{20} \text{ cm}^{-3}$ である n^+ ソース領域212をエピタキシャル層201の上部に形成する。不純物の打ち込みは、打ち込みチャネリング効果（implant-channeling effects）、打ち込み損傷、及び後のソース領域の形成時における重金属汚染を避けるために、好ましくは打ち込み酸化層を介して行う。

【0036】

次に、例えばプラズマCVD（plasma enhanced chemical vapor deposition: PECVD）により、好ましくはBPSG（borophosphosilicate glass）層を構造体全体上に設ける。次に、構造体上にパターン化されたフォトレジスト層を形成した後、例えば反応性イオンエッチングを用いて構造体をエッチングし、構造体上の選択された部分のBPSG層及び酸化層を除去し、BPSG領域216を形成する。次に、パターン化されたフォトレジスト層を除去し、金属コンタクト層を堆積させて、ソースコンタクト218を形成する。通常、ゲート及びドレインコンタクト（図示せず）も形成する。これにより、図2に示す構造が形成される。

【0037】

以上、様々な実施の形態を図示し、説明したが、上述の説明から、この実施の形態を修正及び変更することができ、このような修正及び変更は、添付の請求の範囲に基づく本発明の思想及び範囲から逸脱するものではない。例えば、本発明は、上述の実施例とは伝導

性 (conductivities) が逆の構造にも同様に適用することができる。

【図面の簡単な説明】

【0038】

【図1】従来のトレンチMOSFETデバイスの断面図である。

【図2】本発明に基づくトレンチMOSFETデバイスの要部断面図である。

【図3】図2に示す線A-A'及び線B-B'における断面の不純物濃度と深さの関係を(任意の単位及びスケールで)プロットしたグラフ図である。

【図4A】図2に示すトレンチMOSFETデバイスの製造工程を説明するための要部断面図である。

【図4B】図2に示すトレンチMOSFETデバイスの製造工程を説明するための要部断面図である。

【図4C】図2に示すトレンチMOSFETデバイスの製造工程を説明するための要部断面図である。