



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년07월03일
 (11) 등록번호 10-1752834
 (24) 등록일자 2017년06월26일

(51) 국제특허분류(Int. Cl.)
 G09G 3/36 (2006.01) G02F 1/133 (2006.01)
 G11C 19/28 (2006.01) H03K 19/00 (2006.01)
 (21) 출원번호 10-2009-0133158
 (22) 출원일자 2009년12월29일
 심사청구일자 2014년11월25일
 (65) 공개번호 10-2011-0076450
 (43) 공개일자 2011년07월06일
 (56) 선행기술조사문헌
 KR1020060124835 A*
 KR1020080056781 A*
 KR1020080082356 A*
 KR1020080104726 A
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
 삼성디스플레이 주식회사
 경기도 용인시 기흥구 삼성로 1 (농서동)
 (72) 발명자
 김혁진
 충청남도 아산시 탕정면 탕정면로 37, 트라펠리스 102동 705호
 박경호
 충청남도 천안시 서북구 두정중3길 14 503호 (두정동)
 (뒷면에 계속)
 (74) 대리인
 특허법인 고려

전체 청구항 수 : 총 19 항

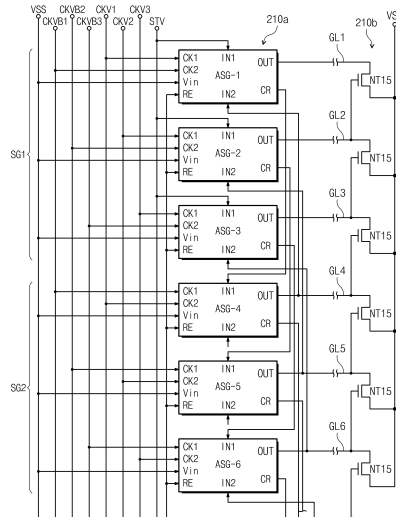
심사관 : 추장희

(54) 발명의 명칭 게이트 구동회로 및 이를 포함하는 표시장치

(57) 요약

게이트 구동회로 및 이를 포함하는 표시장치에서, 게이트 구동회로는 종속적으로 연결된 제1 스테이지 군 및 제1 스테이지 군으로부터 출력된 제1 출력 신호를 전달받아 제2 출력 신호를 생성하여 해당 게이트 라인에 전달하는 제2 스테이지 군을 포함한다. 제1 스테이지 군은 개시신호를 각각 전달 받는 제1 버퍼부 및 제2 버퍼부를 각각 포함하며, 제1 버퍼부의 크기는 제2 버퍼부의 크기보다 작다. 이와 같이, 제1 버퍼부와 제2 버퍼부의 크기를 달리함으로써 화질 불량 문제를 해결할 수 있다.

대표도 - 도2a



(72) 발명자

노상용

서울특별시 금천구 금하로 816, 벽산5단지 아파트
507동 503호 (시흥동)

조영제

충청남도 천안시 서북구 늘푸른1길 50, 405동 101
호 (두정동, 두정4차 푸르지오)

최국현

서울특별시 금천구 독산로 78-1, 경남아파트 101동
505호 (시흥동)

김용조

서울특별시 서대문구 연희로 377, 202동 906호 (홍
은동, 현대아파트)

김성훈

서울특별시 관악구 성현로 80, 102동 1103호 (봉천
동, 관악드림타운)

김효섭

충청남도 천안시 동남구 다가10길 41-1 (다가동)

명세서

청구범위

청구항 1

종속적으로 연결된 복수의 스테이지를 포함하고, 다수의 게이트 라인에 연결된 게이트 구동회로에서,

개시신호를 입력받아 제1 출력신호를 출력하는 상기 복수의 스테이지 중 적어도 3개의 스테이지를 포함하는 제1 스테이지 군;

복수의 스테이지를 포함하고, 상기 제1 스테이지 군으로부터 출력된 상기 제1 출력 신호를 수신하여 제2 출력 신호를 생성하고, 생성된 제2 출력 신호를 상기 게이트 라인들 중 대응하는 게이트 라인에 전달하는 제2 스테이지 군을 포함하되,

상기 제1 스테이지 군은 제1 내지 제3 스테이지를 포함하고,

상기 제1 스테이지는 상기 개시 신호를 수신하는 제1 버퍼 트랜지스터를 포함하고, 상기 제2 스테이지는 상기 개시 신호를 수신하는 제2 버퍼 트랜지스터를 포함하고,

상기 제2 버퍼 트랜지스터의 채널 폭은 상기 제1 버퍼 트랜지스터의 채널 폭보다 작은 것을 특징으로 하는 게이트 구동회로.

청구항 2

삭제

청구항 3

삭제

청구항 4

제1항에 있어서, 상기 제2 버퍼 트랜지스터의 상기 채널 폭은 상기 제1 버퍼 트랜지스터의 상기 채널 폭보다 35% 작은 것을 특징으로 하는 게이트 구동회로.

청구항 5

제1항에 있어서, 상기 제1 스테이지 군 및 상기 제2 스테이지 군에 더미 출력 신호를 제공하여 상기 제1 및 제2 출력 신호를 게이트 오프 전압 레벨로 낮추는 더미 스테이지를 더 포함하는 게이트 구동회로.

청구항 6

제5항에 있어서, 상기 제1 스테이지 군 및 상기 제2 스테이지 군은

상기 개시신호 또는 이전 스테이지 중의 어느 한 스테이지로부터 출력된 출력 신호에 응답하여, 클럭 신호를 각각의 상기 게이트 라인에 게이트 전압으로 공급하는 전압 출력부;

상기 개시신호 또는 상기 이전 스테이지 중의 어느 한 스테이지로부터 출력된 출력신호를 전달받아 상기 전압 출력부를 구동하는 출력 구동부;

상기 게이트 라인을 게이트 오프 전압으로 홀딩하는 홀딩부; 및

상기 게이트 라인의 일단에 구비되어 상기 전압 출력부로부터 출력된 상기 게이트 전압에 응답하여 상기 게이트 라인을 상기 게이트 오프 전압으로 방전시키는 방전부를 각각 포함하는 것을 특징으로 하는 게이트 구동회로.

청구항 7

제6항에 있어서, 상기 전압 출력부는

상기 개시신호 또는 상기 이전 스테이지 중의 어느 한 스테이지로부터 전달된 상기 출력신호를 전달받는 제어전극, 상기 클럭 신호를 전달받는 입력전극 및 상기 게이트 라인에 연결된 출력전극을 포함하는 풀업 트랜지스터;

다음 스테이지 중의 어느 한 스테이지로부터 전달된 상기 출력신호를 전달받는 제어전극, 상기 풀업 트랜지스터의 상기 출력전극에 연결된 입력전극 및 상기 더미 스테이지로부터 출력된 상기 더미 출력 신호를 입력 받는 입력단자에 연결된 출력전극을 포함하는 풀다운 트랜지스터를 포함하는 것을 특징으로 하는 게이트 구동회로.

청구항 8

제7항에 있어서, 상기 제1 버퍼 트랜지스터 및 상기 제2 버퍼 트랜지스터 각각은 상기 이전 스테이지 중의 어느 한 스테이지의 출력 신호를 전달받는 입력전극과 제어전극, 및 상기 풀업 트랜지스터의 제어전극에 연결된 출력전극을 포함하는 것을 특징으로 하는 게이트 구동회로.

청구항 9

제6항에 있어서, 상기 클럭신호는

각각 서로 다른 시간지연 기간을 갖고 온/오프를 반복하는 제1 내지 제3 클럭신호; 및

상기 제1 내지 제3 클럭신호와 서로 다른 위상차를 갖고 온/오프를 반복하는 제4 내지 제6 클럭신호를 포함하는 것을 특징으로 하는 게이트 구동회로.

청구항 10

제9항에 있어서, 상기 시간지연 기간은 1H 기간이며, 상기 위상차는 180도 인 것을 특징으로 하는 게이트 구동회로.

청구항 11

삭제

청구항 12

삭제

청구항 13

행렬 형태로 배열되어 있는 복수의 화소,

상기 화소에 게이트 신호를 전달하는 복수의 게이트 라인,

상기 화소에 데이터 신호를 전달하는 복수의 데이터 라인,

상기 게이트 라인에 연결되어 있으며 하나 이상의 클럭신호에 기초하여 상기 게이트 신호를 생성하는 게이트 구동부,

상기 데이터 라인에 연결되어 상기 데이터 신호를 생성하는 데이터 구동부 및

상기 게이트 구동부 및 데이터 구동부의 동작을 제어하는 제어부를 포함하며,

상기 게이트 구동부는

개시신호를 입력받아 제1 게이트 신호를 생성하여 해당 게이트 라인에 전달하는 제1 스테이지 군 및 상기 제1 스테이지 군으로부터 출력된 상기 제1 게이트 신호를 전달받아 제2 게이트 신호를 생성하여 해당 게이트 라인에 전달하는 제2 스테이지 군을 포함하며,

상기 제1 스테이지 군은 제1 내지 제3 스테이지를 포함하고,

상기 제1 스테이지는 상기 개시 신호를 수신하는 제1 버퍼 트랜지스터를 포함하고, 상기 제2 스테이지는 상기 개시 신호를 수신하는 제2 버퍼 트랜지스터를 포함하고,

상기 제2 버퍼 트랜지스터의 채널 폭은 상기 제1 버퍼 트랜지스터의 채널 폭보다 작은 것을 특징으로 하는 표시장치.

청구항 14

삭제

청구항 15

제13항에 있어서, 상기 제2 버퍼 트랜지스터의 상기 채널 폭은 상기 제1 버퍼 트랜지스터의 상기 채널 폭보다 35% 작은 것을 특징으로 하는 표시장치.

청구항 16

제15항에 있어서, 상기 제1 스테이지 군 및 상기 제2 스테이지 군은,

상기 개시신호 또는 이전 스테이지 중의 어느 한 스테이지로부터 출력된 신호에 응답하여, 클럭 신호를 각각의 상기 게이트 라인에 상기 게이트 신호로 공급하는 전압 출력부;

상기 개시신호 또는 상기 이전 스테이지 중의 어느 한 스테이지로부터 출력된 신호를 전달받아 상기 전압 출력부를 구동하는 출력 구동부;

상기 게이트 라인을 게이트 오프 전압으로 홀딩하는 홀딩부; 및

상기 게이트 라인의 일단에 구비되어 상기 전압 출력부로부터 출력된 게이트 전압에 응답하여 상기 게이트 라인을 상기 게이트 오프 전압으로 방전시키는 방전부를 각각 포함하는 것을 특징으로 하는 표시장치.

청구항 17

제13항에 있어서, 상기 클럭신호는,

각각 서로 다른 시간지연 기간을 갖고 온/오프를 반복하는 제1 내지 제3 클럭신호; 및

상기 제1 내지 제3 클럭신호와 서로 다른 위상차를 갖고 온/오프를 반복하는 제4 내지 제6 클럭신호를 포함하며, 상기 시간지연 기간은 1H 기간이고 상기 위상차는 180도 인 것을 특징으로 하는 표시장치.

청구항 18

기관;

상기 기관 위에 형성되어 이전 스테이지의 캐리 신호를 수신하는 게이트 전극;

상기 기관과 상기 게이트 전극을 절연하는 제1 절연막;

상기 제1 절연막 위에 형성되어 채널을 형성하는 반도체막;

상기 반도체막 위에 형성되어 상기 이전 스테이지의 상기 캐리 신호를 수신하는 드레인 전극;

상기 반도체막 위에 형성되어 상기 게이트 전극에 인가되는 전압에 따라 상기 드레인 전극으로부터 상기 이전 스테이지의 상기 캐리 신호를 수신하는 소스 전극;

상기 드레인 전극 및 상기 소스 전극 위에 형성되어 절연하는 제2 절연막; 및

상기 제2 절연막 위에 형성되고 상기 드레인 전극과 상기 소스 전극 사이의 영역에 형성되어 게이트 오프 전압을 수신하는 투명 도전막을 포함하는 표시장치.

청구항 19

제18항에 있어서, 상기 게이트 오프 전압은 음의 전압을 수신하는 것을 특징으로 하는 표시장치.

청구항 20

제19항에 있어서, 상기 음의 전압은 -7.5V 인 것을 특징으로 하는 표시장치.

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

청구항 30

삭제

청구항 31

게이트 신호와 데이터 신호에 응답하여 영상을 표시하는 표시부;

상기 표시부에 데이터 신호를 제공하는 데이터 구동부;

종속적으로 연결된 복수의 스테이지를 포함하며 적어도 하나의 클럭 신호에 응답하여 상기 표시부에 상기 게이트 신호를 출력하는 게이트 구동부;

상기 데이터 구동부 및 게이트 구동부의 동작을 제어하는 제어부를 포함하며,

상기 게이트 구동부는,

종속적으로 연결되며 대응하는 게이트 라인에 상기 게이트 신호를 제공하는 복수의 스테이지를 포함하며,

개시신호를 수신하는 제1 스테이지 군과 이전 스테이지들 중 어느 하나의 스테이지로부터 출력된 신호를 수신하는 제2 스테이지 군을 포함하고,

상기 제1 스테이지 군은 각각이 제1 버퍼 트랜지스터를 포함하는 제1 내지 제3 스테이지를 포함하고,

상기 제2 스테이지군은 각각이 제2 버퍼 트랜지스터를 포함하는 복수의 스테이지들을 포함하며,

상기 제1 내지 제3 스테이지 중 어느 하나에 포함된 상기 제1 버퍼 트랜지스터의 채널 폭과 상기 제2 스테이지 군의 상기 복수의 스테이지들 중 어느 하나의 스테이지에 포함된 제2 버퍼 트랜지스터의 채널 폭이 서로 다른 것을 특징으로 하는 표시장치.

청구항 32

제31항에 있어서, 상기 제1 내지 제3 스테이지 중 어느 하나에 포함된 상기 제1 버퍼 트랜지스터의 채널 폭은 상기 제2 스테이지 군의 어느 하나의 스테이지에 포함된 상기 제2 버퍼 트랜지스터의 채널 폭보다 좁은 것을 특

징으로 하는 표시장치.

청구항 33

삭제

청구항 34

제31항에 있어서, 상기 제2 스테이지 및 상기 제3 스테이지 각각의 상기 제1 버퍼 트랜지스터의 채널 폭은 상기 제2 스테이지 군의 어느 하나의 스테이지에 포함된 상기 제2 버퍼 트랜지스터의 채널 폭보다 좁은 것을 특징으로 하는 표시장치.

청구항 35

제31항에 있어서, 상기 제1 스테이지의 상기 제1 버퍼 트랜지스터의 채널 폭이 상기 제2 및 제3 스테이지 각각의 상기 제1 버퍼 트랜지스터의 채널 폭보다 넓은 것을 특징으로 하는 표시장치.

발명의 설명

발명의 상세한 설명

기술 분야

[0001] 본 발명은 게이트 구동회로 및 이를 포함하는 표시장치에 관한 것으로, 보다 상세하게는 화질 불량이 제거된 게이트 구동회로 및 이를 포함한 표시장치에 관한 것이다.

배경 기술

[0002] 일반적으로, 표시장치의 하나인 액정 표시장치는 하부기관, 하부기관과 대향하여 구비되는 상부기관 및 하부기관과 상부기관과의 사이에 형성된 액정층으로 이루어져 영상을 표시하는 액정 표시패널을 구비한다. 액정 표시패널에는 다수의 게이트 라인, 다수의 데이터 라인, 다수의 게이트 라인과 다수의 데이터 라인에 연결된 다수의 화소가 구비된다.

[0003] 액정 표시장치는 다수의 게이트 라인에 게이트 펄스를 순차적으로 출력하기 위한 게이트 구동회로 및 다수의 데이터 라인에 픽셀전압을 출력하는 데이터 구동회로를 구비한다. 일반적으로, 게이트 구동회로 및 데이터 구동회로는 칩 형태로 이루어져 필름 또는 액정 표시패널 상에 실장된다.

[0004] 최근 액정 표시장치는 칩의 개수를 감소시키기 위하여 박막 공정을 통해 하부기관 상에 게이트 구동회로를 직접적으로 형성된 아몰퍼스 실리콘 게이트(amorphous silicon gate)구조를 채택하고 있다. 이때, 액정 표시장치에서 게이트 구동회로는 서로 종속적으로 연결된 다수의 스테이지로 이루어진 하나 이상의 쉬프트 레지스터를 구비한다.

발명의 내용

해결 하고자하는 과제

[0005] 본 발명에서 해결하고자 하는 기술적 과제는 이러한 점에서 착안된 것으로, 본 발명은 화질 불량이 발생하지 않는 게이트 구동회로를 제공하는 것이다.

[0006] 본 발명에서 해결하고자 하는 또 다른 기술적 과제는 상기의 게이트 구동회로를 포함하는 표시장치를 제공하는 것이다.

과제 해결수단

[0007] 본 발명의 목적을 달성하기 위한 실시 예에 따른 게이트 구동회로는 종속적으로 연결된 다수의 스테이지로 이루어진 게이트 구동회로로서, 개시신호를 입력받아 제1 출력 신호를 생성하여 해당 게이트 라인에 전달하는 제1 스테이지 군, 상기 제1 스테이지 군으로부터 출력된 상기 제1 출력 신호를 전달받아 제2 출력 신호를 생성하여 해당 게이트 라인에 전달하는 제2 스테이지 군을 포함하되, 상기 제1 스테이지 군은 상기 개시신호를 각각 전달받는 제1 버퍼부 및 제2 버퍼부를 각각 포함하며, 상기 제1 버퍼부의 크기가 상기 제2 버퍼부의 크기보다 작은

것을 특징으로 한다.

[0008] 본 발명의 목적을 달성하기 위한 다른 실시 예에 따른 게이트 구동회로는, 종속적으로 연결된 다수의 스테이지로 이루어진 게이트 구동회로으로써, 개시신호를 입력받아 제1 출력 신호를 생성하는 더미 스테이지 군; 상기 더미 스테이지 군으로부터 출력된 상기 제1 출력 신호를 전달받아 제2 출력 신호를 생성하여 해당 게이트 라인에 전달하는 스테이지 군을 포함하며, 상기 더미 스테이지 군은 3H의 시간 동안 상기 해당 게이트 라인을 구동하는 것을 특징으로 한다.

[0009] 본 발명의 목적을 달성하기 위한 또 다른 실시 예에 따른 표시장치는, 행렬 형태로 배열되어 있는 복수의 화소, 상기 화소에 게이트 신호를 전달하는 복수의 게이트 라인, 상기 화소에 데이터 신호를 전달하는 복수의 데이터 라인, 상기 게이트 라인에 연결되어 있으며 하나 이상의 클럭신호에 기초하여 상기 게이트 신호를 생성하는 게이트 구동부, 상기 데이터 라인에 연결되어 상기 데이터 신호를 생성하는 데이터 구동부 및 상기 게이트 구동부 및 데이터 구동부의 동작을 제어하는 제어부를 포함하며, 상기 게이트 구동부는 개시신호를 입력받아 제1 출력 신호를 생성하여 해당 게이트 라인에 전달하는 제1 스테이지 군, 상기 제1 스테이지 군으로부터 출력된 상기 제1 출력 신호를 전달받아 제2 출력 신호를 생성하여 해당 게이트 라인에 전달하는 제2 스테이지 군을 포함하고, 상기 제1 스테이지 군은 상기 개시신호를 각각 전달 받는 제1 버퍼부 및 제2 버퍼부를 각각 포함하고, 상기 제1 버퍼부의 크기가 상기 제2 버퍼부의 크기보다 작은 것을 특징으로 한다.

[0010] 본 발명의 목적을 달성하기 위한 또 다른 실시 예에 따른 표시장치는 기관; 상기 기관 위에 형성되어 게이트 온/오프 전압을 인가 받는 게이트 전극; 상기 기관과 상기 제1 전극 영역을 절연하는 제1 절연막; 상기 절연막 위에 형성되어 채널을 형성하는 반도체막; 상기 반도체막 위에 형성되어 입력되는 화상 전압을 인가 받는 드레인 전극; 상기 반도체막 위에 형성되어 상기 게이트 전극에 인가되는 전압에 따라 상기 화상 전압을 인가 받는 소스 전극; 상기 드레인 전극 및 소스 전극 위에 형성되어 절연하는 제2 절연막; 및 상기 절연막 위에 형성되고 상기 드레인 전극과 상기 소스 전극 사이의 영역에 형성되어 상기 게이트 오프 전압을 인가 받는 투명 도전막을 포함한다.

효 과

[0011] 본 발명에 따르면, 게이트 구동회로의 특정 트랜지스터의 크기를 조정하거나, 상기 특정 트랜지스터에 게이트 오프 전압을 인가하거나, 더미 스테이지를 추가함으로써 화질 불량을 제거할 수 있다.

발명의 실시를 위한 구체적인 내용

[0012] 이하, 도면들을 참조하여 본 발명의 실시 예들을 보다 상세하게 설명하기로 한다. 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시 예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 각 도면을 설명하면서 유사한 참조부호를 유사한 구성요소에 대해 사용하였다. 첨부된 도면에 있어서, 구조물들의 치수는 본 고안의 명확성을 기하기 위하여 실제보다 확대하여 도시한 것이다. 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 구성 요소들은 용어들에 의해 한정되어서는 안 된다. 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.

[0013] 이하에서는 본 발명의 실시 예를 보다 상세하게 설명한다.

[0014] 도 1은 본 발명의 제1 실시 예에 따른 액정 표시장치의 평면도이다.

[0015] 도 1을 참조하면, 액정 표시장치(400)는 영상을 표시하는 액정 표시패널(100), 액정 표시패널(100)에 데이터 전압을 출력하는 다수의 데이터 구동부(320) 및 액정 표시패널(100)에 게이트 전압을 출력하는 게이트 구동부(210)를 포함한다.

[0016] 액정 표시패널(100)은 하부기관(110), 하부기관(110)과 마주보는 상부기관(120) 및 하부기관(110)과 상부기관(120)과의 사이에 개재된 액정층(미도시)으로 이루어진다. 액정 표시패널(100)은 영상을 표시하는 표시영역(DA), 표시영역(DA)과 인접한 주변영역(PA)으로 이루어진다.

[0017] 표시영역(DA)에는 다수의 게이트 라인(GL1 ~ GLn) 및 다수의 게이트 라인(GL1 ~ GLn)과 절연되어 교차하는 다

수의 데이터 라인(DL1 ~ DLm)이 매트릭스 형태로 형성된다. 표시영역(DA)에는 다수의 게이트 라인(GL1 ~ GLn) 및 다수의 게이트 라인(GL1 ~ GLn)에 인가된 구동전압에 의해 화상을 표시하는 화소 영역이 형성된다. 각 화소 영역에는 박막 트랜지스터(Tr), 액정 커패시터(Clc), 및 스토리지 커패시터(Cst)로 이루어진 화소(P1)가 구비된다. 예를 들어, 박막 트랜지스터(Tr)의 게이트 전극은 제1 게이트 라인(GL1)에 전기적으로 연결되고, 드레인 전극(미도시)은 제1 데이터 라인(DL1)에 전기적으로 연결되며, 소스 전극(미도시)은 액정 커패시터(Clc)의 제1 전극인 화소 전극(미도시)에 전기적으로 연결된다. 스토리지 커패시터(Cst)는 액정 커패시터(Clc)에 병렬 연결된다.

- [0018] 게이트 구동회로(210)는 다수의 게이트 라인(GL1 ~ GLn)의 일단부에 인접하여 주변영역(PA)에 형성된다. 게이트 구동회로(210)는 다수의 게이트 라인(GL1 ~ GLn)의 일단부에 전기적으로 연결되어 게이트 전압을 다수의 게이트 라인(GL1 ~ GLn)에 순차적으로 인가한다. 게이트 구동회로(210)는 화소 영역의 박막 트랜지스터(Tr) 제조 공정 시 동시에 형성된다.
- [0019] 다수의 데이터 라인(DL1 ~ DLm)의 일단부에 인접하여 주변영역(PA)에는 다수의 구동 회로 기관(310)이 형성된다. 예를 들어, 다수의 구동 회로 기관(310)은 테이프 캐리어 패키지(Tape Carrier Package: TCP) 또는 칩 온 필름(Chip On Film : COF)일 수 있다. 다수의 구동 회로 기관(310)상에는 다수의 데이터 구동 칩(320)이 실장된다. 다수의 데이터 구동 칩(320)은 다수의 데이터 라인(DL1 ~ DLm)의 일단부에 전기적으로 연결되어 다수의 데이터 라인(DL1 ~ DLm)에 데이터 전압을 출력한다.
- [0020] 액정 표시장치(400)는 게이트 구동회로(210)와 다수의 데이터 구동 칩(320)의 구동을 제어하기 위한 컨트롤 인쇄회로기판(330)을 더 구비한다. 컨트롤 인쇄회로기판(330)은 다수의 데이터 구동 칩(320)의 구동을 제어하는 데이터 제어 신호와 영상 데이터를 출력하고, 게이트 구동회로(210)의 구동을 제어하는 게이트 제어 신호를 출력한다.
- [0021] 컨트롤 인쇄회로기판(330)은 외부로부터 영상 데이터를 입력 받아 데이터 제어 신호와 게이트 제어 신호를 생성하는 타이밍 컨트롤러(331) 및 게이트 제어 신호를 생성하는 게이트 제어회로(332)를 더 포함한다. 본 발명의 다른 실시예로, 컨트롤 인쇄회로기판(330)은 타이밍 컨트롤러를 포함하는 또 다른 인쇄회로기판으로부터 제어 신호를 수신하고, 데이터 제어 신호를 생성하여 출력하는 데이터 인쇄회로기판일 수도 있다.
- [0022] 타이밍 컨트롤러(331)는 다수의 데이터 구동 칩(320)과 게이트 구동회로(210)의 구동을 제어한다. 게이트 제어회로(332)는 게이트 구동회로(210)의 구동을 위한 클럭 신호, 게이트 신호의 개시를 알리는 개시 신호(STVP) 등을 생성한다.
- [0023] 컨트롤 인쇄회로기판(330)은 데이터 제어신호와 영상 데이터를 다수의 구동 회로 기관(310)을 통해 다수의 데이터 구동 칩(320)으로 인가한다. 또한, 인쇄 회로 기관(330)은 게이트 제어 신호를 게이트 구동회로(210)에 인접하는 구동 회로 기관(310)을 통해 게이트 구동회로(210)에 인가한다.
- [0024] 본 발명의 다른 실시예로, 다수의 데이터 구동 칩(310) 및 게이트 구동회로(210) 각각은 적어도 하나의 집적 회로 칩의 형태로 액정 표시패널(100) 위에 직접 장착되거나, 가요성 인쇄 회로막(flexible printed circuit film)(도시하지 않음) 위에 장착되어 액정 표시패널(100)에 부착되거나, 별도의 인쇄 회로 기관(printed circuit board)(도시하지 않음) 위에 장착될 수도 있다. 또한, 다수의 데이터 구동 칩(310) 및 게이트 구동회로(210) 각각은 신호선(GL1~GLn, DL1~DLm) 및 박막 트랜지스터(Tr)와 함께 액정 표시패널(100)에 집적될 수도 있다. 또한, 다수의 데이터 구동 칩(310) 및 게이트 구동회로(210), 타이밍 컨트롤러(331), 및 게이트 제어회로(332)는 단일 칩으로 집적될 수 있으며, 이 경우 이들 중 적어도 하나 또는 이들을 이루는 적어도 하나의 회로 소자가 단일 칩 바깥에 있을 수 있다.
- [0025] 그러면, 도 2a 내지 도 4를 참조하여 게이트 구동회로(210)에 대해서 구체적으로 설명하기로 한다.
- [0026] 도 2a 및 도 2b는 도 1에 도시된 본 발명의 하나의 실시 예에 따른 게이트 구동회로의 블록도이다.
- [0027] 도 2a 및 도 2b를 참조하면, 게이트 구동회로(210)는 N(N는 2 이상의 자연수)개의 스테이지(ASG-1 ~ ASG-N) 및 더미(dummy) 스테이지(ASG-D)를 포함하는 쉬프트 레지스터(120a)로 이루어진다. 상기 N개의 스테이지(ASG-1 ~ ASG-N)는 제1 스테이지 군(stage group, SG1) 및 제2 스테이지 군(SG2)으로 분할된다. 게이트 구동회로(210)는 다수의 게이트 라인(GL1 ~ GLn)의 제2 단부에 구비되어 다음 스테이지 중의 어느 하나의 스테이지로부터 출력된 게이트 전압에 응답하여 현재 게이트 라인을 오프전압(VSS)으로 방전시키는 방전부(210b)를 더 포함한다. 또한, 게이트 구동회로(210)는 첫 번째 스테이지(ASG-1)를 구동하기 위한 더미 스테이지(미도시)를 더 포함할 수

있다.

- [0028] N개의 스테이지(ASG-1 ~ ASG-N) 각각은 제1 입력 단자(IN1), 제1 및 제2 클럭 단자(CK1, CK2), 제2 입력 단자(IN2), 전압 입력 단자(Vin), 리셋 단자(RE), 출력 단자(OUT) 및 캐리 단자(CR)를 포함한다.
- [0029] 각 스테이지(ASG-1 ~ ASG-N)의 제1 입력 단자(IN1)는 이전 스테이지들 중 어느 하나의 스테이지의 캐리 단자(CR)에 전기적으로 연결되어 캐리 전압을 입력 받는다. 본 실시 예에서, 각 스테이지(ASG-1 ~ ASG-N)는 3 단계 앞의 스테이지로부터 캐리 전압을 입력 받는다. 예를 들어, N번째 스테이지(ASG-N)는 N-3번째 스테이지로부터 캐리 전압을 수신한다. 또한, 다수의 스테이지(ASG-1 ~ ASG-N) 중 첫 번째 스테이지(ASG-1), 두 번째 스테이지(ASG-2) 내지 세 번째 스테이지(ASG-3)의 제1 입력 단자(IN1)에는 이전 스테이지의 캐리 전압 대신 게이트 구동 회로(210)의 구동을 개시하는 개시신호(STV)가 제공된다. 개시신호(STV)가 인가되는 첫 번째 내지 세 번째 스테이지(ASG-1 ~ ASG-3)가 제1 스테이지 군(SG1)에 포함된다. 이 경우, 제2 스테이지 군(SG2)은 나머지 스테이지(ASG-4 ~ ASG-N) 및 더미 스테이지(ASG-D)로 이루어진다.
- [0030] 각 스테이지(ASG-1 ~ ASG-N)의 제2 입력단자(IN2)는 다음 스테이지들 중 어느 하나의 스테이지의 출력 단자(OUT)에 전기적으로 연결되어 게이트 전압을 입력 받는다. 단, 더미 스테이지(ASG-D)의 제2 입력단자(IN2)에는 개시신호(STV)가 제공된다. 더미 스테이지(ASG-D)는 다수의 스테이지(ASG-1 ~ ASG-N)의 게이트 전압을 오프 레벨로 낮추기 위한 스테이지이다.
- [0031] 더미 스테이지를 제외한 다수의 스테이지(ASG-1 ~ ASG-N)는 제1 내지 제3 클럭(CKV1 ~ CKV3) 및 제1 내지 제3 클럭(CKV1 ~ CKV3)와 다른 위상을 갖는 제4 내지 제6 클럭(CKVB1 ~ CKVB1)을 선택적으로 제공받는다. 예를 들어, 다수의 스테이지(ASG-1 ~ ASG-N) 중 6N-5 번째 스테이지(ASG-1, ASG-7, ... ASG-6N-2, N은 자연수)의 제1 클럭 단자(CK1)에는 제1 클럭(CKV1)이 제공되고, 제2 클럭단자(CK2)에는 제4 클럭(CKVB1)이 제공된다. 6N-4 번째 스테이지(ASG-2, ASG-8, ... ASG-6N-4)의 제1 클럭 단자(CK1)에는 제2 클럭(CKV2)이 제공되고, 제2 클럭단자(CK2)에는 제5 클럭(CKVB2)이 제공된다. 6N-3 번째 스테이지(ASG-3, ASG-9, ... ASG-6N-3, N은 자연수)의 제1 클럭 단자(CK1)에는 제3 클럭(CKV3)이 제공되고, 제2 클럭단자(CK2)에는 제6 클럭(CKVB3)이 제공된다. 또한, 6N-2 번째 스테이지(ASG-4, ASG-10, ... ASG-6N-2, N은 자연수)의 제1 클럭 단자(CK1)에는 제4 클럭(CKVB1)이 제공되고, 제2 클럭단자(CK2)에는 제1 클럭(CKV1)이 제공된다. 6N-1 번째 스테이지(ASG-5, ASG-11, ... ASG-6N-1, N은 자연수)의 제1 클럭 단자(CK1)에는 제5 클럭(CKVB2)이 제공되고, 제2 클럭단자(CK2)에는 제2 클럭(CKV2)이 제공된다. 6N 번째 스테이지(ASG-6, ASG-12, ... ASG-6N, N은 자연수)의 제1 클럭 단자(CK1)에는 제6 클럭(CKVB3)이 제공되고, 제2 클럭단자(CK2)에는 제3 클럭(CKV3)이 제공된다. 제1 내지 제3 클럭(CKV1 ~ CKV3) 및 제4 내지 제6 클럭(CKVB1 ~ CKVB3)의 위상은 후술한다.
- [0032] 다수의 스테이지(ASG-1 ~ ASG-N) 및 더미 스테이지(ASG-D)의 전압 입력 단자(Vin)에는 게이트 라인을 오프시키는 오프 전압(VSS)이 제공된다. 또한, 더미 스테이지(ASG-D)의 출력단자(OUT)는 다수의 스테이지(SRC1 ~ SRCn+1)의 리셋단자(RE)에 전기적으로 연결된다.
- [0033] 다수의 스테이지(ASG-1 ~ ASG-N)의 출력단자(OUT)들에는 다수의 게이트 라인(GL1, GL2, GL3, ... GLn)이 전기적으로 연결된다. 따라서, 다수의 스테이지(ASG-1 ~ ASG-N)는 출력단자들(OUT)을 통해 게이트 전압을 순차적으로 출력하여 다수의 게이트 라인(GL1 ~ GLn)으로 인가한다. 도 2에 도시된 바와 같이, 하나의 스테이지(210a)는 다수의 게이트 라인(GL1 ~ GLn)의 제1 단부에 구비된다. 그러나, 하나의 스테이지(210a)는 제1 단부와 대칭되는 제2 단부에 형성될 수도 있으며, 하나의 스테이지(210a)는 제1 단부와 제2 단부에 나뉘어서 양단부에 형성될 수도 있다.
- [0034] 방전부(210b)는 다수의 게이트 라인(GL1, GL2, GL3, ... GLn)에 현재 게이트 라인을 오프전압(VSS)으로 방전시키는 제1 방전 트랜지스터(T14)를 더 포함한다. 제1 방전 트랜지스터(T14)는 다음 게이트 라인에 연결된 제어 전극, 현재 스테이지의 게이트 전압을 입력 받는 입력 전극 및 오프전압(VSS)을 입력 받는 출력 전극으로 이루어진다.
- [0035] 도 3은 게이트 구동회로 중 하나의 스테이지를 보다 상세하게 설명하기 위한 회로도이고, 도 4는 도 2에 도시된 클럭 신호들 및 각 스테이지의 노드 전압을 나타내는 타이밍도이다. 단, 게이트 구동회로의 각 스테이지는 더미 스테이지(ASG-D)를 제외하고 서로 동일한 내부 구성을 가지므로, 도 3에서는 하나의 스테이지를 도시하여 설명함으로써 나머지 스테이지들에 대한 설명을 대신한다.
- [0036] 도 3을 참조하면, 각 스테이지는 해당 게이트 라인에 게이트 전압을 공급하는 전압 출력부(211), 전압 출력부(211)를 구동하는 출력 구동부(212), 해당 게이트 라인을 제1 레벨의 전압으로 홀딩하는 제1 홀딩부(213) 및 제

2 홀딩부(214)를 포함한다.

- [0037] 전압 출력부(211)는 풀업 트랜지스터(T01) 및 풀다운 트랜지스터(T02)를 포함한다. 풀업 트랜지스터(T01)는 출력 구동부(212)의 출력단(이하, Q-노드)(QN)에 연결된 제어전극, 제1 클럭단자(CK1)에 연결된 입력전극 및 출력 단자(OUT)에 연결된 출력전극으로 이루어진다.
- [0038] 도 4를 참조하면, 각 스테이지는 제1 내지 제3 클럭(CKV1 ~ CKV3) 및 제1 내지 제3 클럭(CKV1 ~ CKV3)와 다른 위상을 갖는 제4 내지 제6 클럭(CKVB1 ~ CKVB1)을 선택적으로 제공받는다. 제1 내지 제6 클럭(CKV1 ~ CKVB3)는 게이트 온/오프 전압에 해당하는 펄스폭을 갖는다. 예를 들어, 제1 내지 제6 클럭(CKV1 ~ CKVB3)은 약 30V ~ -8V 정도의 크기를 가지며, 게이트를 구동하는 전압 조건에 따라 변경 가능하다. 제1 내지 제3 클럭(CKV1 ~ CKV3)과 제4 내지 제6 클럭(CKVB1 ~ CKVB3)는 서로 짝을 이루어져 제공된다. 예를 들어, 6N-5 번째 및 6N-2 번째 스테이지에는 제1 클럭(CKV1)과 제4 클럭(CKVB1)이 제공되고, 6N-4 및 6N-1 번째 스테이지에는 제2 클럭(CKV2)과 제5 클럭(CKVB2)이 제공되며, 6N-3 및 6N 번째 스테이지에는 제3 클럭(CKV3)과 제6 클럭(CKVB3)이 제공된다.
- [0039] 제1 내지 제3 클럭(CKV1 ~ CKV3)과 제4 내지 제6 클럭(CKVB1 ~ CKVB3)는 각각 서로 다른 위상을 갖는다. 예를 들어, 제1 클럭(CKV1)과 제4 클럭(CKVB1)은 180도의 위상차를 가지며, 제2 클럭(CKV2)과 제5 클럭(CKVB2)은 180도의 위상차를 가지며, 제3 클럭(CKV3)과 제6 클럭(CKVB3)은 180도의 위상차를 갖는다. 그러나, 위상차는 180도 미만으로 설정될 수도 있다. 또한, 제2 클럭(CKV2)은 제1 클럭(CKV1)보다 1H 만큼 지연되고, 제3 클럭(CKV3)은 제2 클럭(CKV2)보다 1H 만큼 지연된다.
- [0040] 제1 내지 제6 클럭(CKV1 ~ CKVB3) 각각은 게이트 구동회로(210)의 출력 전압에 의한 킥백(kick-back)을 보상하기 위해 일정 구간동안 구동 전압이 낮아지는 킥백 슬라이스 구간(CK-S)을 더 포함한다.
- [0041] 이하에서는 제1 클럭(CKV1) 및 제4 클럭(CKVB1)을 수신하여 동작하는 하나의 스테이지(ASG-i)에 대해 설명한다.
- [0042] 다시 도 3을 참조하면, 풀업 트랜지스터(T01)는 출력 구동부(212)로부터 출력된 제어전압에 응답하여 출력단자(OUT)로 출력되는 현재 스테이지의 게이트 전압을 제1 클럭단자(CK1)를 통해 제공된 제1 클럭(CKV1, 도 4에 도 시험)만큼 풀-업시킨다. 풀업 트랜지스터(T01)는 한 프레임 중 제1 클럭(CKV1)의 하이 구간인 3H 시간 동안 턴-온 되어 도 4처럼 현재 스테이지의 게이트 전압을 하이 상태로 유지시킨다.
- [0043] 풀다운 트랜지스터(T02)는 제2 입력단자(IN2)에 연결된 제어전극, 전압입력단자(Vin)에 연결된 출력전극 및 출력 단자(OUT)에 연결된 입력전극으로 이루어진다. 따라서, 풀다운 트랜지스터(T02)는 다음 스테이지의 게이트 전압에 응답하여 제1 클럭(CKV1)만큼 풀업 된 현재 스테이지의 게이트 전압을 전압 입력단자(Vin)를 통해 공급된 오프전압(VSS, 도 2에 도시됨)만큼 풀다운 시킨다. 즉, 풀다운 트랜지스터(T02)는 3H 시간 이후에 턴 온 되어 현재 스테이지의 게이트 전압을 로우 상태로 다운시킨다.
- [0044] 출력 구동부(212)는 버퍼 트랜지스터(T04), 제1 커패시터(C1), 제2 커패시터(C2), 방전 트랜지스터(T09) 및 리셋 트랜지스터(T06)를 포함한다.
- [0045] 버퍼 트랜지스터(T04)는 제1 입력단자(IN1)에 공통으로 연결된 입력전극과 제어전극 및 Q-노드(QN)에 연결된 출력전극으로 이루어진다. 제1 커패시터(C1)는 Q-노드(QN)와 출력단자(OUT) 사이에 연결되고, 제2 커패시터(C2)는 캐리 트랜지스터(T15)의 제어전극과 캐리단자(CR)와의 사이에 연결된다. 한편, 방전 트랜지스터(T09)는 버퍼 트랜지스터(T04)의 출력전극에 연결된 입력전극, 제2 입력단자(IN2)에 연결된 제어전극 및 전압 입력단자(Vin)에 연결된 출력전극으로 이루어진다.
- [0046] 리셋 트랜지스터(T06)는 리셋 단자(RE)에 연결된 제어전극, 풀업 트랜지스터(T01)의 제어전극에 연결된 입력전극 및 전압 입력단자(Vin)에 연결된 출력전극으로 이루어진다. 리셋 트랜지스터(T06)는 리셋단자(RE)를 통해 입력된 마지막 스테이지(ASG-D)로부터 출력된 마지막 캐리 전압에 응답하여 제1 입력단자(IN1)를 통해 입력된 리플 전압을 오프전압(VSS)으로 방전시킨다. 따라서, 풀업 트랜지스터(T01) 및 캐리 트랜지스터(T15)는 더미 스테이지(ASG-D)의 더미 캐리 전압에 응답하여 턴-오프된다. 결과적으로, 더미 캐리 전압은 이전 스테이지에 존재하는 N개의 스테이지의 리셋 단자(RE)로 제공되어 N개의 스테이지의 풀업 트랜지스터(T01) 및 캐리 트랜지스터(T15)를 턴-오프시켜 N개의 스테이지를 리셋 시킨다.
- [0047] 버퍼 트랜지스터(T04)가 이전 스테이지의 캐리 전압에 응답하여 턴-온되면, 제1 및 제2 커패시터(C1, C2)는 도 4의 Q-노드(QN) 전압만큼 충전된다. 제1 커패시터(C1)에 풀업 트랜지스터(T01)의 문턱전압(Vth) 이상의 전하가 충전되면, Q-노드(QN)의 전위가 문턱전압 이상으로 상승하여 풀업 트랜지스터(T01) 및 캐리 트랜지스터(T15)가

턴 온 된다. 이때에는 제1 클럭(CKV1)이 로우 상태이기 때문에, 현재 스테이지의 게이트 전압과 캐리 전압은 로우 구간(1H)동안 로우 상태를 유지한다. 이후, 제1 클럭(CKV1)이 하이 상태가 되면 제1 클럭(CKV)이 출력단자(OUT) 및 캐리단자(CR)로 출력되어 현재 스테이지의 게이트 전압과 캐리 전압은 하이 상태로 전환된다. 즉, 현재 스테이지의 게이트 전압과 캐리 전압은 제1 클럭(CKV1)의 하이 구간(1H) 만큼 하이 상태를 유지한다.

[0048] 이후, 방전 트랜지스터(T09)가 다음 스테이지의 게이트 전압에 응답하여 턴-온 되면, 제1 커패시터(C1)에 충전된 전하는 방전 트랜지스터(T09)를 통해 오프전압(VSS)으로 방전된다. 따라서, Q-노드(QN)의 전위는 오프전압(VSS)으로 다운된다. 그 결과 풀업 트랜지스터(T01) 및 캐리 트랜지스터(T15)는 턴-오프된다. 즉, 방전 트랜지스터(T09)는 3H 시간 이후에 턴온 되어 풀업 트랜지스터(T01) 및 캐리 트랜지스터(T15)가 턴-오프시킴으로써, 출력단자(OUT) 및 캐리 단자(CR)로 하이 상태의 현재 스테이지의 게이트 전압 및 캐리 전압이 출력되지 않도록 차단하는 역할을 수행한다.

[0049] 제1 홀딩부(213)은 제1 내지 제5 인버터 트랜지스터(T13, T07, T12, T08, T03), 제3 및 제4 커패시터(C3, C4)로 이루어진다.

[0050] 제1 인버터 트랜지스터(T13)는 제1 클럭단자(CK1)에 공통적으로 연결된 입력전극과 제어전극, 제4 커패시터(C4)를 통해 제2 인버터 트랜지스터(T07)의 출력전극에 연결된 출력전극으로 이루어진다. 제2 인버터 트랜지스터(T07)는 제1 클럭단자(CK1)에 연결된 입력전극, 제3 커패시터(C3)를 통해 입력전극과 연결된 제어전극 및 제5 인버터 트랜지스터(T03) 제5 인버터 트랜지스터(T03)의 제어전극에 연결된 출력전극으로 이루어진다. 제3 인버터 트랜지스터(T12)는 제1 인버터 트랜지스터(T13)의 출력전극에 연결된 입력전극, 출력단자(OUT)에 연결된 제어전극 및 전압 입력단자(Vin)에 연결된 출력전극으로 이루어진다. 제4 인버터 트랜지스터(T08)는 제5 인버터 트랜지스터(T03)의 제어전극에 연결된 입력전극, 출력단자(OUT)에 연결된 제어전극 및 전압 입력단자(Vin)에 연결된 출력전극으로 이루어진다. 제5 인버터 트랜지스터(T03)는 제2 인버터 트랜지스터의 출력전극에 연결된 제어전극, 전압입력단자(Vin)에 연결된 입력전극 및 출력단자(OUT)에 연결된 출력전극으로 이루어진다.

[0051] 제3 및 제4 인버터 트랜지스터(T12, T08)는 출력단자(OUT)로 출력되는 하이 상태의 현재 스테이지의 게이트 전압에 응답하여 턴-온되고, 제1 및 제2 인버터 트랜지스터(T13, T07)로부터 출력된 제1 클럭(CKV1)은 오프전압(VSS)으로 방전된다. 따라서, 제5 인버터 트랜지스터(T03)는 현재 스테이지의 게이트 전압이 하이 상태로 유지되는 3H 시간 동안 턴-오프 상태로 유지된다. 이후, 현재 스테이지의 게이트 전압이 로우 상태로 전환되면, 제3 및 제4 인버터 트랜지스터(T12, T08)는 턴-오프된다. 따라서, 제1 및 제2 인버터 트랜지스터(T13, T07)로부터 출력된 제1 클럭(CKV1)에 응답하여 제5 인버터 트랜지스터(T03)가 턴-온 된다. 결과적으로, 현재 스테이지의 게이트 전압은 제5 인버터 트랜지스터(T03)에 의해서 한 프레임 중 3H 시간을 제외한 나머지 시간 중 제1 클럭(CKV1)의 하이 구간동안 오프전압(VSS)으로 홀딩된다.

[0052] 제2 홀딩부(214)는 제1 내지 제3 리플 방지 트랜지스터(NT06, NT07, NT08)로 이루어져, 제1 클럭(CKV1) 또는 제4 클럭(CKVB2)에 의해 (N-3)H 시간동안 현재 스테이지의 게이트 전압 및 캐리 전압이 리플 되는 것을 방지한다.

[0053] 제1 리플 방지 트랜지스터(T10)는 제1 클럭단자(CK1)에 연결된 제어전극, 출력단자(OUT)에 연결된 입력전극 및 Q-노드(QN)에 연결된 출력전극을 포함한다. 제2 리플 방지 트랜지스터(T11)는 제2 클럭단자(CK2)에 연결된 제어전극, 제1 입력단자(IN1)에 연결된 입력전극 및 Q-노드(QN)에 연결된 출력전극으로 이루어진다. 제3 리플 방지 트랜지스터(T05)는 제2 클럭단자(CK2)에 연결된 제어전극, 출력단자(OUT)에 연결된 입력전극 및 전압 입력단자(Vin)에 연결된 출력전극으로 이루어진다.

[0054] 제1 리플 방지 트랜지스터(T10)는 제1 클럭(CKV1)에 응답하여 출력단자(OUT)로부터 출력된 현재 스테이지의 게이트 전압(오프전압과 동일한 전압레벨을 가짐)을 Q-노드(QN)로 제공한다. 따라서, (N-3)H 시간 중 제1 클럭(CKV)의 하이 구간에서 Q-노드(QN)의 전위는 오프전압(VSS)으로 유지된다. 이로써, 제1 리플 방지 트랜지스터(T10)는 (N-3)H 시간 중 제1 클럭(CKV1)의 하이 구간 동안 풀업 트랜지스터(T01) 및 캐리 트랜지스터(T15)가 턴-온되는 것을 방지한다.

[0055] 제2 리플 방지 트랜지스터(T11)는 제2 클럭단자(CK2)를 통해 제공된 제4 클럭(CKVB1, 도 4에 도시됨)에 응답하여 제1 입력단자(IN1)를 통해 입력되는 이전 스테이지의 출력 전압(오프전압과 동일한 전압레벨을 가짐)을 Q-노드(QN)로 제공한다. 따라서, (N-3)H 시간 중 제4 클럭(CKVB1)의 하이 구간에서 Q-노드(QN)의 전위는 오프전압(VSS)으로 유지된다. 이로써, 제2 리플 방지 트랜지스터(T11)는 (N-3)H 시간 중 제2 클럭(CKVB1)의 하이 구간동안 풀업 및 캐리 트랜지스터(T01, T15)가 턴-온되는 것을 방지한다.

- [0056] 제3 리플 방지 트랜지스터(T05)는 제4 클럭(CKVB1)에 응답하여 현재 스테이지의 게이트 전압을 오프전압(VSS)으로 방전시킨다. 따라서, 제3 리플 방지 트랜지스터(T05)는 (N-3)H 시간 중 제4 클럭(CKVB1)의 하이 구간동안 현재 스테이지의 게이트 전압을 오프전압(VSS)으로 유지시킨다.
- [0057] 각 스테이지는 현재 스테이지의 출력 전압을 다음 스테이지에 전달하는 캐리부(215)를 더 포함한다. 캐리부(215)는 Q-노드(QN)에 연결된 제어전극, 제1 클럭단자(CK1)에 연결된 입력전극 및 출력단자(OUT)에 연결된 출력전극으로 이루어진 캐리 트랜지스터(T15)를 포함한다. 따라서, 캐리 트랜지스터(T15)는 출력 구동부(212)로부터 출력된 제어전압에 응답하여 캐리 단자(CR)로 출력되는 현재 스테이지의 캐리 전압을 제1 클럭(CKV1)만큼 풀-업시킨다. 캐리 트랜지스터(T15)는 한 프레임 중 3H 시간 동안만 턴-온 되어, 3H 시간 동안 현재 스테이지의 캐리 전압을 하이 상태로 유지시킨다.
- [0058] 도 5a는 게이트 구동회로로 인가되는 개시신호 및 클럭신호들을 나타낸 타이밍도이고, 도 5b는 게이트 구동회로의 초기 구동시 각 스테이지의 Q-노드를 나타낸 타이밍도이다.
- [0059] 도 5a 및 도 5b를 참조하면, 게이트 구동회로(210)의 초기 구동시, 게이트 제어회로(332, 도 1에 도시됨)는 게이트 신호의 개시를 알리는 개시 신호(STVP)와 함께 제1 내지 제3 클럭(CKV1 ~ CKV3) 및 제4 내지 제6 클럭(CKVB1 ~ CKVB3)을 생성하여 각 스테이지의 제1 클럭단자(CK1) 및 제2 클럭단자(CK2)에 공급한다. 이러한 게이트 구동회로(210)는 장시간 고온 구동 시 두 번째 게이트 라인(GL2) 및 세 번째 게이트 라인(GL3)이 다른 게이트 라인에 비해 상대적으로 어렵게 보이는 신뢰성 불량이 나타난다.
- [0060] 고온 구동에 의한 신뢰성 불량은 출력 구동부(212)의 버퍼 트랜지스터(T04)에 연결된 배선 예를 들어, 개시 신호(STVP)를 인가하는 배선을 통해 Q-노드(QN)에 저장된 전하가 빠져나가 누설 전류가 발생된다. 이러한 원인은 게이트 구동회로(210)의 초기 구동시 첫 번째 스테이지(ASG-1) 내지 세 번째 스테이지(ASG-3)에 공급되는 클럭의 타이밍이 다르기 때문이다. 그러므로, 버퍼 트랜지스터(T04)를 통해 누설되는 전류량이 각각 다르고 이로 인해 게이트 라인의 출력 전압이 달라지게 되며, 결과적으로 네 번째 스테이지(ASG-4) 이후의 스테이지에 연결된 다른 게이트 라인에 비해, 첫 번째 스테이지(ASG-1) 내지 세 번째 스테이지(ASG-3)에 연결된 게이트 라인이 어두워 보이는 신뢰성 불량이 발생한다. 특히, 버퍼 트랜지스터(T04)에서의 누설 전류량 증가는 Q-노드(QN)의 전압을 낮추게 되고, 이로 인해 각 스테이지의 풀업 트랜지스터(T01)에 인가되는 제1 클럭(CKV1)의 오프 전압이 인가되는 초기 구간에서의 하강 시간 지연이 발생하게 된다. 이러한 하강 시간의 지연에 따라, 킱백 슬라이스 구간(CK-S)에 해당하는 게이트 전압이 작아짐으로써 킱백 전압이 증가하게 된다. 일반적으로 킱백 전압은 하기와 같은 수학적 1과 같다.

수학적 1

$$V_{kb} = \left(\frac{C_{gs}}{C_{lc}} + C_{st} + C_{gs} \right) \times (V_{on} - V_{off})$$

- [0061]
- [0062] (V_{kb} : 킱백 전압, C_{gs} : 게이트-소스간 커패시턴스, C_{lc} : 액정에 의한 커패시턴스, C_{st} : 스토리지 배선에 의한 커패시턴스, V_{on} : 게이트 온 전압, V_{off} : 게이트 오프 전압)
- [0063] 상기한 수학적 1에서와 같이, (V_{on}-V_{off})의 값이 증가하면 킱백 전압도 증가하게 되어 Q-노드(QN)의 편차도 커지게 된다. 또한, 게이트 온 전압(V_{on})이 높을수록 킱백 전압이 증가하게 되어 킱백 전압의 편차도 증가하게 된다. 이러한 편차는 게이트 전압의 편차로 이어지고 이로부터 휘도 저하가 발생하게 되어 네 번째 스테이지(ASG-4) 이후의 스테이지에 연결된 게이트 라인에 비해 첫 번째 스테이지(ASG-1) 내지 세 번째 스테이지(ASG-3)에 연결된 게이트 라인이 어렵게 보이는 신뢰성 불량이 발생한다.
- [0064] 이러한 불량을 제거하기 위해, 본 발명의 실시 예에서는 Q-노드(QN)에 충분한 전하 충전 시간이 제공될 수 있도록 버퍼 트랜지스터(T04)의 크기를 줄인다.
- [0065] 도 6은 본 발명의 실시 예에 따른 버퍼 트랜지스터 크기를 조절된 결과를 나타내는 레이아웃이다. 도 7a는 종래의 제1 내지 제3 클럭을 나타낸 타이밍도이고, 도 7b는 버퍼 트랜지스터 크기에 따라 조절된 제1 내지 제3 클럭을 나타낸 타이밍도이며, 도 7c는 제1 내지 제3 스테이지의 버퍼 트랜지스터의 커팅 비율 및 프리차지 시간을 나타낸 표이다.
- [0066] 도 6에서와 같이, 본 발명의 실시 예에서는 버퍼 트랜지스터(T04)의 절개(cutting) 영역(CUT-A)을 잘라내어 버

퍼 트랜지스터(T04)의 크기가 줄어든다. 바람직하게, 본 발명의 실시 예에 따른 버퍼 트랜지스터(T04)의 크기는 종래의 버퍼 트랜지스터(T04) 크기에 비해 약 35% 정도를 잘라낸다.

[0067] 도 6은 버퍼 트랜지스터(T04)의 절개 영역을 보다 효과적으로 보여주기 위해 하부기관(110)의 후면을 나타낸다. 절개 영역은 마스크 리페어(mask repair) 방법을 통해 형성할 수 있다. 마스크 리페어 방법은 제조 공정을 통해 형성된 트랜지스터의 일부 배선을 레이저(laser)를 통해 커팅(cutting)하여 트랜지스터를 플로팅(floating) 시킴으로써 채널 폭(width)을 줄이는 방법 중의 하나이다. 즉, 트랜지스터의 소스와 드레인 배선의 일부를 커팅하여 크기를 줄인다. 본 발명의 실시 예에서는, 버퍼 트랜지스터(T04)의 일부 배선을 레이저로 커팅함으로써 크기를 줄일 수 있다. 본 발명의 실시 예에서 사용하는 마스크 리페어 방법은 하부기관(110)의 제조 비용적인 면에서 유리하기 때문에 버퍼 트랜지스터(T04)의 크기를 줄이는 방법으로 사용되지만, 배선 설계 시 실질적으로 마스크의 크기를 줄여 버퍼 트랜지스터(T04)의 크기를 줄일 수도 있다. 버퍼 트랜지스터(T04)의 크기 감소 비율은 구동 타이밍의 세팅 상황에 따라 달라지게 되므로, 두 번째 게이트 라인(GL2) 및 세 번째 게이트 라인(G3)의 Q-노드(QN) 전압이 오프 전압으로 떨어지는 시점이 네 번째 이후의 게이트 라인과 동일하도록 버퍼 트랜지스터(T04)의 크기를 줄인다.

[0068] 두 번째 스테이지(ASG-2)의 버퍼 트랜지스터(T04)의 크기를 줄이면, Q-노드(QN)의 충전 시간이 줄어들 수 있으므로, 도 7a 내지 도 7b에서와 같이, 제2 클럭(CKV2)의 타이밍을 소정 시간(t1) 줄임으로써, 개시 신호(STV)에 의해 두 번째 스테이지(ASG-2)의 Q-노드(QN)에 미리 전하를 충전하는 프리차지(precharge) 시간을 1H 이상으로 증가시킨다. 도 7c에서와 같이, 두 번째 스테이지(ASG-2) 및 세 번째 스테이지(ASG-3)의 버퍼 트랜지스터(T04)의 크기를 약 35%로 줄이고 제2 클럭(CKV2)의 프리차지 시간을 6.3 μ s(P1)에서 7.45 μ s(P2)로 변경함으로써, 두 번째 스테이지(ASG-2)의 Q-노드(QN)의 프리차지 능력을 보상할 수 있다.

[0069] 도 8는 본 발명의 제2 실시 예에 따른 버퍼 트랜지스터의 구조를 나타내는 도면이고, 도 9는 도 8의 버퍼 트랜지스터를 절단선 A-A' 로 절단한 절단면도이다.

[0070] 이하에서, 본 발명의 제1 실시 예와 동일한 구성 요소는 동일한 도면 부호를 부여하고 반복되는 상세한 설명은 생략한다.

[0071] 도 8에서와 같이, 하부 기관(110)은 투명 기관(111) 위에 금속층을 전면 증착한 후 금속층을 패터닝하여 게이트 전극 라인(112)을 형성한다. 도면 상에는 단일 금속층을 게이트 전극 라인으로 이용하는 것을 도시하였으나, 다중 금속층을 게이트 전극 라인으로 이용할 수도 있다. 예를 들어, 게이트 전극 라인(112)은 알루미늄(Al)이나 알루미늄 합금, 구리, 구리 합금, 은, 은합금, 금, 금 합금 등의 금속 따위로 이루어진 도전막을 포함하며, 이러한 도전막에 더하여 다른 물질, 특히 ITO(indium tin oxide) 또는 IZO(indium zinc oxide)와의 물리적, 화학적, 전기적 접촉 특성이 좋은 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta), 몰리브덴(Mo) 및 이들의 합금, 예를 들어, 몰리브덴-텅스텐(MoW) 합금 따위로 이루어진 다른 도전막을 포함하는 다층막 구조를 가질 수도 있다. 예를 들어, 게이트 전극 라인(112)는 하부막과 상부막을 포함하는 이중막 구조를 가질 수 있으며, 하부막과 상부막의 조합의 예로는, 알루미늄/몰리브덴, 또는 알루미늄 합금/몰리브덴(Mo), 알루미늄/타이타늄, 타이타늄/구리, 몰리브덴/구리 등을 들 수 있다.

[0072] 이어, 게이트 전극 라인(112)이 형성된 투명 기관(111) 위에 산화 실리콘 혹은 질화 실리콘과 같은 절연 물질을 전면 증착하고, 차례로 진성 반도체 물질과 불순물이 포함된 반도체 물질을 연속 증착한다.

[0073] 이어, 절연 물질, 진성 반도체 물질(114), 및 불순물이 첨가된 반도체 물질(115)을 식각하여 게이트 절연막(113), 반도체 층(114) 및 불순물이 첨가된 반도체 층(115)을 형성한다. 그 결과, 게이트 절연막(113)은 게이트 전극 라인(111) 전체를 덮고 있고, 반도체 층(114)과 불순물 반도체 층(115)은 게이트 절연막(113)과 같은 형태로 게이트 절연막(215) 위에 형성된다.

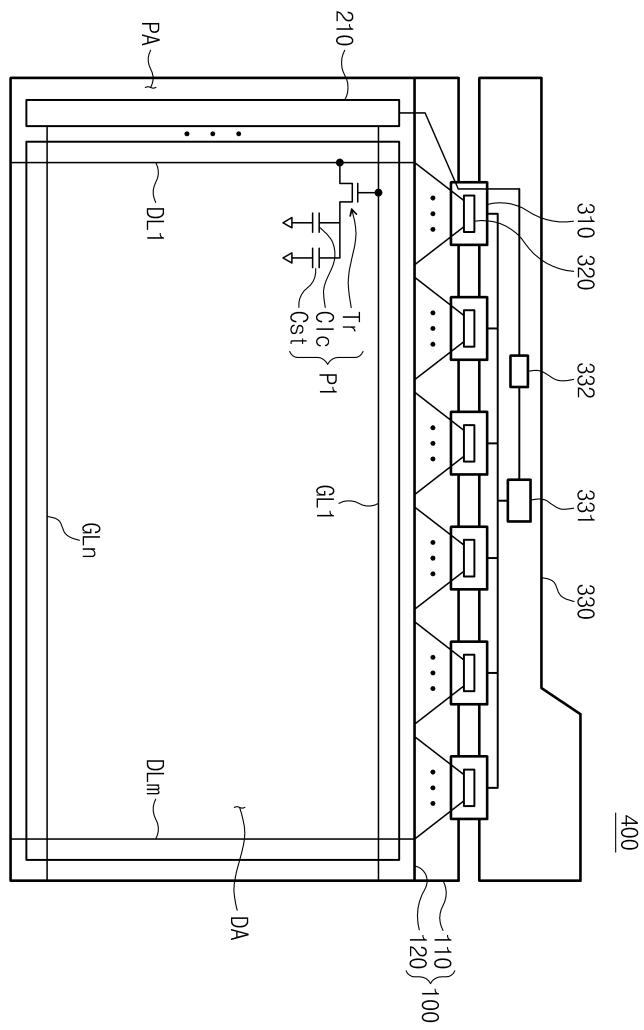
[0074] 이어, 반도체 층(114)과 불순물 반도체 층(115)이 형성된 기관 위에 금속을 전면 증착한다. 금속층을 패터닝하여 게이트 전극 라인 위에서 드레인 전극 라인(116-1)과 소오스 전극 라인(116-2)을 형성한다. 관찰자 관점에서 보았을 때, 소오스 전극 라인(116-2)은 드레인 전극 라인(116-1)을 감싸는 형태로 형성된다. 예를 들어, 드레인 전극 라인(116-1)과 소오스 전극 라인(116-2)은 알루미늄(Al)이나 알루미늄 합금, 구리, 구리 합금, 은, 은합금, 금, 금 합금 등의 금속 따위로 이루어진 도전막을 포함하며, 이러한 도전막에 더하여 다른 물질, 특히 ITO(indium tin oxide) 또는 IZO(indium zinc oxide)와의 물리적, 화학적, 전기적 접촉 특성이 좋은 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta), 몰리브덴(Mo) 및 이들의 합금, 예를 들어, 몰리브덴-텅스텐(MoW) 합금 따위로 이루어진 다른 도전막을 포함하는 다층막 구조를 가질 수도 있다. 예를 들어, 게이트 전극 라인(112)는 하부막과 상부

막을 포함하는 이중막 구조를 가질 수 있으며, 하부막과 상부막의 조합의 예로는, 알루미늄/몰리브덴, 또는 알루미늄 합금/몰리브덴(Mo), 알루미늄/타이타늄, 타이타늄/구리, 몰리브덴/구리 등을 들 수 있다

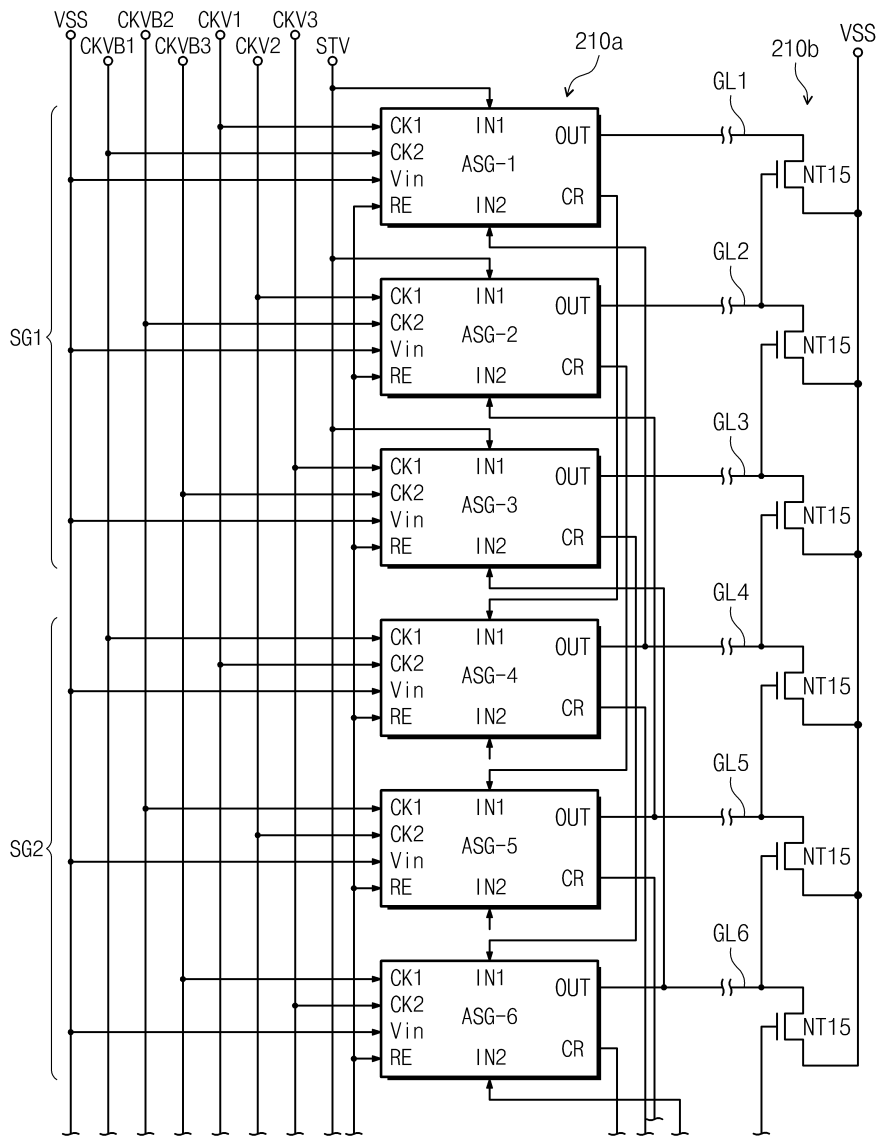
- [0075] 이어, 드레인 전극 라인(116-1)과 소오스 전극 라인(116-2)들이 형성된 기판 전면에 질화 실리콘이나 산화 실리콘과 같은 절연 물질을 증착하여 보호막(117)을 형성한다.
- [0076] 이어, 보호막(117) 상에 화소 전극으로 사용되는 산화 인듐 아연(indium zinc oxide, IZO) 또는 산화 인듐 주석(indium tin oxide, ITO) 등의 투명 도전막(118)을 전면 증착한 후 화소 전극 형성 시 식각하여, 두 번째 스테이지(ASG-2) 및 세 번째 스테이지(ASG-3)의 버퍼 트랜지스터(T04) 상에 형성한다. 예를 들어, 본 발명의 실시 예에서는 예를 들어, 산화 인듐 아연을 투명 도전막으로 사용한다. 이때, 투명 도전막(118)은 드레인 전극 라인(116-1)과 소오스 전극 라인(116-2) 사이에 형성되어 반도체 층(114)과 불순물 반도체 층(115)에 소정의 전압 예를 들어, 오프 전압(VSS) 즉, -7.5V의 전압이 인가될 수 있도록 형성한다. 본 실시 예에서, 투명 도전막은 소정의 두께 예를 들어, 450Å~600Å 정도의 두께로 형성할 수 있다. 이처럼, 두 번째 스테이지(ASG-2) 및 세 번째 스테이지(ASG-3)의 버퍼 트랜지스터(T04)에 탑 게이트(top gate)로써 투명 도전막(118)을 형성하여 소정의 전압(Vtg)을 인가하면, 버퍼 트랜지스터(T04)를 통해 누설되는 누설 전류의 양을 감소시킬 수 있어 신뢰성 불량을 개선할 수 있다.
- [0077] 도 10a 및 도 10b는 탑 게이트로 인가되는 전압에 따른 버퍼 트랜지스터의 전류 변화를 나타낸 그래프이다. 단, 도 10a에서 제1 그래프(G1)는 버퍼 트랜지스터(T04)의 탑 게이트에 -6V의 탑 게이트 전압(Vtg)이 인가된 경우의 누설 전류(I_{ds})를 나타내고, 제2 그래프(G2)는 버퍼 트랜지스터(T04)의 탑 게이트에 -2V의 탑 게이트 전압(Vtg)이 인가된 경우의 누설 전류(I_{ds})를 나타내며, 제3 그래프(G3)는 버퍼 트랜지스터(T04)의 탑 게이트에 2V의 탑 게이트 전압(Vtg)이 인가된 경우의 누설 전류(I_{ds})를 나타내고, 제4 그래프(G4)는 버퍼 트랜지스터(T04)의 탑 게이트에 6V의 탑 게이트 전압(Vtg)이 인가된 경우의 누설 전류(I_{ds})를 나타낸다. 또한, 제5 그래프(G5)는 60°C에서 탑 게이트를 플로팅 상태로 둘 경우의 누설 전류(I_{ds})를 나타내고, 제6 그래프(G6)는 40°C에서 탑 게이트를 플로팅 상태로 둘 경우의 누설 전류(I_{ds})를 나타내며, 제7 그래프(G7)는 0°C에서 탑 게이트를 플로팅 상태로 둘 경우의 누설 전류(I_{ds})를 나타낸다.
- [0078] 도 10a 및 도 10b를 참조하면, 버퍼 트랜지스터(T04)의 소오스/드레인 전압(V_{ds})이 35V이고, 60°C인 환경에서, 버퍼 트랜지스터(T04)의 누설 전류(I_{ds})는 탑 게이트(118)에 인가되는 탑 게이트 전압(Vtg)이 양의 전압(+)인 경우보다 음의 전압(-)인 경우에 더 감소되었다. 또한, 버퍼 트랜지스터(T04)의 소오스/드레인 전압(V_{ds})이 35V로 설정되고, 게이트-소스간 전압(V_{gs})이 0V로 설정되며, 동일한 온도 환경(예를 들어, 60°C)에서, 탑 게이트(118)에 음의 탑 게이트 전압(Vtg)이 인가된 경우, 투명 도전막(118)을 플로팅 상태로 둘 경우에 비하여 누설 전류 수준이 감소한 것으로 나타났다.
- [0079] 도 11은 본 발명의 제3 실시 예에 따른 게이트 구동회로를 나타내는 도면이다. 이하에서, 본 발명의 제1 내지 제2 실시 예와 동일한 구성 요소는 동일한 도면 부호를 부여하고 반복되는 상세한 설명은 생략한다.
- [0080] 도 11에서와 같이, 본 발명의 제3 실시 예에 따른 게이트 구동회로는 제1 내지 제3 더미 스테이지(DASG-1 ~ DASG-3)를 포함하는 더미 스테이지 군(DSG) 및 다수의 스테이지(ASG-1 ~ ASG-N, ASG-D)를 포함하는 스테이지 군(SG)을 포함한다.
- [0081] 제1 내지 제3 더미 스테이지(DASG-1 ~ DASG-3)는 다수의 스테이지 중 제1 내지 제3 스테이지(ASG-1 ~ ASG-3)의 전단에 형성된다. 제1 내지 제3 더미 스테이지(DASG-1 ~ DASG-3)는 각 스테이지의 캐리 트랜지스터(T15)로부터 출력된 캐리 전압을 제1 내지 제3 스테이지(ASG-1 ~ ASG-3)의 제1 클럭단자(CK1)로 인가한다. 제1 클럭단자(CK1)로 인가된 캐리 전압은 버퍼 트랜지스터(T04)를 통해 각 스테이지의 Q-노드(QN)로 인가된다. 각 스테이지의 동작은 상기에서 상술하였으므로 생략한다.
- [0082] 개시신호(STV)가 제1 내지 제3 더미 스테이지(DASG-1 ~ DASG-3)에 인가되어 제1 내지 제3 더미 스테이지(DASG-1 ~ DASG-3)가 해당 게이트 라인에 3H 동안 게이트 전압을 인가하고, 각각의 제1 내지 제3 스테이지(ASG-1 ~ ASG-3)는 제1 내지 제3 더미 스테이지(DASG-1 ~ DASG-3)의 출력 전압을 전달받아 동작한다.
- [0083] 이처럼, 제1 내지 제3 더미 스테이지(DASG-1 ~ DASG-3)를 제1 내지 제3 스테이지(ASG-1 ~ ASG-3)의 전단에 형성함으로써, 종래 개시 신호(STVP)를 직접 전달받아 동작하던 제1 내지 제3 스테이지(ASG-1 ~ ASG-3)의 Q-노드(QN) 누설 전류로 인한 신뢰성 불량이 제1 내지 제3 더미스테이지(DASG-1 ~ DASG-3)에서 시인되도록 하고 제1 내지 제3 스테이지(ASG-1 ~ ASG-3)에서는 시인되지 않으므로 표시영역(DA)에 직접적으로 시인되지 않는다. 더미 스테이지의 개수는 구동조건에 따라 가변 가능하다.

도면

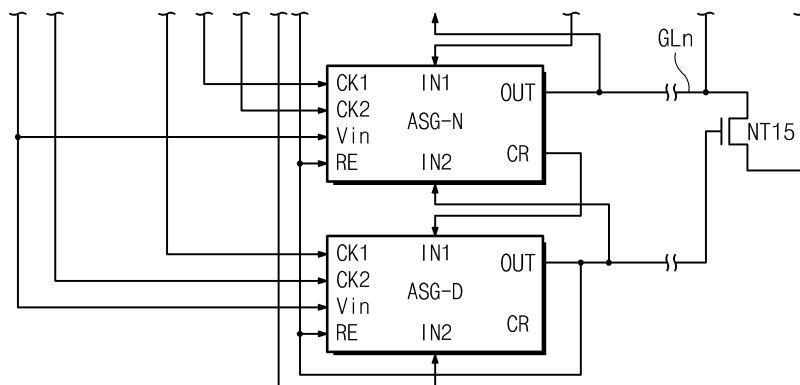
도면1



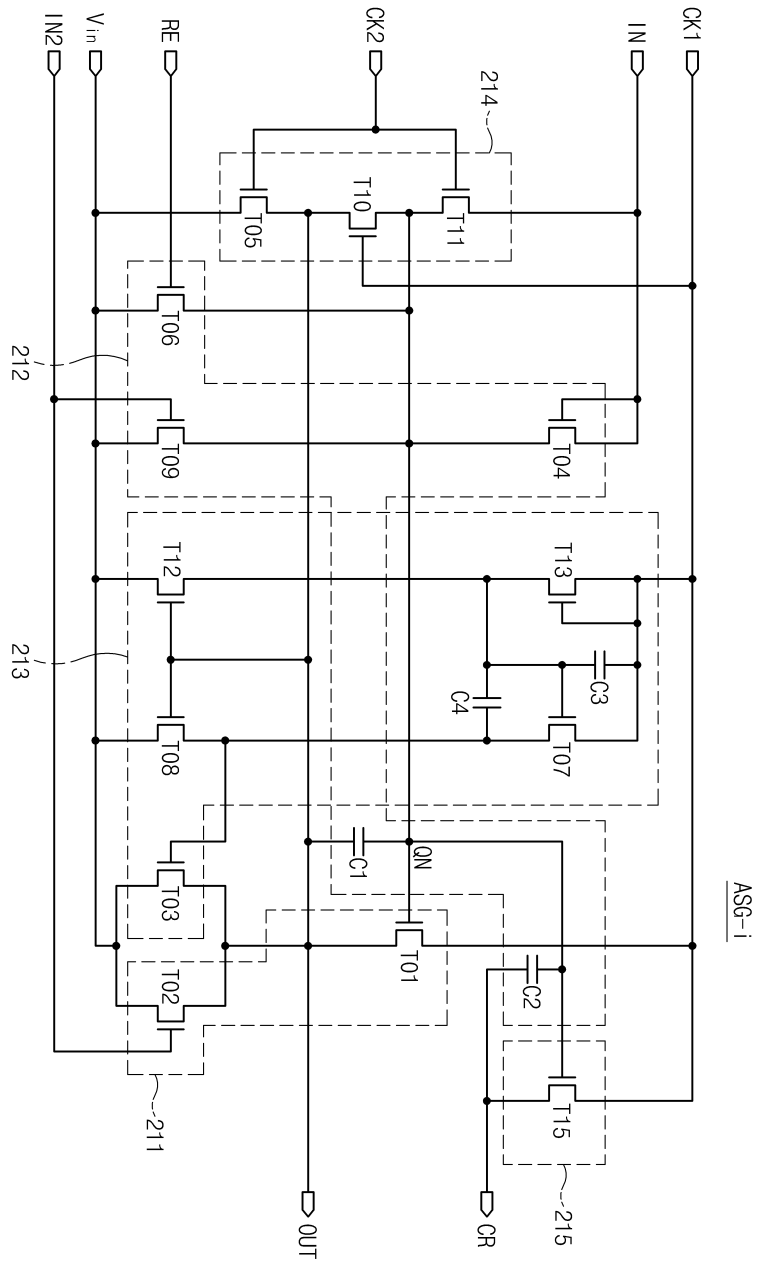
도면2a



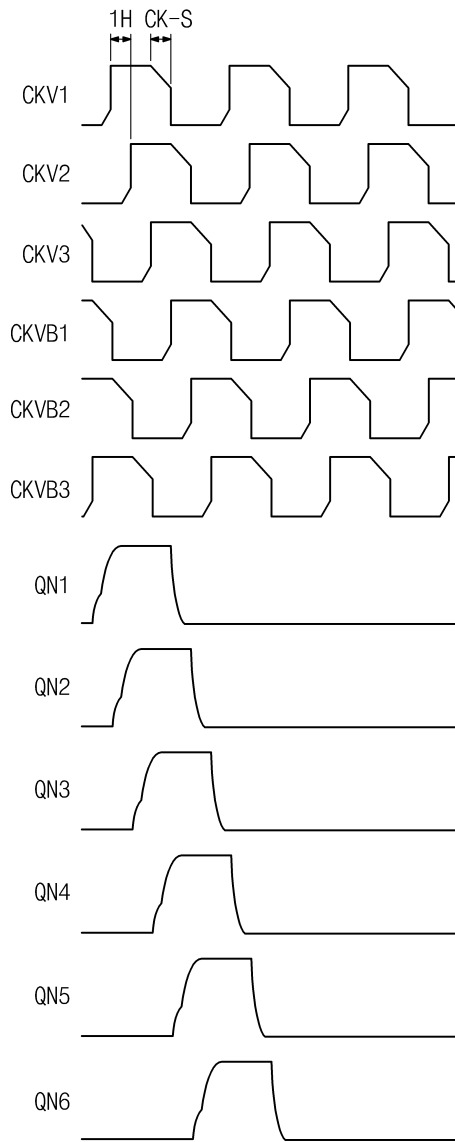
도면2b



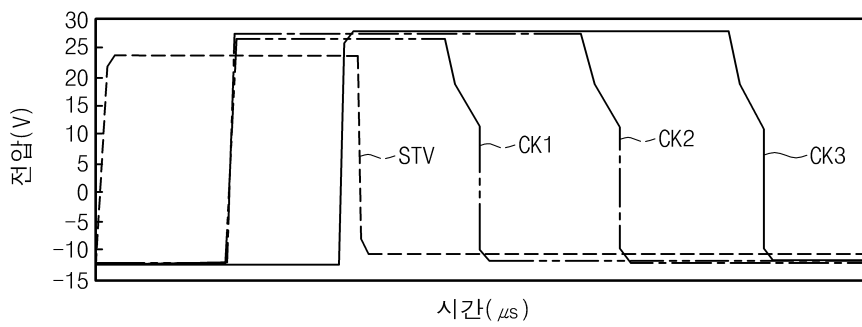
도면3



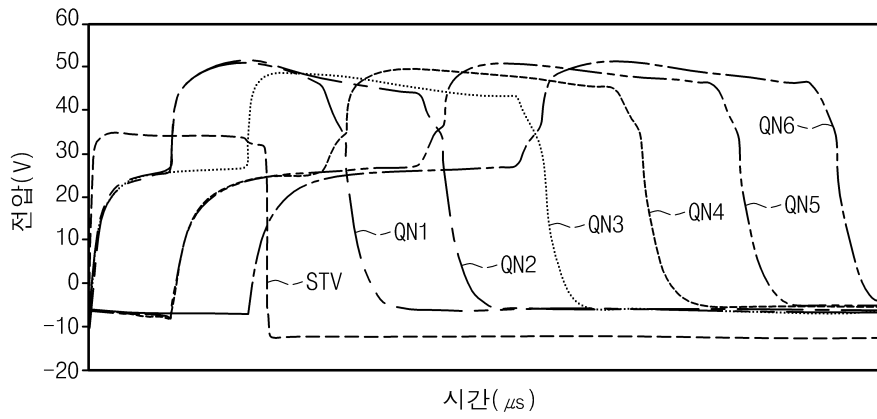
도면4



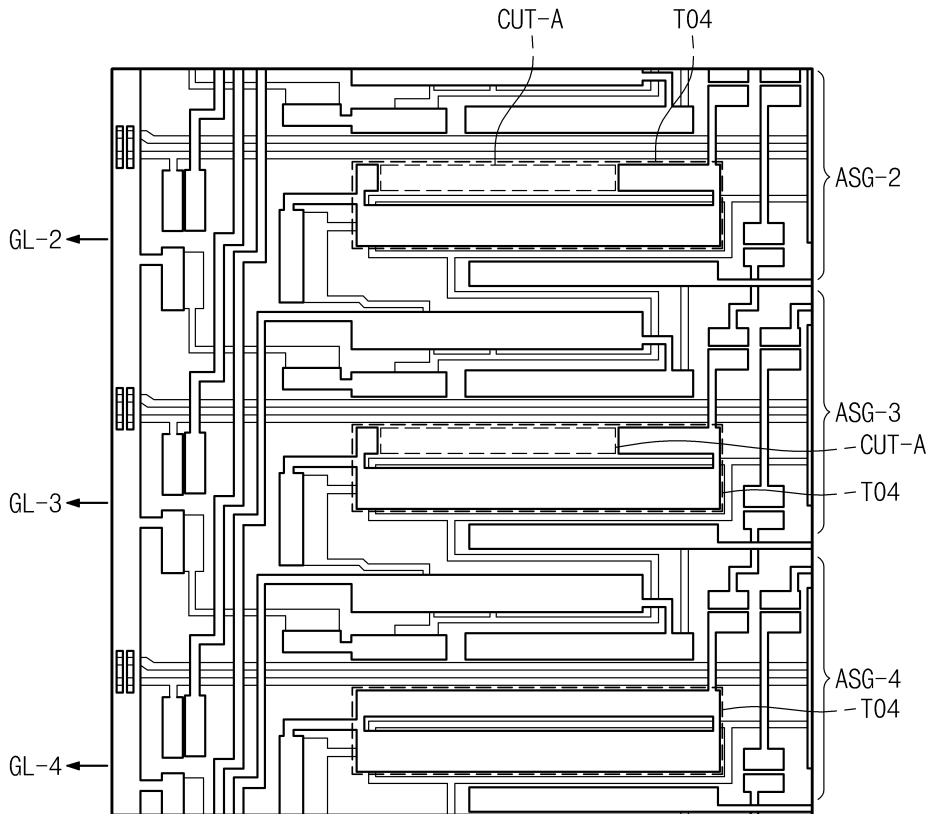
도면5a



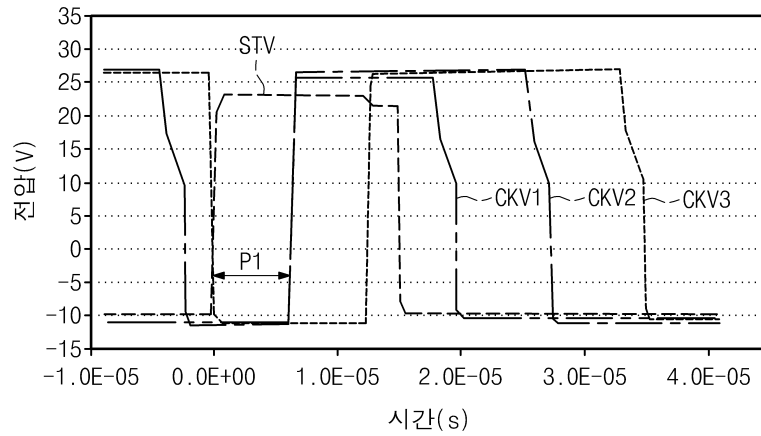
도면5b



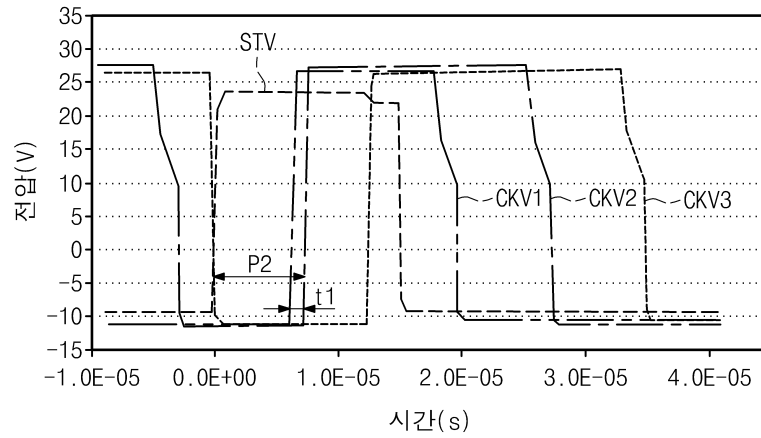
도면6



도면7a



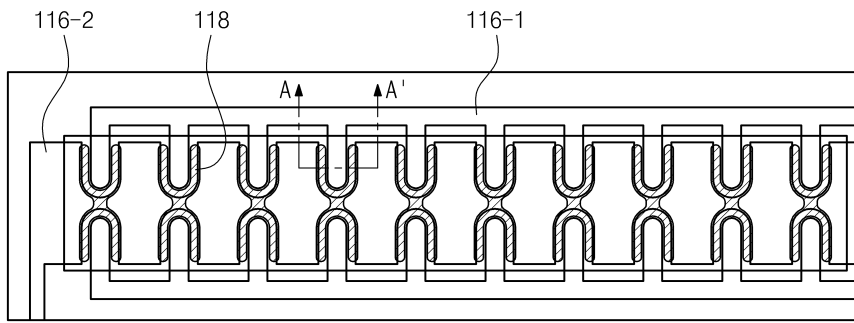
도면7b



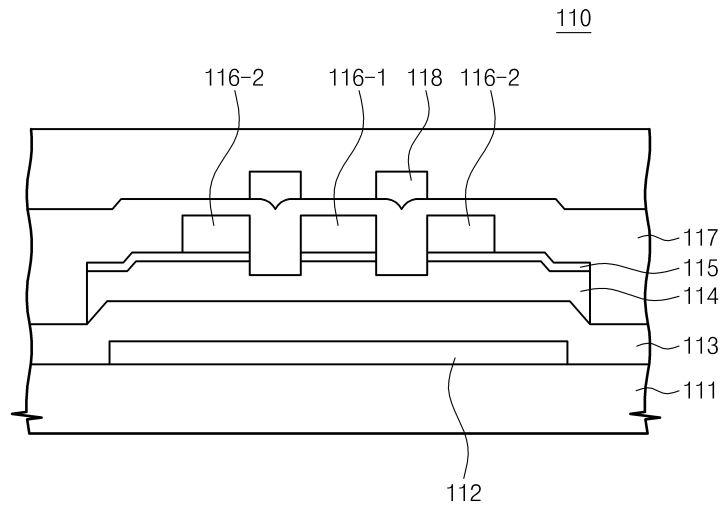
도면7c

스테이지	프리 차지 시간(μ s)		T04 커팅비율
	변경전	변경후	
ASG-1	6.3	6.3	0%
ASG-2	6.3	7.45	35%
ASG-3	12.5	12.5	35%

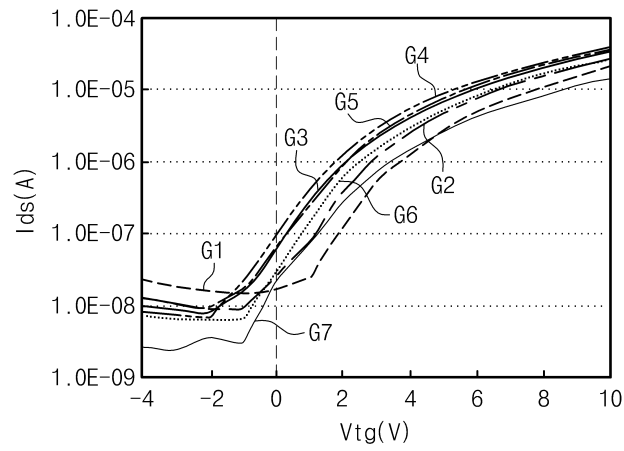
도면8



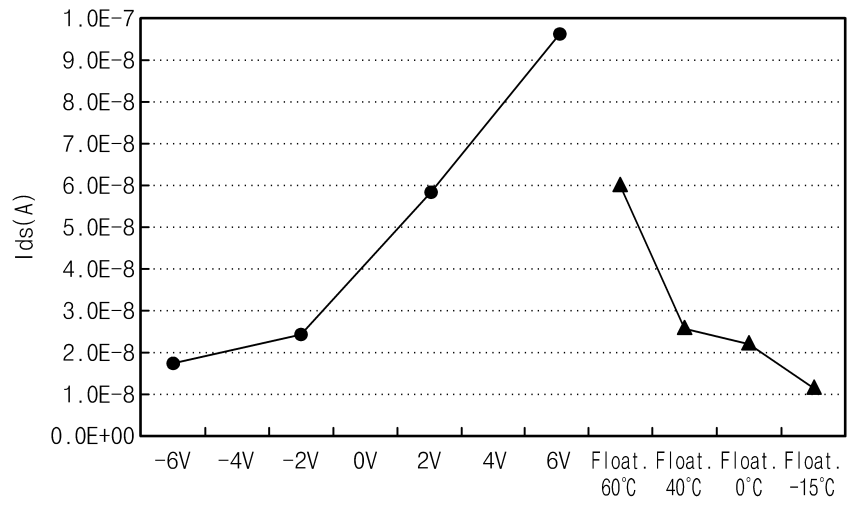
도면9



도면10a



도면10b



도면11

