

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁶
H01L 29/739

(45) 공고일자 1999년07월01일

(11) 등록번호 10-0206876

(24) 등록일자 1999년04월10일

(21) 출원번호 10-1995-0062053

(65) 공개번호 특1997-0054397

(22) 출원일자 1995년12월28일

(43) 공개일자 1997년07월31일

(73) 특허권자 엘지반도체주식회사 구본준
충청북도 청주시 흥덕구 향정동 1번지
(72) 발명자 손정환
대전광역시 서구 월평1동 월평타운아파트 103동 601호
(74) 대리인 박장원

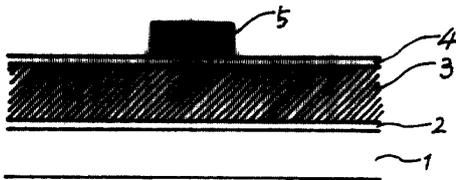
심사관 : 김관식

(54) 모스전계효과트랜지스터 제조방법

요약

본 발명에 의한 모스전계효과트랜지스터 제조방법은, 기판 상에 그 기판의 표면의 게이트전극 형성영역이 노출되도록 중간생성막인 임의막을 형성하는 공정과 ; 표면이 노출된 기판 상에 게이트 절연막을 형성하는 공정과 ; 상기 임의막 및 게이트 절연막 상에 제1 전도성막을 형성하는 공정과 ; 상기 제1 전도성막 측면에 측벽 스페이서를 형성하는 공정과 ; 상기 측벽 스페이서를 마스크로하여 상기 게이트절연막상에 불순물을 이온주입하여 채널영역을 형성하는 공정과 ; 상기 측벽 스페이서 사이의 공간이 모두 채워지도록, 상기 제1 전도성막 상에 제2 전도성막을 형성한후, 이를 에치백하는 공정과 ; 상기 측벽 스페이서를 제거하고, 불순물을 이온주입하여 기판 내에 저농도이온주입영역을 형성하는 공정과 ; 상기 임의막과 동일 높이로, 상기 제1 및 제2 전도성막 상에 절연막을 형성하는 공정과 ; 상기 임의막을 제거하는 공정 및 ; 상기 임의막이 제거된 부분으로 불순물을 이온주입하여 기판 내에 소오스/드레인 영역을 형성하는 공정으로 이루어져, 게이트 전극을 이루는 제1 전도성막을 식각량조절이 아닌 증착 두께로 조절하므로 공정 진행이 용이하고, 펀치-쓰루 스톱 이온주입 영역이 소오스/드레인 영역과 접합지 않으므로 정션 캐패시턴스를 감소시킬 수 있으며, 채널 영역과 n-LDD 영역을 각기 다른 영역에 형성하므로 오버랩되는 부분을 최소화할 수 있게 되어 채널 영역에 의한 n-LDD 영역의 도핑 보상(compensation) 영향을 제거할 수 있고, 채널 길이를 사진식각기술이 아닌 측벽 스페이서를 이용하여 정의할 수 있게 되어 짧은 채널을 요하는 고집적화된 MOSFET를 구현할 수 있으며, 산화 공정시, 임의막과 접해있는 양측면의 제1 전도성막이 함께 산화되므로 게이트-드레인간의 오버랩 캐패시턴스를 감소시킬 수 있게 된다.

대표도



명세서

[발명의 명칭]

모스전계효과트랜지스터 제조방법

[도면의 간단한 설명]

제1a도 내지 제1f도는 종래 기술에 따른 모스전계효과트랜지스터의 제조방법을 도시한 공정순도.

제2a도 내지 제2f도는 본 발명의 제1 실시예에 따른 모스전계효과트랜지스터의 제조방법을 도시한 공정순도.

제3a도 내지 제3f도는 본 발명의 제2 실시예에 따른 모스전계효과트랜지스터의 제조방법을 도시한 공정순도.

* 도면의 주요부분에 대한 부호의 설명

11 : 기판

12 : 임의막

13 : 게이트 절연막

14 : 제1 전도성막

이어서, 제2c도에 도시된 바와 같이 상기 제1 전도성막(14) 상에 산화막을 증착한 후, 이를 식각하여 그 측면에 산화막으로 이루어진 측벽 스페이서(15)를 형성하고, 상기 측벽 스페이서(15)를 마스크로하여 표면이 드러난 제1 전도성막(14)으로 펀치-쓰루 스톱 이온주입(punch-through stop implantation) 및 채널 이온주입(channel implantation)을 실시하여 기판(11) 내에 펀치-쓰루 스톱 이온주입 영역(19)과 채널 영역(18)을 형성한다.

그 다음, 제2d도에 도시된 바와 같이 상기 측벽 스페이서(15)와 제1 전도성막(14) 전면에 제2 전도성막(14') 에컨대, 다결정실리콘막을 증착하고, 상기 제1 및 제2 전도성막(14),(14')을 에치백(etch-back)한다. 그 결과, 제1 및 제2 전도성막(14)(14')으로 이루어진 게이트 전극이 형성된다. 이때, 상기 임의막(12)이 식각종료점을 검출하는 EPD(end point detection) 역할을 한다.

계속해서, 제2e도에 도시된 바와 같이 상기 측벽 스페이서(15)를 선택적 습식식각법 또는 건식식각법을 이용하여 제거하고, 상기 측벽 스페이서(15)가 제거된 부분으로 저농도의 n형 불순물을 이온주입하여 상기 채널 영역(18) 양 사이드 쪽에 저농도이온주입영역인 n-LDD 영역(20)을 각각 형성한다.

마지막으로, 제2f도에 도시된 바와 같이 상기 제1 및 제2 전도성막(14),(14')이 완전히 덮히도록, 그 상부와 임의막(12) 상에 절연막(16)인 산화막을 증착하고, 상기 절연막(16)을 에치백하여 평탄화(planarization)시킨다. 이때, 상기 임의막(12)이 EPD 역할을 하게 되므로 그 만큼 공정의 실시가 용이하게 된다.

이어, 상기 임의막(12)을 선택적 습식식각법을 이용하여 제거하고, 임의막(12)이 제거되어 표면이 드러난 기판(11) 내로 고농도의 n형 불순물을 이온주입하여 상기 n-LDD 영역(20)과 접하도록 소오스/드레인 영역(21)을 형성함으로써 본 공정을 완료한다.

여기서, 상기 임의막(12)과 측벽 스페이서(15)의 물질 구성이 서로 바뀌도록 공정을 진행하여도 무방하다.

한편, 제3a도 내지 제3f도는 본 발명의 제2 실시예에 따른 MOSFET 제조방법을 나타낸 공정순도를 도시한 것으로, 상기 공정순도를 참조하여 그 제조공정을 구체적으로 살펴보면 다음과 같다.

상기 실시예에서 제3a도 내지 제3e도에 도시된 공정은 제1 실시예와 동일한 방법으로 진행되므로 여기서는 간략하게만 설명한다.

즉, 제3a도에 도시된 바와 같이 p형 기판(11) 상에, 그 표면의 게이트 전극 형성영역이 노출되도록 임의막(12)인 질화막을 형성하고, 표면이 노출된 부분의 기판(11) 상에만 게이트 절연막(13)을 형성한 뒤, 제3b도에 도시된 바와 같이 상기 임의막(12)과 게이트 절연막(13) 상에 제1 전도성막(14) 에컨대, 다결정실리콘막을 증착한다.

이후, 제3c도에 도시된 바와 같이 상기 제1 전도성막(14) 측면에 산화막으로 이루어진 측벽 스페이서(15)를 형성하고, 이를 마스크로하여 표면이 드러난 제1 전도성막(14)으로 불순물을 각각 이온주입하여 기판(11)내에 펀치-쓰루 스톱 이온주입 영역(19)과 채널 영역(18)을 형성한다.

그 다음, 제3d도에 도시된 바와 같이 상기 측벽 스페이서(15)와 제1 전도성막(14) 상에 제2 전도성막(14') 에컨대, 다결정실리콘막을 증착하고 이를 에치백(etch-back)한 후, 제3e도에 도시된 바와 같이 상기 측벽 스페이서(15)를 제거하고, 측벽 스페이서(15)가 제거된 부분으로 저농도 n형 불순물을 이온주입하여 상기 채널 영역(18) 양 사이드 쪽에 저농도이온주입영역인 n-LDD 영역(20)을 각각 형성한다. 상기 에치백공정 진행시, 임의막(12)이 식각종료점을 검출하는 EPD 역할을 한다.

마지막으로, 제3f도에 도시된 바와 같이 상기 제1 및 제2 전도성막(14),(14')이 완전히 덮히도록, 그 상부와 임의막(12) 상에 절연막(16)인 산화막을 증착하고, 이를 에치백하여 평탄화(planarization)시킨 다음, 습식식각법으로 임의막(12)을 제거한다.

이후, 산화(oxidation) 공정을 실시하여, 상기 임의막(12)이 제거된 부분의 기판(11) 표면에 소정 두께의 열산화막(17)을 성장시킴과 동시에 상기 임의막(12)과 접해있던 제1 전도성막(14)의 양 측면을 산화하여, 제1 및 제2 전도성막(14),(14')으로 이루어진 역-T형 형상의 게이트 전극을 형성한다.

이어, 상기 열산화막(17)을 이용하여 기판(11) 내부로 고농도의 n형 불순물을 이온주입하여 상기 n-LDD 영역(20)과 접하도록 소오스/드레인 영역(21)을 형성함으로써 본 공정을 완료한다.

이 경우 역시 상기 임의막(12)과 측벽 스페이서(15)의 물질 구성이 서로 바뀌도록 공정을 진행하여도 무방하다.

상술한 바와 같이 본 발명에 의하면, 게이트 전극을 이루는 제1 전도성막을 식각량 조절이 아닌 증착 두께로 조절할 수 있으므로 공정진행이 용이하고, 펀치-쓰루 스톱 이온주입 영역이 소오스/드레인 영역과 접하지 않으므로 정션 캐패시턴스를 감소시킬 수 있으며, 채널 영역과 n-LDD 영역을 각기 다른 영역에 형성하므로 오버랩되는 부분을 최소화할 수 있게 되어 채널 영역에 의한 n-LDD 영역의 도핑 보상(compensation) 영향을 제거할 수 있고, 채널 길이를 사진식각기술이 아닌 측벽 스페이서를 이용하여 정의할 수 있게 되어 짧은 채널을 요하는 고집적화된 MOSFET를 구현할 수 있으며, 산화 공정시, 임의막과 접해있는 양 측면의 제1 전도성막이 함께 산화되므로 게이트-드레인간의 오버랩 캐패시턴스를 감소시킬 수 있게 된다.

(57) 청구의 범위

청구항 1

기판 상에 그 기판의 표면의 게이트 전극 형성영역이 노출되도록 중간생성막인 임의막을 형성하는 공정과 ; 상기 표면이 노출된 기판 상에 게이트 절연막을 형성하는 공정과 ; 상기 임의막 및 게이트 절연막 상에 제1 전도성막을 형성하는 공정과 ; 상기 제1 전도성막 측면에 측벽 스페이서를 형성하는 공정과 ; 상기

측벽스페이서를 마스크로하여 상기 게이트 절연막상에 불순물을 이온주입하여 채널영역을 형성하는 공정과 ; 상기 측벽 스페이서 사이의 공간이 모두 채워지도록, 상기 제1 전도성막 상에 제2 전도성막을 형성한 후, 이를 에치백 하는 공정과 ; 상기 측벽 스페이서를 제거하고, 불순물을 이온주입하여 기판 내에 저농도 이온주입영역을 형성하는 공정과 ; 상기 임의막과 동일 높이로, 상기 제1 및 제2 전도성막 상에 절연막을 형성하는 공정과 ; 상기 임의막을 제거하는 공정 및 ; 상기 임의막이 제거된 부분으로 불순물을 이온주입하여 기판 내에 소오스/드레인 영역을 형성하는 공정으로 이루어진 것을 특징으로 하는 모스전계효과트랜지스터 제조방법.

청구항 2

제1항에 있어서, 상기 측벽 스페이서는 산화막 또는 질화막에 의해 형성하는 것을 특징으로 하는 모스전계효과트랜지스터 제조방법.

청구항 3

제1항에 있어서, 상기 임의막은 질화막 또는 산화막에 의해 형성하는 것을 특징으로 하는 모스전계효과트랜지스터 제조방법.

청구항 4

제1항에 있어서, 상기 임의막을 제거하는 공정 진행후, 산화공정을 실시하여 임의막이 제거된 부분에 열산화막을 성장시킴과 동시에 상기 임의막과 접해있던 제1 전도성막의 양 측면을 산화하는 공정을 더 포함하여 이루어진 것을 특징으로 하는 모스전계효과트랜지스터 제조방법.

청구항 5

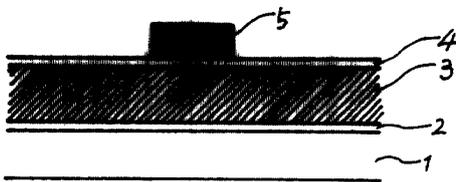
제1항에 있어서, 상기 제1 전도성막 측면에 측벽 스페이서를 형성하는 공정 진행후, 상기 측벽 스페이서를 마스크로하여 표면이 드러난 제1 전도성막으로 불순물을 각각 이온주입하여 기판 내에 펀치-쓰루 스톱 이온주입영역 및 채널 영역을 형성하는 공정을 더 포함하여 이루어진 것을 특징으로 하는 모스전계효과트랜지스터 제조방법.

청구항 6

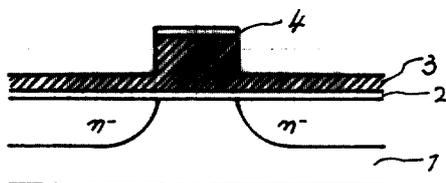
제1항에 있어서, 상기 절연막을 형성하는 공정은 상기 제1 및 제2 전도성막을 포함한 임의막 상에 절연막을 증착한 후 에치백하여 형성하는 공정으로 이루어진 것을 특징으로 하는 모스전계효과트랜지스터 제조방법.

도면

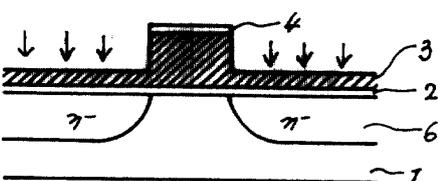
도면 1a



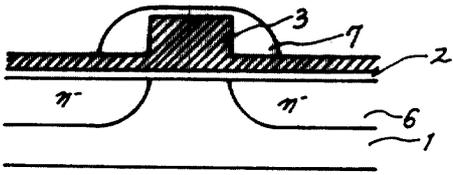
도면 1b



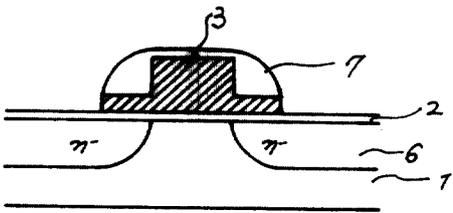
도면 1c



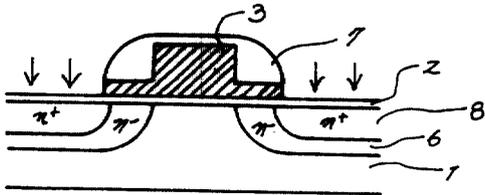
도면1d



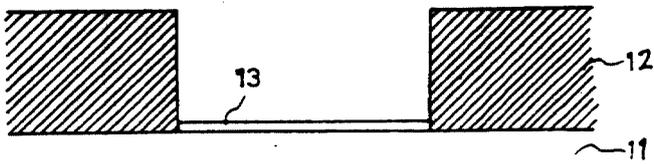
도면1e



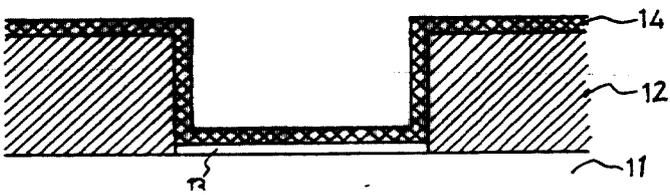
도면1f



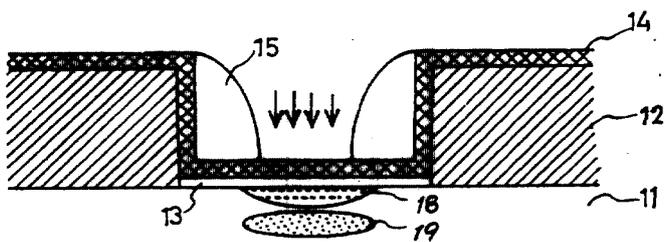
도면2a



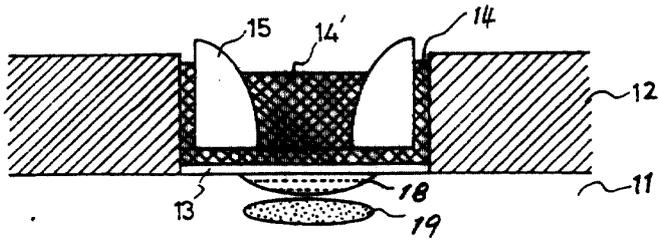
도면2b



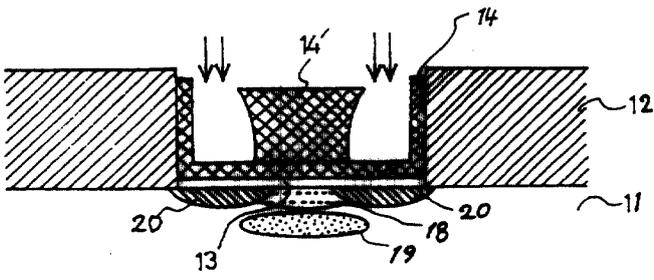
도면2c



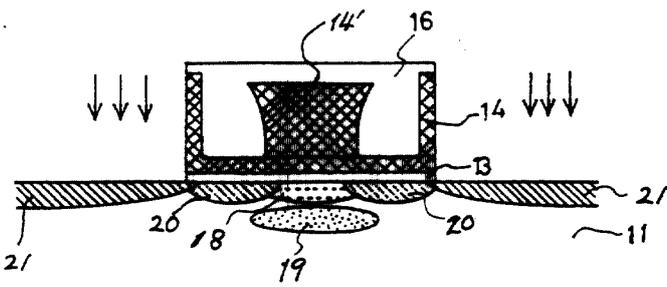
도면2d



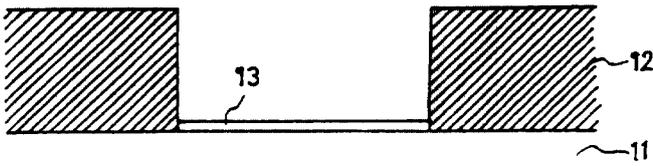
도면2e



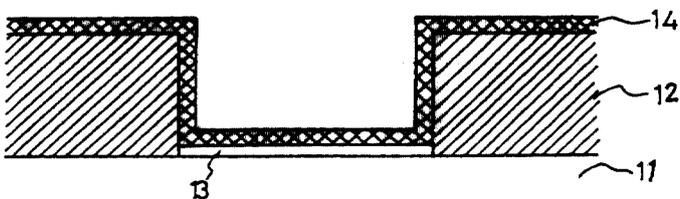
도면2f



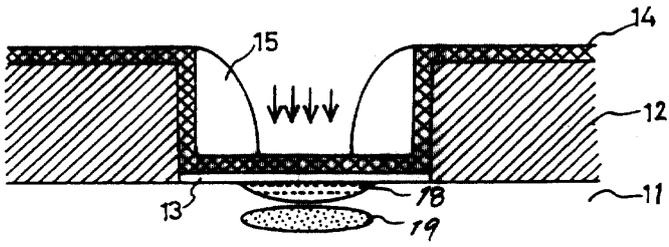
도면3a



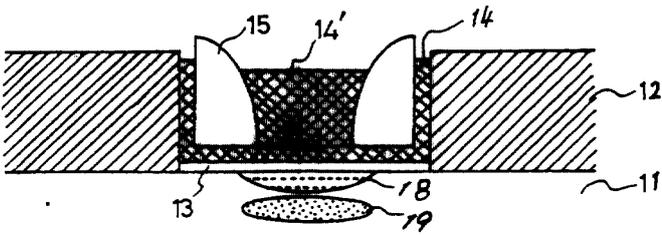
도면3b



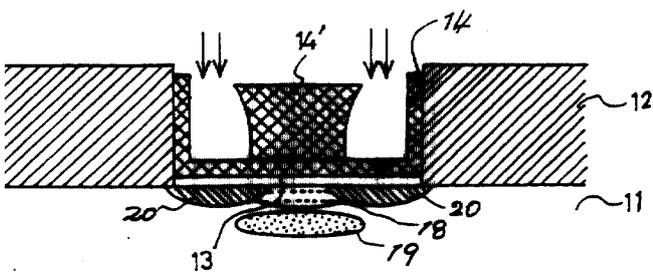
도면3c



도면3d



도면3e



도면3f

