

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5443178号
(P5443178)

(45) 発行日 平成26年3月19日(2014.3.19)

(24) 登録日 平成25年12月27日(2013.12.27)

(51) Int.Cl. F I
H O 1 L 21/02 (2006.01) H O 1 L 21/02 A

請求項の数 12 (全 11 頁)

(21) 出願番号	特願2010-1229 (P2010-1229)	(73) 特許権者	308033711
(22) 出願日	平成22年1月6日(2010.1.6)		ラピスセミコンダクタ株式会社
(65) 公開番号	特開2011-142167 (P2011-142167A)		神奈川県横浜市港北区新横浜二丁目4番地
(43) 公開日	平成23年7月21日(2011.7.21)		8
審査請求日	平成24年12月11日(2012.12.11)	(74) 代理人	100079119
			弁理士 藤村 元彦
		(74) 代理人	100109036
			弁理士 永岡 重幸
		(74) 代理人	100147728
			弁理士 高野 信司
		(72) 発明者	西尾 吉史
			宮崎県宮崎郡清武町大字木原727番地
			OKIセミコンダクタ宮崎株式会社内
		審査官	溝本 安展
			最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法、半導体装置及び半導体ウエハへの印字方法

(57) 【特許請求の範囲】

【請求項1】

絶縁性を有する透明基板及び前記透明基板の表面上に素子形成膜が積層された構造を有する半導体ウエハを準備する工程と、

前記透明基板の裏面上に、前記半導体ウエハの表面に対して垂直方向の位置決めをなす位置決め用光を反射する光反射膜を形成する工程と、

前記素子形成膜の配置面側からレーザを照射して前記光反射膜に印字を形成する工程と、

前記素子形成膜に半導体素子を形成する工程と、

前記素子形成膜及び前記半導体素子を覆う層間絶縁膜を形成する工程と、

前記層間絶縁膜を貫通して前記半導体素子と電氣的に接続されたコンタクト配線を形成する工程と、

前記コンタクト配線に接続されたメタル配線を前記層間絶縁膜上に形成する工程と、を有することを特徴とする半導体装置の製造方法。

【請求項2】

前記印字を形成する工程において、前記光反射膜を保持しつつ前記レーザを照射することを特徴とする請求項1に記載の製造方法。

【請求項3】

前記レーザは前記素子形成膜及び前記透明基板を透過し、前記光反射膜のみを除去することを特徴とする請求項1又は2に記載の製造方法。

【請求項 4】

前記透明基板は、サファイア又はクォーツからなることを特徴とする請求項 1 乃至 3 のいずれか 1 に記載の製造方法。

【請求項 5】

絶縁性を有する透明基板の表面上に素子形成膜が積層された構造を有する半導体ウエハと、

前記透明基板の裏面上に形成され、前記半導体ウエハの表面に対して垂直方向の位置決め用光を反射する光反射膜と、を含み、

前記光反射膜は前記半導体ウエハの識別用の印字が施された印字部を有することを特徴とする半導体装置。

10

【請求項 6】

前記印字は、前記光反射膜のみを貫通する貫通孔からなることを特徴とする請求項 5 に記載の半導体装置。

【請求項 7】

前記印字部には、前記半導体ウエハの処理工程履歴、製造場所及び特性を現す印字が形成されていることを特徴とする請求項 6 に記載の半導体装置。

【請求項 8】

前記素子形成膜には少なくとも 1 つの半導体素子が形成されていることを特徴とする請求項 6 又は 7 に記載の半導体装置。

【請求項 9】

光反射膜、絶縁性を有する透明基板、素子形成膜が順次積層された構造を有する半導体ウエハへの印字方法であって、

前記素子形成膜の配置面側からレーザを照射して前記光反射膜に印字を形成する工程を有することを特徴とする印字方法。

20

【請求項 10】

前記印字を形成する工程は、前記光反射膜を保持しつつ行われることを特徴とする請求項 9 に記載の印字方法。

【請求項 11】

前記レーザは前記素子形成膜及び前記透明基板を透過し、前記光反射膜のみを除去することを特徴とする請求項 9 又は 10 に記載の印字方法。

30

【請求項 12】

前記透明基板は、サファイア又はクォーツからなることを特徴とする請求項 9 乃至 11 のいずれか 1 に記載の印字方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置の製造方法、半導体装置及び半導体ウエハへの印字方法に関し、特にレーザを用いて半導体ウエハにウエハ識別用の印字を形成する技術を含む半導体装置の製造方法、半導体装置及び半導体ウエハへの印字方法に関する。

【背景技術】

40

【0002】

隣接する素子間の絶縁分離を容易に行いつつ、ラッチアップ現象を抑制するために、従来から、SOI (Silicon On Insulator) 基板を用いて半導体装置が製造されていた。SOI 基板は、シリコン基板とシリコン薄膜 (SOI 層) とを埋め込み酸化膜で絶縁分離する構造、すなわち同種の材料 (シリコン) が絶縁膜である埋め込み酸化膜を介して貼り合わされた構造を有する。

【0003】

近年においては、シリコン基板及び埋め込み酸化膜からなる構造に代えて、サファイア又はクォーツからなる絶縁性の基板が用いられ、互いに異なる材料が貼り合わされた構造が知られている。特に、サファイアを用いた場合には SOS (Silicon On Sapphire)、

50

クオーツを用いた場合にはSOQ (Silicon On Quartz) と呼ばれている。例えば、サファイア基板又はクオーツ基板は電気的な絶縁特性を有しているため、形成される各種の半導体素子は寄生容量をほとんど有さず、優れた高周波特性及び低消費電力という特長を有することができる。

【0004】

また、上述したSOI基板、SOS基板、又はSOQ基板を用いた半導体装置の製造工程においては、半導体素子が形成されるシリコン薄膜にウエハ識別用の印字が形成される。このような印字が形成される理由は、製造工程中においてもウエハの処理履歴、製造場所又は特性を容易に認識可能にするためである。例えば、引用文献1には、SOS基板において、シリコン薄膜にレーザー照射を施して印字する(すなわち、レーザーマーキングする)ことが開示されている。

10

【0005】

また、サファイア基板及びクオーツ基板は、可視光を透過するため、半導体装置の製造工程におけるウエハの表面に対して垂直方向の位置決めが困難になる問題があった。かかる問題を解決する方法として、サファイア基板又はクオーツ基板の裏面(シリコン薄膜が形成された面とは反対側)に、窒化シリコン等の可視光を透過しない材料からなる光反射膜を形成する技術が知られている。

【先行技術文献】

【特許文献】

【0006】

20

【特許文献1】特開2006-100724

【発明の概要】

【発明が解決しようとする課題】

【0007】

しかしながら、SOS基板又はSOQ基板を用いる場合において、上述したレーザーマーキングし、更に光反射膜を形成すると、SOS基板又はSOQ基板の裏面側からは印字の確認が困難になる。更に、レーザーマーキングされたシリコン薄膜上には、層間絶縁膜を介してメタル配線が形成されるため、当該メタル配線形成後には表面側からの印字の確認も困難になる。

【0008】

30

本発明は、以上の如き事情に鑑みてなされたものであり、半導体ウエハの表面に対して垂直方向における位置決めを容易に行うことができ、且つ、半導体ウエハの種別を容易に確認することができる半導体装置の製造方法、半導体装置及び半導体ウエハへの印字方法を提供する。

【課題を解決するための手段】

【0009】

上述した課題を解決するために、本発明の半導体ウエハへの印字方法は、絶縁性を有する透明基板及び前記透明基板の表面上に素子形成膜が積層された構造を有する半導体ウエハを準備する工程と、前記透明基板の裏面上に、前記半導体ウエハの表面に対して垂直方向の位置決めをなす位置決め用光を反射する光反射膜を形成する工程と、前記素子形成膜の配置面側からレーザーを照射して前記光反射膜に印字を形成する工程と、前記素子形成膜に半導体素子を形成する工程と、前記素子形成膜及び前記半導体素子を覆う層間絶縁膜を形成する工程と、前記層間絶縁膜を貫通して前記半導体素子と電氣的に接続されたコンタクト配線を形成する工程と、前記コンタクト配線に接続されたメタル配線を前記層間絶縁膜上に形成する工程と、を有することを特徴とする。

40

【0010】

また、上述した課題を解決するために、本発明の半導体装置の製造方法は、絶縁性を有する透明基板の表面上に素子形成膜が積層された構造を有する半導体ウエハと、前記透明基板の裏面上に形成され、前記半導体ウエハの表面に対して垂直方向の位置決め用光を反射する光反射膜と、を含み、前記光反射膜は前記半導体ウエハの識別用の印字が施された

50

印字部を有することを特徴とする。

【0011】

更に、上述した課題を解決するために、本発明の半導体ウエハへの印字方法は、光反射膜、絶縁性を有する透明基板、素子形成膜が順次積層された構造を有する半導体ウエハへの印字方法であって、前記素子形成膜の配置面側からレーザを照射して前記光反射膜に印字を形成する工程を有することを特徴とする。

【発明の効果】

【0012】

本発明の半導体装置の製造方法、半導体装置及び半導体ウエハへの印字方法によれば、光反射膜を形成した後に、半導体ウエハの表面側から光反射膜に印字を形成するため、光反射膜が形成されたウエハ表面上にメタル配線等が形成された場合においても、裏面側から印字を視認することが可能である。また、半導体ウエハの表面に対して垂直方向の位置決めをなす位置決め用光を反射できる光反射膜を形成しているため、半導体ウエハの表面に対して垂直方向における位置決めも容易に行うことができる。更に、本発明の半導体装置の製造方法、半導体装置及び半導体ウエハへの印字方法によれば、半導体ウエハに形成される半導体素子の高い信頼性も確保することが可能であり、製造される半導体装置の製造コストの増加も抑制することができる。

【図面の簡単な説明】

【0013】

【図1】(a)は本発明の実施例に係る半導体装置の底面図であり、(b)は図1(a)の線1a-1aに沿った断面図である。

【図2】(a)~(d)は本発明の実施例に係る半導体装置の製造工程を示す断面図である。

【図3】(a)~(d)は本発明の実施例に係る半導体装置の製造工程を示す断面図である。

【図4】(a)~(c)は本発明の実施例に係る半導体装置の製造工程を示す断面図である。

【発明を実施するための形態】

【0014】

以下、本発明の実施例について添付図面を参照しつつ詳細に説明する。

【実施例】

【0015】

先ず、図1(a)、(b)を参照しつつ本発明の光検出装置の構造について説明する。図1(a)は本発明の光検出装置の底面図であり、図1(b)は図1(a)の線1a-1a(一点鎖線で示す)に沿った断面図である。

【0016】

図1(a)、(b)に示されているように、ウエハ状の半導体装置10は、SOS(Silicon On Sapphire)基板11、裏面積層膜12、層間絶縁膜13及びメタル配線14を有している。なお、半導体装置10において、メタル配線14が形成されている面を表面とし、光反射膜12が形成されている面を裏面と定義する。

【0017】

SOS基板11は、絶縁性を有し且つ可視光が透過可能なサファイア基板11aと、サファイア基板11aの上に形成されたシリコン薄膜(素子形成膜)11bと、からなる2層構造を有している。シリコン薄膜11bの所望の領域には、半導体素子20を形成するソース領域21、ドレイン領域22、ゲート酸化膜23、ゲート電極24及びサイドウォール25が形成されている。更に、シリコン薄膜11bの所望の領域には、複数の半導体素子20を素子分離するフィールド酸化膜26が形成されている。なお、SOS基板11において、半導体素子20が形成されている面を表面とし、光反射膜12が形成されている面を裏面と定義する。

【0018】

10

20

30

40

50

層間絶縁膜 13 は、半導体素子 20 及びシリコン薄膜 11b を覆うように形成されている。また、層間絶縁膜 13 は、可視光を透過することができる材料から形成されている。更に、層間絶縁膜 13 の内部には、層間絶縁膜 13 を貫通するコンタクト配線 27 が形成されている。コンタクト配線 27 によって、ソース領域 21、ドレイン領域 22 及びゲート電極 24 は、それぞれに対応するメタル配線 14 に接続される。以下において、ソース領域 21 とメタル配線 14 とを接続する配線をソースコンタクト配線 27a、ドレイン領域 22 とメタル配線 14 とを接続する配線をドレインコンタクト配線 27b、ゲート電極 24 とメタル配線 14 とを接続する配線をゲートコンタクト配線 27c、とも称する。

【0019】

光反射膜 12 は、半導体装置 10 の製造時においてその厚さ方向（すなわち、ウエハ表面に対して垂直方向）の位置決めをなすために用いられる位置決め用光を透過しない材料から形成されている。例えば、当該位置決め用光が可視光である場合には、光反射膜 12 は窒化シリコンから形成されても良い。なお、当該位置決め用光を赤外線等の可視光以外の波長の光を用いても良いが、その場合には光反射膜 12 の材料を適宜変更する必要がある。光反射膜 12 の所望の位置には、印字部 30 が設けられている。印字部 30 には、図 1 (a) に示されているように、英数字及び記号からなるウエハ識別用の印字が形成されている。図 1 (a) においては、「WAFER #01」と印字されており、これによって処理工程履歴、製造場所及び特性等を認識することができる。当該印字は、例えば、レーザーを使用したレーザーマーキングにより形成される。より具体的には、レーザーを照射することで、「WAFER #01」という印字部分の光反射膜 12 が除去されている。すなわち、光反射膜 12 を貫通する貫通孔によって、「WAFER #01」という印字が表わされる。また、ロット番号等を更に印字しても良い。なお、印字は、「WAFER #01」に限定されることなく、その他の数字、記号、文字を用いても良い。

【0020】

また、当該貫通孔は、光反射膜 12 だけでなく、SOS 基板 11 も貫通していても良い。すなわち、レーザーマーキング時において、SOS 基板 11 及び光反射膜 12 の一部を同時に除去しても良い。

【0021】

本実施例の半導体装置 10 においては、半導体装置 10 の光反射膜 12 に印字部 30 が設けられ、印字部 30 にウエハ識別用の印字が施されているため、半導体装置 10 の表面側に可視光を透過しないメタル配線 14 が形成された状態でも、半導体装置 10 の裏面側から当該印字を確認することが可能になる。

【0022】

また、本実施例の半導体装置 10 においては、ウエハ表面に対して垂直方向の位置決め用光を反射する光反射膜 12 が形成されているため、半導体装置の製造工程中において、半導体ウエハの表面に対して垂直方向における位置決めを容易に行うことができる。

【0023】

次に、図 2 (a) ~ (d)、図 3 (a) ~ (d)、及び図 4 (a) ~ (c) を参照しつつ、半導体ウエハへの印字方法及び半導体装置 10 の製造方法を説明する。図 2 (a) ~ (d)、図 3 (a) ~ (d)、及び図 4 (a) ~ (c) は、半導体装置 10 の製造工程を示す断面図である。

【0024】

まず、サファイア基板 11a の上にシリコン薄膜 11b が積層された構造を有する SOS 基板（半導体ウエハ）11 を準備する（図 2 (a)）。より具体的には、まずサファイア基板 11a 上に、エピタキシャル成長法によってシリコンを堆積する。ここで、堆積されたシリコンは、サファイアとの格子不整合により、結晶欠陥を多く含んでいる。続いて、堆積したシリコンからなるシリコン膜にシリコンイオンを注入し、サファイア基板 11a との界面付近のシリコンの結晶性を一度破壊してアモルファス化させる。更に、酸化雰囲気中における熱処理によって固層エピ成長させることで、アモルファス化したシリコンを再結晶化させ、欠陥の少ないシリコン薄膜 11b を形成する。その後、シリコン薄膜 11

10

20

30

40

50

bの上部に位置し且つ熱処理のよって二酸化シリコンとなった薄膜を除去することで、SOS基板11が完成する。

【0025】

次に、SOS基板11の裏面上、すなわちサファイア基板11aのシリコン薄膜11bが形成された面に対向する面上に、光反射膜12を形成する(図2(b))。例えば、化学気相成長(CVD:Chemical Vapor Deposition)法等の公知の成膜技術を用いて、SOS基板11の全面を覆うように窒化シリコンを堆積する。その後、SOS基板11の表面側のみに位置する窒化シリコンをエッチングで除去(エッチバック)することで、光反射膜12の形成が完了する。本実施例においては、窒化シリコンからなる光反射膜12を用いたが、光反射膜12によってウエハの表面に対して垂直方向の位置決めをなす位置決め用光の透過を防止できれば、他の材料からなり、又は他の積層構造を有しても良い。

10

【0026】

次に、光反射膜12の所望の位置に印字部30を形成する(図2(c))。より具体的には、光反射膜12を保持しつつ、SOS基板11の表面側(すなわち、シリコン薄膜11b形成されている側)から、所望の波長のレーザを照射して光反射膜12の一部を除去する。このような波長を有するレーザを用いたレーザマーキングにより、視認可能な印字(図1(a)に示されているような「WAFER #01」)がなされる。なお、印字がなされた直後においては、「WAFER #01」で示されたウエハ識別用の印字は、SOS基板11の表面又は裏面のいずれからでも視認できる。また、本工程を行う前に、上述した位置決め用光によってSOS基板11の厚さ方向(すなわち、SOS基板11の表面に対して垂直方向)の位置を確認し、正確にレーザ照射を行える準備をしても良い。

20

【0027】

ここで、所望の波長とは、サファイア基板11a及びシリコン薄膜11bを透過して、光反射膜12のみを除去する性質を有している。このようなレーザマーキングにより、製造される半導体装置10の信頼性の向上に繋がる。具体的には、光反射膜12のみを除去することで、貫通孔形成時のパーティクルの発生を抑制することができる。

【0028】

なお、サファイア基板11a及びシリコン薄膜11bを透過して、光反射膜12のみを除去する性質を有さず、サファイア基板11a、シリコン薄膜11b及び光反射膜12のいずれも除去可能な波長のレーザを用いても良い。この場合には、上記の場合と比較すると、パーティクルの発生を抑制する効果が低下するが、レーザの選択幅が広がることになる。

30

【0029】

また、上述したようにSOS基板11の表面側からレーザを照射することにより、半導体素子20が形成されるSOS基板11の表面側を搬送アーム等で保持する必要がなくなる。これによって、素子形成面であるSOS基板11の表面の損傷及びSOS基板11の表面における異物混入を抑制することができる。すなわち、SOS基板11の裏面側からレーザを照射してレーザマーキングする場合よりも、半導体装置10の信頼性の向上及び歩留まり改善を図ることができる。

【0030】

更に、従来からSOS基板11の表面側からレーザを照射して、SOS基板11の表面に印字を形成していたため、上述した印字方法を採用することで、既存設備を使用することができる。すなわち、SOS基板11の裏面側からレーザを照射してレーザマーキングする場合よりも、ウエハを反転させるような装置及び製造工程が不要になり、製造コスト、製造工程数及び製造時間の削減を図ることができる。

40

【0031】

次に、シリコン薄膜11bにフィールド酸化膜26を形成する(図2(d))。これによって、シリコン薄膜11bに複数の半導体素子20が形成された場合に、半導体素子20の各々を電氣的に分離(素子分離)できる。フィールド酸化膜26の形成には、シリコン局所酸化法(LOCOS:Local Oxidation of Oxidation of Silicon)又は浅い溝分

50

離法 (STI: Shallow Trench Isolation) 等の周知の方法を用いることができる。

【0032】

例えば、LOCOS分離法を用いる場合には、先ず、シリコン薄膜11bを熱酸化して、シリコン薄膜11bの表面に二酸化シリコン膜を成長させる。続いて、アンモニアとシランガスを反応させることで、成長した二酸化シリコン膜の上に、窒化シリコンを堆積させる。更に、堆積した窒化シリコンの一部をエッチングで除去して、後にフィールド酸化膜26となる領域を露出させる。更に、熱酸化法によって露出した領域に二酸化シリコンを成長させ、その後、不要な窒化シリコンを除去することで、フィールド酸化膜26の形成が完了する。

【0033】

STI分離法を用いる場合には、先ず、シリコン薄膜11bを熱酸化して、シリコン薄膜11bの表面に二酸化シリコン膜を成長させる。続いて、アンモニアとシランガスを反応させることで、成長した二酸化シリコン膜の上に、窒化シリコンを堆積させる。更に、二酸化シリコン膜及び窒化シリコンの一部をエッチングで除去しつつ、シリコン薄膜11bに浅い溝(シャロートレンチ)を形成する。更に、熱酸化法及びシランと酸素ガスを用いた堆積方法によって二酸化シリコンを当該シャロートレンチ内に埋め込む。その後、シリコン薄膜11bの表面上の不要な二酸化シリコン及び窒化シリコンを除去することで、フィールド酸化膜26の形成が完了する。

【0034】

次に、熱酸化法によってシリコン薄膜11bの表面上に、薄いシリコン酸化膜41を成長させる。続いて、CVD法を用いて、シランガスを窒素ガス中で熱分解させ、多結晶シリコン(PolySi)膜42を成長させる(図3(a))。

【0035】

次に、多結晶シリコン膜42を覆うように、レジストを塗布する。続いて、フォトリソグラフィによって当該レジストにパターニングを施す。更に、パターニングされたレジストをマスクとしてエッチングを施し、シリコン酸化膜41及び多結晶シリコン膜42を所望の形状に加工して、複数のゲート酸化膜23及びゲート電極24を形成する(図3(b))。複数のゲート酸化膜23及びゲート電極24の形成完了後に、当該レジストを除去する。

【0036】

次に、シリコン薄膜11b、ゲート酸化膜23及びゲート電極24を覆うように、レジストを塗布する。続いて、フォトリソグラフィによって当該レジストにパターニングを施す。更にパターニングされたレジストをマスクとして、リン等の不純物イオンを注入し、ソース領域21及びドレイン領域22を形成する(図3(c))。ソース領域21及びドレイン領域22の形成完了後に、当該レジストを除去する。

【0037】

次に、ゲート酸化膜23及びゲート電極24の側面を覆うようにサイドウォール25を形成する(図3(d))。より具体的には、先ず、プラズマCVD等の成膜技術により、シリコン薄膜11b、ゲート酸化膜23及びゲート電極24を覆うように、酸化シリコンを堆積させる。その後、異方性の強いドライエッチングにより、ゲート酸化膜23及びゲート電極24の側面部分のみに酸化シリコンを残し、他の部分の酸化シリコンを除去する。これにより、サイドウォール25が完成する。

【0038】

次に、シリコン薄膜11b及びシリコン薄膜11bに形成された半導体素子20を覆うように、層間絶縁膜13が形成される(図4(a))。より具体的には、シランガスと酸素ガスを用いたCVD法により、酸化シリコンを堆積させる。その後、堆積した酸化シリコンの表面を化学的機械的研磨(CMP: Chemical Mechanical Polishing)によって平坦化することで、層間絶縁膜13の形成が完了する。

【0039】

次に、層間絶縁膜13を貫通して、ソース領域21、ドレイン領域22及びゲート電極

10

20

30

40

50

24に到達するソースコンタクト配線27a、ドレインコンタクト配線27b及びゲートコンタクト配線27cを形成する(図4(b))。より具体的には、先ず、層間絶縁膜13を覆うように、レジストを塗布する。続いて、フォトリソグラフィによって当該レジストにパターニングを施す。更に、パターニングしたレジストをマスクとしてエッチングを施し、ソース領域21、ドレイン領域22及びゲート電極24に到達するコンタクトホールを形成する。続いて、CVD法によって当該コンタクトホール内にタングステンを堆積させることで、ソースコンタクト配線27a、ドレインコンタクト配線27b及びゲートコンタクト配線27cの形成が完了する。

【0040】

次に、層間絶縁膜13の上にメタル配線14を形成する(図4(c))。より具体的には、先ずスパッタ法によって層間絶縁膜13の上に、アルミニウムを堆積させる。その後、堆積したアルミニウムの上にレジストを塗布して、パターニングを施す。当該パターニングされたレジストをマスクとしてエッチングを施すことで、所望の形状のメタル配線14の形成が完了する。

【0041】

以上の工程を経て、ウエハ状の半導体装置10が完成する。なお、上述した半導体装置の各製造工程において、光反射膜12を用いてウエハの表面に対して垂直方向における位置決めを行った後に、各工程を行っても良い。

【0042】

以上のように、本発明の半導体装置の製造方法、半導体装置及び半導体ウエハへの印字方法によれば、光反射膜を形成した後に、半導体ウエハの表面側から光反射膜に印字を形成するため、光反射膜が形成されたウエハ表面上にメタル配線等が形成された場合においても、裏面側から印字を視認することが可能であり、且つ、半導体ウエハの表面に対して垂直方向における位置決めも容易に行うことができる。

【0043】

また、本発明の半導体装置の製造方法、半導体装置及び半導体ウエハへの印字方法によれば、半導体ウエハに形成される半導体素子の高い信頼性も確保することが可能であり、更に、製造される半導体装置の製造コストの増加も抑制することができる。

【0044】

なお、上述した課題を解決するために、光反射膜12に対して裏面側から直接レーザを照射する方法も検討したが、かかる方法では以下の理由により採用することができなかった。光反射膜12に対して裏面側から直接レーザを照射する場合には、搬送アーム等を用いて半導体ウエハ11を保持する必要性が生じ、半導体素子形成面の損傷及び異物混入の問題が生じてしまった。特に、素子形成面の損傷は異物混入のように洗浄除去することができず、半導体装置の致命的な欠陥になるおそれがある。

【0045】

更に、上述した課題を解決するために、半導体ウエハ11の外周(側面)を保持する器具を用いて半導体ウエハ11を反転させ、光反射膜12に対して裏面側から直接レーザを照射することも検討したが、既存設備の大幅な改造が必要となり、費用対効果の関係から採用することができなかった。

【0046】

以上のことから、本発明の半導体装置の製造方法及び半導体ウエハへの印字方法は、上述した検討結果の問題についても考慮されており、上述した問題が発生することもない。

【0047】

また、上述した実施例においては半導体ウエハとしてSOIの場合を説明したが、SOQ(Silicon On Quartz)、SOI(Silicon On Insulator)、その他の半導体ウエハであっても良い。その他の半導体ウエハの場合には、絶縁性を有する基板は可視光以外の光(赤外線、紫外線)を透過するような他の透明基板であっても良い。すなわち、透明基板とは、可視光のみを透過する基板だけでなく、他の波長領域の光のみを透過したり、可視光及び他の波長領域の光を透過するものであっても良い。かかる場合には、半導体ウエハ

10

20

30

40

50

の表面に対して垂直方向の位置決めをなすときに用いられる光を、赤外線又は紫外線等の可視光以外の光を用いることが可能になる。更に、半導体素子を形成する部分の材料はシリコンに限定されることなく、他の半導体材料であっても良い。

【符号の説明】

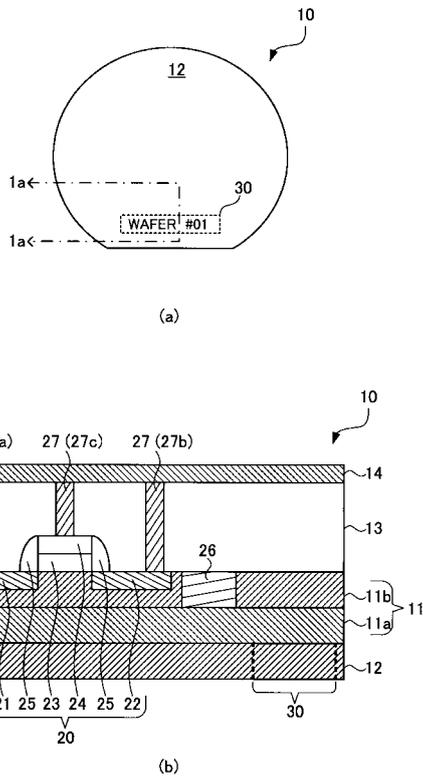
【0048】

- 10 半導体装置
- 11 SOS (Silicon On Sapphire) 基板 (半導体ウエハ)
- 11a サファイア基板
- 11b シリコン薄膜 (素子形成膜)
- 12 光反射膜
- 13 層間絶縁膜
- 14 メタル配線
- 20 半導体素子
- 21 ソース領域
- 22 ドレイン領域
- 23 ゲート酸化膜
- 24 ゲート電極
- 25 サイドウォール
- 26 フィールド酸化膜
- 27 コンタクト配線
- 30 印字部

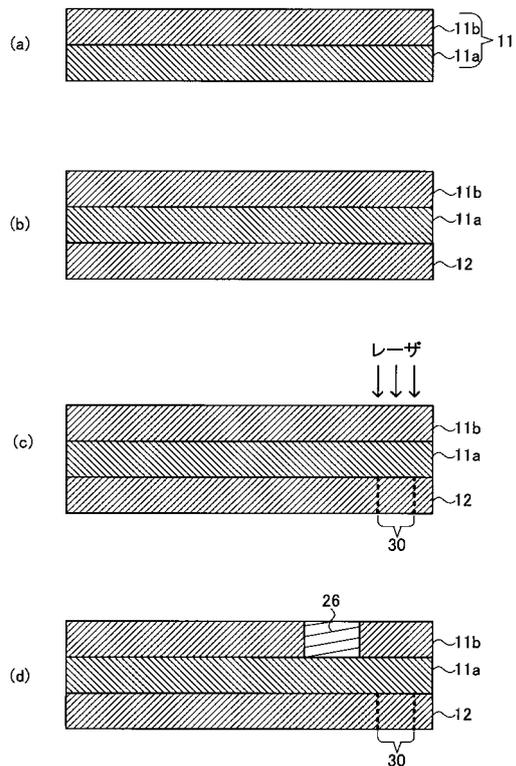
10

20

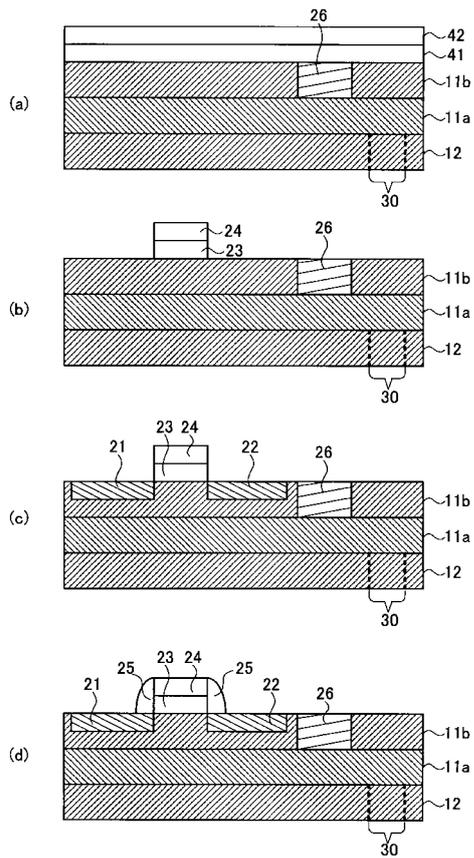
【図1】



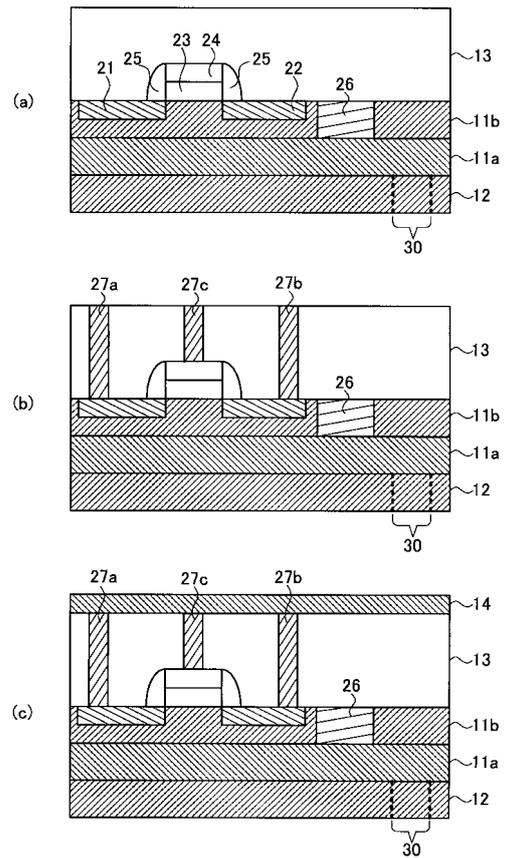
【図2】



【 図 3 】



【 図 4 】



フロントページの続き

(56)参考文献 特開2002-040960(JP,A)
特開2003-209032(JP,A)

(58)調査した分野(Int.Cl., DB名)
H01L 21/02