

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 31/072 (2006.01)

H01L 31/20 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200710126319.9

[43] 公开日 2008年1月2日

[11] 公开号 CN 101097969A

[22] 申请日 2007.6.29

[21] 申请号 200710126319.9

[30] 优先权

[32] 2006.6.30 [33] US [31] 11/480161

[71] 申请人 通用电气公司

地址 美国纽约州

[72] 发明人 J·N·约翰逊 V·马尼文南

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 王庆海 王小衡

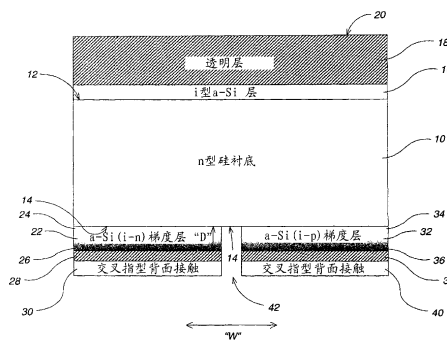
权利要求书 2 页 说明书 14 页 附图 3 页

[54] 发明名称

包括所有背面接触结构的光电器件以及相关处理

[57] 摘要

一种半导体结构包括一种导电类型的半导体衬底，其具有前表面和后表面。将第一非晶半导体层涂敷到前表面上；将第二和第三非晶半导体层设置在衬底的部分后表面上。第二和第三层每一个都沿其深度有组分梯度，从在与衬底的界面处的基本本征到其相反表面处的基本导电。在一些情况下，第一半导体层也有组分梯度，同时其他情况下，其特性是本征的。半导体结构可用作太阳能电池；和包括多个这种电池模块表示为本发明的另一实施例。也描述了用于制造光电器件的方法。



1. 一种半导体结构, 包括:

(a) 一种导电类型的半导体衬底(10), 其具有前表面(12)和后表面(14);

(b) 第一非晶半导体层(16), 其设置在半导体衬底(10)的前表面(12)上;

(c) 第二非晶半导体层(22), 其设置在半导体衬底(10)的后表面(14)的一部分上, 其中第二非晶半导体层(22)沿着其深度有组分梯度, 从与衬底(10)的界面处的基本本征到相反侧处的基本导电, 所述第二非晶半导体层(22)具有通过结合所选择的掺杂剂原子获得的所选的导电类型; 和

(d) 第三非晶半导体层(32), 其被设置在半导体衬底(10)的后表面(14)的另一部分上并且与第二非晶半导体层(22)间隔开, 其中第三非晶半导体层(32)沿其深度有组分梯度, 从与衬底(10)的界面处的基本本征到相对侧上的基本导电, 所述第三非晶半导体层(32)具有通过结合所选择的掺杂剂原子获得的与第二非晶层(22)的导电类型不同的导电类型。

2. 如权利要求1的半导体结构, 其中对于第二非晶半导体层(22)和第三非晶半导体层(32), 在与衬底(10)的界面处的掺杂剂原子浓度基本为零; 和在相反侧处的掺杂剂原子浓度是在约 $1 \times 10^{16} \text{cm}^{-3}$ 到约 $1 \times 10^{21} \text{cm}^{-3}$ 的范围内。

3. 如权利要求1的半导体结构, 其中至少一个电触点(30)设置在第二非晶半导体层(22)上方, 且至少一个电触点(40)设置在第三非晶半导体层(32)上方。

4. 如权利要求3的半导体结构, 其中一个电极层(28)设置在第二非晶半导体层(22)和其上覆盖的电触点(30)之间; 和一个电极层(38)被设置在第三非晶半导体层(32)和其上覆盖的电触点(40)之间。

5. 如权利要求1的半导体结构, 其中第二非晶半导体层(22)通过隔离沟槽(42)与第三非晶半导体层(32)间隔开。

6. 如权利要求1的半导体结构, 其中透明层(18)布置在第一非晶半导体层(16)上。

7. 如权利要求6的半导体结构, 其中透明层(18)包括抗反射结构。

8. 如权利要求 6 的半导体结构, 其中透明层 (18) 由包括氮化硅的材料形成。

9. 如权利要求 1 的半导体结构, 其中衬底 (10) 是单晶或多晶硅; 并且是 n 型或 p 型。

10. 如权利要求 1 的半导体结构, 其中第一非晶半导体层 (16) 是本征的。

11. 如权利要求 1 的半导体结构, 其中第一非晶半导体层 (16) 沿其深度有组分梯度, 从与衬底 (10) 的界面处的基本本征到相对侧处的基本导电。

12. 如权利要求 1 的半导体结构, 其中衬底 (10) 的前表面 (12) 是形成纹理的。

13. 如权利要求 3 的半导体结构, 其中设置在第二非晶半导体层 (22) 上的至少一个电触点 (30) 与设置在第三非晶半导体层 (32) 上的至少一个电触点 (40) 成交叉指型的。

14. 一种太阳能电池, 其包括半导体结构, 该半导体结构具有全部背面接触结构, 其中该半导体结构的至少一个非晶半导体层包括有组分梯度的掺杂剂原子曲线。

15. 一种制造光电器件的方法, 包括步骤:

(I) 在半导体衬底 (10) 的前表面 (12) 上方形成第一非晶半导体层 (16);

(II) 在半导体衬底 (10) 的后表面 (14) 的一部分上形成第二非晶半导体层 (22), 通过在该后表面部分上方沉积半导体材料和掺杂剂, 同时改变掺杂剂浓度以使该第二非晶半导体层 (22) 沿其深度有组分梯度, 从与衬底的后表面 (14) 的界面处的基本本征到相对侧处的基本导电;

(III) 在半导体衬底 (10) 的后表面 (14) 的另一部分上形成第三非晶半导体层 (32), 通过在该后表面部分上方沉积半导体材料和掺杂剂, 同时改变掺杂剂浓度以使该第三非晶半导体层 (32) 沿其深度有组分梯度, 从与衬底 (10) 的后表面 (14) 的界面处的基本本征到相对侧处的基本导电。

包括所有背面接触结构的光电器件以及相关处理

技术领域

本发明一般涉及高效太阳能电池。尤其，本发明涉及基于包括异质结的半导体器件的太阳能电池。

背景技术

无疑地，如果太阳能量能够以可用的方式获得，则太阳能量提供电势，为人类的使用提供实际上无限制的能量。或许只要在使用太阳能量以获得电的方面作出最大努力，则其能通过任一种现有的电子网络用在家庭、居民区或工业水平上。从太阳辐射产生该电的主要方式包括借助于光电转换器直接产生。这些类型的器件依赖于异质结的存在，并在现有技术中是公知的。（如该上下文中所使用的，异质结是由不同半导体材料层构成的半导体结。这些材料通常具有不同的带隙。作为一个实例，异质结可通过一种导电类型的层或区域与相反导电性的层或区域的接触形成，例如“p-n”结）。除了太阳能电池之外，使用异质结的其它器件包括薄膜晶体管和双极晶体管。

总之，光电器件将辐射如太阳能、白炽光或荧光辐射转换成电能。太阳光对于大部分器件来说是典型辐射源。转换为电能通过公知的光电效应实现。根据该现象，撞击光电器件的辐射由器件的有源区域吸收，产生电子空穴对，其有时被共同称作光生电荷载流子。电子和空穴扩散，并且通过所建立的电场聚集到器件中。

考虑到太阳能电池用作这种可靠形式的干净、可再生能量的潜力，已经作出很大努力以提高其性能。这种性能的一个主要测量是器件的光电转换效率。转换效率通常被测量为由器件产生的电流量，与接触其有源表面的光能成比例。如该文献中所记载的，光电转换效率很小的增加，例如1%或更小都表示光电技术非常显著的进步。

光电器件的性能很大程度上依赖于每个半导体层的组分和微结构。例如，由结构缺陷或杂质原子导致的缺陷位置存在于单晶半导体层的表面上或本体内。而且，多晶半导体材料含有任意取向的晶粒，具有引起大量本体和表面缺陷位置的晶界。

存在这种类型的多种缺陷是光电器件中的有害效应源。例如，很多

电荷载流子在异质结附近的缺陷位置处复合，而不是继续其预定的路径至一个或多个集电极。由此，作为电流载流子其丢失了。电荷载流子的复合是光电转换效率降低的一个主要原因。

表面缺陷的负效应可通过钝化技术被最小化至一定程度。例如，本征（即未掺杂）非晶半导体材料层被形成于衬底表面上。存在该本征层降低了衬底表面处电荷载流子的复合，并由此提高了光电器件的性能。

使用这种类型的本征层通常在 US. 专利 5, 213, 628 (Noguchi 等人) 中描述。Noguchi 描述了一种光电器件，其包括所选导电类型的单晶硅或多晶硅半导体层。250 埃或更少的实质上的本征层形成于衬底上方。基本上非晶层形成于本征层上，具有与衬底相反的导电性，并实现“半导体夹入结构”。光电器件通过在非晶层上方增加透明电极和贴附到衬底下侧上的背电极完成。

Noguchi 专利中描述的光电器件在一些情况下似乎相当程度地最小化了电荷载流子复合的问题。例如，认为存在所选厚度的本征层能增加器件的光电转换效率。而且，由于 Noguchi 等人的公开，以这种方式钝化半导体衬底表面的观点已经在很多参考文献中作了描述。实例包括 U. S. 专利 5, 648, 675 (Terada 等人) 和 U. S. 专利公开号 2002/0069911 A1 (Nakamura 等人); 2003/0168660 A1 (Terakawa 等人); 和 2005/0062041 A1 (Terakawa 等人)。

虽然上述参考文献在一定程度上解决了复合问题，但是仍存在一些明显缺陷。例如，存在本征层虽然是有利的，但是其导致形成另一界面，即在本征层和其上覆盖的非晶层之间。该新的界面是用于杂质和寄生的污染物的再一位置，从而被捕获和聚集，并且可能会导致电荷载流子的另外复合。作为实例，多层结构制造期间的沉积步骤之间的中断能不给污染物进入提供机会。而且，由于导电性变化和/或带隙变化导致的界面处带的突然弯曲会引起高密度界面态，这是复合的另一个可能原因。

而且，虽然消除电荷载流子复合一定会增加光电转换效率，但是也存在能降低常规太阳能电池的性能的其他因素。作为实例，现有技术中的太阳能电池通常都用电池前面侧上的很多电连接制造，即表面接收入射光。由此，电池的前表面通常都包括前侧金属网格线或电流收集带，与相关器件和硬件如母线和接头一起。

由于很多原因，在太阳能电池前侧上存在这些部件是不利的。例如，

网格线和接头降低了均匀性和太阳能电池的整体外形。例如在住宅设计中，太阳能电池的美学特征通常表示标准质量参数。而且，太阳能电池的操作性能会受到存在的这些前侧部件的不利影响，由于其“遮挡”了将被电池吸收的部分入射光。

与太阳能电池中前表面部件相关的各种问题被部分成功的解决了。例如，已经开发了一种在电池的背面侧上具有所有电连接的硅光电装置。如美国专利 5,053,083 (Sinton) 中所描述的，“背面侧”型电池显示出增加的效率，这主要是由于缺少了阻挡所需光能量的前侧部件。而且，没有这些部件利于在电池前面侧上的其他处理和操作，例如形成纹理应用，如以下所述。

然而，增加光电效率的动力仍然是不懈的，这是由于该效率直接影响光电器件的经济可行性。由此，改进的光电器件在本领域中非常受欢迎。该器件最小化了在半导体层之间各界面区域处电荷载流子复合的问题。而且，该器件显示出确保良好光电性能、如光电转换效率的电特性。而且，器件能够被有效且经济地制造。

制造该器件消除了引入过多量的杂质和其他缺陷的工艺步骤。对于很多这种器件的另一种重要需求是其视觉特征。具体地，当用在一定应用如家庭和其他结构的美学设计中时，太阳能电池结构美学上令人愉悦并且流行。

发明内容

本发明的一个实施实例涉及到半导体结构，其包括：

- (a) 一种导电类型的半导体衬底，具有前表面和后表面；
- (b) 第一非晶半导体层，其设置在半导体衬底的前表面上；
- (c) 第二非晶半导体层，其设置在半导体衬底的后表面的一部分上，其中第二非晶半导体层沿着其深度有组分梯度，从在衬底界面处基本本征，到相对侧的基本导电，所述第二非晶半导体层具有通过结合所选掺杂剂原子获得的所选导电类型；和
- (d) 第三非晶半导体层，其设置在半导体衬底的后表面的另一部分上，并且与第二非晶半导体层相间隔，其中第三非晶半导体层沿其深度有组分梯度，从与衬底界面处的基本本征到相对侧的基本导电，所述第三非晶半导体层具有通过结合所选掺杂剂原子获得的与第二非晶层的导电类型不同的导电类型。

本发明的另一实施例涉及到太阳能模块，包括一个或多个太阳能电池器件，其中至少一个太阳能电池器件包括在此描述的半导体结构。

用于制造光电器件的方法构成了本发明的另一实施例。该方法包括步骤：

(I) 在半导体衬底的前表面上方形成第一非晶半导体层；

(II) 在半导体衬底的后表面的一部分上形成第二非晶半导体层，通过在该后表面部分上方连续沉积半导体材料和掺杂剂，同时改变掺杂剂浓度以使第二非晶半导体层沿其深度有组分梯度，从与衬底后表面界面处的基本本征到相对侧处的基本导电；

(III) 在半导体衬底的后表面的另一部分上形成第三非晶半导体层，通过在该后表面部分上方连续沉积半导体材料和掺杂剂，同时改变掺杂剂浓度，以使第三非晶半导体层沿其深度有组分梯度，从与衬底的后表面的界面处的基本本征到相对侧处的基本导电。

根据以下详细描述，结合附图，本发明的各特征、方面和优点将更加明显。

附图说明

图1是描述了根据本发明一个实施例的光电器件结构的示意性截面图。

图2是描述了根据本发明另一实施例的光电器件结构的示意性截面图。

图3是描述了根据本发明再一实施例光电器件结构的示意性截面图。

具体实施方式

本发明的硅衬底可以是多种形式的。如图1中所描述的，衬底10可以是单晶或多晶硅。而且，衬底材料可以是n型或p型，这部分取决于光电器件的电学需求。衬底10包括前表面12和后表面14。衬底通常具有约50微米至约600微米的厚度。（应当理解，在此提供的所有附图都不必按比例画出，而是为了便于理解本文内容而画出）。

在沉积其他半导体层之前，通常在衬底上进行各种常规处理步骤。例如，可清洗衬底并将其设置在真空室中（例如，等离子体反应室，如下所述）。之后将室加热到足以去除衬底上或衬底中的任何湿气的温度。通常，在约120-240℃范围内的温度是足够的。有时，然后将氢气

引入到室中，且将衬底暴露到等离子体放电中，用于附加的表面清洗。然而，在清洗和预处理步骤上可以有很大变化。通常，在用于器件的另外制造的室中进行这些步骤。

在衬底上方形成的各种半导体层通常都（尽管并不总是）通过等离子体沉积来涂覆。可以用多种不同类型的等离子体沉积。非限制性的实例包括化学气相沉积（CVD）；真空等离子体喷射（VPS）；低压等离子体喷射（LPPS），等离子体增强化学气相沉积（PECVD），射频等离子体增强化学气相沉积（REPECVD），膨胀热等离子体化学气相沉积（ETPCVD）；电子回旋加速器谐振源等离子体增强化学气相沉积（ECRPECVD），电感耦合等离子体增强化学气相沉积（ICPECVD）和空气等离子体喷射（APS）。也可使用溅射技术，如反应溅射。而且，也可以采用这些技术中任一些的组合。本领域技术人员熟知所有这些沉积技术的一般操作细节。在一些优选实施例中，通过 PECVD 工艺形成各半导体层。

在图 1 中描述的本发明的一个实施例中，本征非晶硅层 16 形成于衬底 10 的前表面 12 上。如前所述，本征层 1 是 6 未掺杂的（即，具有基本为零的掺杂浓度）。该层可以很多种方式形成。作为非限制性实例，硅衬底 10 可以设置在等离子体反应室（例如 CVD 或 PECVD）中。在对室抽真空之后，将衬底加热到适当温度，例如约 120℃ 至约 240℃。含硅气体如硅烷被泵抽到室中，同时例如通过辉光放电产生等离子体。等离子体引起气态前体的分解，导致形成硅的非晶层。

本征层 16 的厚度取决于各种因素，包括该层的光学和电学特性。层的厚度很大程度上受衬底界面处电荷载流子复合的最小化程度的影响。通常，层 16 的厚度小于或等于约 250 埃。在一些具体实施例中，层 16 具有的厚度在约 30 埃到约 180 埃的范围内。例如通过进行关于结合了半导体的光电器件的光电转换效率的测量，确定给定情况下最适当的厚度而不需要过度的努力。

根据该实施例，透明膜或层 18 被设置在光电器件的光接收侧上的本征非晶硅层 16 上。膜 18 为器件提供了抗反射（AR）特性。透明膜包括各种材料如金属氧化物。非限制性实例包括氮化硅（SiN）、氧化锌（ZnO）、掺杂的 ZnO、和氧化铟锡（ITO）。膜 18 通过各种常规技术形成，如溅射或蒸发。其厚度取决于各种因素，包括所需的 AR 特性。通常，透明膜 18（具有顶表面 20）具有在约 200 埃到约 1000 埃范围内的厚度。

第二非晶半导体层 22 被设置在衬底 10 的后表面 14 的一部分上。虽然衬底 10 是光电器件的主要功率产生层，但是半导体层 22 构成了一个器件的一个电极的一个部件。如本领域技术人员所理解的，电极通常被设计成承载功率（电流）通过器件并将该功率运载到外部电路。半导体层 22 可以是 n 型或 p 型，这取决于光电器件的电结构。

根据本发明的主要实施例，第二非晶层 22 在掺杂剂浓度方面有组分梯度。总之，掺杂剂浓度在与衬底的界面处即在图 1 的区域 24 中基本上为零。根据半导体导电性目的，在层 22 的相反侧即区域 26 中掺杂剂浓度为最大值。对于这些类型层的组分梯度的概念通常也在转让给本发明受让人的未决申请中作了描述：J. Johnson 和 V. Manivannan 于 2005 年 10 月 31 日提交的 U. S. 专利申请 S. N. 11/263, 159。该专利申请的内容在此通过参考并入本文。

术语“组分梯度”意思是描述作为半导体层 22 的深度（“D”）函数的掺杂剂浓度的变化（即“梯度”）。在一些实施例中，梯度基本上是连续的，但是并不总是这种情况。例如，浓度的改变速度本身也随着深度而变化，在一些区域中稍有增加，而在其他区域中稍有降低。（然而，整体梯度特征总在于向着衬底 10 的方向上掺杂剂浓度降低）。而且，在一些情况下，掺杂剂浓度对于深度的一些部分保持常数，尽管该部分可能很小。梯度中这些变化的任一种和所有都意味着被术语“梯度”所包括。对于给定半导体层的具体掺杂剂浓度曲线将取决于各种因素，例如，掺杂剂的类型和半导体器件的电性需求；和其微结构和厚度。

如上所述，层 22 的掺杂剂浓度在与衬底的界面处基本上为零，和特定的掺杂剂曲线无关。由此，本征区域 24 用于防止与衬底表面 14 的界面处电荷载流子复合。相反位置处，非晶层 22、区域 26 的下表面基本是导电的。在该区域中的具体掺杂剂浓度取决于半导体器件的特定需求。作为多晶或单晶硅衬底情况下的非限制性实例，区域 26 通常都具有在约 $1 \times 10^{16} \text{ cm}^{-3}$ 到约 $1 \times 10^{21} \text{ cm}^{-3}$ 范围内的掺杂剂浓度。

梯度非晶层 22 的厚度也取决于各种因素，如所采用的掺杂剂类型；衬底的导电类型；梯度变化曲线；和区域 26 中的掺杂剂浓度。如层 16 中的情况，层 22 的厚度通常都低于或等于约 250 埃。在一些具体实施例中，梯度层 22 具有在约 30 埃到约 180 埃范围内的厚度。如对于层 16 的之前描述，给定情况下最适合的厚度能通过关于器件的光电转换效率进

行测量来容易地确定。其他特性的测量（例如开路电压（ V_{oc} ）、短路电流（ I_{sc} ），和填充系数（FF））也能有助于确定层 22 最适合的厚度。

在一些优选实施例中（并非所有），电极层 28 形成于非晶半导体层 22 的后侧上（图 1）。通常，电极层 28 用作扩散阻挡层，防止金属原子从导电层（以下描述）扩散到半导体层 22 中。电极层 28 通常由导电材料如氧化铟锡、ZnO、掺杂的 ZnO 等形成。其可由用于沉积导电层的任一种典型沉积技术形成。层 28 通常具有在约 50 埃到约 500 埃范围内的厚度，尽管该范围可明显变化。

通过继续参考图 1，金属触点 30 被设置在非晶半导体层 22 上。在没有插入电极层 28 的情况下，金属触点 30 被直接施加到层 22 上。当存在层 28 时，金属层 30 将被施加于其上方。金属触点 30 用作导电电极，其将由光电器件产生的电流传送到所需要的位置。金属触点能由各种导电材料形成，如银（Ag）、铝（Al）、铜（Cu）、钼（Mo）、钨（W）、钛（Ti）、钯（Pd）和其各种组合。尽管金属触点 30 在图 1 中示出为材料层，但是其形状和尺寸能够明显变化，如以下进一步描述的。金属触点可通过各种技术形成，例如等离子体沉积、丝网印刷、真空蒸镀（有时使用掩模）、气动分配或直接写入技术如喷墨印刷。

第三非晶半导体层 32 被设置在衬底 10 的后表面 14 的另一部分上。与层 22 的情况相同，半导体 32 构成了一个光电器件的一个电极的另一个部件。层 32 可以是 n 型或 p 型的。然而，在很多这种类型的半导体结构中，层 32 具有与半导体层 22 不同的导电性（n 或 p）。（图 1 中，层 22 被任意描述为 n 型，同时将层 32 描述为 p 型）。

与非晶半导体层 22 的情况相同，层 32 在掺杂剂浓度方面有组分梯度。由此，掺杂剂浓度在与衬底的界面处即图 1 中的区域 34 基本为零。该本征区域防止电荷载流子复合，如之前所描述的。在层 32 的相反侧，即区域 36，根据半导体导电性的目的，掺杂剂浓度为最大值。正如层 22 和 16 的情况那样，层 32 的厚度通常小于或等于约 250 埃。在具体实施例中，该层具有约 30 埃到约 180 埃范围内的厚度。

正如区域 26 的情况那样，区域 36 通常都具有在约 $1 \times 10^{16} \text{ cm}^{-3}$ 到约 $1 \times 10^{21} \text{ cm}^{-3}$ 范围内的掺杂剂浓度。然而，具体浓度不需要与区域 26 的相同，且其部分取决于器件的整体结构。而且，半导体层 32 的整体梯度图形与半导体层 22 的相似或者基本相同。然而，在一些实施例中，梯度曲

线相互不同，其再次取决于如层组分和厚度、掺杂剂类型、半导体需求等因素。而且，应当强调的是，“区域” 24、26、34 和 36 的确切深度根据在此讨论的因素而改变，该因素例如是半导体层厚度和掺杂剂曲线。这对于其它图中描述类似区域也是对的。

图 1 中，半导体层 22 和 32 的各个宽度被描述为相互相等。（图中，用箭头和字母“W”表示宽度尺寸）。然而，不必使得宽度相等。在一些优选实施例中，i-p-梯度非晶层的宽度（在此，可选电极层 38 能够被施加到非晶半导体层 32 的后侧上方）。层 38 以与层 28 相似的方式实施，例如用作下部非晶半导体层和以下描述的金属触点之间的扩散阻挡层。电极层 38 也通常由导电材料形成。其具有与层 28 相同的厚度，但是在一些实施例中，该厚度也可以是不同的。

金属触点 40 被设置在非晶半导体层 32 上，如图 1 中所描述的。与金属触点 30 的情况相同，触点 40 可被直接施加到层 32 上，或者可选层 38 的顶部上。金属触点 40 用作另一导电电极，将由光电器件产生的电流传送到所需要的位置。金属触点由上述的导电材料形成，并且通常由与触点 30 相同的材料制成。而且，触点 40 的尺寸和形状可以显著变化，与其形成的方式相关。换句话说，这些参数和细节对于触点 30 不必相同，因为它们很大一部分依赖于光电器件的整体结构。

还如图 1 中所示，第二非晶半导体层 22 通过隔离沟槽 42 与第三非晶半导体层 32 相间隔。通常，沟槽 42 的主要功能是在电学上和在结构上隔离两个半导体层，和 / 或隔离接触层 30 和接触层 40。沟槽的精确形状也可以变化。在各种半导体层和金属层的制造期间或之后，通过很多常规技术来形成沟槽。作为实例，沟槽可通过钻孔工艺如激光钻孔或通过机械划片技术来形成。在一些情况下，沟槽被填充或部分填充有电绝缘材料，例如聚合物树脂（在此未示出）。在用于形成器件的各种制造步骤如蚀刻、研磨或划片步骤期间，绝缘材料用于保护衬底 10 的下侧。

接触层 30 和 40 构成了电子系统的一部分，用于互连各种半导体元件。任一种常规电设计可用于这种系统。如在此强调的，优选实施例需要所有电触点都结合到确保器件的前表面即顶表面 20 基本没有阻挡入射光的任何部件的位置中。通常，之后，各种电互连一般都位于衬底的后表面 14 的附近，形成“全部 - 背面 - 接触”结构。

作为图示，触点是交叉型的。例如（和当从器件的平面透视图看时），

触点被设置成梳状，如 U.S. 公开号 2005/0062041 A1 中所描述的，在此通过参考将其并入本文。交叉型设置也在各种其他参考文献中描述，例如 U.S. 专利号 5,053,383 (Sinton)；4,200,472 (Chappell 等人)；和公开号 2004/0200520 A1 (Mulligan 等人)，在此通过参考将其并入本文。本领域技术人员对于特定器件能容易确定最适当的金属化和电设计，而不需要过度努力。

半导体层 22 和 32 的组分梯度能通过各种技术来进行。沉积每一层通常都在单独的步骤中进行。通常，梯度变化通过在等离子体沉积期间调整掺杂剂水平来实现。在典型实施例中，硅前体气体如硅烷 (SiH_4) 被引入到设置了衬底的真空室中。稀释气体如氢也可以与硅前体气体一起被引入。前体气体的流速可以显著变化，但是通常在约 10sccm 到约 300sccm 的范围内。在沉积的最初阶段期间，没有掺杂剂前体。因此，区域 24 和 34 基本上是本征的（“未掺杂的”），如上所述，由此用于钝化衬底 10 的表面。

由于对于每一层 22 和 32 继续沉积工艺，因此掺杂剂前体被增加到等离子体混合物。前体的选择当然取决于所选择的掺杂剂，例如 n 型掺杂剂如磷 (P)、砷 (As) 和锑 (Sb)；或者 p 型掺杂剂如硼 (B)。提供掺杂剂化合物的几个非限制性实例：对于 p 型掺杂剂是乙硼烷气体 (B_2H_6)，或者对于 n 型掺杂剂是磷化氢 (PH_3)。掺杂剂气体可以是纯的，或者其被载气如氩、氢或氦稀释。形成每一层 22 和 32 的期间，仔细控制掺杂剂气体的添加，以提供所需要的掺杂曲线。本领域技术人员熟知气体测量装置例如质量流量控制器，其能用于执行该任务。掺杂剂气体的供给速度被选择为基本上匹配上述的梯度设计。由此，在非常一般的术语中，掺杂剂气体的供给速度在沉积工艺中逐步增加。然而，供给速度的很多具体变化都能被编程到沉积方案中。在处理的这个步骤结束时的最大流速导致形成基本导电的区域 26 和 36，如前所述。每个区域 26 和 36 都与衬底形成了异质结。

在图 1 的实施例中，本征非晶硅层被形成于衬底的前表面上。然而，在其他实施例中，代替本征层形成有组分梯度的非晶半导体层。该替换实施例的一个图示在图 2 中描述。（该图中，与图 1 中那些相似或相同的很多元件没有被标记，或者被提供有相同的元件标号）。由此，如图 2 中所示，第一非晶半导体层 50 被设置在衬底 10 的前表面 12 上。该第一

非晶半导体层沿其深度有组分梯度。由此，该层在与衬底的界面处（即区域 52）基本为本征，和在相对侧（区域 54）基本为导电。

对于图 1 的梯度层，层 50 根据前述相同技术有组分梯度。而且，该层 50 的梯度曲线与其他梯度层的梯度曲线相似，尽管其也可以具有不同曲线。通常，层的导电区（即区域 54）具有前述的一般范围内的掺杂剂原子浓度，即约 $1 \times 10^{16} \text{cm}^{-3}$ 到约 $1 \times 10^{21} \text{cm}^{-3}$ 。用于梯度层 50 的掺杂剂类型部分取决于衬底的导电类型。通常，该层与衬底形成了异质结。

正如其它掺杂区域的情况那样，层 50 的具体掺杂剂浓度曲线取决于各种因素，例如，掺杂剂类型和半导体器件的电需求；以及其微结构和厚度。存在组分梯度的层 50 能够非常有利地作为防止电荷载流子复合的附加位置。以这种方式，电荷载流子向着器件的集电极的预期路径增强了，由此导致更大的光电转换。层 50 能被称作前表面场（FSF）。

正如图 1 的实施例中那样，透明膜或层 56 被设置在图 2 中非晶半导体层 50 的顶部上，为器件提供了抗反射特性。而且，器件还包括第二和第三非晶半导体层 22、32，其形成在衬底的后表面 14 上。在优选实施例中，这些层中的每一层都有组分梯度，如前所述。

通过继续参考图 2，金属接触层 30 和 40 被分别形成于层 22 和 32 上方。在该特定图示中，在金属接触层和下部非晶层 22 和 32 之间（即与图 1 的层 28 和 38 相类似）没有电极层。然而，应当理解，电极层也可以用在该实施例中，例如，实施为扩散阻挡层。

在本发明的优选实施例中，对半导体器件的至少一个平面型表面形成纹理（texture）。对器件的各种表面形成纹理都能降低不希望的光反射。而且，形成纹理能通过延长一个半导体层中的光学路径长度（“光学光陷阱”）更加有效地利用入射光。通常，至少对前侧（即，最接近入射光的表面）形成纹理。

形成纹理能通过各种技术进行。一个启发性的信息源是这样一篇文献，David King 等人的“Experimental Optimization of an Anisotropic Etching Process for Random Texturization of Silicon Solar Cells”，IEEE, Conference Proceedings (1991) 第 303 - 308 页。在此通过参考将该文献并入本文。经常地，使用低浓度（例如，低于约 5% 体积）的碱性化合物如氢氧化钾或氢氧化钠的中碱性溶液，通过蚀刻技术来实施形成纹理。碱溶液也含有其他化合物，例如，氢氧化合

物如异丙醇。也可采用很多其它类型的碱性溶液。

图3是这些优选实施例中一些半导体器件的非限制性图示。(该图中,与图1中的那些相似或相同的很多元件都没有标记,或者其被提供有相同的元件数字)。在一些优选实施例中,对衬底的前表面12形成纹理,如图3中所示。而且,对后表面14形成纹理。

形成纹理类型可以根据上述讨论的大量因素而显著变化。作为一个实例,被形成纹理的部件是微观角锥60的形式,如图3中所示。应当强调的是,图3示出了被形成纹理的所有平坦表面,尽管对于这种情况这不需要或不是优选。本领域技术人员将理解,对于很多表面所形成纹理的轮廓都由下部表面的轮廓有效地产生。例如,如果衬底表面12和14被形成纹理,则设置在这些表面上方的层(和其之后的层)总是适合于衬底表面的共形特征。例如,图3中示出了半导体层16、22、32,透明层18;和金属接触层30、40。(在存在时,光学电极层例如图1中的层28和38也可以被形成纹理)。

与光电器件的半导体层的形成纹理相关的各种其他细节在本领域中是公知的。作为一个实例,U.S.专利号6,670,542(Sakata等人)描述了形成在光电转换器件中使用的单晶层的形成纹理的表面的步骤。Sakata等人的专利在此也通过参考结合。而且,Sakata等人的专利也在此通过参考并入本文。而且,Sakata等人公开了一种有助于确保i型非晶层(与在此所描述的相似)以所需要的层均匀度形成于所形成纹理的表面上工序。

上述讨论涉及到经常用作太阳能电池器件的半导体结构。这些器件中的一个或多个可结合到太阳能模块的形式中。例如,很多太阳能电池能彼此串联或并联地电连接,以形成模块(本领域技术人员熟知电连接等相关细节)。这种模块能够实现比单个太阳能电池器件更大的能量输出。

太阳能模块的非限制性实例在各种参考文献中都有描述,例如U.S.专利6,667,434(Morizane等人),在此通过参考将其并入本文。该模块通过各种技术形成。例如,很多太阳能电池器件可夹入到玻璃层之间,或者玻璃层和透明树脂片之间,例如,树脂片由EVA(乙烯基乙酸乙烯酯)制成。由此,根据本发明的一些实施例,太阳能模块含有至少一个太阳能电池器件,其自身就包括与半导体衬底相邻的有组分梯度的非晶层,

如前面所描述的。使用梯度层能提高器件特性，如光电转换效率等，并由此提高太阳能模块的整个性能。

Morizane 等的参考文献对于一些太阳能模块还描述了各种其他特征。例如，该专利描述了“两侧入射”型太阳能模块，其中光能接触模块的前和后表面。而且，专利描述了太阳能模块，其必须非常防潮（例如户外所使用的那些）。在这些类型模块中，密封树脂能用于密封每个太阳能电池元件的侧面。而且，模块包括防止不希望的钠扩散到附近的玻璃层的各种树脂层。太阳能模块的所有这些类型都结合了包括在此所描述的有组分梯度的单个（或多个）非晶层的器件。

本领域技术人员通常熟知关于太阳能模块的主要部件如各种衬底材料、背材和模块框架的很多其他细节。其他细节和考虑也是公知的，例如进和出模块的引线连接（例如通向电反相器的那些）；以及各种模块封装技术。

实例

以下提供一般实例。应当认为其仅为示意性的，且不应将其构成为任一种类型的对所要求本发明的范围的限制。

根据本发明一些实施例的光电器件的制造能如下进行：一种导电类型的单晶或多晶半导体衬底（或硅晶片）首先通过常规技术被蚀刻。例如，含有所选比例的超纯去离子水、氢氧化钾（KOH，浓度为45%）和异丙醇的形成纹理溶液首先在石英容器中制备。形成纹理溶液的温度通常都被保持在65℃-80℃。然后将衬底浸入到搅动溶液达到所确定的时间段，以适合于实现所需要的蚀刻程度（通常为约5-60分钟）。在形成纹理步骤之后，移走衬底并且用去离子水清洗。

在一些情况下，在形成纹理之前对衬底进行各种预处理步骤。例如，衬底（例如，晶片）能被浸入到缓冲氧化物蚀刻（BOE）溶液中达60秒，之后进行表面损伤去除蚀刻。后一步骤能在85℃下在KOH:H₂O溶液为1:1的溶液中进行达30分钟，并且能导致约30微米的所需要的衬底减薄。晶片能被储存在异丙醇中达约至少10分钟，以防止表面氧化。

通过参考图3的示意性实施例，在器件的前侧上形成部件的制备中，然后衬底10被设置在等离子体反应室（例如：等离子体增强化学气相沉积系统）中。真空泵用于从室中去除空气，且之后将衬底预加热到约120至约240℃。在衬底的前表面上进行可选的氢等离子体表面制备步骤。以

约 50 至约 500sccm (标准立方厘米每分钟) 的流速将氢气 (H_2) 引入到室中。节流阀用于保持约 200mTorr 至约 800mTorr 范围内的常数处理压力。功率密度在约 6 mW/cm^2 至约 50 mW/cm^2 范围内的可替换的频率输入功率用于引起和保持等离子体。所施加的输入功率从约 100 kHz 至约 2.45GHz。氢等离子体表面制备时间从约 1 到约 60 秒。

在氢等离子体制备步骤的结束时 (如果采用这种步骤的话), 以约 10sccm 至约 300sccm 的流速, 将硅烷 (SiH_4) 引入到处理室中。这将开始沉积本征非晶硅层 16。(该实施例中, 没有包括在等离子体中的掺杂剂前体, 使得非晶层的组分是本征的 (未掺杂的), 由此用于钝化半导体衬底的表面)。沉积继续进行直到本征层实现所需要的平均厚度。如上所述, 层通常与下部衬底的表面轮廓共形, 并由此还具有所形成纹理的表面。

在形成本征层 16 之后, 透明抗反射层或涂层 18 能在适当的处理室中形成。如上所述, 多种技术可用于形成这种层, 如溅射、CVD、蒸发等。沉积继续进行直到层 18 具有所需要的厚度。正如层 16 的情况那样, 层 18 通常近似地与下部表面共形, 由此产生所形成纹理的最上部表面 20。

在形成所有后侧部件的制备中, 之后能将衬底 10 重新放置在真空中。存在关于形成每一个后侧非晶层、以及覆盖的金属触点和介入的可选电极层的很多细节。不需要详细说明这些层的形成中包括的很多步骤, 这是由于其在半导体工业是非常常规的。如本领域技术人员所理解的, 在后侧上形成各种层包括连续的沉积和光刻步骤, 例如, 掩模、固化 (曝光)、光致抗蚀剂剥离、蚀刻等。

关于梯度层 22 和 32 的形成进行简要评述。(这些形成中的步骤基本上相同, 尽管不同掺杂剂原子都用于提供不同的导电类型)。如对于器件的前侧所描述的, 氢等离子体制备步骤首先对后侧实施, 其中, 以约 10sccm 至约 300sccm 的流速将硅烷引入到处理室中。这将导致本征非晶区 24 和 34 的形成 (取决于首先形成哪一层)。在每一种情况下, 不存在的掺杂剂前体起钝化衬底的后表面 14 的作用。

随着对层 22 和 32 中的每一层的沉积工艺的继续, 随后将所需要的掺杂剂前体添加到等离子体混合物中。掺杂剂前体的实例是: B_2H_6 、 $B(CH_3)_3$ 和 PH_3 。其可以是纯的形式或者用载气如氩、氢或氦来稀释。前体的流速在组分梯度层沉积过程中增加。这通过单层在掺杂浓度中形成梯度。在

梯度层沉积工艺完成时，等离子体中的掺杂剂前体的浓度基本实现了掺杂的非晶半导体特性，即在区域 26 和 36 中。

根据前述技术中的一种或多种如溅射，之后将电极层 28 和 38（如果存在的话）形成在各自的、梯度层上方。触点 30 和 40 还能以常规方式形成，例如通过丝网印刷。隔离沟槽 42 还能以公知方式形成，例如通过激光钻孔或机械切片。本领域技术人员也熟知用于器件的其他常规制造步骤。而且，上面列举出的专利和其他参考文献提供了含有多个这种类型器件的模块制造的更多细节。

尽管已经详细描述并示出了本发明，但是应当清楚地理解，该描述公开了本发明不同实施例的实例，但不限于所提供的实例或说明。因此，本领域技术人员可作出各种修改、改进和替换而不超出本所要求本发明观念的精神和范围。在此，上述的所有这些专利、专利申请、文献和文章都通过参考并入本文。

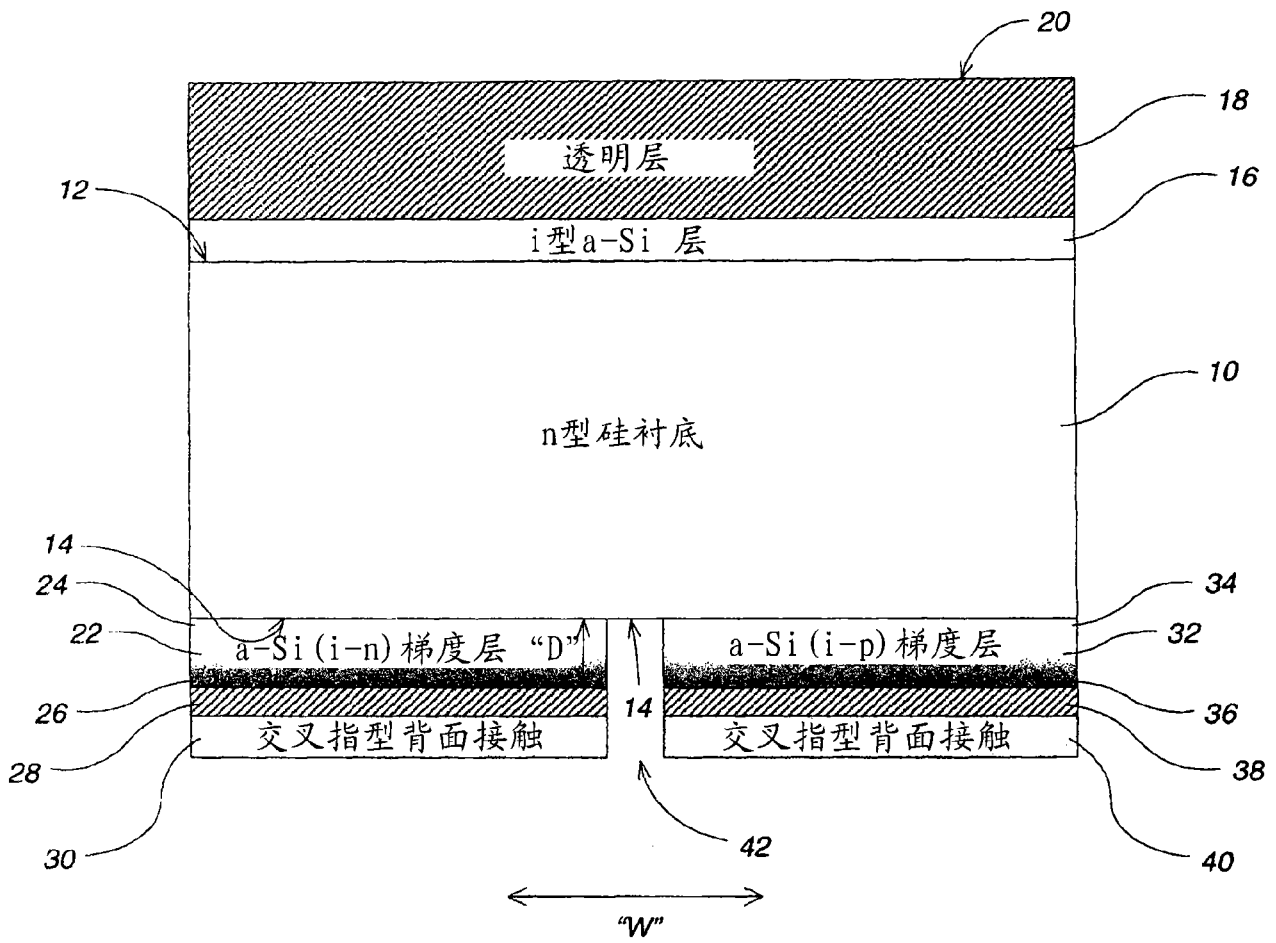


图 1

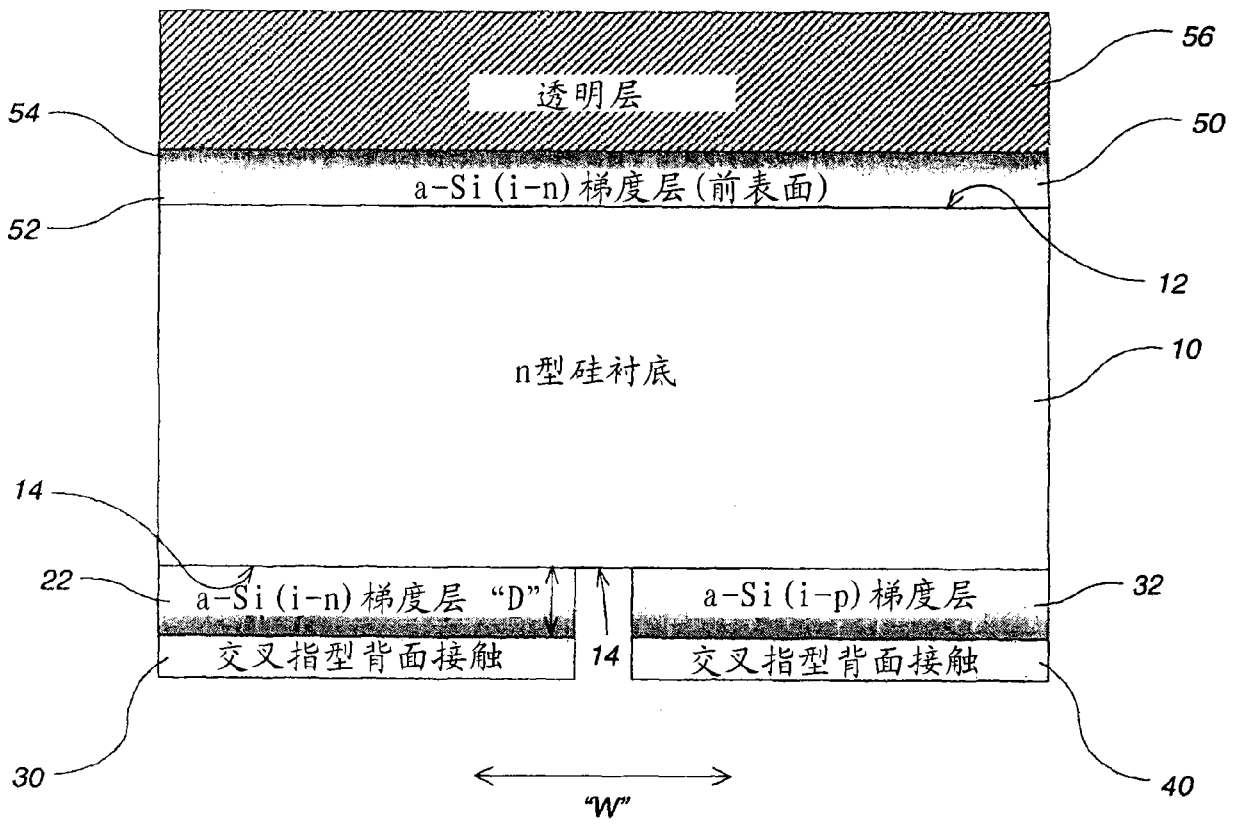


图 2

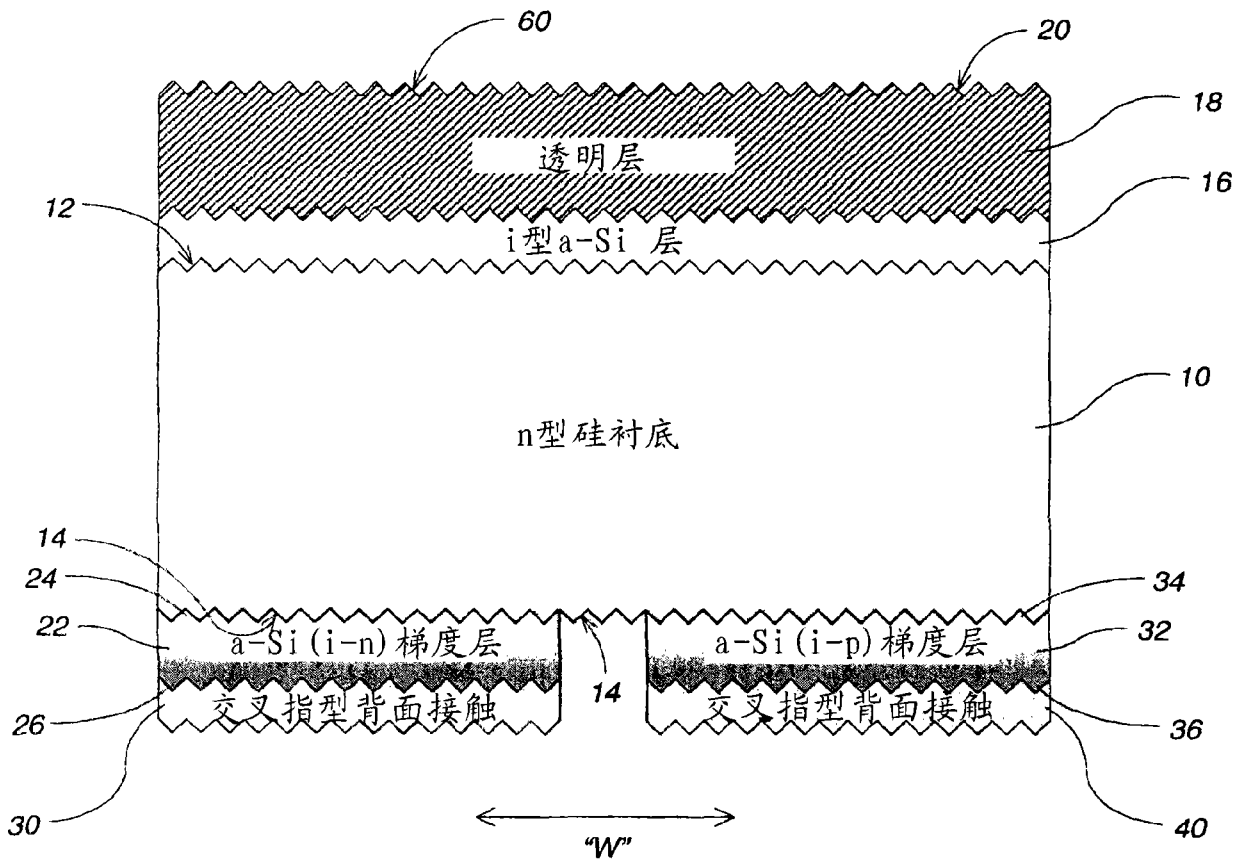


图 3