



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0042468
(43) 공개일자 2010년04월26일

(51) Int. Cl.

H01L 21/027 (2006.01)

(21) 출원번호 10-2008-0101624

(22) 출원일자 2008년10월16일

심사청구일자 없음

(71) 출원인

주식회사 하이닉스반도체

경기 이천시 부발읍 아미리 산136-1

(72) 발명자

반근도

경기 용인시 처인구 마평동 두보아파트 102-1602

이성구

서울 성동구 금호동3가 한신휴플러스아파트
102-706

(74) 대리인

특허법인태평양

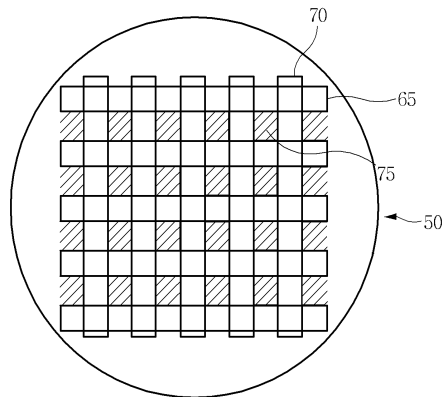
전체 청구항 수 : 총 6 항

(54) 반도체 소자의 형성 방법

(57) 요약

본 발명의 반도체 소자의 형성 방법은 피식각층이 형성된 반도체 기판 상부에 감광막을 도포하고, 제 1 방향을 갖는 라인 앤 스페이스 패턴 형태의 제 1 노광마스크를 이용하여 상기 감광막을 1차 노광하고, 상기 제 1 방향과 교차하는 제 2 방향의 라인 앤 스페이스 패턴이 형성된 제 2 마스크를 이용하여 상기 감광막을 2차 노광한 후, 상기 감광막의 비 노광된 부분을 제거하여 감광막 패턴을 형성함으로써 고밀도 콘택홀 별 사이즈가 균일하게 형성되도록 하는 효과를 제공한다.

대표도 - 도2c



특허청구의 범위

청구항 1

피식각층이 형성된 반도체 기판 상부에 감광막을 도포하는 단계;

제 1 방향을 갖는 라인 앤 스페이스 패턴 형태의 제 1 노광마스크를 이용하여 상기 감광막을 1차 노광하는 단계;

상기 제 1 방향과 교차하는 제 2 방향의 라인 앤 스페이스 패턴이 형성된 제 2 마스크를 이용하여 상기 감광막을 2차 노광하는 단계; 및

상기 감광막의 비 노광된 부분을 제거하여 감광막 패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 형성 방법.

청구항 2

제 1항에 있어서,

상기 제 1 방향은 상기 제 2 방향과 직교하는 것을 특징으로 하는 반도체 소자의 형성 방법.

청구항 3

제 1항에 있어서,

상기 감광막 패턴은 이머전 리소그래피 공정으로 형성된 것을 특징으로 하는 반도체 소자의 형성 방법.

청구항 4

제 1항에 있어서,

상기 감광막은 포지티브 타입(positive type)인 것을 특징으로 하는 반도체 소자의 형성 방법.

청구항 5

제 1항에 있어서,

상기 감광막 패턴은 네거티브 현상액(negative developer)을 이용하여 형성되는 것을 특징으로 하는 반도체 소자의 형성 방법.

청구항 6

제 1항에 있어서,

상기 라인 앤 스페이스 패턴의 피치는 1:1~10인 것을 특징으로 하는 반도체 소자의 형성 방법.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 반도체 소자의 형성 방법에 관한 것으로, 보다 자세하게는 미세한콘택홀 형성 방법에 관한 것이다.

배경기술

[0002] 반도체 소자의 집적화로 인하여 패턴의 크기가 점차 미세해지고 한정된 영역에 형성되어야 하는 패턴의 수가 증가함에 따라 이웃하는 패턴 사이의 간격이 줄어들어가고 있다.

[0003] 일반적으로 이와 같은 반도체 소자는 노광 공정을 통하여 구현되는데, 이를 간략하게 살펴보면, 패터닝하고자 하는 피식각층 상부에 감광막을 도포하여 노광 공정을 통하여 감광막 상부를 노광하고, 후속되는 현상 공정에서 감광막의 성질을 이용하여 감광막 패턴을 형성하고, 감광막 패턴을 식각마스크로 하여 피식각층을 식각하여 피

피식각층 패턴을 형성함으로써 패턴닝하고자 하는 피식각층 패턴을 구현한다.

[0004] 이와 같은 노광 공정에 있어서, 해상도(Resolution)와 초점심도(DOF; Depth Of Focus)는 중요한 두 가지 이슈(issue)로 알려져 있다.

[0005] 이중 해상도(R)는 아래의 수학적 식 1과 같이 나타낼 수 있다. 아래 수학적 식 1에서 k1은 포토레지스트막의 종류, 두께 등에 의해 결정되는 상수이고, λ는 사용하는 광원의 파장이며, 그리고 NA(Numerical Aperture)는 노광장비의 개구수(Numerical Aperture)를 의미한다.

수학적 식 1

[0006] $R = K1 \cdot \lambda / NA$

[0007] 수학적 식 1에서 알 수 있듯이, 사용하는 광원의 파장(λ)이 짧을수록, 그리고 노광장비의 개구수(NA)가 클수록 반도체 기판 상에 보다 작은 패턴들을 구현할 수 있다.

[0008] 따라서, 일반적으로 KrF(248nm), ArF(193nm), F2(157nm)이 적용되던 노광 공정에서 이머전 리소그래피(immersion lithography) 공정이나 EUV와 같은 파장이 짧은 극자외선을 이용한 노광 공정을 이용한 패턴 구현 방법이 개발되고 있다.

[0009] 이 중 이머전 리소그래피는 종래의 장비에서 노광 렌즈와 레지스트막이 형성되는 반도체 기판 중간의 노광 빔의 매체로서 굴절률 1.0의 값을 갖는 공기를 사용하는 것이 아니라, 중간 매체로서 1.0 이상의 굴절률을 갖는 물(H2O) 또는 유기 용매 등의 유체들을 사용함으로써, 같은 노광 파장의 광원을 사용해도 보다 단파장의 광원을 사용하거나 높은 개구수의 렌즈를 이용한 것과 같은 효과를 얻고 초점 심도의 저하도 없도록 하는 노광 방법이다.

[0010] 이머전 노광 장비를 이용한 1:1 피치(pitch)의 라인 앤 스페이스 패턴의 경우 해상력의 한계는 하프 피치(half pitch)를 기준으로 40nm를 구현할 수 있는 정도이다.

[0011] 그러나, 1:1 피치의 고밀도 콘택홀 패턴을 형성하는 경우에는 패턴닝하기가 어려워 하프 피치를 기준으로 할 때 50nm를 구현하기 위한 해상력 확보가 어렵다.

[0012] 이와 같이, 반도체 소자의 고집적화로 인하여 사용하는 광원의 파장(λ)과 노광장비의 개구수(NA)는 한계를 나타내고 있어, 도 1에 도시된 바와 같이 반도체 기판 상으로 패턴닝은 가능하나 각 콘택홀 별로 사이즈가 균일하게 형성되지 못하는 문제점이 있다.

발명의 내용

해결 하고자하는 과제

[0013] 본 발명에서는 고집적화로 인하여 고밀도 콘택홀 패턴을 구현하는 경우 해상력의 한계로 인해 콘택홀 별 사이즈가 균일하게 형성되지 않는 문제점을 해결하고자 한다.

과제 해결수단

[0014] 본 발명의 반도체 소자의 형성 방법은 피식각층이 형성된 반도체 기판 상부에 감광막을 도포하는 단계와 제 1 방향을 갖는 라인 앤 스페이스 패턴 형태의 제 1 노광마스크를 이용하여 상기 감광막을 1차 노광하는 단계와 상기 제 1 방향과 교차하는 제 2 방향의 라인 앤 스페이스 패턴이 형성된 제 2 마스크를 이용하여 상기 감광막을 2차 노광하는 단계 및 상기 감광막의 비노광된 부분을 제거하여 감광막 패턴을 형성하는 단계를 포함하는 것을 특징으로 한다.

[0015] 이때, 상기 제 1 방향은 상기 제 2 방향과 직교하는 것을 특징으로 한다.

[0016] 그리고, 상기 제 1방향과 상기 제 2 방향은 y축을 중심으로 하여 대칭으로 위치하는 것을 특징으로 한다.

[0017] 또한, 상기 감광막 패턴은 이머전 리소그래피 공정으로 형성된 것을 특징으로 한다.

[0018] 그리고, 상기 감광막은 포지티브 타입(positive type)인 것을 특징으로 한다.

[0019] 그리고, 상기 감광막 패턴은 네거티브 현상액(negative developer)을 이용하여 형성되는 것을 특징으로 하는 반도체 소자의 형성 방법.

[0020] 그리고, 상기 라인 앤 스페이스 패턴의 피치는 1:1~10인 것을 특징으로 한다.

효 과

[0021] 본 발명에서는 1:1 피치를 갖는 고밀도 콘택홀 패턴을 현재 사용하고 있는 ArF 이머전 노광장치로도 구현가능하게 함으로써 짧은 파장의 노광원을 적용하기 위한 장비의 투자 비용을 절감할 수 있으며 고밀도 콘택홀 별 사이즈가 균일하게 형성되도록 하는 장점이 있다.

발명의 실시를 위한 구체적인 내용

[0022] 이하에서는 본 발명의 실시예를 첨부한 도면을 참조하여 상세히 설명하기로 한다.

[0023] 본 발명은 포지티브 감광막에 노광 공정을 수행하고, 네거티브 현상액을 이용한 현상 공정을 수행하여 이머전 노광장치의 사용으로도 고밀도의 콘택홀을 형성할 수 있는 방법을 제시한다.

[0024] 이에 본 발명에서는 얼라인드 콘택홀(aligned contact hole), 스테거드 콘택홀(staggered contact hole)을 실시예로 설명하는 것이며, 반드시 이에 한정되는 것이 아니라 당업자라면 본 발명의 기술적 사상 및 범위를 바탕으로 용이하게 변경가능하다.

[0025] 본 발명에 따른 반도체 소자를 구현하기 위해서는 2장의 노광마스크가 요구되는데, 이때 두 마스크는 1:1~10의 피치를 가지는 라인 앤 스페이스의 패턴을 가지며 최종으로 구현하고자 하는 콘택홀 패턴의 모양에 따라 다음과 같이 나누어지고, 이를 이용한 반도체 소자의 형성 방법은 다음과 같이 나타내어질 수 있다.

[0026] 먼저, 얼라인드 콘택홀을 구현하기 위한 반도체 소자의 형성 방법을 살펴보면 다음과 같다.

[0027] 도 2a는 본 발명에 따른 얼라인드 콘택홀을 구현하기 위해 사용되는 노광마스크의 레이아웃을 나타낸 것이고, 도 2b 내지 도 2d는 도 2a의 노광마스크를 이용한 반도체 소자의 형성 방법을 나타낸 것이다.

[0028] 편의상 도 2a 내지 도 2d는 마스크 및 반도체 기판의 일부를 나타낸 것으로 전체 부분에 대한 도면이 아님을 명시한다.

[0029] 도 2a에 도시된 바와 같이 1,2 마스크는 마스크 기판 상부에 라인 형태의 투명 패턴(10,30) 및 투명 패턴(10,30)을 제외한 나머지 영역에 차광 패턴(20,40)이 구비된 것이 바람직하다.

[0030] 이때, 제 1 마스크의 라인 형태의 투명 패턴(10)과 제 2 마스크의 라인 패턴의 투명 패턴(30)은 서로 수직한 것이 바람직하다.

[0031] 그 다음, 도 2b에 도시된 바와 같이 피식각층(미도시)이 형성된 반도체 기판(50) 상부에 감광막(60)을 도포한 후 제 1 마스크를 이용하여 1차 노광을 수행한다.

[0032] 이때, 감광막(60)은 포지티브 타입(positive type)인 것이 바람직하며, 1차 노광을 통하여 제 1 마스크의 투명 패턴(10)을 투과한 광원이 감광막(60)에 도달되어 1차 노광영역(65)을 형성하고, 이 부분의 감광막은 산성화된다.

[0033] 그 다음, 도 2c에 도시된 바와 같이 제 1 마스크에 의해 1차 노광이 완료된 감광막(60) 상부에 제 2 마스크를 이용하여 2차 노광을 수행한다.

[0034] 2차 노광을 통하여 제 2 마스크의 투명 패턴(30)을 투과한 광원이 감광막(60)에 도달하게 하게 되어 2차 노광영역(70)이 형성되며, 이 부분의 감광막 역시 산성화된다.

[0035] 이때, 1차 노광 및 2차 노광으로부터 노광되지 않은 비 노광영역(75)이 발생하게 되는데, 본 발명에서는 후속공정으로 수행되는 현상공정을 네거티브 현상액을 이용하여 수행하기 때문에 비 노광영역(75)이 제거된다.

[0036] 따라서, 도 2d에 도시된 바와 같이 1차 노광 공정 및 2차 노광 공정이 완료된 감광막(60)에 현상 공정을 수행하면 비 노광영역(75)의 감광막이 제거된 감광막 패턴(80)을 형성할 수 있다.

[0037] 이후, 감광막 패턴(80)을 식각마스크로 하여 피식각층(55)을 식각하면 고밀도의 얼라인드 콘택홀을 형성할 수 있다.

[0038] 다음으로, 스테거드 콘택홀을 구현하기 위한 노광마스크를 이용하여 반도체 소자를 형성하는 방법을 살펴보면 다음과 같다.

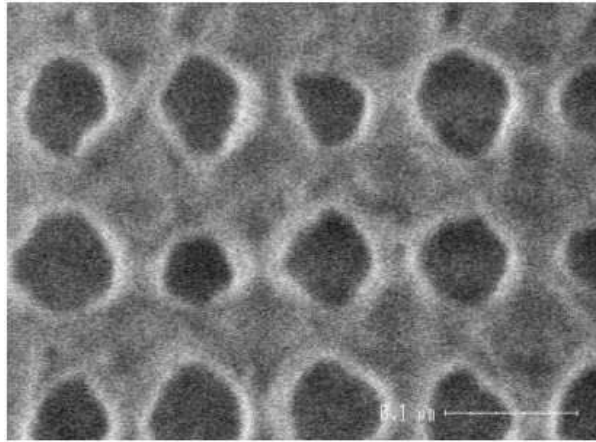
- [0039] 도 3a는 스테거드 콘택홀(staggered contact hole)을 구현하기 위한 노광마스크의 레이아웃을 나타낸 것이고, 도 3b 내지 도 3d는 도 3a의 마스크를 이용한 반도체 소자의 형성 방법을 나타낸 것이다.
- [0040] 편의상 도 3a 내지 도 3d는 마스크 및 반도체 기관의 일부를 나타낸 것으로 전체 부분에 대한 도면이 아님을 명시한다.
- [0041] 도 3a에 도시된 바와 같이 제 1,2 마스크는 투명한 기관 상부에 라인 형태의 투명 패턴(110,130) 및 투명패턴(110,130)을 제외한 나머지 영역에 차광 패턴(120,140)이 구비된 것이 바람직하다.
- [0042] 이때, 투명 패턴(110,130)은 사선방향으로 구비된 것이 바람직하고, 제 2 마스크의 투명 패턴(130)은 제 1 마스크의 투명패턴(130)과 교차되도록 구비된 것이 바람직하다.
- [0043] 그 다음, 피식각층(미도시)이 형성된 반도체 기관(150) 상부에 감광막(160)을 도포한 후 제 1 마스크를 이용하여 1차 노광을 수행한다.
- [0044] 이때, 도 3b에 도시된 바와 같이 1차 노광을 통하여 제 1 마스크의 투명 패턴(110)을 투과한 광원이 감광막(160)에 도달되어 1차 노광영역(165)을 형성하며, 이 부분의 감광막은 산성화된다.
- [0045] 그 다음, 제 1 마스크에 의해 1차 노광이 완료된 감광막(160) 상부에 제 2 마스크를 이용하여 2차 노광을 수행한다.
- [0046] 도 3c에 도시된 바와 같이 2차 노광을 통하여 제 2 마스크의 투명 패턴(130)을 투과한 광원이 감광막(160)에 도달하게 되어 2차 노광영역(170)으로 나타나게 되며 이 부분의 감광막 역시 산성화된다.
- [0047] 이때, 1차 노광 및 2차 노광으로부터 노광되지 않은 비 노광영역(175)이 발생하게 되는데, 본 발명에서는 후속 공정으로 수행되는 현상공정을 네거티브 현상액을 이용하여 수행하기 때문에 비 노광영역(175)이 제거되게 된다.
- [0048] 따라서, 도 3d에 도시된 바와 같이 1차 노광 공정 및 2차 노광 공정이 완료된 감광막(160)에 현상 공정을 수행하면 비 노광영역(175)의 감광막이 제거된 감광막 패턴(180)을 형성할 수 있다.
- [0049] 이후, 감광막 패턴(180)을 식각마스크로 하여 피식각층(155)을 식각하면 고밀도의 스테거드 콘택홀을 형성할 수 있다.
- [0050] 이와 같은 방법을 통하여 고밀도 콘택홀을 구현하는 경우 콘택홀 사이즈가 균일하게 형성되지 못하는 것을 방지할 수 있다.

도면의 간단한 설명

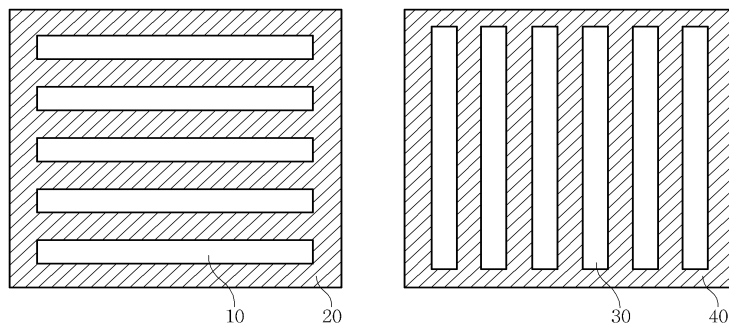
- [0051] 도 1은 종래 기술에 따라 형성된 반도체 소자를 나타낸 전자주사현미경 이미지.
- [0052] 도 2a는 본 발명에 따른 얼라인드 콘택홀을 구현하기 위해 사용되는 노광마스크의 레이아웃.
- [0053] 도 2b 내지 도 2d는 본 발명에 따른 반도체 소자의 형성 방법을 나타낸 도면.
- [0054] 도 3a는 본 발명에 따른 스테거드 콘택홀을 구현하기 위해 사용되는 노광마스크의 레이아웃.
- [0055] 도 3b 내지 도 3d는 본 발명에 따른 반도체 소자의 형성 방법을 나타낸 도면.

도면

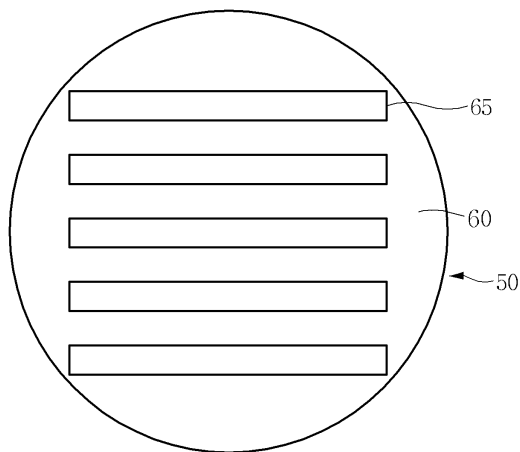
도면1



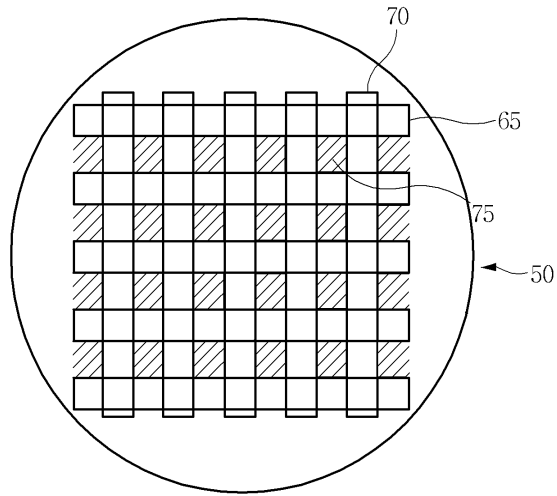
도면2a



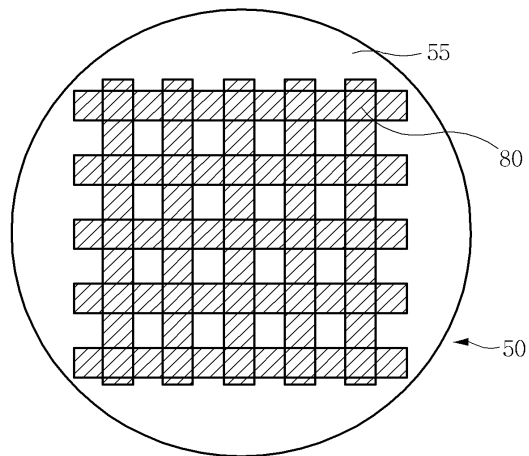
도면2b



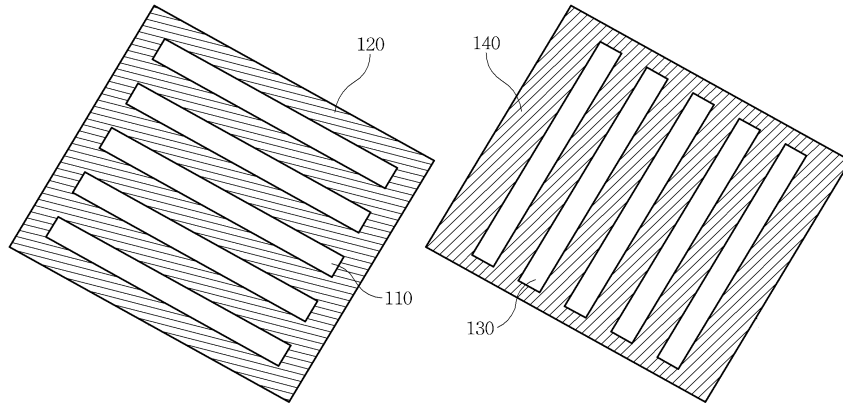
도면2c



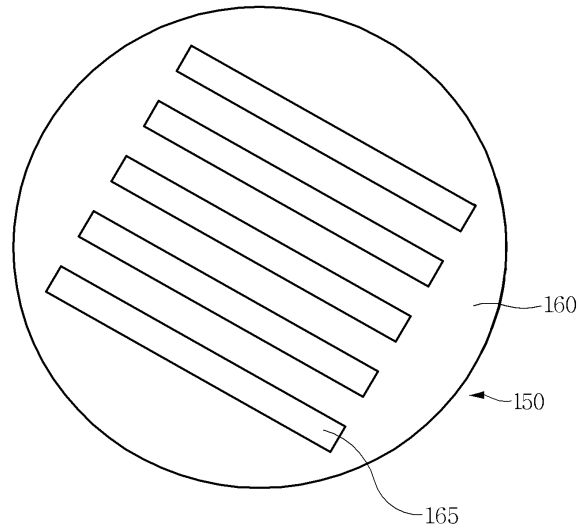
도면2d



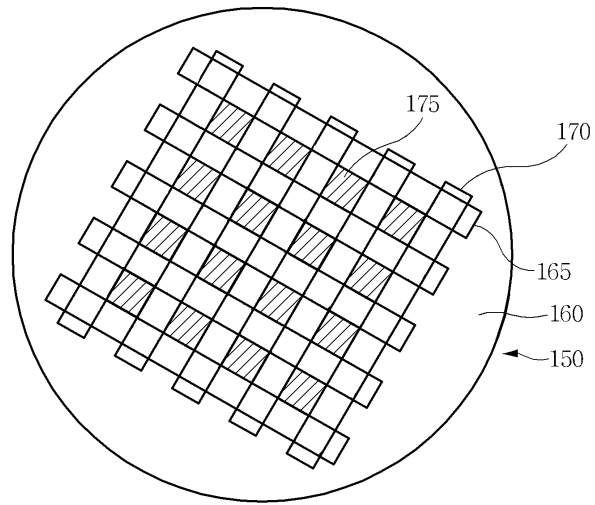
도면3a



도면3b



도면3c



도면3d

