

(19) 世界知的所有権機関  
国際事務局



(10) 国際公開番号

WO 2013/080501 A1

(43) 国際公開日

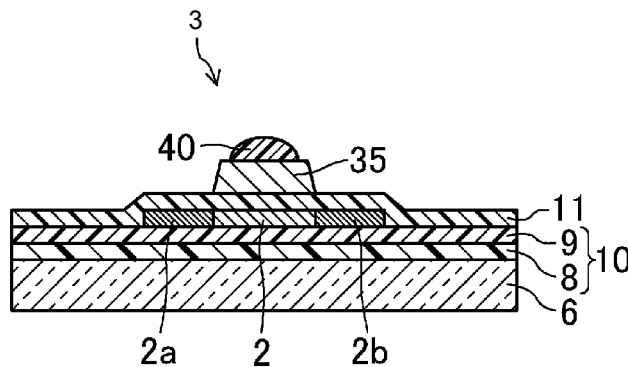
2013年6月6日(06.06.2013)

W O P C T

- (51) 国際特許分類 : H01L 21/336 (2006.01) H01L 29/786 (2006.01)
  - (21) 国際出願番号 : PCT/JP20 12/007505
  - (22) 国際出願日 : 2012年11月21日(21.11.2012)
  - (25) 国際出願の言語 : 日本語
  - (26) 国際公開の言語 : 日本語
  - (30) 優先権データ : 特願 2011-262387 2011年11月30日(30.11.2011) JP
  - (71) 出願人 (米国を除く全ての指定国について) : シャープ株式会社 (SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町2番2号 Osaka (JP).
  - (72) 発明者 ;および (71) 出願人 (米国についてのみ) :伊藤 良行 (ITO, Yoshiyuki).
  - (74) 代理人 :特許業務法人前田特許事務所 (MAEDA & PARTNERS); 〒5410053 大阪府大阪市中央区本町2丁目5番7号 大阪丸紅ビル5階 Osaka (JP).
  - (81) 指定国 (表示のない限り、全ての種類の国内保護が可能) : AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
  - (84) 指定国 (表示のない限り、全ての種類の広域保護が可能) :ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類 :  
- 国際調査報告 (条約第21条(3))

(54) Title: METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(54) 発明の名称 :半導体装置の製造方法



(57) Abstract: A method for manufacturing a semiconductor device comprises: a step of patterning a conductive layer (35), using the photoresist (40) as a mask; a step of forming a source region (2a) and a drain region (2b) on a semiconductor film (2) by injection of n-type impurity, using the photoresist (40) as a mask; a resist reduction step of reducing a photoresist (40) isotropically by performing plasma etching; a step of forming a gate electrode (7) by performing wet etching of the conductive layer (35), using the photoresist (40) as a mask; and a step of forming an LDD region (2d) on a semiconductor film (2) by injection of n-type impurity, using the gate electrode (7) as a mask.

(57) 要約 : フォトレジスト (40) をマスクとして、導電層 (35) をパターンニングする工程と、フォトレジスト (40) をマスクとして、n型不純物を注入して、半導体膜 (2) にソース領域 (2a) とドレイン領域 (2b) を形成する工程と、プラズマエッチングを行い、フォトレジスト (40) を等方的に縮小するレジスト縮小工程と、フォトレジスト (40) をマスクとして、導電層 (35) に対してウエットエッチングを行い、ゲート電極 (7) を形成する工程と、ゲート電極 (7) をマスクとして、n型不純物を注入して、半導体膜 (2) にLDD領域 (2d) を形成する工程とを備える。



W 2013 080501 A1

## 明 細 書

発明の名称 : 半導体装置の製造方法

技術分野

[0001] 本発明は、半導体装置の製造方法に関する。

背景技術

[0002] 近年、液晶表示装置は、例えば、パーソナルコンピュータ用の表示装置やテレビとして一般的に使用されている。さらに、液晶表示装置は、PDA (Personal Digital Assistant) 等の表示装置としても広く使用されている。また、液晶表示装置よりも省電力化が可能な有機EL表示装置についても研究開発が行われており、一部の製品では既に実用化されている。

[0003] これら液晶表示装置及び有機EL表示装置は、その駆動方法の違いにより、パッシブマトリクス方式とアクティブマトリクス方式とに大別される。特に、アクティブマトリクス方式は、パッシブマトリクス方式に比べて、高速応答及び低電圧駆動が可能であることから、研究開発が盛んに行われている。

[0004] アクティブマトリクス方式の表示装置には、通常、複数の画素がマトリクス状に形成されており、各画素には、スイッチング素子である薄膜トランジスタ (Thin Film Transistor 以下、TFTともいう。) が設けられている。

[0005] TFTは、絶縁性を有する基板上に形成された半導体膜と、半導体膜上に形成されたゲート絶縁膜と、ゲート絶縁膜上に形成されたゲート電極とを備えている。なお、ボトムゲート型のTFTの場合には、ゲート電極と半導体膜との位置が逆に形成されている。

[0006] この半導体膜をアモルファスシリコンにより形成する場合には、アモルファスシリコンのキャリアの移動度が比較的小さいため、表示パネルの外側に表示装置駆動用のIC (Integrated Circuit) を接続し、この駆動用ICによって表示装置を駆動する必要がある。

- [0007] これに対して、半導体膜をポリシリコンにより形成する場合には、ポリシリコンのキャリアの移動度が比較的大きいので、TFTで構成した駆動回路を表示パネルに一体的に作り込むことが可能になる。
- [0008] ポリシリコンにより形成された半導体膜には、ゲート電極をマスクとしてp型不純物、又はn型不純物が注入された一対の高濃度不純物領域であるソース領域及びドレイン領域が形成されている。
- [0009] また、一般に、nチャネル型の薄膜トランジスタを形成する場合は、リーク電流（オフ電流）が生じて、消費電力が大きくなる等の不都合を防止するために、半導体膜において、ソース領域とドレイン領域の間であって、チャネル領域に隣接して、n型不純物であるリンが低濃度で含まれるLDD（Lightly Doped Drain）領域が形成される。
- [0010] そして、このようなLDD領域を有する半導体膜を形成する方法として、例えば、絶縁基板上に半導体層を形成する半導体層形成工程と、この半導体層上にゲート絶縁膜を形成するゲート絶縁膜形成工程と、このゲート絶縁膜上に導電層を形成する導電層形成工程と、この導電層上に半導体層に形成される低濃度領域に対応した大きさのマスクを形成するマスク形成工程と、このマスクに従い導電層をドライエッチングするエッチング工程と、形成するゲート電極の大きさに対応させてマスクを縮小するマスク縮小工程と、エッチングされた導電層に自己整合させて半導体層に高濃度の不純物イオンを注入する高濃度イオン注入工程と、縮小されたマスクにより導電層をドライエッチングしてゲート電極を形成するゲート電極形成工程と、この形成されたゲート電極に自己整合させて半導体層に低濃度の不純物イオンを注入してLDD領域を形成する低濃度イオン注入工程とを備えた方法が提案されている（例えば、特許文献1参照）。

先行技術文献

特許文献

- [0011] 特許文献1：特開2001-332733号公報

発明の概要

### 発明が解決しようとする課題

- [001 2] ここで、上記従来の製造方法においては、マスクに従い導電層をドライエッチングするエッチング工程において、導電層の膜残りによる不良を抑制するために、エッチングする部分の膜が完全に除去されるまでの処理時間よりも少し長い時間、エッチング処理（即ち、オーバーエッチング処理）を行う。しかし、導電層として比較的安価な材料、例えば、モリブデン、タンダステンを用いた合金やアルミニウムを用いた合金の場合、ドライエッチングの選択比（ゲート絶縁膜のエッチングレート：導電層のエッチングレート）の比率が小さくなるため、エッチング処理の際にゲート絶縁膜がエッチングされてしまう場合がある。
- [001 3] また、ゲート電極形成工程において、導電層をドライエッチングしてゲート電極を形成するため、上述のエッチング工程において、導電層が存在しない部分でゲート絶縁膜がエッチングされてしまい、ゲート絶縁膜が極端に薄くなってしまう。
- [0014] 従って、上記従来の製造方法においては、ゲート絶縁膜の膜厚の制御が困難になるため、ゲート絶縁膜の膜厚に対応させて、不純物をドーピングする際のドーピング条件を変化させなければならなくなり、結果として、活性化不良等が生じるという問題があった。
- [001 5] また、ゲート電極形成工程のエッチングとしてウエットエッチングを使用することも考えられるが、半導体層に高濃度の不純物イオンを注入する高濃度イオン注入工程において、導電層の表面が変質する。従って、この高濃度イオン注入工程後にウエットエッチングを行うと、ウエットエッチングにバラツキ（即ち、ゲート電極の線幅のバラツキ）が生じてしまい、結果として、ウエットエッチングにより所望のゲート電極の形成が困難になるという問題があった。
- [001 6] そこで、本発明は、上述の問題に鑑みてなされたものであり、ゲート絶縁膜の膜厚を制御して、エッチングにより所望のゲート電極とゲート電極に自己整合させてLDD領域を形成することができる半導体装置の製造方法を提

供することを目的とする。

### 課題を解決するための手段

[001 7] 上記の目的を達成するために、本発明の半導体装置の製造方法は、半導体膜を有する $n$ 型薄膜トランジスタを基板上に備える半導体装置を製造する方法であって、基板上に、半導体膜を形成する半導体膜形成工程と、半導体膜上にゲート絶縁膜を形成するゲート絶縁膜形成工程と、ゲート絶縁膜上に導電層を形成する導電層形成工程と、導電層上にレジストを形成するレジスト形成工程と、レジストをマスクとして、導電層に対してエッチングを行い、導電層をパターンニングするエッチング工程と、レジストをマスクとして、半導体膜に $n$ 型不純物を注入して、半導体膜にソース領域とドレイン領域を形成する $n$ 型不純物注入工程と、プラズマエッチングを行うことにより、レジストを等方的に縮小するレジスト縮小工程と、縮小したレジストをマスクとして、導電層に対してウエットエッチングを行うことにより、ゲート電極を形成するゲート電極形成工程と、ゲート電極をマスクとして、半導体膜に $n$ 型不純物を注入して、半導体膜にLDD領域を形成するLDD領域形成工程とを少なくとも備えることを特徴とする。

[001 8] 同構成によれば、レジスト縮小工程において、 $n$ 型不純物注入工程において形成された変質層が、プラズマエッチングにより除去されるため、 $n$ 型不純物注入工程後に導電層に対してウエットエッチングを行うことによりゲート電極を形成する場合であっても、変質層に起因するウエットエッチングのバラツキの発生を抑制することができる。従って、ウエットエッチングにより、所望のゲート電極の形成が可能になる。その結果、ゲート電極をマスクとして、半導体膜に $n$ 型不純物であるリンを注入して、半導体膜にLDD領域を形成する際に、所望のLDD領域を自己整合的に形成することが可能になる。

[001 9] また、上記従来技術とは異なり、ドライエッチングによりゲート電極を形成するのではなく、導電層に対してウエットエッチングを行うことによりゲート電極を形成するため、導電層が存在しない部分でゲート絶縁膜がエッチ

ングされてしまい、ゲート絶縁膜が極端に薄くなってしまうという不都合の発生を防止することができる。従って、ゲート絶縁膜の膜厚を制御することができるため、結果として、不純物のドーピング不良に起因する活性化不良の発生を抑制することができる。

[0020] また、プラズマエッチングを行うことにより、レジストを等方的に縮小するため、同一のレジストをマスクとして使用して、エッチング工程及びゲート電極形成工程において、導電層に対してエッチングを行うことが可能になる。

[0021] 本発明の半導体装置の製造方法においては、エッチング工程におけるエッチングが、ウエットエッチングであつてもよい。

[0022] 同構成によれば、ウエットエッチングによるサイドシフトにより、変質層が形成され易い導電層の側面の部分を、導電層上に形成されたレジストにより覆うことが可能になる。従って、このウエットエッチング工程の後、 $n$ 型不純物注入工程を行った場合であっても、レジストが、導電層の側面を保護する保護層として機能し、導電層の側面に $n$ 型不純物が注入されにくくなるため、 $n$ 型不純物注入工程において変質層の形成を抑制することが可能になる。その結果、 $n$ 型不純物の注入に起因する導電層の変質を抑制することが可能になる。

[0023] また、エッチング工程において、導電層のドライエッチングを行わないため、エッチング工程におけるゲート絶縁膜のエッチングを効果的に抑制することができる。従って、ゲート絶縁膜の膜厚の制御が容易になるため、ゲート絶縁膜の膜厚に対応させて、不純物をドーピングする際のドーピング条件を制御しやすくなる。

[0024] 本発明の半導体装置の製造方法においては、導電層が、モリブデン、タンダステン、及びアルミニウムからなる群より選ばれる少なくとも1種を含む構成としてもよい。

[0025] 本発明の半導体装置の製造方法においては、半導体膜形成工程において、ポリシリコンにより半導体膜を形成する構成としてもよい。

- [0026] 本発明の半導体装置の製造方法においては、p型不純物がボロンであり、n型不純物がリンであってもよい。
- [0027] 本発明の半導体装置の製造方法は、第1半導体膜を有するn型薄膜トランジスタと、第2半導体膜を有するp型薄膜トランジスタとを基板上に備える半導体装置を製造する方法であって、基板上に、第1半導体膜及び第2半導体膜を形成する半導体膜形成工程と、第1半導体膜上及び第2半導体膜上にゲート絶縁膜を形成するゲート絶縁膜形成工程と、ゲート絶縁膜上に導電層を形成する導電層形成工程と、導電層上であって第1半導体膜の上方に第1レジストを形成するとともに、導電層上であって第2半導体膜の上方に第2レジストを形成する第1のレジスト形成工程と、第1レジスト及び第2レジストをマスクとして、導電層に対してエッチングを行い、導電層をパターンニングするエッチング工程と、第1レジスト及び第2レジストをマスクとして、第1半導体膜にn型不純物を注入して、第1半導体膜にソース領域とドレイン領域を形成するn型不純物注入工程と、プラズマエッチングを行うことにより、第1レジストを等方的に縮小するレジスト縮小工程と、縮小した第1レジストをマスクとして、導電層に対してウエットエッチングを行うことにより、n型薄膜トランジスタのゲート電極を形成する第1のゲート電極形成工程と、ゲート電極をマスクとして、第1半導体膜にn型不純物を注入して、第1半導体膜にLDD領域を形成するLDD領域形成工程と、n型薄膜トランジスタを覆うように第3レジストを形成するとともに、導電層上であって第2半導体膜の上方に第4レジストを形成する第2のレジスト形成工程と、第3レジスト及び第4レジストをマスクとして、導電層に対してエッチングを行うことにより、p型薄膜トランジスタのゲート電極を形成する第2のゲート電極形成工程と、第3レジスト及び第4レジストをマスクとして、第2半導体膜にp型不純物を注入して、第2半導体膜にソース領域とドレイン領域を形成するp型不純物注入工程とを少なくとも備えることを特徴とする。
- [0028] 同構成によれば、n型不純物注入工程において形成された変質層が、ブラ

ズマエツチングにより除去されるため、n型不純物注入工程後に導電層に対してウエットエッチングを行うことによりゲート電極を形成する場合であっても、変質層に起因するウエットエッチングのバラツキの発生を抑制することができる。従って、ウエットエッチングにより、所望のゲート電極の形成が可能になる。その結果、ゲート電極をマスクとして、第1半導体膜にn型不純物であるリンを注入して、第1半導体膜にLDD領域を形成する際に、所望のLDD領域を自己整合的に形成することが可能になる。

[0029] また、上記従来技術とは異なり、ドライエッチングによりゲート電極を形成するのではなく、導電層に対してウエットエッチングを行うことによりゲート電極を形成するため、導電層が存在しない部分でゲート絶縁膜がエッチングされてしまい、ゲート絶縁膜が極端に薄くなってしまうという不都合の発生を防止することができる。従って、ゲート絶縁膜の膜厚を制御することができるため、結果として、不純物のドーピング不良に起因する活性化不良の発生を抑制することができる。

[0030] 本発明の半導体装置の製造方法は、第1半導体膜を有するn型薄膜トランジスタと、第2半導体膜を有するp型薄膜トランジスタとを基板上に備える半導体装置を製造する方法であって、基板上に、第1半導体膜及び第2半導体膜を形成する半導体膜形成工程と、第1半導体膜上及び第2半導体膜上にゲート絶縁膜を形成するゲート絶縁膜形成工程と、ゲート絶縁膜上に導電層を形成する導電層形成工程と、導電層上であって第1半導体膜の上方に第1レジストを形成するとともに、導電層上であって第2半導体膜の上方に第2レジストを形成する第1のレジスト形成工程と、第1レジスト及び第2レジストをマスクとして、導電層に対してエッチングを行うことにより、p型薄膜トランジスタのゲート電極を形成する第1のゲート電極形成工程と、第1レジスト及び第2レジストを除去した後、第1のゲート電極形成工程により形成されたゲート電極をマスクとして、第2半導体膜にp型不純物を注入して、第2半導体膜にソース領域とドレイン領域を形成するp型不純物注入工程と、導電層上であって第1半導体膜の上方に第3レジストを形成するとと



もに、p型薄膜トランジスタを覆うように第4レジストを形成する第2のレジスト形成工程と、第3レジスト及び第4レジストをマスクとして、導電層に対してウエットエッチングを行い、導電層をパターンニングするエッチング工程と、第3レジスト及び第4レジストをマスクとして、第1半導体膜にn型不純物を注入して、第1半導体膜にソース領域とドレイン領域を形成するn型不純物注入工程と、プラズマエッチングを行うことにより、第3レジストを等方的に縮小するレジスト縮小工程と、縮小した第3レジストをマスクとして、導電層に対してウエットエッチングを行うことにより、n型薄膜トランジスタのゲート電極を形成する第2のゲート電極形成工程と、第2のゲート電極形成工程により形成されたゲート電極をマスクとして、第1半導体膜にn型不純物を注入して、第1半導体膜にLDD領域を形成するLDD領域形成工程とを少なくとも備えることを特徴とする。

[0031] 同構成によれば、n型不純物注入工程において形成された変質層が、プラズマエッチングにより除去されるため、n型不純物注入工程後に導電層に対してウエットエッチングを行うことによりn型薄膜トランジスタのゲート電極を形成する場合であっても、変質層に起因するウエットエッチングのバラツキの発生を抑制することができる。従って、ウエットエッチングにより、所望のゲート電極の形成が可能になる。その結果、ゲート電極をマスクとして、第1半導体膜にn型不純物であるリンを注入して、第1半導体膜にLDD領域を形成する際に、所望のLDD領域を自己整合的に形成することが可能になる。

[0032] また、上記従来技術とは異なり、ドライエッチングによりn型薄膜トランジスタのゲート電極を形成するのではなく、導電層に対してウエットエッチングを行うことによりn型薄膜トランジスタのゲート電極を形成するため、導電層が存在しない部分でゲート絶縁膜がエッチングされてしまい、ゲート絶縁膜が極端に薄くなってしまふという不都合の発生を防止することができる。従って、ゲート絶縁膜の膜厚を制御することができるため、結果として、不純物のドーピング不良に起因する活性化不良の発生を抑制することがで

きる。

[0033] また、エッチング工程において、ウエットエッチングによるサイドシフトにより、変質層が形成され易い導電層の側面の部分を、導電層上に形成された第3レジストにより覆うことが可能になる。従って、このウエットエッチング工程の後、n型不純物注入工程を行った場合であっても、第3レジストが、導電層の側面を保護する保護層として機能し、導電層の側面にn型不純物が注入されにくくなるため、n型不純物の注入に起因する導電層の変質を抑制することが可能になる。その結果、n型不純物注入工程において変質層の形成を抑制することが可能になる。

[0034] また、エッチング工程において、導電層のドライエッチングを行わないため、エッチング工程におけるゲート絶縁膜のエッチングを効果的に抑制することができる。従って、ゲート絶縁膜の膜厚の制御が容易になるため、ゲート絶縁膜の膜厚に対応させて、不純物をドーピングする際のドーピング条件を制御しやすくなる。

[0035] また、p型薄膜トランジスタのゲート電極の形成をn型薄膜トランジスタのゲート電極の形成前に行うことにより、第1レジスト及び第2レジストを除去した後にp型不純物注入工程を行うことができる。従って、レジストの表面がp型不純物注入工程により硬化することがないため、p型不純物注入後にレジストを除去する場合に比べて、レジストを簡単に除去することが可能になる。

## 発明の効果

[0036] 本発明によれば、所望のLDD領域を有するn型薄膜トランジスタを自己整合的に形成することが可能になるとともに、ゲート絶縁膜の膜厚不良に基づく不純物のドーピング不良に起因する活性化不良の発生を抑制することができる。

## 図面の簡単な説明

[0037] [図1] 本発明の第1の実施形態に係る半導体装置の構成を説明するための断面図である。

[図2] 本発明の第1の実施形態に係る半導体装置の製造方法を説明するための断面図である。

[図3] 本発明の第1の実施形態に係る半導体装置の製造方法を説明するための断面図である。

[図4] 本発明の第1の実施形態に係る半導体装置の製造方法を説明するための断面図である。

[図5] 本発明の第1の実施形態に係る半導体装置の製造方法を説明するための断面図である。

[図6] 本発明の第1の実施形態に係る半導体装置の製造方法を説明するための断面図である。

[図7] 本発明の第1の実施形態に係る半導体装置の製造方法を説明するための断面図である。

[図8] 本発明の第1の実施形態に係る半導体装置の製造方法を説明するための断面図である。

[図9] 本発明の第1の実施形態に係る半導体装置の製造方法を説明するための断面図である。

[図10] 本発明の第1の実施形態に係る半導体装置の製造方法を説明するための断面図である。

[図11] 本発明の第1の実施形態に係る半導体装置の製造方法を説明するための断面図である。

[図12] 本発明の第2の実施形態に係る半導体装置の製造方法を説明するための断面図である。

[図13] 本発明の第2の実施形態に係る半導体装置の製造方法を説明するための断面図である。

[図14] 本発明の第3の実施形態に係る半導体装置の構成を説明するための断面図である。

[図15] 本発明の第3の実施形態に係る半導体装置の製造方法を説明するための断面図である。

[図16] 本発明の第3の実施形態に係る半導体装置の製造方法を説明するための断面図である。

[図17] 本発明の第3の実施形態に係る半導体装置の製造方法を説明するための断面図である。

[図18] 本発明の第3の実施形態に係る半導体装置の製造方法を説明するための断面図である。

[図19] 本発明の第3の実施形態に係る半導体装置の製造方法を説明するための断面図である。

[図20] 本発明の第3の実施形態に係る半導体装置の製造方法を説明するための断面図である。

[図21] 本発明の第3の実施形態に係る半導体装置の製造方法を説明するための断面図である。

[図22] 本発明の第3の実施形態に係る半導体装置の製造方法を説明するための断面図である。

[図23] 本発明の第3の実施形態に係る半導体装置の製造方法を説明するための断面図である。

[図24] 本発明の第3の実施形態に係る半導体装置の製造方法を説明するための断面図である。

[図25] 本発明の第3の実施形態に係る半導体装置の製造方法を説明するための断面図である。

[図26] 本発明の第3の実施形態に係る半導体装置の製造方法を説明するための断面図である。

[図27] 本発明の第4の実施形態に係る半導体装置の製造方法を説明するための断面図である。

[図28] 本発明の第4の実施形態に係る半導体装置の製造方法を説明するための断面図である。

[図29] 本発明の第4の実施形態に係る半導体装置の製造方法を説明するための断面図である。

[図30] 本発明の第4の実施形態に係る半導体装置の製造方法を説明するための断面図である。

[図31] 本発明の第4の実施形態に係る半導体装置の製造方法を説明するための断面図である。

[図32] 本発明の第4の実施形態に係る半導体装置の製造方法を説明するための断面図である。

[図33] 本発明の第4の実施形態に係る半導体装置の製造方法を説明するための断面図である。

### 発明を実施するための形態

[0038] 以下、本発明の実施形態を図面に基づいて詳細に説明する。尚、本発明は、以下の実施形態に限定されるものではない。

[0039] (第1の実施形態)

図1は、本発明の第1の実施形態に係る半導体装置の構成を説明するための断面図である。図1に示すように、半導体装置1は半導体膜2を有するn型TFT3を備えている。このn型TFT3は、例えば、液晶表示装置に設けられたゲートドライバやソースドライバ等の駆動回路の能動素子として機能するものである。

[0040] このn型TFT3は、半導体膜2のガラス基板6側とは反対側にゲート電極7が配置されたトップゲート型の構造を有している。

[0041] また、ガラス基板6の表面上には、例えば、窒化シリコン膜等からなる第1絶縁膜8と酸化シリコン膜等からなる第2絶縁膜9とにより構成された下地絶縁膜10が形成されている。

[0042] また、下地絶縁膜10の表面上には、半導体膜2が、例えば、50nm等の厚みに形成されている。この半導体膜2は、例えば、ポリシリコン等により形成された結晶質シリコン膜により構成されている。

[0043] 半導体膜2には、一対の高濃度不純物領域であるソース領域2a及びドレイン領域2bが、チャネル領域2cを挟んで形成されている。また、チャネル領域2cには、閾値電圧を制御するためのp型不純物であるボロンが含ま

れている。

- [0044] また、半導体膜 2 は、ソース領域 2 a 及びドレイン領域 2 b に高濃度の n 型不純物であるリンが含まれている。
- [0045] また、半導体膜 2 には、ソース領域 2 a とドレイン領域 2 b の間であって、チャネル領域 2 c に隣接して、n 型不純物であるリンが含まれる不純物領域である L D D 領域 2 d が形成されている。この L D D 領域 2 d は、図 1 に示すように、2 つ形成されている。
- [0046] 半導体膜 2 上には、半導体膜 2 を覆うようにゲート絶縁膜 1 1 が形成されている。このゲート絶縁膜 1 1 は、例えば、酸化シリコン等により形成されている。
- [0047] また、半導体膜 2 のチャネル領域 2 c 上には、ゲート絶縁膜 1 1 を介してゲート電極 7 が形成されている。このゲート電極 7 は、例えば、モリブデン、タングステン、アルミニウム、及びこれらのうち少なくとも 1 つを含む合金等により形成されている。
- [0048] また、ゲート絶縁膜 1 1 及びゲート電極 7 を覆うように、層間絶縁膜 1 2 が形成されている。この層間絶縁膜 1 2 は、例えば、窒化シリコン等により形成されている。また、ゲート絶縁膜 1 1 及び層間絶縁膜 1 2 は、例えば、4 0 0 n m の厚みに形成されている。
- [0049] また、ソース領域 2 a 及びドレイン領域 2 b 上には、ゲート絶縁膜 1 1 及び層間絶縁膜 1 2 を貫通するコンタクトホール 1 3 がそれぞれ形成されている。そして、これらのコンタクトホール 1 3 には、例えば、モリブデン、タングステン、アルミニウム、及びこれらのうち少なくとも 1 つを含む合金等の導電性材料が充填されており、層間絶縁膜 1 2 上には、上記コンタクトホール 1 3 を介して、ソース領域 2 a に接続されたソース電極 1 4 と、ドレイン領域 2 b に接続されたドレイン電極 1 5 とが形成されている。これらのソース電極 1 4 、及びドレイン電極 1 5 は、例えば、3 8 0 n m の厚みに形成されており、ソース電極 1 4 及びドレイン電極 1 5 は、上記導電性材料により形成されている。

[0050] 次いで、半導体装置の製造方法について説明する。図2～図11は、本発明の第1の実施形態に係る半導体装置の製造方法を説明するための断面図である。

[0051] <半導体膜形成工程>

まず、図2に示すように、ガラス基板6の一方の面に、窒化シリコン膜等からなる第1絶縁膜8と酸化シリコン膜等からなる第2絶縁膜9とにより構成された下地絶縁膜10を、例えば、スパッタリング法等により形成する。次に、非結晶質シリコン膜であるアモルファスシリコン膜30を下地絶縁膜10上に、例えば、CVD法等により形成する。

[0052] 次いで、図3に示すように、アモルファスシリコン膜30に対してレーザー光31の照射を行うことにより、アモルファスシリコン膜30を結晶化して、ガラス基板6上に半導体膜であるポリシリコン膜（結晶質シリコン膜）32を形成する。

[0053] なお、使用するレーザー光31としては、XeCl（308nm）、XeF（351nm）やKrF（248nm）等のエキシマレーザーや固体レーザーによるレーザー光を使用することができる。

[0054] また、ポリシリコン膜32の表面粗さを低減するとの観点から、レーザー光31を照射する前に、アモルファスシリコン膜30の表面上に形成された自然酸化膜を除去することが好ましい。また、同様の観点から、レーザー光31を照射する際の雰囲気としては、窒素等の不活性雰囲気を使用することが好ましい。

[0055] 次いで、図4に示すように、フォトリソグラフィにより、ポリシリコン膜32を島状にパターニングして、ガラス基板6上に半導体膜2を形成する。

[0056] <ゲート絶縁膜形成工程>

次いで、図5に示すように、半導体膜2が形成された基板全体に、プラズマCVD法により、例えば、酸化シリコン膜などを成膜し、ゲート絶縁膜1を厚さ100nm程度に形成する。

[0057] ここで、n型TFTの閾値電圧を制御する目的で、図5に示すように、半

導体膜 2 の全体に、p 型不純物であるボロンを注入してもよい。図 5 に示す矢印 39 は、ボロンを注入する方向を示している。なお、ボロンの注入には、イオンドーピング法等が用いられ、例えば、加速電圧を 25 kV にするとともに、ドーズ量を  $2 \times 10^{12} \text{ cm}^{-2}$  とする。

[0058] < 導電層形成工程 >

次いで、図 6 に示すように、ゲート絶縁膜 11 の全体に、スパッタリング法により、例えば、モリブデンとタングステンの合金を成膜して、ゲート絶縁膜 11 上に、例えば、350 nm の厚みを有する導電層 35 を形成する。

[0059] なお、導電層 35 を形成する材料としては、例えば、モリブデン、タングステン、アルミニウム、及びこれらのうち少なくとも 1 つを含む合金を使用することができる。

[0060] < レジスト形成工程 >

次いで、導電層 35 上に、半導体膜 2 を覆うように、スピコート法により、例えば、ポジ型（露光された部分が現像処理により溶解して除去される型）の感光性樹脂（例えば、アクリル系の感光性樹脂）を厚さ 1~3  $\mu\text{m}$  程度に塗布して設ける。そして、フォトマスク（不図示）を用いて感光性樹脂に対して照射される露光量を制御して露光処理を行い、露光処理が行われた感光性樹脂に対して現像処理を行うことにより、図 7 に示すように、フォトレジスト 40 を形成する。

[0061] < ドライエッチング工程 >

次いで、図 7 に示すように、フォトレジスト 40 をマスクとして、ドライエッチングにより、導電層 35 をエッチングして、パターニングする。

[0062] < n 型不純物注入工程 >

次いで、図 8 に示すように、フォトレジスト 40 をマスクとして、半導体膜 2 に、n 型不純物（高濃度不純物）であるリンを注入する。図 8 に示す矢印 42 は、リンを注入する方向を示している。なお、リンの注入には、イオンドーピング法等が用いられ、例えば、加速電圧を 50 kV にするとともに、ドーズ量を  $2 \times 10^{15} \text{ cm}^{-2}$  とする。そして、リンの注入により、図 8 に



示すように、 $n$ 型TFT3が有する半導体膜2において、高濃度不純物領域であるソース領域2a及びドレイン領域2bが形成される。

[0063] なお、この際、図8に示すように、半導体膜2に高濃度の不純物イオンを注入する高濃度イオン注入工程において、導電層35の側面が変質して、変質層44が形成される。この変質層44が形成されるのは、 $n$ 型不純物注入工程において、不純物注入による導電層35の表面の変質が原因であるものと考えられる。

[0064] <レジスト縮小工程>

次いで、フォトレジスト40に対してプラズマエッチングを行うことにより、図9に示すようにフォトレジスト40を等方的にエッチングして、フォトレジスト40を縮小する。

[0065] この際、表面に変質層44が形成された導電層35に対しても、プラズマエッチングが行われるため、図9に示すように、当該プラズマエッチングにより、導電層35に形成された変質層44が除去される。

[0066] なお、プラズマエッチングの際に使用するエッチングガスとしては、 $CF_4$ 、 $NF_3$ 、 $SF_6$ 、 $CHF_3$ 等のフッ素系ガス、 $Cl_2$ 、 $BCl_3$ 、 $SiCl_4$ 、 $CCl_4$ 等の塩素系ガス、酸素ガス等を使用することができ、ヘリウムやアルゴン等の不活性ガスを添加する構成としても良い。

[0067] <ゲート電極形成工程>

次いで、縮小したフォトレジスト40をマスクとして、導電層35に対してウエットエッチングを行うことにより、図10に示すように、ゲート電極7を形成する。

[0068] この際、上述のごとく、 $n$ 型不純物注入工程において形成された変質層44が、上述のプラズマエッチングにより除去されているため、 $n$ 型不純物注入工程後にウエットエッチングを行った場合であっても、変質層44に起因するウエットエッチングのバラツキの発生を抑制することができる。従って、ウエットエッチングにより、所望のゲート電極7の形成が可能になる。その結果、後述する、ゲート電極7をマスクとして、半導体膜2に $n$ 型不純物

であるリンを注入して、半導体膜 2 に L D D 領域 2 d を形成する際に、所望の L D D 領域 2 d (即ち、所望の長さを有する L D D 領域) を自己整合的に形成することが可能になる。

[0069] なお、本工程においては、ウエットエッチングによるサイドシフト (導電層 3 5 に対して、垂直な方向だけではなく、平行な方向 (図 1 0 に示す矢印 X の方向) にもエッチングが進む現象) により、L D D 領域形成工程において、マスクとして最適な幅を有するゲート電極 7 を自己整合的に得ることが可能になる。

[0070] また、本実施形態においては、上記従来技術とは異なり、ドライエッチングによりゲート電極を形成するのではなく、導電層をウエットエッチングすることによりゲート電極 7 を形成する。従って、導電層 3 5 が存在しない部分でゲート絶縁膜 1 1 がエッチングされてしまい、ゲート絶縁膜 1 1 が極端に薄くなってしまうという不都合の発生を防止することができる。従って、ゲート絶縁膜 1 1 の膜厚を制御することができるため、結果として、不純物のドーピング不良に起因する活性化不良の発生を抑制することができる。

[0071] < L D D 領域形成工程 >

次いで、ドライエッチング等によりフォトレジスト 4 0 を除去した後、図 1 1 に示すように、ゲート電極 7 をマスクとして、半導体膜 2 に n 型不純物であるリンを注入する。図 1 1 に示す矢印 4 6 は、リンを注入する方向を示している。なお、リンの注入には、イオンドーピング法等が用いられ、例えば、加速電圧を 8 0 k V にするとともに、ドーズ量を  $2 \times 10^{13} \text{ cm}^{-2}$  とする。そして、リンの注入により、図 1 1 に示すように、半導体膜 2 において、L D D 領域 2 d が形成され、ソース領域 2 a、ドレイン領域 2 b、チャネル領域 2 c、及び L D D 領域 2 d からなる半導体膜 2 が形成され、半導体膜 2 を有する n 型 T F T 3 が形成されることになる。

[0072] < コンタクトホール形成工程 >

次いで、ゲート電極 7 及びゲート絶縁膜 1 1 を覆う層間絶縁膜 1 2 を形成した後、ソース領域 2 a 及びドレイン領域 2 b 上に、それぞれゲート絶縁膜

1 1 及び層間絶縁膜 1 2 を貫通するコンタクトホール 1 3 を、例えば、エッチング等により形成する。

[0073] < ソース電極・ドレイン電極形成工程 >

次に、各コンタクトホール 1 3 の内部及び層間絶縁膜 1 2 上に、ソース電極 1 4 及びドレイン電極 1 5 を形成する。ソース電極 1 4 及びドレイン電極 1 5 は、例えば、フォトリソグラフィ法及びドライエッチング等により形成し、コンタクトホール 1 3 を介して、ソース電極 1 4 をソース領域 2 a に接続するとともに、ドレイン電極 1 5 をドレイン領域 2 b に接続する。

[0074] 以上より、図 1 に示す半導体装置 1 が製造される。

[0075] (第 2 の実施形態)

次に、本発明の第 2 の実施形態について説明する。図 1 2 ~ 図 1 3 は、本発明の第 2 の実施形態に係る半導体装置の製造方法を説明するための断面図である。なお、上記第 1 の実施形態と同様の構成部分については同一の符号を付してその説明を省略する。

[0076] 本実施形態においては、上述の第 1 の実施形態において説明したドライエッチング工程の代わりに、ウエットエッチングを使用して、導電層 3 5 のエッチングを行う点に特徴がある。

[0077] より具体的には、上述の図 6 に示す導電層形成工程、及び図 7 に示すレジスト形成工程を行った後、エッチング工程として、図 1 2 に示すように、ウエットエッチングにより、導電層 3 5 のエッチングを行う。

[0078] この際、上述のウエットエッチングによるサイドシフト (導電層 3 5 に対して、垂直な方向だけではなく、平行な方向 (図 1 2 に示す矢印 X の方向) にもエッチングが進む現象) により、図 1 2 に示すように、第 1 の実施形態において、変質層 4 4 が形成されていた導電層 3 5 の側面 3 5 a がフォトレジスト 4 0 により覆われる (即ち、フォトレジスト 4 0 の下方に隠れる) 構成となる。

[0079] 従って、このウエットエッチング工程の後、上述の第 1 の実施形態と同様に、n 型不純物注入工程を行った場合であっても、図 1 3 に示すように、フ

オトレジスト40が、導電層35の側面35aを保護する保護層として機能し、導電層35の側面35aにn型不純物が注入されにくくなる。従って、不純物注入による導電層35の表面の変質が抑制することができる。その結果、n型不純物注入工程において変質層44の形成を抑制することが可能になる。

[0080] また、導電層35のドライエッチングを行わないため、エッチング処理の際にゲート絶縁膜11のエッチングを効果的に抑制することができる。従って、ゲート絶縁膜11の膜厚の制御が容易になるため、ゲート絶縁膜11の膜厚に対応させて、不純物をドーピングする際のドーピング条件を制御しやすくなる。

[0081] n型不純物注入工程の後、上述の第1の実施形態の場合と同様にして、レジスト縮小工程を行う。この際、本実施形態においても、上述のウエットエッチング工程において、仮に、導電層35の側面35aに変質層44が形成された場合であっても、第1の実施形態と同様にレジスト縮小工程を行うため、導電層35に形成された変質層44を確実に除去することができる。また、第1の実施形態と異なり、上述のウエットエッチング工程において、変質層44の形成を効果的に抑制することができるため、レジスト縮小工程において、変質層44を除去しやすくなるという利点を有する。

[0082] そして、上述のゲート電極形成工程、LDD領域形成工程、コンタクトホール形成工程、及びソース電極・ドレイン電極形成工程を行うことにより、図1に示す半導体装置1が製造される構成となっている。

[0083] (第3の実施形態)

次に、本発明の第3の実施形態について説明する。図14は、本発明の第3の実施形態に係る半導体装置の構成を説明するための断面図である。なお、上記第1の実施形態と同様の構成部分については同一の符号を付してその説明を省略する。

[0084] 図14に示すように、本実施形態における半導体装置50はCMOSを有しており、CMOSは、上述の半導体膜2を第1半導体膜として有するn型

TFT3 と、第2半導体膜である半導体膜4を有するp型TFT5とを備えている。つまり、半導体装置50は、 $n$ 型TFT3及びp型TFT5を有している。

[0085] これらの $n$ 型TFT3及びp型TFT5は、例えば、液晶表示装置に設けられたゲートドライバやソースドライバ等の駆動回路の能動素子として機能するものである。

[0086] この $n$ 型TFT3及びp型TFT5は、それぞれ半導体膜2及び半導体膜4のガラス基板6側とは反対側にゲート電極7が配置されたトップゲート型の構造を有している。

[0087] また、下地絶縁膜10の表面上には、半導体膜2及び半導体膜4が、例えば、50nm等の厚みに形成されており、この半導体膜2と半導体膜4の間には、所定の間隔が設けられている。この半導体膜2及び半導体膜4は、例えば、ポリシリコン等により形成された結晶質シリコン膜(半導体膜)により構成されている。

[0088] 半導体膜2及び半導体膜4には、それぞれ一対の高濃度不純物領域であるソース領域2a、4a及びドレイン領域2b、4bが、チャンネル領域2c、4cを挟んで形成されている。また、チャンネル領域2c、4cには、閾値電圧を制御するためのP型不純物であるボロンが含まれている。

[0089] また、半導体膜2は、ソース領域2a及びドレイン領域2bに $n$ 型不純物であるリンが含まれている。また、半導体膜4は、ソース領域4a及びドレイン領域4bに $p$ 型不純物であるボロンが含まれている。

[0090] また、半導体膜2には、ソース領域2aとドレイン領域2bの間であって、チャンネル領域2cに隣接して、 $n$ 型不純物であるリンが含まれる不純物領域であるLDD領域2dが形成されている。このLDD領域2dは、図14に示すように、2つ形成されている。

[0091] また、半導体膜2及び半導体膜4上には、半導体膜2及び半導体膜4を覆うようにゲート絶縁膜11が形成されている。このゲート絶縁膜11は、例えば、酸化シリコン等により形成されている。

- [0092] また、半導体膜 2 及び半導体膜 4 のチャネル領域 2 c , 4 c 上には、それぞれゲート絶縁膜 1 1 を介してゲート電極 7 が形成されている。
- [0093] また、ゲート絶縁膜 1 1 及びゲート電極 7 を覆うように、層間絶縁膜 1 2 が形成されている。この層間絶縁膜 1 2 は、例えば、窒化シリコン等により形成されている。また、ゲート絶縁膜 1 1 及び層間絶縁膜 1 2 は、例えば、4 0 0 n m の厚みに形成されている。
- [0094] また、ソース領域 2 a , 4 a 及びドレイン領域 2 b , 4 b 上には、ゲート絶縁膜 1 1 及び層間絶縁膜 1 2 を貫通するコンタクトホール 1 3 がそれぞれ形成されている。そして、これらのコンタクトホール 1 3 には、例えば、モリブデン、タングステン、アルミニウム、及びこれらのうち少なくとも 1 つを含む合金等の導電性材料が充填されており、層間絶縁膜 1 2 上には、上記コンタクトホール 1 3 を介して、ソース領域 2 a , 4 a に接続されたソース電極 1 4 と、ドレイン領域 2 b , 4 b に接続されたドレイン電極 1 5 とが形成されている。
- [0095] これらのソース電極 1 4 、及びドレイン電極 1 5 は、例えば、3 8 0 n m の厚みに形成されており、ソース電極 1 4 及びドレイン電極 1 5 は、上記導電性材料により形成されている。
- [0096] 次いで、半導体装置 5 0 の製造方法について説明する。図 1 5 ー図 2 6 は、本発明の第 3 の実施形態に係る半導体装置の製造方法を説明するための断面図である。
- [0097] < 半導体膜形成工程 >
- まず、図 1 5 に示すように、ガラス基板 6 の一方の面に、窒化シリコン膜等からなる第 1 絶縁膜 8 と酸化シリコン膜等からなる第 2 絶縁膜 9 とにより構成された下地絶縁膜 1 0 を、例えば、スパッタリング法等により形成する。次に、非結晶質シリコン膜であるアモルファスシリコン膜 3 0 を下地絶縁膜 1 0 上に、例えば、C V D 法等により形成する、
- 次いで、図 1 6 に示すように、アモルファスシリコン膜 3 0 に対して、レーザー光 3 1 の照射を行うことにより、アモルファスシリコン膜 3 0 を結晶

化して、ガラス基板 6 上に半導体膜であるポリシリコン膜 (結晶質シリコン膜) 3 2 を形成する。

[0098] 次いで、図 17 に示すように、フォトリソグラフィにより、ポリシリコン膜 3 2 を島状にパターンニングして、ガラス基板 6 上に半導体膜 2 及び半導体膜 4 を形成する。

[0099] < ゲート絶縁膜形成工程 >

次いで、図 18 に示すように、半導体膜 2 及び半導体膜 4 が形成された基板全体に、プラズマ CVD 法により、例えば、酸化シリコン膜などを成膜し、ゲート絶縁膜 1 1 を厚さ 100 nm 程度に形成する。

[0100] ここで、n 型及び p 型 TFT の閾値電圧を制御する目的で、図 18 に示すように、半導体膜 2 及び半導体膜 4 の全体に、p 型不純物であるボロンを注入してもよい。図 18 に示す矢印 3 3 は、ボロンを注入する方向を示している。なお、ボロンの注入には、イオンドーピング法等が用いられ、例えば、加速電圧を 25 kV にするとともに、ドーズ量を  $2 \times 10^{12} \text{ cm}^{-2}$  とする。

[0101] < 導電層形成工程 >

次いで、図 19 に示すように、ゲート絶縁膜 1 1 の全体に、スパッタリング法により、例えば、モリブデンとタングステンの合金を成膜して、ゲート絶縁膜 1 1 上に、例えば、350 nm の厚みを有する導電層 3 5 を形成する。

[0102] < 第 1 のレジスト形成工程 >

次いで、導電層 3 5 上に、半導体膜 2, 4 を覆うように、スピコート法により、例えば、ポジ型の感光性樹脂 (例えば、アクリル系の感光性樹脂) を厚さ 1~3  $\mu\text{m}$  程度に塗布して設ける。そして、フォトマスク (不図示) を用いて感光性樹脂に対して照射される露光量を制御して露光処理を行い、露光処理が行われた感光性樹脂に対して現像処理を行うことにより、図 20 に示すように、第 1 フォトレジスト 5 2 と第 2 フォトレジスト 5 3 とを同時に形成する。

[0103] なお、図 20 に示すように、導電層 3 5 上であって半導体膜 2 の上方に第

1 フォトレジスト5 2 が形成されるとともに、導電層3 5 上であって半導体膜4 の上方に第2 フォトレジスト5 3 が形成される。

[01 04] < エッチング工程 >

次いで、図2 0 に示すように、第1 フォトレジスト5 2、及び第2 フォトレジスト5 3 をマスクとして、ドライエッチング等により、導電層3 5 をエッチングする。この際、図2 0 に示すように、n 型T F T 3 側のゲート電極7 となる導電層3 5 のみがパターンニングされる。

[01 05] < n 型不純物注入工程 >

次いで、図2 1 に示すように、第1 フォトレジスト5 2、及び第2 フォトレジスト5 3 をマスクとして、半導体膜2 に、n 型不純物（高濃度不純物）であるリンを注入する。図2 1 に示す矢印4 3 は、リンを注入する方向を示している。なお、リンの注入には、イオンドーピング法等が用いられ、例えば、加速電圧を5 0 k V にするとともに、ドーズ量を $2 \times 10^{15} \text{ cm}^{-2}$  とする。そして、リンの注入により、図2 1 に示すように、n 型T F T 3 が有する半導体膜2 において、高濃度不純物領域であるソース領域2 a 及びドレイン領域2 b が形成される。

[01 06] なお、この際、図2 1 に示すように、半導体膜2 に高濃度の不純物イオンを注入する高濃度イオン注入工程において、導電層3 5 の側面が変質して、変質層4 4 が形成される。

[01 07] < レジスト縮小工程 >

次いで、第1 及び第2 フォトレジスト5 2、5 3 に対してプラズマエッチングを行うことにより、図2 2 に示すように第1 及び第2 フォトレジスト5 2、5 3 を等方的にエッチングして、第1 及び第2 フォトレジスト5 2、5 3 を縮小する。

[01 08] この際、表面に変質層4 4 が形成された導電層3 5 に対しても、プラズマエッチングが行われるため、図2 2 に示すように、当該プラズマエッチングにより、導電層3 5 の表面に形成された変質層4 4 が除去される。

[01 09] < 第1 のゲート電極形成工程 >



次いで、縮小した第1フォトレジスト52をマスクとして、導電層35に対してウエットエッチングを行うことにより、図23に示すように、n型TFE3を構成するゲート電極7を形成する。

[01 10] この際、上述のごとく、n型不純物注入工程において形成された変質層44が、上述のプラズマエッチングにより除去されているため、n型不純物注入工程後にウエットエッチングを行った場合であっても、変質層44に起因するウエットエッチングのバラツキ（即ち、ゲート電極7の幅のバラツキ）の発生を抑制することができる。従って、ウエットエッチングにより、所望のゲート電極7の形成が可能になる。

[01 11] なお、本工程においては、ウエットエッチングによるサイドシフト（導電層35に対して、垂直な方向だけではなく、平行な方向（図23に示す矢印Xの方向）にもエッチングが進む現象）により、LDD領域形成工程において、マスクとして最適な幅を有するゲート電極7を自己整合的に得ることが可能になる。

[01 12] また、本実施形態においては、上記従来技術とは異なり、ドライエッチングによりゲート電極7を形成するのではなく、導電層35をウエットエッチングすることによりゲート電極7を形成する。従って、導電層35が存在しない部分でゲート絶縁膜11がエッチングされてしまい、ゲート絶縁膜11が極端に薄くなってしまうという不都合の発生を防止することができる。従って、ゲート絶縁膜11の膜厚を制御することができるため、結果として、不純物のドーピング不良に起因する活性化不良の発生を抑制することができる。

[01 13] < LDD領域形成工程 >

次いで、ドライエッチング等により第1及び第2フォトレジスト52、53を除去した後、図24に示すように、ゲート電極7をマスクとして、半導体膜2にn型不純物であるリンを注入する。図24に示す矢印47は、リンを注入する方向を示している。なお、リンの注入には、イオンドーピング法等が用いられ、例えば、加速電圧を80kVにするとともに、ドーズ量を2

$\times 10^{13} \text{ cm}^{-2}$ とする。そして、リンの注入により、図24に示すように、半導体膜2において、LDD領域2dが形成され、ソース領域2a、ドレイン領域2b、チャネル領域2c、及びLDD領域2dからなる半導体膜2が形成され、半導体膜2を有するn型TFET3が形成されることになる。

[0114] < 第2のレジスト形成工程 >

次いで、ゲート電極7及び導電層35上に、半導体膜2, 4を覆うように、スピコート法により、例えば、ポジ型の感光性樹脂（例えば、アクリル系の感光性樹脂）を厚さ1~3 $\mu\text{m}$ 程度に塗布して設ける。そして、フォトマスク（不図示）を用いて感光性樹脂に対して照射される露光量を制御して露光処理を行い、露光処理が行われた感光性樹脂に対して現像処理を行うことにより、第3フォトレジスト54と第4フォトレジスト55とを同時に形成する。

[0115] なお、第3フォトレジスト54は、n型TFET3を覆うように形成され、第4フォトレジスト55は、導電層35上であって、半導体膜4の上方に形成される。

[0116] < 第2のゲート電極形成工程 >

次いで、図25に示すように、第3フォトレジスト54、及び第4フォトレジスト55をマスクとして、ウエットエッチングにより、半導体膜4の上方に形成された導電層35をエッチングして、p型TFET5を構成するゲート電極7を形成する。この際、図25に示すように、p型TFET5側のゲート電極7となる導電層35のみがパターニングされる。

[0117] < p型不純物注入工程 >

次いで、図26に示すように、第3フォトレジスト54、及び第4フォトレジスト55をマスクとして、半導体膜4に、p型不純物であるボロンを注入する。図26に示す矢印48は、ボロンを注入する方向を示している。なお、ボロンの注入には、イオンドーピング法等が用いられ、例えば、加速電圧を80kVにするとともに、ドーズ量を $2 \times 10^{15} \text{ cm}^{-2}$ とする。そして、ボロンの注入により、図26に示すように、p型TFET5が有する半導体

膜 4 において、高濃度不純物領域であるソース領域 4 a 及びドレイン領域 4 b が形成され、半導体膜 4 を有する p 型 T F T 5 が形成されることになる。

[01 18] < コンタクトホール形成工程 >

次いで、ドライエッチング等により第 3 及び第 4 フォトレジスト 5 4 , 5 5 を除去した後、ゲート電極 7 及びゲート絶縁膜 1 1 を覆う層間絶縁膜 1 2 を形成した後、ソース領域 2 a , 4 a 及びドレイン領域 2 b , 4 b 上に、それぞれゲート絶縁膜 1 1 及び層間絶縁膜 1 2 を貫通するコンタクトホール 1 3 を、例えば、エッチング等により形成する。

[01 19] < ソース電極・ドレイン電極形成工程 >

次に、各コンタクトホール 1 3 の内部及び層間絶縁膜 1 2 上に、ソース電極 1 4 及びドレイン電極 1 5 を形成する。ソース電極 1 4 及びドレイン電極 1 5 は、例えば、フォトリソグラフィ法及びドライエッチング等により形成し、コンタクトホール 1 3 を介して、ソース電極 1 4 をソース領域 2 a , 4 a に接続するとともに、ドレイン電極 1 5 をドレイン領域 2 b , 4 b に接続する。

[01 20] 以上より、図 1 4 に示す半導体装置 5 0 が製造される。

[01 21] ( 第 4 の実施形態 )

次に、本発明の第 4 の実施形態について説明する。図 2 7 ~ 図 3 3 は、本発明の第 4 の実施形態に係る半導体装置の製造方法を説明するための断面図である。なお、上記第 1 ~ 第 3 の実施形態と同様の構成部分については同一の符号を付してその説明を省略する。

[01 22] 上記第 3 の実施形態においては、半導体装置 5 0 の製造工程において、n 型 T F T 3 を先に作製する構成としたが、本実施形態においては、p 型 T F T 5 を先に作製する点に特徴がある。

[01 23] 以下、本実施形態における半導体装置 5 0 の製造方法について説明する。

[01 24] まず、上述の第 3 の実施形態において説明した半導体膜形成工程、ゲート絶縁膜形成工程、及び導電層形成工程を行うことにより、図 1 9 に示すように、ゲート絶縁膜 1 1 上に、例えば、3 5 0 n m の厚みを有する導電層 3 5

を形成する。

[01 25] < 第 1 のレジスト形成工程 >

次いで、導電層 3 5 上に、半導体膜 2 , 4 を覆うように、スピンコート法により、例えば、ポジ型の感光性樹脂 (例えば、アクリル系の感光性樹脂) を厚さ 1 ~ 3  $\mu\text{m}$  程度に塗布して設ける。そして、フォトマスク (不図示) を用いて感光性樹脂に対して照射される露光量を制御して露光処理を行い、露光処理が行われた感光性樹脂に対して現像処理を行うことにより、図 2 7 に示すように、第 1 フォトレジスト 5 6 と第 2 フォトレジスト 5 7 とを同時に形成する。

[01 26] なお、導電層 3 5 上であって半導体膜 2 の上方に、第 1 フォトレジスト 5 6 が形成されるとともに、導電層 3 5 上であって半導体膜 4 の上方に、第 2 フォトレジスト 5 7 が形成される。

[01 27] < 第 1 のゲート電極形成工程 >

次いで、図 2 7 に示すように、第 1 フォトレジスト 5 6 、及び第 2 フォトレジスト 5 7 をマスクとして、ドライエッチング等により、導電層 3 5 をエッチングして、p 型 T F T 5 を構成するゲート電極 7 を形成する。この際、図 2 7 に示すように、p 型 T F T 5 側のゲート電極 7 となる導電層 3 5 のみがバターニングされる。

[01 28] < p 型不純物注入工程 >

次いで、ドライエッチング等により第 1 及び第 2 フォトレジスト 5 6 , 5 7 を除去した後、図 2 8 に示すように、ゲート電極 7 をマスクとして、半導体膜 4 に p 型不純物であるボロンを注入する。図 2 8 に示す矢印 4 9 は、ボロンを注入する方向を示している。なお、ボロンの注入には、イオンドーピング法等が用いられ、例えば、加速電圧を 8 0 k V にするとともに、ドーズ量を  $2 \times 10^{15} \text{ c m}^{-2}$  とする。そして、ボロンの注入により、図 2 8 に示すように、P 型 T F T 5 が有する半導体膜 4 において、高濃度不純物領域であるソース領域 4 a 及びドレイン領域 4 b が形成され、半導体膜 4 を備える p 型 T F T 5 が形成される。

[01 29] なお、この p 型不純物注入工程において、図 2 8 に示すように、n 型 T F T 3 を構成する半導体膜 2 が導電層 3 5 により覆われているため、半導体膜 2 の上方にフォトマスクを設ける必要がない。従って、剥離洗浄等により第 1 フォトレジスト 5 6 を除去すればよく、当該第 1 フォトレジスト 5 6 のアッシングが不要になるという利点を有する。

[01 30] < 第 2 のレジスト形成工程 >

次いで、ゲート電極 7 及び導電層 3 5 上に、半導体膜 2 , 4 を覆うように、スピコート法により、例えば、ポジ型の感光性樹脂 (例えば、アクリル系の感光性樹脂) を厚さ 1 ~ 3  $\mu\text{m}$  程度に塗布して設ける。そして、フォトマスク (不図示) を用いて感光性樹脂に対して照射される露光量を制御して露光処理を行い、露光処理が行われた感光性樹脂に対して現像処理を行うことにより、図 2 9 に示すように、第 3 フォトレジスト 5 8 と第 4 フォトレジスト 5 9 とを同時に形成する。

[01 31] なお、図 2 9 に示すように、導電層 3 5 上であって半導体膜 2 の上方に、第 3 フォトレジスト 5 8 が形成されるとともに、p 型 T F T 5 を覆うように、第 4 フォトレジスト 5 9 が形成される。

[01 32] < エッチング工程 >

次いで、図 2 9 に示すように、第 3 フォトレジスト 5 8、及び第 4 フォトレジスト 5 9 をマスクとして、ウエットエッチングにより、半導体膜 2 の上方に形成された導電層 3 5 のエッチングを行う。

[01 33] この際、上述のウエットエッチングによるサイドシフト (導電層 3 5 に対して、垂直な方向だけではなく、平行な方向 (図 2 9 に示す矢印 X の方向) にもエッチングが進む現象) により、図 2 9 に示すように、上述の第 2 の実施形態の場合と同様に、第 1 の実施形態において、変質層 4 4 が形成されていた導電層 3 5 の側面 3 5 a が第 3 フォトレジスト 5 8 により覆われる (第 3 フォトレジスト 5 8 の下方に隠れる) 構成となる。

[01 34] < n 型不純物注入工程 >

次いで、図 3 0 に示すように、第 3 フォトレジスト 5 8、及び第 4 フォト

レジスト59をマスクとして、半導体膜2に、n型不純物（高濃度不純物）であるリンを注入する。図30に示す矢印70は、リンを注入する方向を示している。なお、リンの注入には、イオンドーピング法等が用いられ、例えば、加速電圧を50kVにするとともに、ドーズ量を $2 \times 10^{15} \text{ cm}^{-2}$ とする。そして、リンの注入により、図30に示すように、n型TFT3が有する半導体膜2において、高濃度不純物領域であるソース領域2a及びドレイン領域2bが形成される。

[0135] このように、本実施形態においては、上述の第2の実施形態と同様に、ウエットエッチング工程の後、n型不純物注入工程を行った場合であっても、図30に示すように、第3フォトレジスト58が、導電層35の側面35aを保護する保護層として機能し、導電層35の側面35aにn型不純物が注入されにくくなる。従って、不純物注入による導電層35の表面の変質を抑制することができる。その結果、n型不純物注入工程において変質層44の形成を抑制することが可能になる。

[0136] また、導電層35のドライエッチングを行わないため、エッチング処理の際にゲート絶縁膜11のエッチングを効果的に抑制することができる。従って、ゲート絶縁膜11の膜厚の制御が容易になるため、ゲート絶縁膜11の膜厚に対応させて、不純物をドーピングする際のドーピング条件を制御しやすくなる。

[0137] < レジスト縮小工程 >

次いで、第3及び第4フォトレジスト58、59に対してプラズマエッチングを行うことにより、図31に示すように第3及び第4フォトレジスト58、59を等方的にエッチングして、第3及び第4フォトレジスト58、59を縮小する。

[0138] この際、本実施形態においても、上述の第2の実施形態と同様に、上述のウエットエッチング工程において、仮に、導電層35の側面35aに変質層44が形成された場合であっても、レジスト縮小工程を行うため、導電層35に形成された変質層を確実に除去することができる。

[0139] また、第1の実施形態と異なり、上述のウエットエッチング工程において、変質層の形成を効果的に抑制することができるため、レジスト縮小工程において、変質層を除去しやすくなるという利点を有する。

[0140] < 第2のゲート電極形成工程 >

次いで、第3フォトレジスト58をマスクとして、導電層35に対してウエットエッチングを行うことにより、図32に示すように、n型TFE3を構成するゲート電極7を形成する。

[0141] この際、上述のごとく、n型不純物注入工程において形成された変質層44が、上述のプラズマエッチングにより除去されているため、n型不純物注入工程後にウエットエッチングを行った場合であっても、変質層44に起因するウエットエッチングのバラツキ（即ち、ゲート電極7の幅のバラツキ）の発生を抑制することができる。従って、ウエットエッチングにより、所望のゲート電極7の形成が可能になる。

[0142] なお、本工程においては、ウエットエッチングによるサイドシフト（導電層35に対して、垂直な方向だけではなく、平行な方向（図32に示す矢印Xの方向）にもエッチングが進む現象）により、LDD領域形成工程において、マスクとして最適な幅を有するゲート電極7を自己整合的に得ることが可能になる。

[0143] また、本実施形態においては、上記従来技術とは異なり、ドライエッチングによりゲート電極7を形成するのではなく、導電層35をウエットエッチングすることによりゲート電極7を形成する。従って、導電層35が存在しない部分でゲート絶縁膜11がエッチングされてしまい、ゲート絶縁膜11が極端に薄くなってしまうという不都合の発生を防止することができる。従って、ゲート絶縁膜11の膜厚を制御することができるため、結果として、不純物のドーピング不良に起因する活性化不良の発生を抑制することができる。

[0144] < LDD領域形成工程 >

次いで、ドライエッチング等により第3及び第4フォトレジスト58、5

9を除去した後、図33に示すように、ゲート電極7をマスクとして、半導体膜2にn型不純物であるリンを注入する。図33に示す矢印71は、リンを注入する方向を示している。なお、リンの注入には、イオンドーピング法等が用いられ、例えば、加速電圧を80kVにするとともに、ドーズ量を $2 \times 10^{13} \text{ cm}^{-2}$ とする。そして、リンの注入により、図33に示すように、半導体膜2において、LDD領域2dが形成され、ソース領域2a、ドレイン領域2b、チャネル領域2c、及びLDD領域2dからなる半導体膜2が形成されるとともに、半導体膜2を備えるn型TFT3が形成されることになる。

[0145] <コンタクトホール形成工程>

次いで、ゲート電極7及びゲート絶縁膜11を覆う層間絶縁膜12を形成した後、ソース領域2a、4a及びドレイン領域2b、4b上に、それぞれゲート絶縁膜11及び層間絶縁膜12を貫通するコンタクトホール13を、例えば、エッチング等により形成する。

[0146] <ソース電極・ドレイン電極形成工程>

次に、各コンタクトホール13の内部及び層間絶縁膜12上に、ソース電極14及びドレイン電極15を形成する。ソース電極14及びドレイン電極15は、例えば、フォトリソグラフィ法及びドライエッチング等により形成し、コンタクトホール13を介して、ソース電極14をソース領域2a、4aに接続するとともに、ドレイン電極15をドレイン領域2b、4bに接続する。

[0147] 以上より、図14に示す半導体装置50が製造される。

[0148] なお、上記実施形態は、イオンドーピング法により不純物を注入する構成としたが、本発明はこれに限られず、他の公知の方法により注入してもよい。

### 産業上の利用可能性

[0149] 本発明の活用例としては、薄膜トランジスタ等のスイッチング素子を備えた半導体装置の製造方法が挙げられる。



## 符号の説明

- [0150] 1 半導体装置
- 2 半導体膜 (第1半導体膜)
- 2 a ソース領域
- 2 b ドレイン領域
- 2 c チャネル領域
- 2 d L D D領域
- 3 n型T F T (n型薄膜トランジスタ)
- 4 半導体膜 (第2半導体膜)
- 4 a ソース領域
- 4 b ドレイン領域
- 4 c チャネル領域
- 5 p型T F T (p型薄膜トランジスタ)
- 6 ガラス基板 (基板)
- 7 ゲート電極
- 1 0 下地絶縁膜 (絶縁膜)
- 1 1 ゲート絶縁膜
- 1 4 ソース電極
- 1 5 ドレイン電極
- 3 0 アモルファスシリコン膜
- 3 2 ポリシリコン膜
- 3 5 導電層
- 3 5 a 導電層の側面
- 4 0 フォトレジスト
- 4 4 変質層
- 5 0 半導体装置
- 5 2 第1フォトレジスト
- 5 3 第2フォトレジスト

- 5 4 第 3 フォトレジスト
- 5 5 第 4 フォトレジスト
- 5 6 第 1 フォトレジスト
- 5 7 第 2 フォトレジスト
- 5 8 第 3 フォトレジスト
- 5 9 第 4 フォトレジスト

## 請求の範囲

- [請求項1] 半導体膜を有するn型薄膜トランジスタを基板上に備える半導体装置を製造する方法であって、
- 前記基板上に、前記半導体膜を形成する半導体膜形成工程と、
- 前記半導体膜上にゲート絶縁膜を形成するゲート絶縁膜形成工程と、
- 、
- 前記ゲート絶縁膜上に導電層を形成する導電層形成工程と、
- 前記導電層上にレジストを形成するレジスト形成工程と、
- 前記レジストをマスクとして、前記導電層に対してエッチングを行い、該導電層をパターンニングするエッチング工程と、
- 前記レジストをマスクとして、前記半導体膜にn型不純物を注入して、前記半導体膜にソース領域とドレイン領域を形成するn型不純物注入工程と、
- プラズマエッチングを行うことにより、前記レジストを等方的に縮小するレジスト縮小工程と、
- 縮小した前記レジストをマスクとして、前記導電層に対してウエツトエッチングを行うことにより、ゲート電極を形成するゲート電極形成工程と、
- 前記ゲート電極をマスクとして、前記半導体膜にn型不純物を注入して、前記半導体膜にLDD領域を形成するLDD領域形成工程と
- を少なくとも備えることを特徴とする半導体装置の製造方法。
- [請求項2] 前記エッチング工程におけるエッチングが、ウエツトエッチングであることを特徴とする請求項1に記載の半導体装置の製造方法。
- [請求項3] 前記導電層が、モリブデン、タングステン、及びアルミニウムからなる群より選ばれる少なくとも1種を含むことを特徴とする請求項1または請求項2に記載の半導体装置の製造方法。
- [請求項4] 前記半導体膜形成工程において、ポリシリコンにより前記半導体膜を形成することを特徴とする請求項1～請求項3のいずれか1項に記載

載の半導体装置の製造方法。

[請求項5] 前記 p 型不純物がボロンであり、前記 n 型不純物がリンであることを特徴とする請求項 1～請求項 4 のいずれか 1 項に記載の半導体装置の製造方法。

[請求項6] 第 1 半導体膜を有する n 型薄膜 トランジスタと、第 2 半導体膜を有する P 型薄膜 トランジスタとを基板上に備える半導体装置を製造する方法であって、

前記基板上に、前記第 1 半導体膜及び前記第 2 半導体膜を形成する半導体膜形成工程と、

前記第 1 半導体膜上及び前記第 2 半導体膜上にゲート絶縁膜を形成するゲート絶縁膜形成工程と、

前記ゲート絶縁膜上に導電層を形成する導電層形成工程と、

前記導電層上であって前記第 1 半導体膜の上方に第 1 レジストを形成するとともに、前記導電層上であって前記第 2 半導体膜の上方に第 2 レジストを形成する第 1 のレジスト形成工程と、

前記第 1 レジスト及び前記第 2 レジストをマスクとして、前記導電層に対してエッチングを行い、該導電層をパターンニングするエッチング工程と、

前記第 1 レジスト及び前記第 2 レジストをマスクとして、前記第 1 半導体膜に n 型不純物を注入して、前記第 1 半導体膜にソース領域とドレイン領域を形成する n 型不純物注入工程と、

プラズマエッチングを行うことにより、前記第 1 レジストを等方的に縮小するレジスト縮小工程と、

縮小した前記第 1 レジストをマスクとして、前記導電層に対してウエットエッチングを行うことにより、前記 n 型薄膜 トランジスタのゲート電極を形成する第 1 のゲート電極形成工程と、

前記ゲート電極をマスクとして、前記第 1 半導体膜に n 型不純物を注入して、前記第 1 半導体膜に L D D 領域を形成する L D D 領域形成

工程と、

前記 n 型薄膜 トランジスタを覆うように第 3 レジストを形成するとともに、前記導電層上であって前記第 2 半導体膜の上方に第 4 レジストを形成する第 2 のレジスト形成工程と、

前記第 3 レジスト及び前記第 4 レジストをマスクとして、前記導電層に対してエッチングを行うことにより、p 型薄膜 トランジスタのゲート電極を形成する第 2 のゲート電極形成工程と、

前記第 3 レジスト及び前記第 4 レジストをマスクとして、前記第 2 半導体膜に P 型不純物を注入して、前記第 2 半導体膜にソース領域とドレイン領域を形成する P 型不純物注入工程と

を少なくとも備えることを特徴とする半導体装置の製造方法。

[請求項 7]

第 1 半導体膜を有する n 型薄膜 トランジスタと、第 2 半導体膜を有する P 型薄膜 トランジスタとを基板上に備える半導体装置を製造する方法であって、

前記基板上に、前記第 1 半導体膜及び前記第 2 半導体膜を形成する半導体膜形成工程と、

前記第 1 半導体膜上及び前記第 2 半導体膜上にゲート絶縁膜を形成するゲート絶縁膜形成工程と、

前記ゲート絶縁膜上に導電層を形成する導電層形成工程と、

前記導電層上であって前記第 1 半導体膜の上方に第 1 レジストを形成するとともに、前記導電層上であって前記第 2 半導体膜の上方に第 2 レジストを形成する第 1 のレジスト形成工程と、

前記第 1 レジスト及び前記第 2 レジストをマスクとして、前記導電層に対してエッチングを行うことにより、前記 P 型薄膜 トランジスタのゲート電極を形成する第 1 のゲート電極形成工程と、

前記第 1 レジスト及び前記第 2 レジストを除去した後、前記第 1 のゲート電極形成工程により形成されたゲート電極をマスクとして、前記第 2 半導体膜に p 型不純物を注入して、前記第 2 半導体膜にソース

領域とドレイン領域を形成するP型不純物注入工程と、

前記導電層上であって前記第1半導体膜の上方に第3レジストを形成するとともに、前記P型薄膜トランジスタを覆うように第4レジストを形成する第2のレジスト形成工程と、

前記第3レジスト及び前記第4レジストをマスクとして、前記導電層に対してウエットエッチングを行い、該導電層をパターンニングするエッチング工程と、

前記第3レジスト及び前記第4レジストをマスクとして、前記第1半導体膜にn型不純物を注入して、前記第1半導体膜にソース領域とドレイン領域を形成するn型不純物注入工程と、

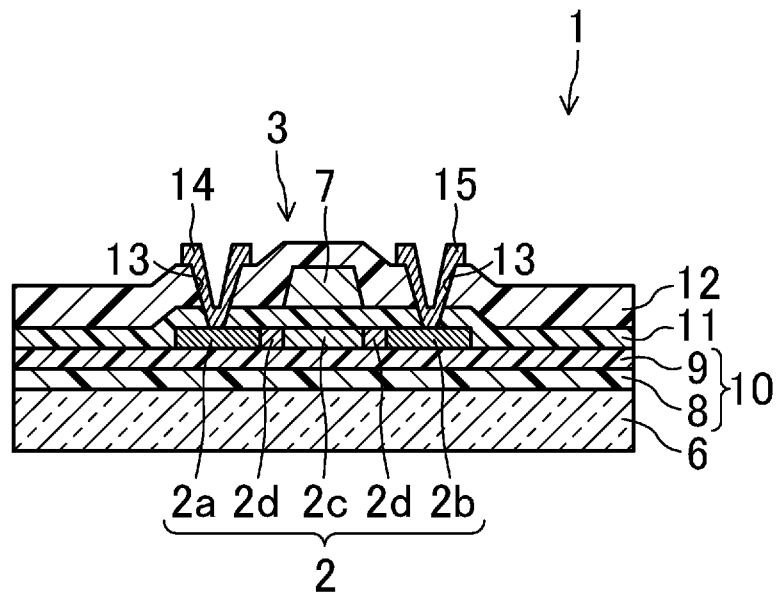
プラズマエッチングを行うことにより、前記第3レジストを等方的に縮小するレジスト縮小工程と、

縮小した前記第3レジストをマスクとして、前記導電層に対してウエットエッチングを行うことにより、前記n型薄膜トランジスタのゲート電極を形成する第2のゲート電極形成工程と、

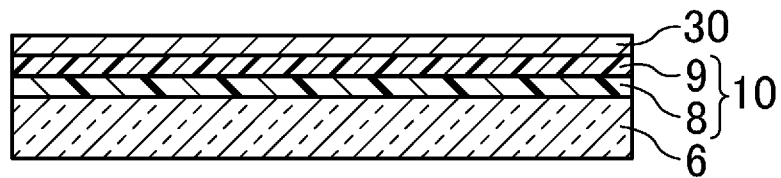
前記第2のゲート電極形成工程により形成されたゲート電極をマスクとして、前記第1半導体膜にn型不純物を注入して、前記第1半導体膜にLDD領域を形成するLDD領域形成工程と

を少なくとも備えることを特徴とする半導体装置の製造方法。

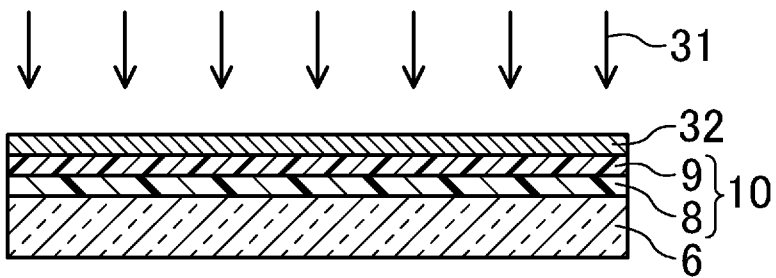
[図1]



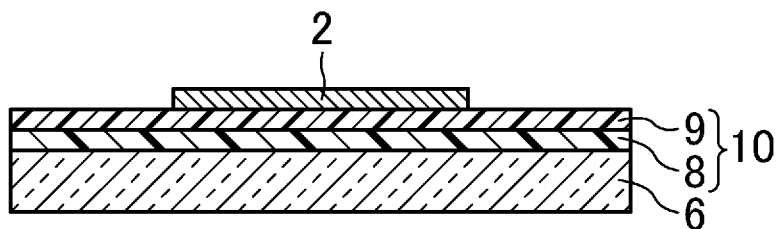
[図2]



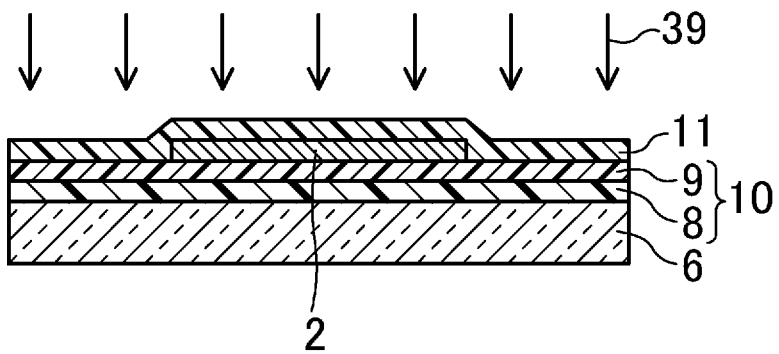
[図3]



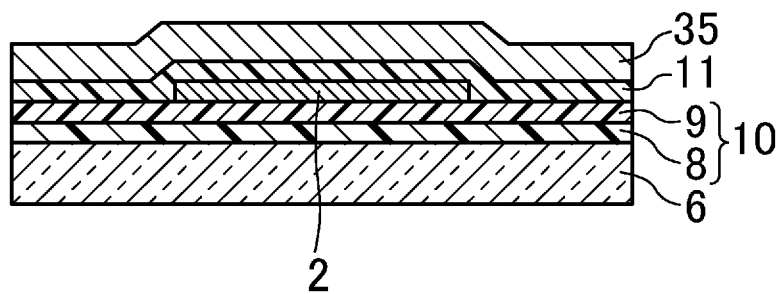
[図4]



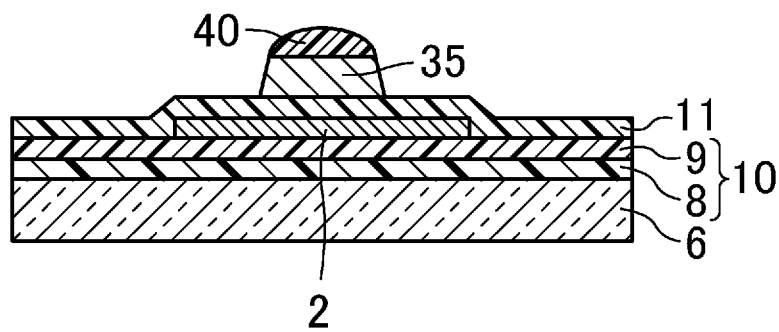
[図5]



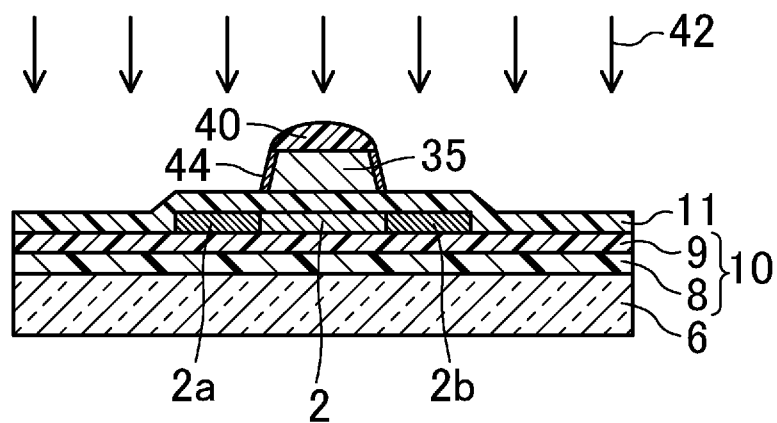
[図6]



[図7]

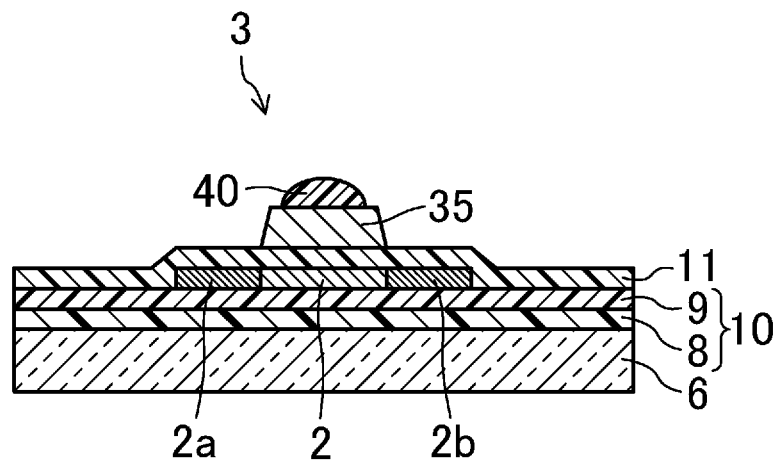


[図8]

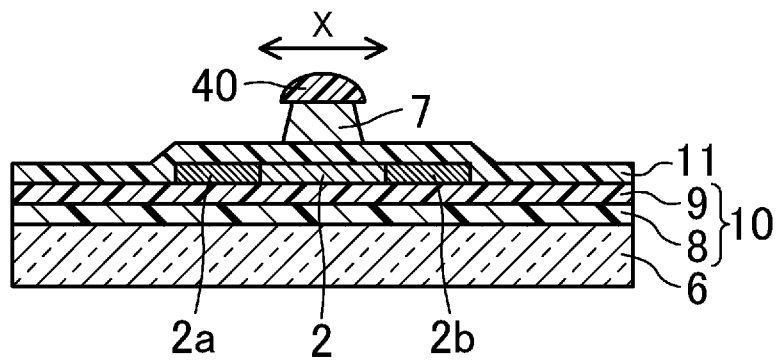




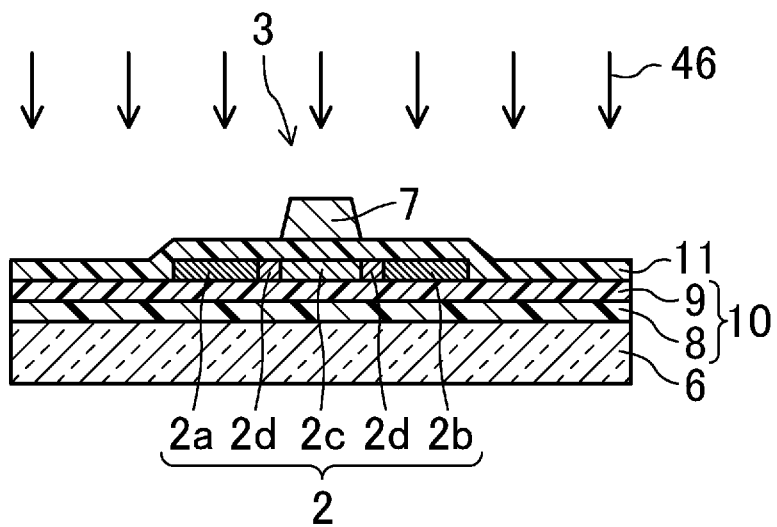
[図9]



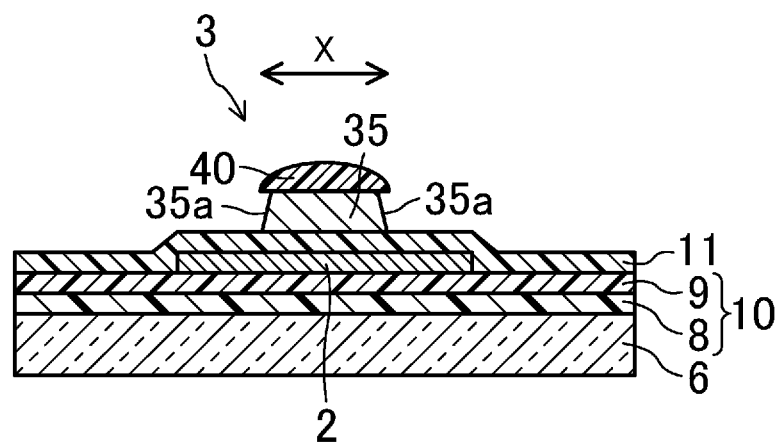
[図10]



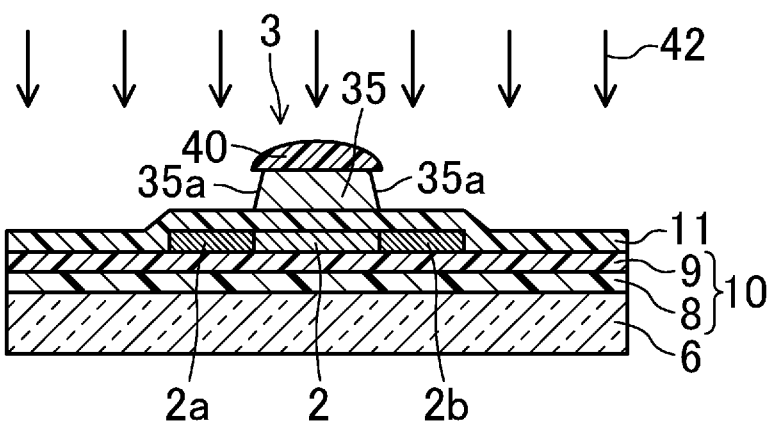
[図11]



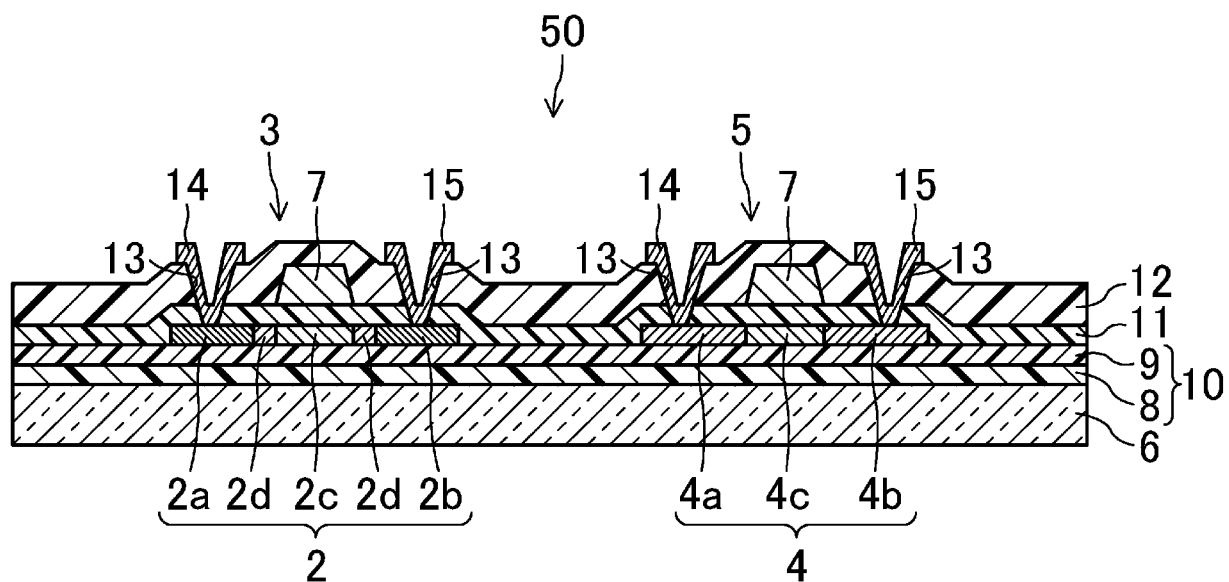
[図12]



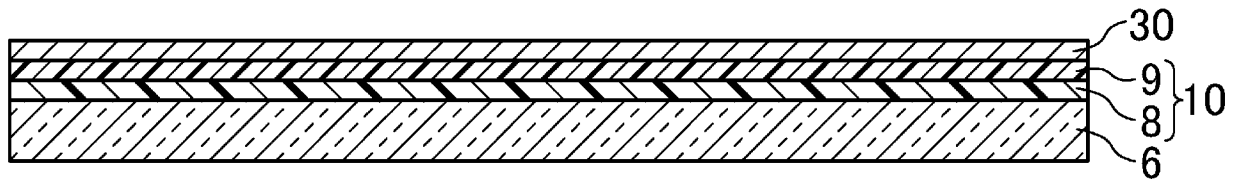
[図13]



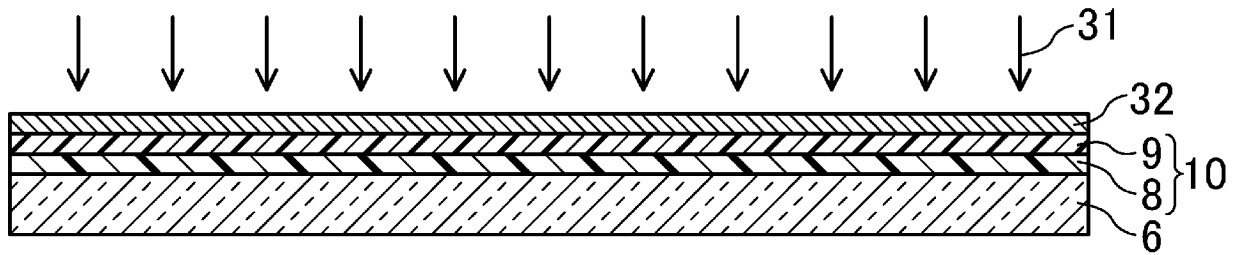
[図14]



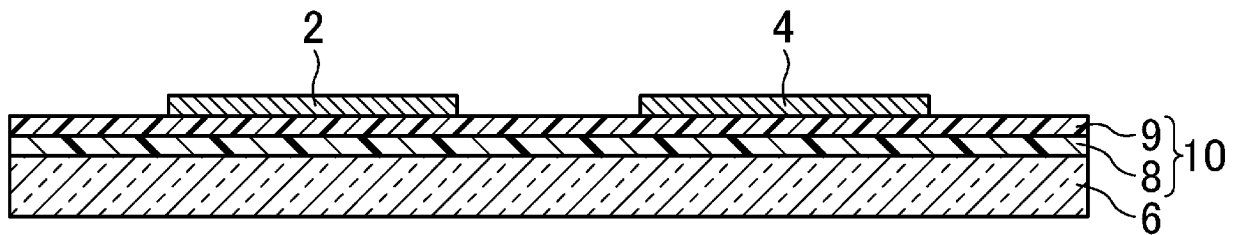
[図15]



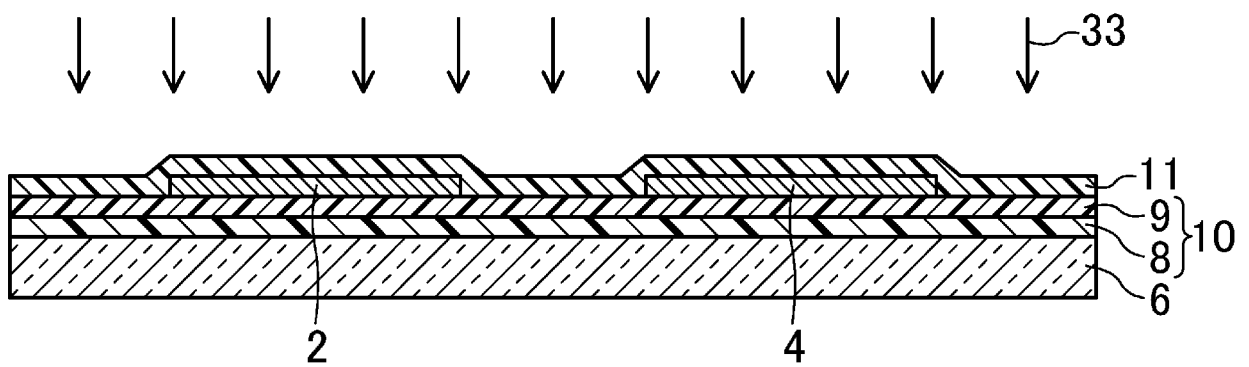
[図16]



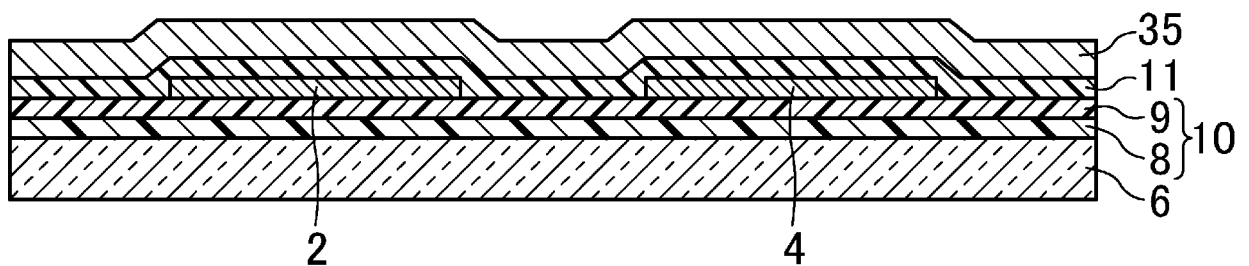
[図17]



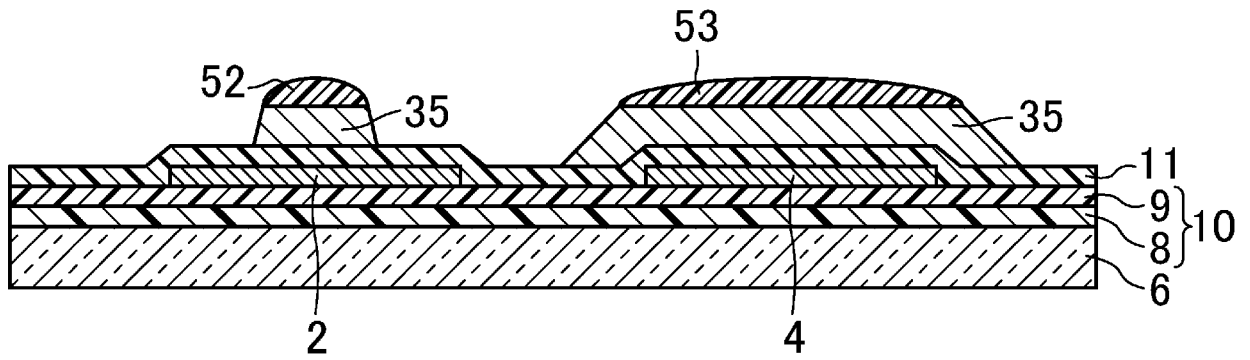
[図18]



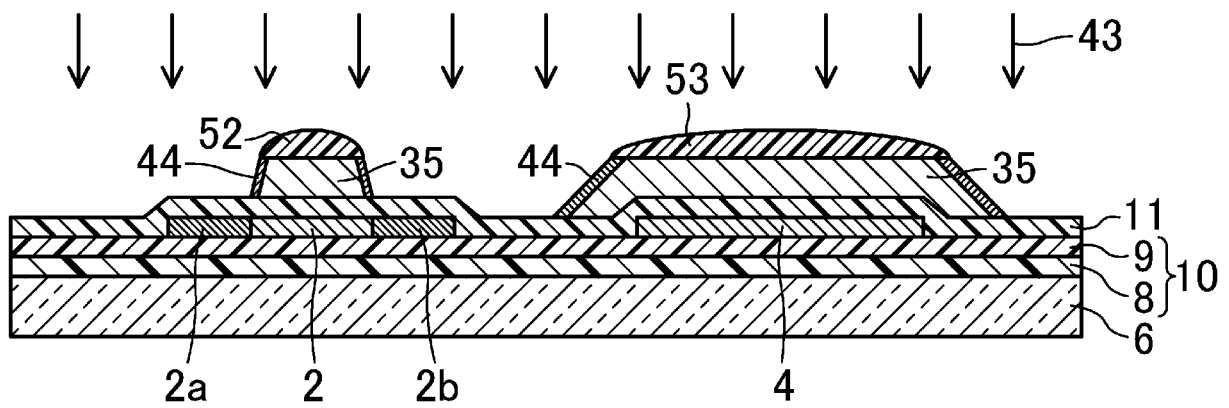
[図19]



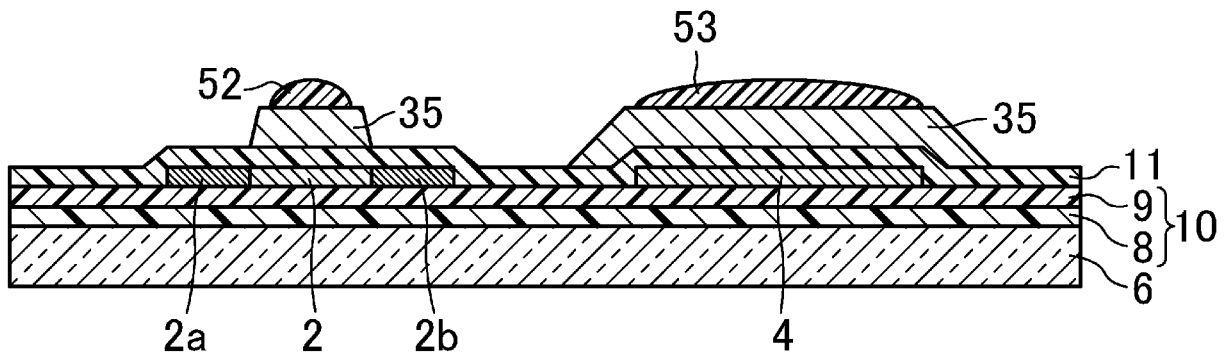
[図20]



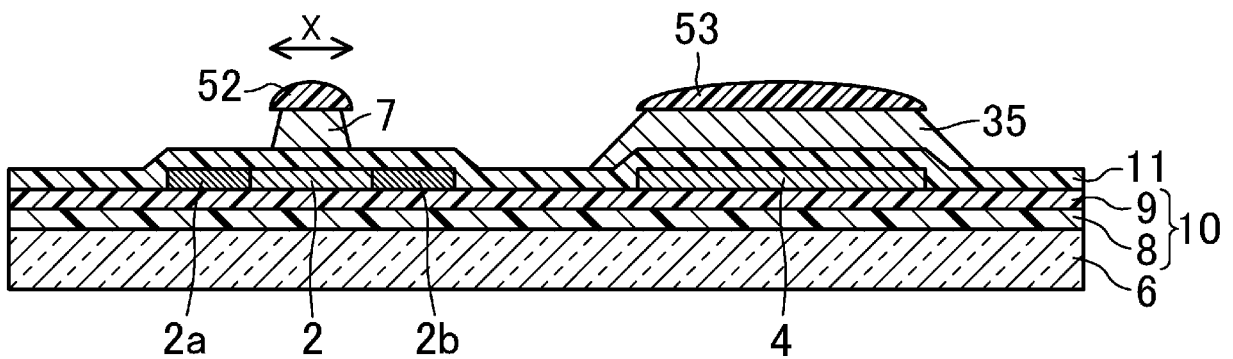
[図21]



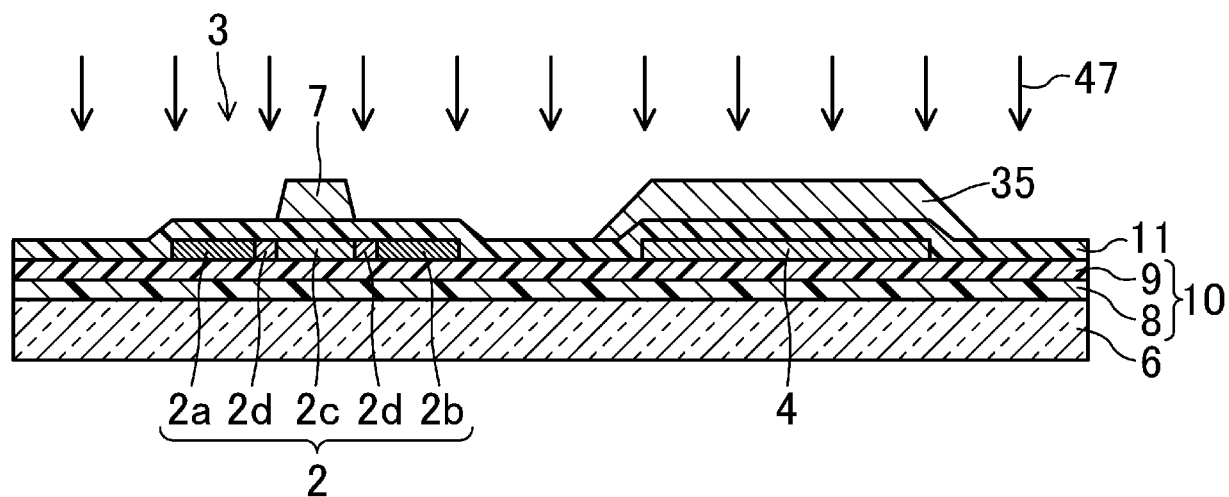
[図22]



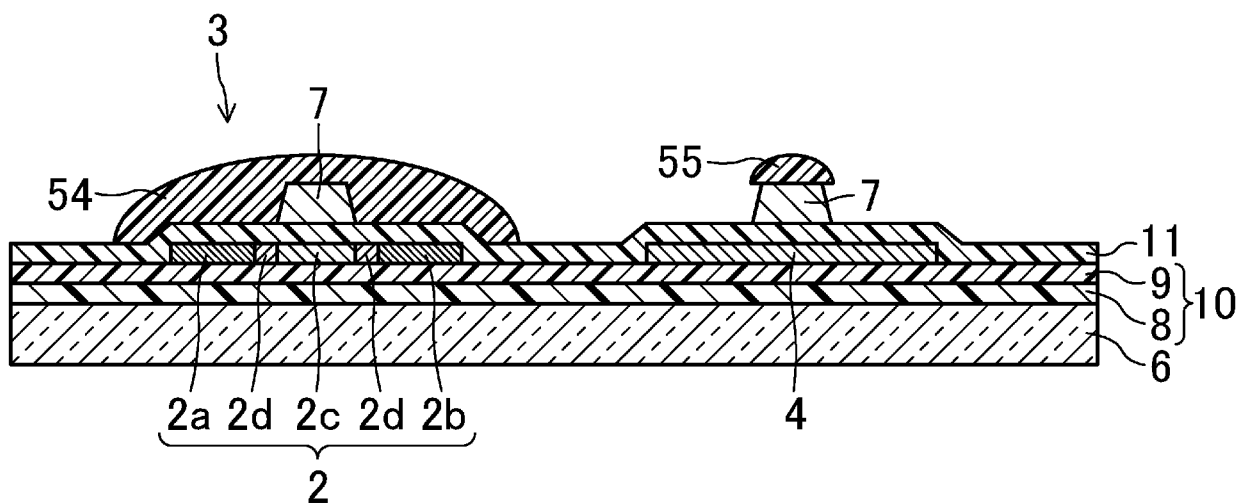
[図23]



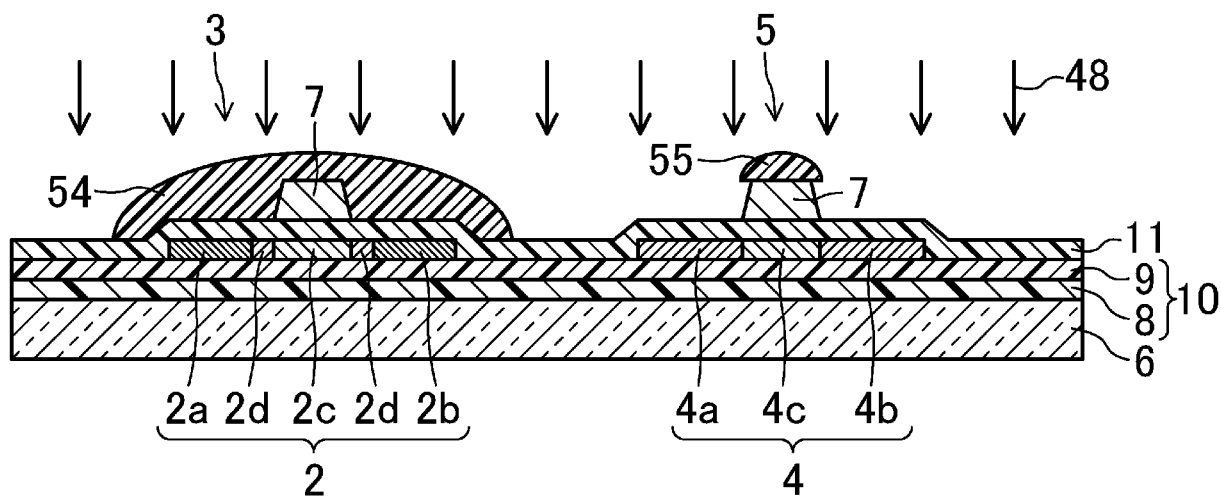
[図24]



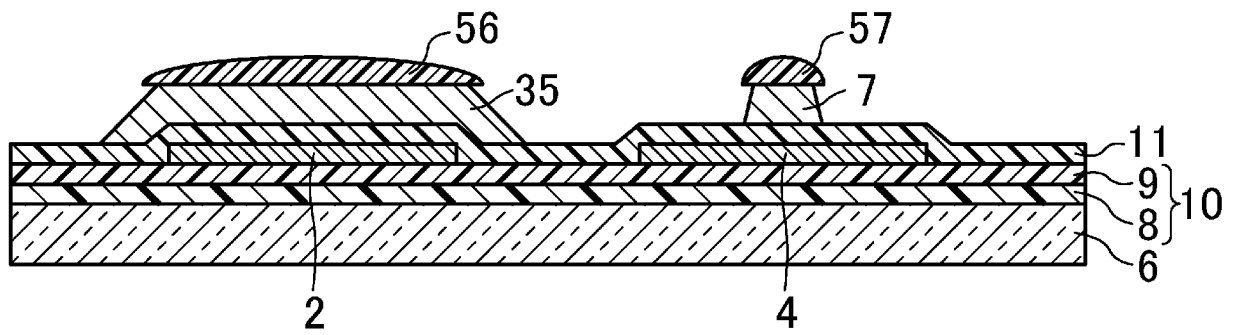
[図25]



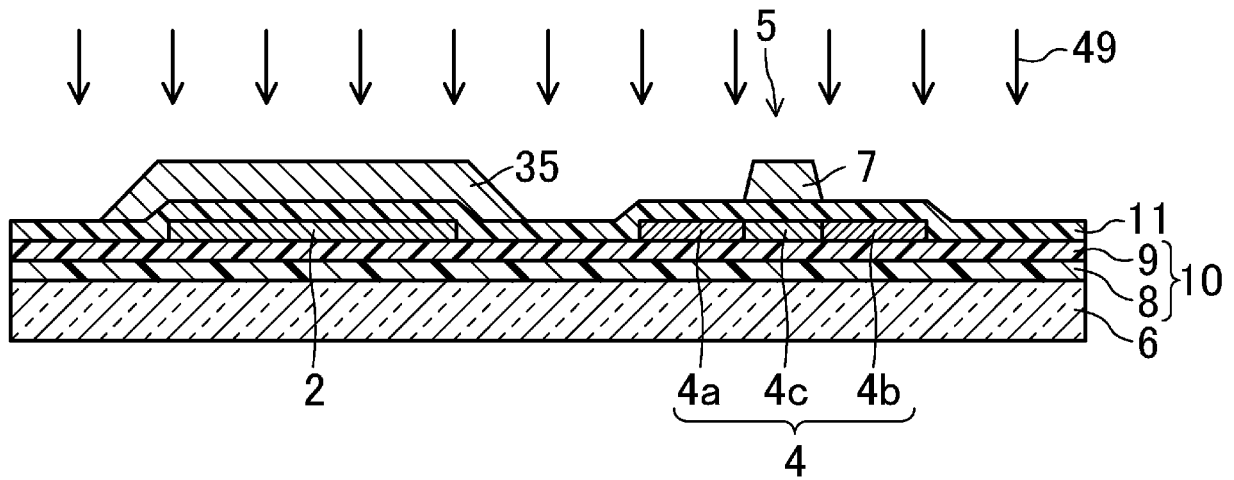
[図26]



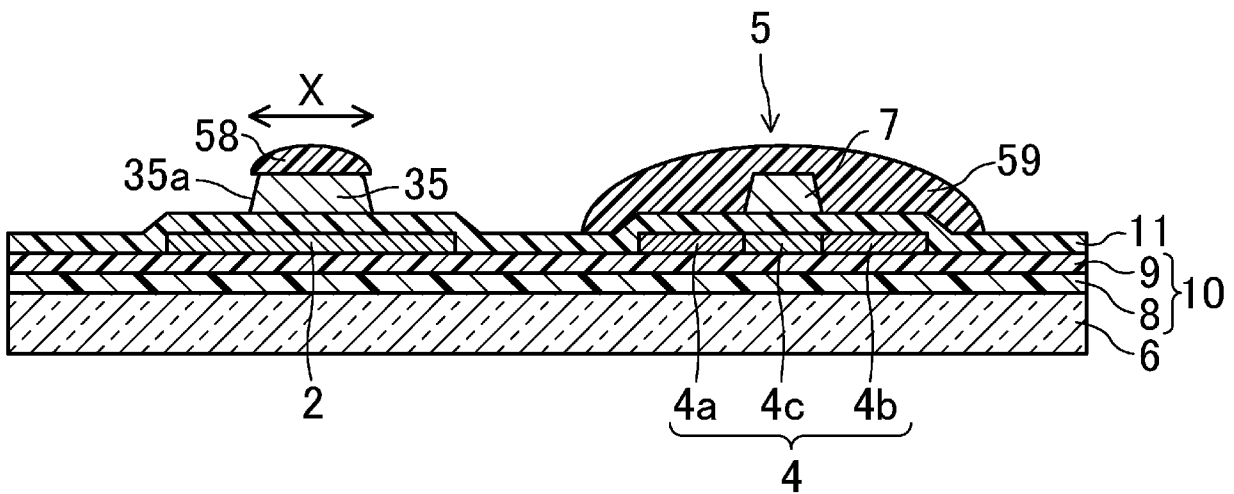
[図27]



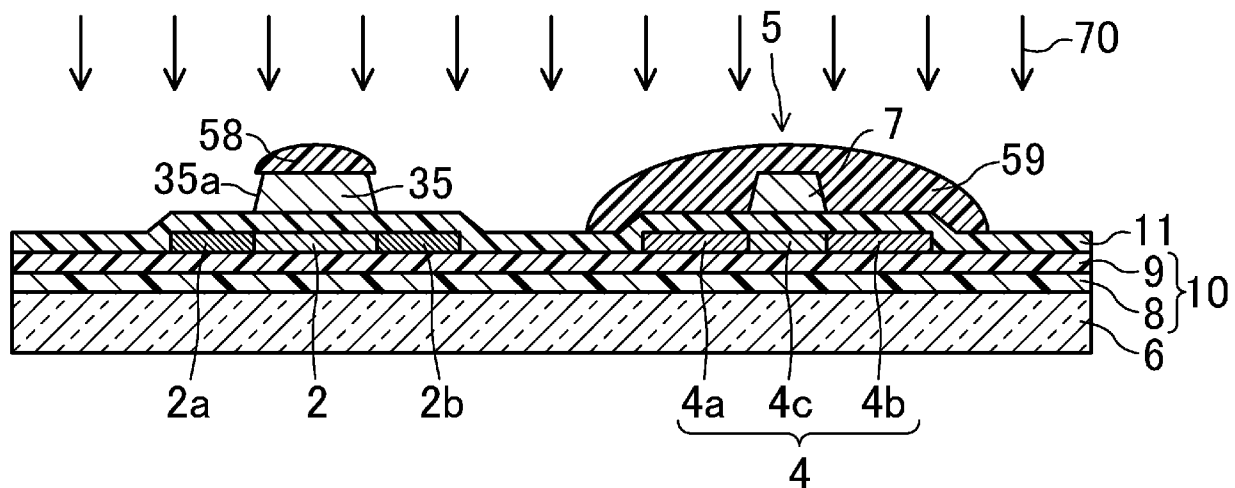
[図28]



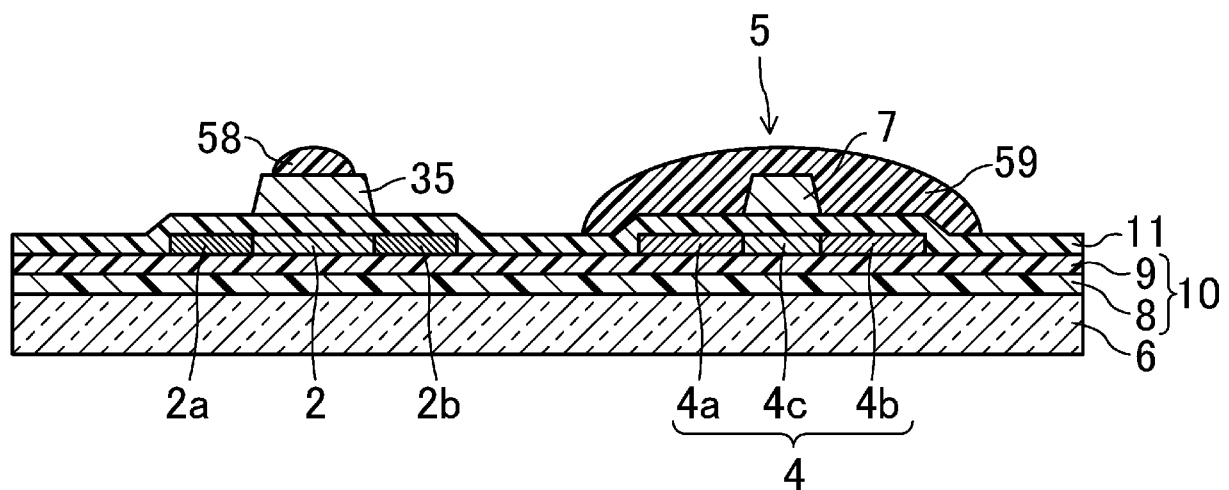
[図29]



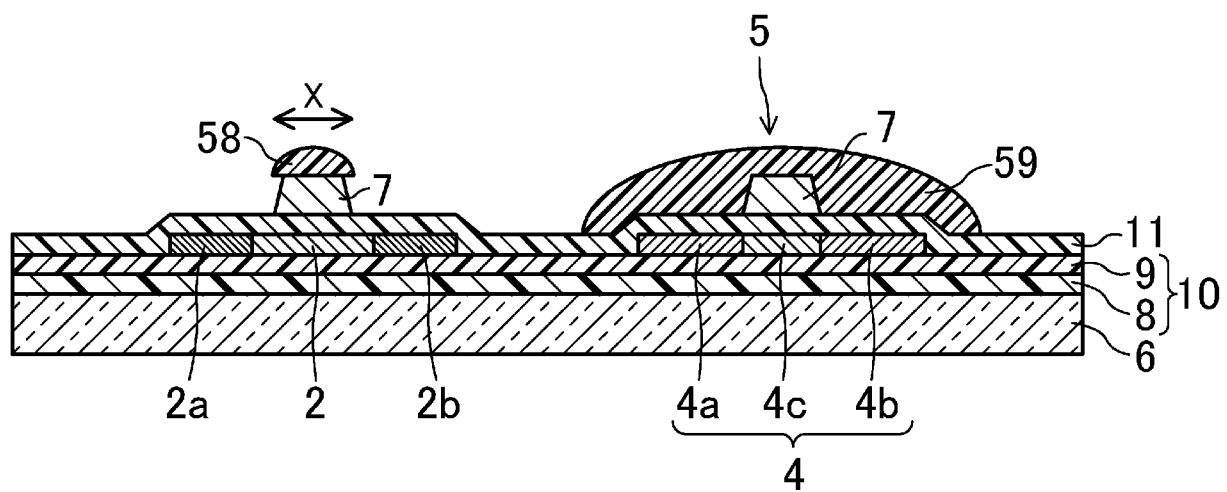
[図30]



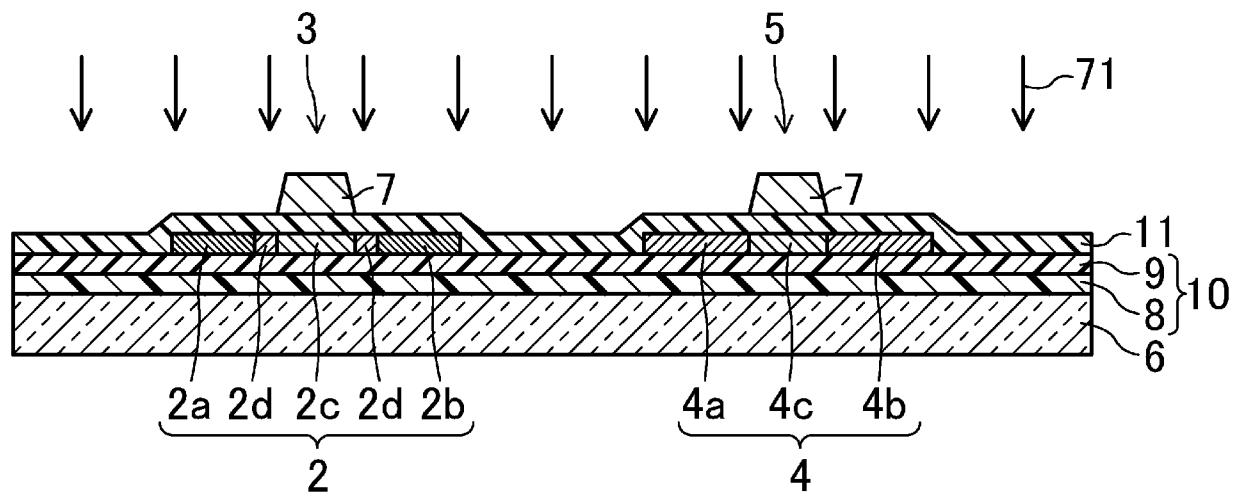
[図31]



[図32]



[図33]





## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/007505

## A. CLASSIFICATION OF SUBJECT MATTER

H01L21/336(2006.01)i, H01L29/786{2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/336, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo	Shinan	Koho	1922-1	996	Jitsuyo	Shinan	Toroku	Koho	1996-2013
Kokai	Jitsuyo	Shinan	Koho	1971-2013	Toroku	Jitsuyo	Shinan	Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2003-282880 A (Hi tachi Di spl ays , Ltd .), 03 Octobe r 2003 (03.10.2003), paragraph s [0023] t o [0049] ; fig . 4 & US 2003/0178650 A1 & US 2006/0006392 A1 & TW 230289 B & CN 1460979 A	1-7
Y	JP 2010-212673 A (Semi conductor Ene rgy Laboratory Co ., Ltd .), 24 Septembe r 2010 (24.09.2010), paragraph [0130] & US 2010/0207119 A1 & CN 101840936 A & KR 10-2010-0092882 A & TW 201036168 A	1-7



Further documents are listed in the continuation of Box C.



See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&amp;" document member of the same patent family

Date of the actual completion of the international search

08 January, 2013 (08.01.13)

Date of mailing of the international search report

22 January, 2013 (22.01.13)

Name and mailing address of the ISA/

Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/007505

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2007-258453 A (Toshiba Mat sushi ta Di spl ay Techno logy Co . , Ltd . ) , 04 October 2007 (04.10.2007) , paragraphs [0030] to [0035] ; fig . 7 to 11 & US 2007/0224740 A1	6, 7

A. 発明の属する分野の分類 (国際特許分類 (IPC))  
 Int.Cl. H01L21/336 (2006.01)i, H01L29/786 (2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))  
 Int.Cl. H01L21/336, H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-19
日本国公開実用新案公報	1971-20
日本国実用新案登録公報	1996-20
日本国登録実用新案公報	1994-20

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)  
 年

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2003-282880 A (株式会社 日立ディスプレイズ) 2003. 10. 03, 段落 [0023] - [0049]、図 4 & US 2003/0178650 AI & US 2006/0006392 AI & TW 230289 B & CN 1460979 A	1-7
Y	JP 2010-212673 A (株式会社半導体エネルギー研究所) 2010. 09. 24, 段落 [0130] & US 2010/0207119 AI & CN 101840936 A & KR 10-2010-0092882 A & TW 201036168 A	1-7

c 欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

\* 引用文献のカテゴリー

IA 「特に関連のある文献ではなく、一般的技術水準を示すもの」  
 IE 「国際出願 日前の出願または特許であるが、国際出願 日以後に公表されたもの」  
 I 「優先権主張に疑義を提起する文献又は他の文献の発行 日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)」  
 Iθ 「口頭による開示、使用、展示等に言及する文献」  
 IP 「国際出願 日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献」  
 Ir 「国際出願 日又は優先 日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの」  
 「X」 「特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの」  
 Y 「特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの」  
 I& 「同一パテントファミリー文献」

国際調査を完了した日  
 08. 01. 2013

国際調査報告の発送日  
 22. 01. 2013

国際調査機関の名称及びあて先  
 日本国特許庁 (ISA/JP)  
 郵便番号 100-8915  
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)	5 F	4688
大橋 達也		
電話番号 03-3581-1101 内線	3516	

C (続き). 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2007-258453 A (東芝松下ディスプレイテクノロジー株式会社) 2007. 10. 04, 段落 [0030] - [0035], 図 7-11 & US 2007/0224740 A1	6, 7