

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号

特許第7080968号

(P7080968)

(45)発行日 令和4年6月6日(2022.6.6)

(24)登録日 令和4年5月27日(2022.5.27)

(51)国際特許分類

F I

H 0 1 L	29/786 (2006.01)	H 0 1 L	29/78	6 1 6 V
H 0 1 L	27/11582(2017.01)	H 0 1 L	27/11582	
H 0 1 L	21/336 (2006.01)	H 0 1 L	29/78	3 7 1
H 0 1 L	29/788 (2006.01)	H 0 1 L	29/78	6 1 3 B
H 0 1 L	29/792 (2006.01)	H 0 1 L	29/78	6 1 6 A

請求項の数 30 (全26頁) 最終頁に続く

(21)出願番号 特願2020-508381(P2020-508381)

(86)(22)出願日 平成30年8月30日(2018.8.30)

(65)公表番号 特表2020-532855(P2020-532855 A)

(43)公表日 令和2年11月12日(2020.11.12)

(86)国際出願番号 PCT/US2018/048934

(87)国際公開番号 WO2019/046629

(87)国際公開日 平成31年3月7日(2019.3.7)

審査請求日 令和2年4月13日(2020.4.13)

(31)優先権主張番号 62/552,824

(32)優先日 平成29年8月31日(2017.8.31)

(33)優先権主張国・地域又は機関 米国(US)

(31)優先権主張番号 16/118,110

(32)優先日 平成30年8月30日(2018.8.30)

最終頁に続く

(73)特許権者 595168543

マイクロン テクノロジー, インク .
アメリカ合衆国, アイダホ州 8 3 7 1
6 - 9 6 3 2 , ボイズ, サウス フェデ
ラル ウェイ 8 0 0 0

(74)代理人 100074099

弁理士 大菅 義之

(74)代理人 100106851

弁理士 野村 泰久

(74)代理人 100121083

弁理士 青木 宏義

(74)代理人 100138391

弁理士 天田 昌行

(72)発明者 カルダ, カマル エム .

アメリカ合衆国, アイダホ州 8 3 7 0

最終頁に続く

(54)【発明の名称】 半導体デバイス、ハイブリッド・トランジスタおよび関連方法

(57)【特許請求の範囲】

【請求項1】

ハイブリッド・トランジスタを含む半導体デバイスであって、

前記ハイブリッド・トランジスタは、

ゲート電極と、

ドレイン材料と、

ソース材料と、

前記ドレイン材料と前記ソース材料の間に動作可能に結合されたチャンネル材料であって、

前記ソース材料および前記ドレイン材料が、高バンドギャップ低移動度材料である前記チ

ャネル材料に対して低バンドギャップ高移動度材料を含み、前記チャンネル材料は前記ゲー

ト電極の長さよりも短い長さを有し、前記ソース材料および前記ドレイン材料の各々は、

前記ゲート電極の前記長さによって画定されるチャンネル領域中に展開する、チャンネル材料と

を含む、半導体デバイス。

【請求項2】

前記ソース材料および前記ドレイン材料がドーブされた半導体材料を含む、請求項1に記載

の半導体デバイス。

【請求項3】

前記チャンネル材料は酸化物半導体材料を含む、請求項2に記載の半導体デバイス。

【請求項4】

前記酸化物半導体材料は、ZTO、IGZO、IZO、ZnO_x、InO_x、In₂O₃

SnO_2 、 TiO_x 、 $\text{Zn}_x\text{O}_y\text{N}_z$ 、 $\text{Mg}_x\text{Zn}_y\text{O}_z$ 、 $\text{In}_x\text{Zn}_y\text{O}_z$ 、 $\text{In}_x\text{Ga}_y\text{Zn}_z\text{O}_a$ 、 $\text{Zr}_x\text{In}_y\text{Zn}_z\text{O}_a$ 、 $\text{Hf}_x\text{In}_y\text{Zn}_z\text{O}_a$ 、 $\text{Sn}_x\text{In}_y\text{Zn}_z\text{O}_a$ 、 $\text{Al}_x\text{Sn}_y\text{In}_z\text{Zn}_a\text{O}_d$ 、 $\text{Si}_x\text{In}_y\text{Zn}_z\text{O}_a$ 、 $\text{Zn}_x\text{Sn}_y\text{O}_z$ 、 $\text{Al}_x\text{Zn}_y\text{Sn}_z\text{O}_a$ 、 $\text{Ga}_x\text{Zn}_y\text{Sn}_z\text{O}_a$ 、 $\text{Zr}_x\text{Zn}_y\text{Sn}_z\text{O}_a$ 、 InGaSiO を含む、請求項 3 に記載の半導体デバイス。

【請求項 5】

前記ドーパされた半導体材料は、 Si 、 Ge 、 SiGe 、 SiCo および TMD からなるグループから選択される、請求項 4 に記載の半導体デバイス。

【請求項 6】

前記チャンネル領域中に展開する前記ソース材料および前記ドレイン材料の部分は、前記チャンネル領域の外側の前記ソース材料および前記ドレイン材料の部分のより高いドーピング濃度より低いドーピング濃度を有する、請求項 1 に記載の半導体デバイス。

10

【請求項 7】

前記トランジスタは垂直配向で構成される、請求項 1 に記載の半導体デバイス。

【請求項 8】

前記チャンネル材料は、前記ソース材料から前記ドレイン材料まで先細りにされる、請求項 7 に記載の半導体デバイス。

【請求項 9】

前記トランジスタは平面配向で構成される、請求項 1 に記載の半導体デバイス。

【請求項 10】

前記チャンネル材料から前記ソース材料まで、および前記チャンネル材料から前記ドレイン材料までのバンドギャップは一様に勾配が付けられる、請求項 1 に記載の半導体デバイス。

20

【請求項 11】

ハイブリッド・トランジスタを含む半導体デバイスであって、

前記ハイブリッド・トランジスタは、

隣接するゲート電極の長さによって画定されたチャンネル領域であって、少なくとも高バンドギャップ低移動度材料と低バンドギャップ高移動度材料とを含み、前記チャンネル領域の互いに反対側の端部にそれぞれ配置された前記高バンドギャップ低移動度材料によって挟まれる位置に前記低バンドギャップ高移動度材料が配置された前記チャンネル領域と、

前記チャンネル領域の前記互いに反対側の端部に配置されたドレイン領域およびソース領域であって、前記ドレイン領域および前記ソース領域は、それぞれ少なくとも前記低バンドギャップ高移動度材料を含む、ドレイン領域およびソース領域とを含む、半導体デバイス。

30

【請求項 12】

前記トランジスタはゲート電極をさらに含む、請求項 11 に記載の半導体デバイス。

【請求項 13】

前記ゲート電極は単一ゲート電極または二重ゲート電極のうちの 1 つである、請求項 12 に記載の半導体デバイス。

【請求項 14】

前記ハイブリッド・トランジスタをそのアクセス・トランジスタとして組み込んだメモリ・セルをさらに含む、請求項 11 に記載の半導体デバイス。

40

【請求項 15】

メモリ・セルを組み込んだメモリ・アレイをさらに含む、請求項 11 に記載の半導体デバイス。

【請求項 16】

前記メモリ・アレイは、ランダム・アクセス・メモリ (RAM)、リード・オンリ・メモリ (ROM)、ダイナミック・ランダム・アクセス・メモリ (DRAM)、同期ダイナミック・ランダム・アクセス・メモリ (SDRAM)、フラッシュ・メモリ、抵抗性ランダム・アクセス・メモリ (ReRAM)、導電性ブリッジ・ランダム・アクセス・メモリ (導電性ブリッジ RAM)、磁気抵抗性ランダム・アクセス・メモリ (MRAM)、位相変

50

化材料（PCM）メモリ、位相変化ランダム・アクセス・メモリ（PCRAM）、回転トルク伝達ランダム・アクセス・メモリ（STTRAM）、酸素空孔ベース・メモリ、プログラマブル導体メモリおよび強誘電性ランダム・アクセス・メモリ（FE-RAM）からなるグループから選択される、請求項 15 に記載の半導体デバイス。

【請求項 17】

前記ハイブリッド・トランジスタは、メモリ・セルのデッキと配線工程の経路指定構成要素とからなるグループから選択されるメモリ構成要素のための選択デバイスである、請求項 11 に記載の半導体デバイス。

【請求項 18】

前記ソース領域の前記低バンドギャップ高移動度材料は第 1 のドーブ半導体材料を含み、また、前記ドレイン領域は第 2 のドーブ半導体材料を含む、請求項 16 に記載の半導体デバイス。

10

【請求項 19】

前記高バンドギャップ低移動度材料は非ドーブ酸化物半導体材料を含む、請求項 18 に記載の半導体デバイス。

【請求項 20】

前記第 1 のドーブ半導体材料および前記第 2 のドーブ半導体材料は、それぞれ同じタイプのドーブ半導体材料を含む、請求項 18 に記載の半導体デバイス。

【請求項 21】

前記ソース領域は前記第 1 のドーブ半導体材料と接触している第 1 の導電性材料を含み、また、前記ドレイン領域は前記第 2 のドーブ半導体材料と接触している第 2 の導電性材料を含む、請求項 18 に記載の半導体デバイス。

20

【請求項 22】

前記チャンネル領域はハイブリッド・チャンネル領域であり、前記ハイブリッド・チャンネル領域は、前記ドレイン領域または前記ソース領域のうちのいずれかから前記ハイブリッド・チャンネル領域中へ展開している前記低バンドギャップ高移動度材料の少なくとも一部を含む、請求項 11 に記載の半導体デバイス。

【請求項 23】

前記低バンドギャップ高移動度材料の少なくとも一部は、前記ドレイン領域および前記ソース領域の両方から前記ハイブリッド・チャンネル領域中へ展開する、請求項 22 に記載の半導体デバイス。

30

【請求項 24】

半導体デバイスを形成する方法であって、
 基板によって支持されたハイブリッド・トランジスタを形成することを含み、
 ハイブリッド・トランジスタを形成することは、
 第 1 の低バンドギャップ高移動度材料を含むソースを形成することと、
 高バンドギャップ低移動度材料と第 2 の低バンドギャップ高移動度材料とを含むチャンネルであって、前記チャンネルの互いに反対側の端部にそれぞれ配置された前記高バンドギャップ低移動度材料によって挟まれる位置に前記第 2 の低バンドギャップ高移動度材料が配置された前記チャンネルを形成することであって、前記チャンネルの前記端部の一方に配置された前記高バンドギャップ低移動度材料の第 1 の部分は、前記ソースの前記第 1 の低バンドギャップ高移動度材料に結合されることと、
 前記チャンネルの前記端部の他方に配置された前記高バンドギャップ低移動度材料の第 2 の部分と結合された第 3 の低バンドギャップ高移動度材料を含むドレインを形成することと、
 ゲート酸化物材料を介して前記チャンネルから分離されたゲートを形成することと
 を含む、方法。

40

【請求項 25】

前記基板によって支持された前記トランジスタを形成することは、垂直構成トランジスタを形成することを含み、垂直構成トランジスタを形成することは、前記基板の上に垂直配向で積み重ねられた前記ソース、前記チャンネルおよび前記ドレインを形成することを含む

50

、請求項 2 4 に記載の方法。

【請求項 2 6】

前記基板によって支持された前記トランジスタを形成することは水平構成トランジスタを形成することを含み、水平構成トランジスタを形成することは、前記基板の上に水平配向で前記ソース、前記チャンネルおよび前記ドレインを形成することを含む、請求項 2 4 に記載の方法。

【請求項 2 7】

前記チャンネルを形成することは、前記ゲートの長さより短い長さを有するように前記高バンドギャップ低移動度材料を形成することを含む、請求項 2 4 に記載の方法。

【請求項 2 8】

前記第 1 の低バンドギャップ高移動度材料は第 1 のドーブ半導体材料であり、前記第 2 の低バンドギャップ高移動度材料は第 2 のドーブ半導体材料であり、また、前記高バンドギャップ低移動度材料は酸化物半導体材料である、請求項 2 4 に記載の方法。

【請求項 2 9】

前記ゲート酸化物材料は SiO_2 、高 K 材料またはそれらの組合せを含む、請求項 2 8 に記載の方法。

【請求項 3 0】

メモリ・セルを動作させる方法であって、ゲート電圧をゲート電極に印加して、ソース領域とドレイン領域の間に結合されたチャンネル領域を通る駆動電流を流すことによってハイブリッド・トランジスタをイネーブルすることを含み、前記チャンネル領域は、それぞれ低バンドギャップ高移動度材料を含む前記ソース領域およびドレイン領域に対して高バンドギャップ低移動度材料を含み、前記チャンネル領域は、別の低バンドギャップ高移動度材料を含み、前記チャンネル領域の互いに反対側の端部にそれぞれ配置された前記高バンドギャップ低移動度材料によって挟まれる位置に前記別の低バンドギャップ高移動度材料が配置される、方法。

【発明の詳細な説明】

【技術分野】

【0001】

優先権の主張

本出願は、米国特許法 § 1 1 9 (e) の下に、2 0 1 7 年 8 月 3 1 日に出願した米国仮特許出願第 6 2 / 5 5 2 , 8 2 4 号の利益を主張するものであり、その開示は、本参照によりその全体が本明細書に組み込まれている。また、本出願は、2 0 1 8 年 8 月 3 0 日に出願した、「SEMICONDUCTOR DEVICES, HYBRID TRANSISTORS, AND RELATED METHODS」という名称の米国特許出願第 1 6 / 1 1 8 , 1 1 0 号の優先権を主張するものであり、この出願は、上記米国仮特許出願の通常の変更である。

【0002】

本開示は、様々な実施形態においては、一般にトランジスタ設計および製造の分野に関する。より詳細には、本開示は、半導体デバイスの設計および製造に関し、また、ハイブリッド・トランジスタに関する。

【背景技術】

【0003】

トランジスタは、様々な異なる半導体デバイスに利用することができる。例えばメモリ・セルに利用されるトランジスタは、当技術分野では「アクセス・トランジスタ」と呼ぶことができる。トランジスタは、従来、一对のソース/ドレイン領域とゲートとの間にチャンネル領域を含み、ゲートは、チャンネル領域を介してソース/ドレイン領域を互いに電気接続するように構成される。チャンネル領域は、通常、一様な半導体材料で形成されるが、他の材料も同じく使用されている。

【0004】

ダイナミック・ランダム・アクセス・メモリ (D R A M) セルなどの揮発性メモリ・セル

10

20

30

40

50

に使用されるトランジスタは、記憶素子に結合することができる。記憶素子は、例えば、コンデンサ中の蓄積電荷によって定義される論理状態（例えば0または1のいずれかの二進値）を記憶するように構成されたコンデンサ（例えば「セル・コンデンサ」または「記憶コンデンサ」と呼ばれることもある）を含むことができる。

【0005】

コンデンサを充電し、放電させ、読み出し、あるいは再充電するために、トランジスタを選択的に「オン」状態にすることができ、この「オン」状態では、トランジスタのチャネル領域を介してソース領域とドレイン領域の間に電流が流れる。トランジスタは、選択的に「オフ」状態にすることができ、この「オフ」状態では、電流の流れは実質的に停止する。理想的には、オフ状態で、コンデンサは、変化することなくその電荷を保持することになる。しかしながら従来の揮発性メモリ・セルのコンデンサは、常に電流の放電に遭遇する。したがって「オフ」状態であっても、従来の揮発性メモリ・セルは、依然としてコンデンサからのある程度の電流の流れをこらむことがしばしばである。このオフ状態漏れ電流は、当業界では閾値下漏れ電流として知られている。

10

【0006】

閾値下漏れ電流を考慮するために、また、メモリ・セルのコンデンサをその意図した論理値に対応する適切な電荷に維持するために、従来の揮発性メモリ・セルは頻繁にリフレッシュされる。また、閾値下漏れ電流は、メモリ・デバイス内のメモリ・セルのアレイの製造および構成に同じく影響を及ぼし得る。メモリ・セルの閾値下漏れ電流率、リフレッシュ率、セル・サイズおよび熱バジェットは、しばしば、メモリ・デバイスに組み込まれる不揮発性メモリ・セルおよびセルのアレイの設計、製造および使用における重要な考察事項である。一様な酸化半導体チャネルを有する従来のトランジスタは、一様な半導体材料から形成されたチャネルを有するデバイスより一般的には小さい閾値下漏れ電流を有している。

20

【発明の概要】

【0007】

いくつかの実施形態では、半導体デバイスはハイブリッド・トランジスタを含む。ハイブリッド・トランジスタは、ゲート電極と、ドレイン材料と、ソース材料と、ドレイン材料とソース材料の間に動作可能に結合されたチャネル材料とを含む。ソース材料およびドレイン材料は、高バンドギャップ低移動度材料であるチャネル材料に対して低バンドギャップ高移動度材料を含む。

30

【0008】

他の実施形態では、半導体デバイスはハイブリッド・トランジスタを含む。ハイブリッド・トランジスタは、隣接するゲート電極の長さによって画定されたチャネル領域であって、少なくとも高バンドギャップ低移動度材料を含むチャネル領域と、チャネル領域の互いに反対側の端部に配置されたドレイン領域およびソース領域とを含む。ドレイン領域およびソース領域は、それぞれ少なくとも低バンドギャップ高移動度材料を含む。

【0009】

他の実施形態では、半導体デバイスを形成する方法は、基板によって支持されたハイブリッド・トランジスタを形成することを含み、ハイブリッド・トランジスタを形成することは、第1の低バンドギャップ高移動度材料を含むソースを形成することと、第1の低バンドギャップ高移動度材料と結合された高バンドギャップ低移動度材料を含むチャネルを形成することと、高バンドギャップ低移動度材料と結合された第2の低バンドギャップ高移動度材料を含むドレインを形成することと、ゲート酸化材料を介してチャネルから分離されたゲートを形成することとを含む。

40

【0010】

さらに他の実施形態では、メモリ・セルを動作させる方法は、ゲート電圧をゲート電極に印加して、ソース領域とドレイン領域の間に結合されたチャネル領域を通る駆動電流を流すことによってハイブリッド・トランジスタをイネーブルすることを含み、チャネル領域は、それぞれ低バンドギャップ高移動度材料を含むソース領域およびドレイン領域に対し

50

て高バンドギャップ低移動度材料を含む。

【図面の簡単な説明】

【0011】

【図1A】本開示の実施形態による薄膜トランジスタの略断面正面図である。

【図1B】図1Aの略断面斜視図である。

【図2】本開示の様々な実施形態による垂直薄膜トランジスタの略断面正面図である。

【図3】本開示の様々な実施形態による垂直薄膜トランジスタの略断面正面図である。

【図4】本開示の実施形態によるアレイの略斜視図である。

【図5A】薄膜トランジスタを形成する方法の開示される実施形態による製造プロセスの様々なステージを示す図である。

10

【図5B】薄膜トランジスタを形成する方法の開示される実施形態による製造プロセスの様々なステージを示す図である。

【図5C】薄膜トランジスタを形成する方法の開示される実施形態による製造プロセスの様々なステージを示す図である。

【図5D】薄膜トランジスタを形成する方法の開示される実施形態による製造プロセスの様々なステージを示す図である。

【図5E】薄膜トランジスタを形成する方法の開示される実施形態による製造プロセスの様々なステージを示す図である。

【図5F】薄膜トランジスタを形成する方法の開示される実施形態による製造プロセスの様々なステージを示す図である。

20

【図5G】薄膜トランジスタを形成する方法の開示される実施形態による製造プロセスの様々なステージを示す図である。

【図5H】薄膜トランジスタを形成する方法の開示される実施形態による製造プロセスの様々なステージを示す図である。

【図5I】薄膜トランジスタを形成する方法の開示される実施形態による製造プロセスの様々なステージを示す図である。

【図5J】薄膜トランジスタを形成する方法の開示される実施形態による製造プロセスの様々なステージを示す図である。

【図6】本開示の追加実施形態による垂直構成で構成されたトランジスタの略断面正面図である。

30

【図7】本開示の追加実施形態による垂直構成で構成されたトランジスタの略断面正面図である。

【図8】本開示の追加実施形態による平面構成で構成されたトランジスタの略断面正面図である。

【図9】本開示の追加実施形態による平面構成で構成されたトランジスタの略断面正面図である。

【図10A】様々なゲート電圧を印加した場合のトランジスタの駆動電流 I_D を示すグラフである。

【図10B】様々なゲート電圧を印加した場合のトランジスタの駆動電流 I_D を示すグラフである。

40

【図11】本明細書において説明されている1つまたは複数の実施形態のメモリ・アレイを含む半導体デバイスの簡易ブロック図である。

【図12】本明細書において説明されている1つまたは複数の実施形態に従って実現されるシステムの簡易ブロック図である。

【発明を実施するための形態】

【0012】

メモリ構造、メモリ・セル、このようなメモリ・セルを含むアレイ、メモリ・デバイス、スイッチング・デバイス、およびこのようなアレイを含む他の半導体デバイス、このようなアレイを含むシステムに組み込むことができるような薄膜トランジスタが開示され、また、このようなメモリ構造を製造し、かつ、使用するための方法が同じく開示される。本

50

開示の実施形態は、様々な異なるメモリ・セル（例えば揮発性メモリ、不揮発性メモリ）および/またはトランジスタ構成を含む。非制限の実施例は、ランダム・アクセス・メモリ（RAM）、リード・オンリ・メモリ（ROM）、ダイナミック・ランダム・アクセス・メモリ（DRAM）、同期ダイナミック・ランダム・アクセス・メモリ（SDRAM）、フラッシュ・メモリ、抵抗性ランダム・アクセス・メモリ（ReRAM）、導電性ブリッジ・ランダム・アクセス・メモリ（導電性ブリッジRAM）、磁気抵抗性ランダム・アクセス・メモリ（MRAM）、位相変化材料（PCM）メモリ、位相変化ランダム・アクセス・メモリ（PCRAM）、回転トルク伝達ランダム・アクセス・メモリ（STTRAM）、酸素空孔ベース・メモリ、プログラマブル導体メモリ、強誘電性ランダム・アクセス・メモリ（FE-RAM）、基準電界効果トランジスタ（RE-FET）、等々を含む。

10

【0013】

いくつかのメモリ・デバイスは、追加導電性線（例えばビット線などのデータ線）に対して直角をなして（例えば直交して）展開している導電性線（例えば語線などのアクセス線）を含む交点アーキテクチャで配置されたメモリ・セルを示すメモリ・アレイを含む。メモリ・アレイは二次元（2D）であってもよく、したがってメモリ・セルの単一のデッキ（例えば単一のティア、単一のレベル）を示し、あるいは三次元（3D）であってもよく、したがってメモリ・セルの複数のデッキ（例えば複数のレベル、複数のティア）を示す。選択デバイスを使用して、3Dメモリ・アレイの特定のメモリ・セルを選択することができる。実施形態は、さらに、非アクセス・デバイス実施態様に利用される薄膜トランジスタを含むことができる。その非制限の実施例は、デッキ・セクタ・デバイス、配線工程（BOEL）経路指定セクタ・デバイス、等々を含む。

20

【0014】

本開示の実施形態は、垂直方向に配向されたトランジスタ、水平方向に配向されたトランジスタ（すなわちプレーナ）、等々を含む異なる構成のトランジスタ（例えば薄膜トランジスタ（TFET））を含むことができる。メモリ・セルは、異なるバンドギャップおよび移動度特性を示す異なる材料で形成されたハイブリッド・アクセス・トランジスタを含む。

【0015】

例えばいくつかの実施形態では、チャネル領域の少なくとも一部は、非晶質酸化物半導体から形成されるチャネル材料を含むことができる。非制限の実施例は、酸化亜鉛スズ（ZTO）、IGZO（酸化ガリウム・インジウム亜鉛（GIZO）とも呼ばれる）、IZO、 ZnO_x 、 InO_x 、 In_2O_3 、 SnO_2 、 TiO_x 、 $Zn_xO_yN_z$ 、 $Mg_xZn_yO_z$ 、 $In_xZn_yO_z$ 、 $In_xGa_yZn_zO_a$ 、 $Zr_xIn_yZn_zO_a$ 、 $Hf_xIn_yZn_zO_a$ 、 $Sn_xIn_yZn_zO_a$ 、 $Al_xSn_yIn_zZn_aO_d$ 、 $Si_xIn_yZn_zO_a$ 、 $Zn_xSn_yO_z$ 、 $Al_xZn_ySn_zO_a$ 、 $Ga_xZn_ySn_zO_a$ 、 $Zr_xZn_ySn_zO_a$ 、 $InGaSiO$ および他の同様の材料を含むことができる。

30

【0016】

本明細書において使用されているように、「基板」という用語は、ベース材料、またはメモリ・セル内の構成要素などの構成要素がその上に形成される構造物を意味し、また、それらを含む。基板は、半導体基板、支持構造上のベース半導体層、金属電極、あるいは1つまたは複数の層、構造または領域がその上に形成された半導体基板であってもよい。本明細書において説明され、また、例証される材料は層として形成することができるが、材料はそれらに限定されず、また、他の三次元構成で形成することも可能である。基板は、従来のシリコン基板であっても、あるいは半導電性材料の層を含む他のバルク基板であってもよい。本明細書において使用されているように、「バルク基板」という用語は、シリコン・ウェーハだけでなく、サファイア上シリコン（「SOS」）基板またはガラス上シリコン（「SOG」）基板などの絶縁体上シリコン（「SOI」）基板、ベース半導体基礎、またはケイ素-ゲルマニウム（ $Si_{1-x}Ge_x$ 、 x は例えば0.2と0.8の間のモル分率であってもよい）、ゲルマニウム（Ge）、ヒ化ガリウム（GaAs）、窒化ガリウム（GaN）またはリン化インジウム（InP）などの他の半導体あるいは光電子材料上のシリコンのエピタキシャル層を意味し、また、それらを含む。基板はドーピングするこ

40

50

とができ、あるいはドープしなくてもよい。さらに、以下の説明の中で「基板」が参照されている場合、先行するプロセス・ステージを利用して、領域または接合がベース半導体構造または基礎中に形成されていてもよい。

【0017】

本明細書において使用されているように、「真下」、「下方」、「下部」、「底部」、「上方」、「上部」、「頂部」、「前方」、「後方」、「左側」、「右側」、等々などの空間的相対用語は、説明を容易にして、図に示されている別の要素または特徴に対する1つの要素または特徴の関係を記述するために使用することができる。特に明記されていない限り、空間的相対用語には、図に示されている配向に加えて、使用中または動作中におけるデバイスの異なる配向を包含することが意図されている。例えば図におけるあるデバイスが上下逆さまにされると、他の要素または特徴の「下方」または「真下」あるいは「下側」もしくは「底部の」として説明されている要素は、今度は、上記他の要素または特徴の「上方」または「頂部に」配向されることになる。したがって「下方」という用語は、その用語が使用されている、当業者には明らかである文脈に応じて上方および下方の両方の配向を包含することができる。デバイスはそれ以外の配向も可能であり(90度回転させることができ、あるいは他の配向で配向することができ)、また、本明細書において使用される空間的相対記述子はそれに応じて解釈される。さらに、別の要素の「上」または「真上」に存在している要素に対する参照は、他の要素の頂部に直接存在し、他の要素に直接隣接し、他の要素の真下に直接存在し、あるいは他の要素と直接接触している要素を意味し、また、それを含む。また、それは、他の要素の頂部に間接的に存在し、他の要素に間接的に隣接し、他の要素の真下に間接的に存在し、あるいは他の要素の近傍に存在し、それらの間に他の要素が存在する要素を同じく含む。それとは対照的に、別の要素「の上に直接」存在しているものとして要素が参照されている場合、介在する要素は存在しない。

10

20

【0018】

本明細書において使用されているように、単数形の表現には、単数形であることを文脈が明確に示していない限り、複数形の表現を同じく含むことが意図されている。さらに、本明細書における、「第1の」、「第2の」、等々などの指定を使用した要素に対するすべての参照は、このような制限が明確に言及されていない限り、これらの要素の量または順序を制限しないことを理解されたい。これらの指定は、本明細書においてはむしろ2つ以上の要素を区別し、あるいは要素の2つ以上の実例を区別する便利な方法として使用され得る。したがって第1の要素および第2の要素に対する参照は、2つの要素のみを使用することができること、あるいは第1の要素は、何らかの方法で第2の要素に先行しなければならないことを意味していない。また、一組の要素は、そうではないことが言及されていない限り、1つまたは複数の要素を含むことができる。

30

【0019】

本明細書において使用されているように、「および/または」は、リストに挙げられている関連する項目のうちの1つまたは複数の任意の組合せおよびあらゆる組合せを含む。

【0020】

本明細書において使用されているように、「構成された」という用語は、サイズ、形状、材料組成、および構造および装置のうちの1つまたは複数の動作を所定の方法で容易にする、少なくとも1つの構造および少なくとも1つの装置のうちの1つまたは複数の配置を意味している。

40

【0021】

本明細書において使用されているように、所与のパラメータ、特性または条件に対する参照における「実質的に」という用語は、その所与のパラメータ、特性または条件が許容可能な製造公差内などの分散の程度と合致することを当業者が理解するであろう程度を意味し、また、それを含む。一例として、実質的に合致する特定のパラメータ、特性または条件に応じて、パラメータ、特性または条件は、少なくとも90.0%合致、少なくとも95.0%合致、少なくとも99.0%合致、さらには少なくとも99.9%合致であって

50

もよい。

【0022】

本明細書において提示される図解は、何らかの特定の構成要素、構造、デバイスまたはシステムの実際の図であることを意味しているのではなく、本開示の実施形態を説明するために使用される単なる描写にすぎない。実施形態は、本明細書においては、略図である断面図を参照して説明される。したがって例えば製造技法および/または製造公差の結果として、図解の形状からの変化が予想されることになる。したがって本明細書において説明される実施形態は、図解されている特定の形状または領域に限定されるものとしてではなく、例えば製造に起因する形状の逸脱を含むものとして解釈すべきである。例えば箱形として図解され、あるいは説明されている領域は、通常、粗い、および/または非線形の特徴を有し得る。さらに、図解されている鋭角は丸くすることも可能である。したがって図に示されている領域は、その性質が概略的なものであり、それらの形状には、領域の正確な形状を図解することは意図されておらず、また、本特許請求の範囲を制限しない。以下、図面を参照するが、同様の数表示は、すべての図を通して同様の構成要素を表している。図面は、様々な材料に対して、必ずしもスケール通りに、あるいは比例して描かれていない。

10

【0023】

以下の説明は、開示されるデバイスおよび方法の実施形態についての完全な説明を提供するために、材料タイプおよび処理条件などの特定の詳細を提供している。しかしながら当業者は、デバイスおよび方法の実施形態は、これらの特定の詳細を使用することなく実践することができることを理解するであろう。実際、デバイスおよび方法の実施形態は、当業界で使用されている従来の半導体製造技法に関連して実践することができる。

20

【0024】

本明細書において説明される製造プロセスは、半導体デバイス構造を処理するための完全なプロセス・フローを形成していない。プロセス・フローの残りの部分は当業者には周知である。したがって本明細書においては、本発明のデバイスおよび方法の実施形態を理解するために必要な方法および半導体デバイス構造のみが説明される。そうではないことを文脈が示していない限り、本明細書において説明される材料は、それらに限定されないが、スピン塗布方式、プランケット塗布方式、化学気相堆積法(「CVD」)、原子層堆積法(「ALD」)、プラズマ増速法ALDまたは物理気相堆積法(「PVD」)を含む任意の適切な技法によって形成することができる。別法としては、イン・サイチュで材料を成長させることも可能である。当業者は、形成する特定の材料に応じて、材料を堆積または成長させるための技法を選択することができる。そうではないことを文脈が示していない限り、本明細書において説明される材料の除去は、それらに限定されないが、エッチング、研磨平坦化または他の知られている方法を含む任意の適切な技法によって達成することができる。

30

【0025】

半導体デバイスが開示される。半導体デバイスは、ゲート電極と、ドレイン材料と、ソース材料と、ドレイン材料とソース材料の間に動作可能に結合されたチャンネル材料とを含むハイブリッド・トランジスタを含む。ソース材料およびドレイン材料は、高バンドギャップ低移動度材料であるチャンネル材料に対して低バンドギャップ高移動度材料を含む。

40

【0026】

別の半導体デバイスが開示される。半導体デバイスは、隣接するゲート電極の長さによって画定されたチャンネル領域と、チャンネル領域の互いに反対側の端部に配置されたドレイン領域およびソース領域とを含むハイブリッド・トランジスタを含む。チャンネル領域は少なくとも高バンドギャップ低移動度材料を含む。ドレイン領域およびソース領域は、それぞれ少なくとも低バンドギャップ高移動度材料を含む。

【0027】

図1Aは、本開示の実施形態によるハイブリッド薄膜トランジスタ100の略断面正面図である。図1Bは、図1Aの薄膜トランジスタ100の断面斜視図である(図解を分かり

50

易くするために、第1の絶縁性材料160は図1Bには示されていない)。図1Aおよび図1Bは、本明細書においては一緒に参照されることになる。

【0028】

トランジスタ100は、基板112によって支持されたソース領域120、ドレイン領域150およびチャンネル領域140を含む。チャンネル領域140は、ソース領域120およびドレイン領域150の両方と動作可能に結合することができる。トランジスタ100は概ね垂直方向の配向を有することができ、ソース領域120、チャンネル領域140およびドレイン領域150は、実質的に垂直方向のスタックで基板112から展開している。言い換えるとトランジスタ100は垂直方向のトランジスタ(すなわち垂直配向のトランジスタ)であってもよい。

10

【0029】

ソース領域120は、ソース・コンタクトとして作用する第1の導電性材料118と結合されたソース材料122を含むことができる。第1の導電性材料118は、基板112の主表面114の上に配置することができる。いくつかの実施形態では、第1の導電性材料118は、基板112の主表面114の大半にわたって(例えば全体に)配置することができる。別法としては、第1の導電性材料118は、基板112内に形成することも可能であり、第1の導電性材料118の上部表面が基板112の主表面114によって画定される平面と同じ平面を占有する。いくつかの実施形態では、第1の導電性材料118と基板112の間に1つまたは複数の障壁材料を提供することができる。

【0030】

ドレイン領域150は、ドレイン・コンタクトとして作用する第2の導電性材料148と結合されたドレイン材料152を含むことができる。トランジスタ100が基板112の主表面114に対して垂直方向に配置される実施形態では、第2の導電性材料148はドレイン材料152の頂上に形成することができる。

20

【0031】

チャンネル領域140は、ソース材料122とドレイン材料152の間に結合されたチャンネル材料142を含むことができる。材料122、142、152は、さらに、少なくとも部分的に、図1Aに示されている(図1Bには示されていない)第1の絶縁性材料160内に置くことも可能である。第1の絶縁性材料160は、トランジスタ100を取り囲み、かつ、支持することができる。第1の絶縁性材料160は従来の層間誘電材料であってもよい。第2の絶縁性材料144は、第3の導電性材料124で形成されたゲート電極126からチャンネル材料142を隔離することができる。第2の絶縁性材料144は、チャンネル材料142の側壁に沿って提供することができ、また、いくつかの実施形態では、ソース材料122およびドレイン材料152の側壁に沿って提供することができる。第2の絶縁性材料144は、酸化物(例えば二酸化ケイ素(SiO_2)、 HfO_2 、 Al_2O_3 またはそれらの組合せなどの高K材料)などの従来のゲート絶縁体材料で形成することができる。第2の絶縁性材料144は「ゲート酸化物」と呼ぶことも可能である。

30

【0032】

ゲート電極126は、トランジスタ100がイネーブル(すなわち「オン」)されると、チャンネル領域140と動作的に相互接続して、チャンネル領域140を流れる電流を選択的に許容するように構成される。しかしながらトランジスタ100がディセーブル(すなわち「オフ」)されると、矢印146で示されているようにドレイン領域150からソース領域120へ電流がリークし得る。ゲート電極126は、データ/知覚線(例えばビット線)として構成することができる第1の導電性材料118に対して直角に配置されたアクセス線(例えば語線)として構成することができる。

40

【0033】

トランジスタ100は、ソース材料122、チャンネル材料142およびドレイン材料152が異なるレベルの移動度を示す異なるタイプの材料であるハイブリッド・トランジスタであってもよい。いくつかの実施形態では、ソース材料122およびドレイン材料152は、バンドギャップがより高く、かつ、移動度がより低い材料から形成されたチャンネル材

50

料 1 4 2 に対して、バンドギャップがより低く、かつ、移動度がより高い材料から形成することができる。例えばソース材料 1 2 2 およびドレイン材料 1 5 2 は、ドーパされた半導体材料 (例えば Si、SiGe、Ge、SiCo、Transition Metal Dichalcogenides (TMD)、等々) から形成することができ、また、チャンネル材料 1 4 2 は、酸化物半導体材料 (例えば ZTO、IGZO、IZO、ZnO_x、InO_x、In₂O₃、SnO₂、TiO_x、Zn_xO_yN_z、Mg_xZn_yO_z、In_xZn_yO_z、In_xGa_yZn_zO_a、Zr_xIn_yZn_zO_a、Hf_xIn_yZn_zO_a、Sn_xIn_yZn_zO_a、Al_xSn_yIn_zZn_aO_d、Si_xIn_yZn_zO_a、Zn_xSn_yO_z、Al_xZn_ySn_zO_a、Ga_xZn_ySn_zO_a および Zr_xZn_ySn_zO_a、InGaSiO および他の同様の材料、等々) から形成することができる。ドーパされた半導体材料は、N - ドープ材料または P - ドープ材料を含むことができる。ドーピングは、必要に応じて一様であっても、あるいは非一様であってもよい。いくつかの実施形態では、ソース材料 1 2 2 および / またはドレイン材料 1 5 2 は、低バンドギャップ金属酸化物 (例えばドーパされた、またはドーパされていない) から形成することができる。

10

【0034】

ハイブリッド・トランジスタ 1 0 0 は、ソース材料およびドレイン材料 1 1 2、1 5 2 に対してオフセットした高価電子帯を有するチャンネル材料 1 4 2 を含み、これは、一様な非晶質酸化物半導体材料が 2 つの導電性コンタクトの間を展開する従来のトランジスタと同様、ゲート誘導ドレイン・リーク (GIDL) を低減することができるチャンネル領域 1 4 0 の内部の高価電子帯からのトンネリングを抑制することができる。しかしながらソース材料およびドレイン材料 1 2 2、1 5 2 は、チャンネル材料 1 4 2 より高い移動度を有することができ、これは、ソース・コンタクトおよびドレイン・コンタクト (材料 1 1 8、1 4 8) との接触抵抗 (R_{CON}) を改善することができ、また、従来のデバイスに対してオン電流 (I_{ON}) を同じく改善することができる。したがってハイブリッド・トランジスタ 1 0 0 は、従来のデバイスに対して、大きいオン電流 (I_{ON}) および小さいオフ電流 (I_{OFF}) を有する組み合わせの利点を示すことができる。さらに、ゲート長 (L_G) ならびに異なる材料 1 2 2、1 4 2、1 5 2 の長さを選択して、必要に応じて他のデバイス・メトリックス (例えば DIBL、SVTM、等々) を調整することができる。

20

【0035】

いくつかの実施形態では、材料 1 2 2、1 4 2、1 5 2 は、示されているように離散領域であってもよい。したがって個々の領域内では、それぞれの材料 1 2 2、1 4 2、1 5 2 は少なくとも実質的に一様で、それらの間の移行は全く異なってもよい。いくつかの実施形態では、材料 1 2 2、1 4 2、1 5 2 は、実質的に一様になる前に、とりわけ移行領域において、合わせて配合することができる。いくつかの実施形態では、チャンネル材料 1 4 2 からソース材料およびドレイン材料 1 2 2、1 5 2 までのバンドギャップは、一様に勾配を付けることができる。チャンネル材料 1 4 2 の長さは、ゲート電極 1 2 4 にほぼ等しい長さとして示されているが、チャンネル材料 1 4 2 の長さは、必要に応じてもっと短くすることも、あるいはもっと長くすることも可能である。いくつかの実施形態では、場合によっては、ソース材料およびドレイン材料 1 2 2、1 5 2 の長さに対してチャンネル材料 1 4 2 の長さをより短くし、それによりオン電流 (I_{ON}) を大きくし、その一方で許容可能なオフ電流 (I_{OFF}) を依然として維持することが望ましい。

30

40

【0036】

第 1 の導電性材料 1 1 8 および第 2 の導電性材料 1 4 8 の各々は、1 つの金属、金属の混合物または異なる金属の層で形成することができる。例えばそれらに限定されないが、第 1 の導電性材料 1 1 8 および / または第 2 の導電性材料 1 4 8 は、窒化チタン、銅、タングステン、窒化タングステン、モリブデン、他の導電性材料およびそれらの任意の組合せで形成することができる。

【0037】

いくつかの実施形態では、第 2 の導電性材料 1 4 8 は、ゲート電極 1 2 6 の第 3 の導電性

50

材料 1 2 4 と平行の線で提供することができる。第 2 の導電性材料 1 4 8 は、例えば複数のメモリ・セルを第 2 の導電性材料 1 4 8 で形成しなければならない場合、整列したセグメント（例えば図 4 に示されているように）で形成することができる。第 2 の導電性材料 1 4 8 の個々の整列したセグメントは、個別のメモリ・セルのドレイン領域 1 5 0 に結合することができる。第 2 の導電性材料 1 4 8 をセグメント化することにより、第 2 の導電性材料 1 4 8 の個々のセグメントを互いに電氣的に隔離することができる。

【 0 0 3 8 】

ゲート電極 1 2 6 の第 3 の導電性材料 1 2 4 は、1 つの金属から、金属の混合物から、または異なる金属の層から形成することができる。例えばそれには限定されないが、ゲート電極 1 2 6 の第 3 の導電性材料 1 2 4 は窒化チタンで形成することができる。障壁材料（図示せず）は、ゲート電極 1 2 6 と周囲の構成要素の間に提供することができる。ゲート電極 1 2 6 を形成している第 3 の導電性材料 1 2 4 は、第 1 の絶縁性材料 1 6 0 によって第 1 の導電性材料 1 1 8 から隔離することができる。

10

【 0 0 3 9 】

トランジスタ 1 0 0 がメモリ・セルなどのメモリ構造内に組み込まれる実施形態の場合、記憶素子（図示せず）は、トランジスタ 1 0 0 と動作連絡してメモリ・セルを形成することができる。メモリ・セルは、ソース領域、ドレイン領域およびチャネル領域を含むアクセス・トランジスタを含み、チャネル領域は、チャネル材料のための、ソース材料およびドレイン材料に対して異なる材料タイプを含む。異なる材料タイプは、互いに対して、バンドギャップがより低く、かつ、移動度がより高いか、あるいはバンドギャップがより高く、かつ、移動度がより低いかのいずれかである異なる領域を含むことができる。メモリ・セルは、トランジスタと動作連絡している記憶素子をさらに含む。当業者に知られている異なる構成の記憶素子が企図されている。例えば記憶素子（例えばコンデンサ）は、コンテナ構造、プレーナ構造、等々として構成することができる。アクセス・トランジスタは、記憶素子に蓄積された電荷の読出しおよび/または書込み操作を可能にする。トランジスタ 1 0 0 は、3 D 交点メモリ・アレイ内などのメモリ・デバイス（例えば R R A M（登録商標）デバイスなどの抵抗可変メモリ・デバイス、C B R A M デバイス、M R A M デバイス、P C M メモリ・デバイス、P C R A M デバイス、S T T R A M デバイス、酸素空孔ベース・メモリ・デバイスおよび/またはプログラマブル導体メモリ・デバイス）内のアクセス・トランジスタまたは他のセレクト・デバイスとして組み込むことができる。

20

30

【 0 0 4 0 】

ハイブリッド・トランジスタを動作させる方法が同じく開示される。方法は、ゲート電圧をゲート電極に印加して、ソース領域とドレイン領域の間に結合されたチャネル領域を通る駆動電流を流すことによってハイブリッド・トランジスタをイネーブルすることを含み、チャネル領域は、それぞれ低バンドギャップ高移動度材料を含むソース領域およびドレイン領域に対して高バンドギャップ低移動度材料を含む。

【 0 0 4 1 】

詳細には、トランジスタ 1 0 0 は、第 1 の低バンドギャップ高移動度材料、高バンドギャップ低移動度材料および第 2 の低バンドギャップ高移動度材料を通して流れる電流を許容するために、選択的に「オン」状態にする（すなわちイネーブルする）ことができる。また、トランジスタ 1 0 0 は、電流を実質的に停止するために、選択的に「オフ」状態にする（すなわちディセーブルする）ことも可能である。選択デバイスと共に組み込まれる場合、トランジスタ 1 0 0 のイネープリングまたはディセープリングは、所望の構造に接続し、あるいは開放することができる。アクセス・トランジスタとして組み込まれる場合、トランジスタ 1 0 0 は、特定の動作（例えば読出し、書込み、等々）の間、記憶素子へのアクセスをイネーブルすることができる。しかしながら電流は、記憶素子から「オフ」状態のチャネル領域 1 4 0 を通って矢印 1 4 6 の方向、および/または他の方向に「リーク」し得る。メモリ・セルのリフレッシュは、適切な二進値（例えば 0 または 1）に対応する電荷に記憶素子を回復するために、個々のメモリ・セルの読出しおよび再充電を含むことができる。

40

50

【 0 0 4 2 】

図 1 A および図 1 B に示されているように、材料 1 2 2、1 4 2、1 5 2 は、バンドギャップがより低く、かつ、移動度がより高い材料（例えばソース材料 1 2 2、ドレイン材料 1 5 2）と、バンドギャップがより高く、かつ、移動度がより低い材料（例えばチャンネル 1 4 2）との間で互い違いになる 3 つの全く異なる領域として示されている。他の構成も同じく企図されている。例えばチャンネル領域 1 4 0 は、4 つ以上である追加領域を含むことができる。例えば図 2 に示されているように、チャンネル領域 1 4 2 は、バンドギャップがより高く、かつ、移動度がより低い材料（例えば 1 4 2 A、1 4 2 C）と、バンドギャップがより低く、かつ、移動度がより高い材料（例えば 1 4 2 B）との間で互い違いになるチャンネル材料 1 4 2 A、1 4 2 B、1 4 2 C を含むことができる。

10

【 0 0 4 3 】

図 1 A、図 1 B および図 2 に示されているように、ゲート電極 1 2 6 は、チャンネル材料 1 4 2 の側壁のうち的一方に沿って通っている片面ゲートを含むことができる。他の構成も同じく企図されている。例えば図 3 に示されているように、ゲート電極 1 2 6 は、チャンネル材料 1 4 2 の側壁の各々の少なくとも一部に沿って電極が提供された両面ゲートを含むことができる。いくつかの実施形態では、ゲート電極 1 2 6 は、チャンネル材料 1 4 2 の両側壁および前面壁または背面壁の各々の少なくとも一部に沿って電極が提供された 3 面ゲートを含むことができる。したがってゲート電極 1 2 6 は「U」ゲートとして構成することができる。さらに他の実施形態では、ゲート電極 1 2 6 は、チャンネル材料 1 4 2 の両側壁、前面壁および背面壁の各々を共形で覆う取巻きゲートを含むことができる。さらに他の実施形態では、ゲート電極 1 2 6 は、チャンネル材料 1 4 2 の両側壁、前面壁および背面壁の各々の一部のみを取り囲むリング・ゲートを含むことができる。様々な構成のゲート電極 1 2 6 の形成は、当技術分野で知られている技法に従って達成することができる。したがってこれらの他の構成を形成するための詳細は、本明細書においては提供されない。

20

【 0 0 4 4 】

図 4 は、上で考察した複数のタイプの材料 1 2 2、1 4 2、1 5 2 を有するトランジスタ 1 0 0 の略斜視図である。トランジスタ 1 0 0 は、本開示の実施形態によるメモリ・アレイの対応するメモリ・セルのためのアクセス・トランジスタとして利用することができる。したがってトランジスタ 1 0 0 は、対応する記憶素子（図示せず）に結合してメモリ・セルを形成することができる。上で考察したように、当業者には明らかであるように様々な構成の記憶素子が企図されている。個々のメモリ・セルは、その側面の寸法に従ってセル面積を画定している。個々の側面はセル側面寸法を有することができる。セルは、等しい幅および長さのセル側面寸法を有することができる。個々のメモリ・セルのコンデンサの寸法は比較的小さくすることができる。また、メモリ・セルは、互いに密に実装することができる。いくつかの実施形態では、本開示の個々のメモリ・セルのセル側面寸法は、2 F に実質的に等しいか、またはそれ未満であってもよく、F は、当技術分野では、従来の製造技法によって製造することができる最も小さい特徴サイズとして知られている。したがって個々のメモリ・セルのセル面積は、実質的に $4 F^2$ に等しくすることができる。

30

【 0 0 4 5 】

このようなメモリ・アレイは、同じ水平平面内の行および列で整列したメモリ・セルを含むことができる。個々のトランジスタ 1 0 0 のソース領域 1 2 0 を形成している第 1 の導電性材料 1 1 8 は、個々のトランジスタ 1 0 0 のための積み重ねられた材料 1 2 2、1 4 2、1 5 2 に対して直角に配置することができる。同様に、個々のトランジスタ 1 0 0 のためのドレイン・コンタクトを形成している第 2 の導電性材料 1 4 8 は、個々のトランジスタ 1 0 0 の積み重ねられた材料 1 2 2、1 4 2、1 5 2 に対して直角に配置することができる。第 2 の絶縁性材料 1 4 4 およびゲート電極 1 2 6 は、チャンネル材料 1 4 2 に対して平行に、かつ、第 1 の導電性材料 1 1 8 および第 2 の導電性材料 1 4 8 に対して直角に配置することができる。特定の行内の複数のメモリ・セルは、同じゲート電極 1 2 6、第 2 の絶縁性材料 1 4 4 およびチャンネル材料 1 4 2 と動作連絡することができる。したがって例えば第 1 のメモリ・セルのチャンネル領域 1 4 0 と動作連絡しているゲート電極 1 2 6

40

50

は、第1のメモリ・セルの隣の第2のメモリ・セルのチャンネル領域140と同じく動作連絡することができる。相応じて、特定の列内の複数のメモリ・セルは、同じ第1の導電性材料118および第2の導電性材料148と動作連絡することができる。

【0046】

半導体デバイスを形成する方法が開示される。方法は、基板によって支持されたハイブリッド・トランジスタを形成することを含み、ハイブリッド・トランジスタを形成することは、第1の低バンドギャップ高移動度材料を含むソースを形成することと、第1の低バンドギャップ高移動度材料と結合された高バンドギャップ低移動度材料を含むチャンネルを形成することと、高バンドギャップ低移動度材料と結合された第2の低バンドギャップ高移動度材料を含むドレインを形成することと、ゲート酸化物材料を介してチャンネルから分離されたゲートを形成することとを含む。

10

【0047】

図5Aから図5Jは、メモリ・セルを形成する方法の開示される実施形態による製造プロセスの様々なステージを示したものである。この方法は、上で考察し、また、図1Aおよび図1Bに示されているようなトランジスタ100の製造をもたらすことができる。

【0048】

とりわけ図5Aを参照すると、方法は、主表面114を有する基板112を形成することを含むことができる。基板112または少なくとも主表面114は、半導体材料（例えばシリコン）または当技術分野で知られている他の材料で形成することができる。

【0049】

図5Bを参照すると、方法は、基板112によって支持された第1の導電性材料118を形成することを含む。第1の導電性材料118は、図1Bに示されているように、基板112の主表面114を覆っている連続層で形成することができる。第1の導電性材料118は、別法として、図5Bに示されているように、基板112の上または基板112内の細長い線として形成することも可能である。第1の導電性材料118の細長い線は、整列したメモリ・セルのアレイ内のメモリ・セルを含む実施形態の中に含めるために導電性であってもよい。したがって1つのメモリ・セルの第1の導電性材料118は、特定の行または列の中の他のメモリ・セルまで展開することができる。第1の導電性材料118の複数の整列した細長い線は、平行に配置することができ、また、基板112の一部によって互いに分離することができる。

20

30

【0050】

図5Bに示されているように、第1の導電性材料118は、第1の導電性材料118の頂部表面が基板112の主表面114によって画定される平面と整列するよう、基板112内の金属の線として形成されている。いくつかの実施形態では、方法は、基板112中にトレンチをエッチングすること、および第1の導電性材料118をトレンチ内に堆積させることを含むことができる。第1の導電性材料118を形成することは、第1の導電性材料118の頂部表面および基板112の主表面114を平坦化すること、または第1の導電性材料118の頂部表面のみを平坦化することをさらに含むことができる。第1の導電性材料118および基板112の平坦化は、研磨材平坦化、化学機械研磨または平坦化（CMP）、エッチング・プロセスまたは他の知られている方法を含むことができる。

40

【0051】

図5Cを参照すると、この方法は、第1の導電性材料118から隔離された第3の導電性材料124を形成することをさらに含む。第1の導電性材料118から隔離された第3の導電性材料124を形成することは、第3の導電性材料124が第1の絶縁性材料160内にフローティングで出現するように第3の導電性材料124を形成することを含むことができる。これらの技法は、第1の量の第1の絶縁性材料160を堆積させること、堆積した第1の量の第1の絶縁性材料160の頂部表面の上または表面の中に第3の導電性材料124を形成すること、および第3の導電性材料124を覆うために第2の量の第1の絶縁性材料160を加えることを含むことができる。この方法は、第2の量の第1の絶縁性材料160の頂部表面を平坦化することをさらに含むことができる。第2の量の第1の

50

絶縁性材料 160 の頂部表面の平坦化は、上で言及した平坦化技法、または当業者によって選択される別の適切な技法のうちの任意の技法を使用して達成することができる。

【0052】

図 5 D および図 5 E を参照すると、この方法は、第 1 の導電性材料 118 および第 3 の導電性材料 124 の一部と少なくとも部分的に境界をなす開口を形成することをさらに含む。このような開口の形成は、1 つまたは複数のステージで達成することができる。開口は、図 2 D に示されているように、第 1 の開口 128 を形成して第 1 の導電性材料 118 の一部を露出させ、次に、図 2 E に示されているように、第 2 の開口 130 を形成して第 3 の導電性材料 124 の一部を同じく露出させることによって形成することができる。別法としては、開口は、第 1 の導電性材料 118 および第 3 の導電性材料 124 の両方を 1 つのステップで露出させることによって形成することも可能である。開口を形成して第 1 の導電性材料 118 および第 3 の導電性材料 124 の一部を露出させるための適切な 1 つまたは複数の技法の選択および実施については、当業者には理解され得る。これらの技法は、第 1 の開口 128 を形成して第 1 の導電性材料 118 の一部と接触するための第 1 の絶縁性材料 160 の等方性エッチングを含むことができる。技法は、その前に形成された第 1 の開口 128 の幅を第 3 の導電性材料 124 の一部が同じく露出するまで広げ、したがって第 2 の開口 130 を形成するための第 1 の絶縁性材料 160 の異方性エッチングをさらに含むことができる。例えばそれには限定されないが、第 2 の開口 130 は、反応性イオン・エッチ・プロセスを使用して形成することができる。

10

【0053】

このような技法を使用して、第 1 の導電性材料 118 および第 3 の導電性材料 124 と少なくとも部分的に境界をなす開口を形成しているため、第 3 の導電性材料 124 は、第 1 の導電性材料 118 の配置からオフセットさせることができる。すなわちいくつかの実施形態では、第 3 の導電性材料 124 は、第 1 の導電性材料 118 の水平方向の側面が第 3 の導電性材料 124 の水平方向の側面と垂直方向に整列するよう、第 1 の導電性材料 118 との正確なアライメントで形成することができる。このような実施形態では、第 3 の導電性材料 124 は、第 1 の導電性材料 118 と完全に重畳し、かつ、整列することができる。他の実施形態では、第 3 の導電性材料 124 および第 1 の導電性材料 118 のうちの一方は、基板 112 の主表面 114 に対して直角の垂直方向の平面が材料 124、118 のうちの一方を貫通して、他の材料 118、124 と交差するようにもう一方と完全に重畳することができる。他の実施形態では、第 3 の導電性材料 124 は、第 1 の導電性材料 118 および第 3 の導電性材料 124 の両方の少なくとも一部が基板 112 の主表面 114 に対して直角の垂直方向の平面の空間を占有するよう、第 1 の導電性材料 118 と部分的に重畳するように形成することができる。さらに他の実施形態では、第 3 の導電性材料 124 は、基板 112 の主表面 114 に対して直角の垂直方向のどの平面も、第 1 の導電性材料 118 および第 3 の導電性材料 124 の両方と交差しないよう、第 1 の導電性材料 118 から完全にオフセットさせることができる。第 1 の導電性材料 118 および第 3 の導電性材料 124 の重畳位置または非重畳位置に無関係に、開口 130 の形成に際しては、第 1 の導電性材料 118 の少なくとも一部が露出され、また、第 3 の導電性材料 124 の少なくとも一部が露出される。

20

30

【0054】

示されている実施形態によれば、形成された第 2 の開口 130 は、第 1 の導電性材料 118 の上部部分によって、第 2 の開口 130 の底部 136 に沿って少なくとも部分的に境界をなし、また、第 3 の導電性材料 124 の側面部分によって、第 2 の開口 130 の一方の側壁 134 に沿って少なくとも部分的に境界をなしている。片面ゲート電極 126 を含む実施形態では、第 2 の開口 130 は、第 1 の絶縁性材料 160 を貫通するトレンチを形成し、第 1 の導電性材料 118 および第 3 の導電性材料 124 の少なくとも一部を露出させることによって形成することができる。ゲート電極 126 が両面ゲート、取巻きゲート、リング・ゲートまたは「U」ゲートである実施形態などの他の実施形態では、第 2 の開口 130 を形成することは、第 3 の導電性材料 124 の中央部分を除去して、第 3 の導電性

40

50

材料 1 2 4 を貫通する第 2 の開口 1 3 0 を形成することを含むことができる。このような第 2 の開口 1 3 0 は、第 1 の導電性材料 1 1 8 の上部部分によって、第 2 の開口 1 3 0 の底部 1 3 6 に沿って部分的に境界をなすことができ、また、第 3 の導電性材料 1 2 4 の側面部分によって、複数の側壁 1 3 4 に沿って境界をなすことができる。

【 0 0 5 5 】

図 5 F を参照すると、方法は、形成された開口 1 3 0 の側壁 1 3 4 上に第 2 の絶縁性材料 1 4 4 を形成することを含む。第 2 の絶縁性材料 1 4 4 は、酸化物などの誘電材料で形成することができる。第 2 の絶縁性材料 1 4 4 は、材料を側壁 1 3 4 上に共形で堆積させることによって形成することができる。例えばそれには限定されないが、第 2 の絶縁性材料 1 4 4 は原子層堆積法 (A L D) によって形成することができる。第 2 の開口 1 3 0 の側壁 1 3 4 上に第 2 の絶縁性材料 1 4 4 を形成するための適切な技法の選択および実施については、当業者には理解され得る。第 2 の開口 1 3 0 の側壁 1 3 4 に沿って第 2 の絶縁性材料 1 4 4 を形成することにより、第 2 の開口 1 3 0 の幅を狭くすることができ、少し狭い開口 1 3 0 を形成することができる。

10

【 0 0 5 6 】

第 2 の絶縁性材料 1 4 4 を形成することは、第 2 の開口 1 3 0 の側壁 1 3 4 上だけでなく、第 3 の導電性材料 1 2 4 の露出した表面にも第 2 の絶縁性材料 1 4 4 を形成することを含むことができる。従来のスペーサ・エッチング技法などの材料除去技法を使用して、第 1 の導電性材料 1 1 8 の上部表面を覆っている第 2 の絶縁性材料 1 4 4 を除去し、その一方で、第 2 の絶縁性材料 1 4 4 によって覆われた第 3 の導電性材料 1 2 4 を残すことができる。

20

【 0 0 5 7 】

図 5 G から図 5 I を参照すると、開口 1 3 0 に、異なるバンドギャップおよび移動度特性を示す異なるタイプの材料を含むハイブリッド・トランジスタを形成するソース材料 1 2 2 (図 5 G) 、チャンネル材料 1 4 2 (図 5 H) およびドレイン材料 1 5 2 (図 5 I) のための材料が充填される。いくつかの実施形態では、ソース材料 1 2 2 およびドレイン材料 1 5 2 は同じ材料タイプの材料であってもよく、一方、第 2 の材料 1 4 2 は異なる材料タイプの材料であってもよい。

【 0 0 5 8 】

非制限の実施例として、ソース材料 1 2 2 およびドレイン材料 1 5 2 は、バンドギャップがより低く、かつ、移動度がより高い材料から形成することができ、また、チャンネル材料 1 4 2 は、バンドギャップがより高く、かつ、移動度がより低い材料から形成することができる。例えばそれには限定されないが、開口 1 3 0 には、第 1 の導電性材料 1 1 8 の上に配置されたソース材料 1 2 2 を形成するために (図 5 G を参照されたい) 、ドーパされた半導体材料 (例えば N ドープ) を充填することができる。開口 1 3 0 には、次に、ソース材料 1 2 2 の上に配置されたチャンネル材料 1 4 2 を形成するために (図 5 H を参照されたい) 、酸化物半導体材料を充填することができる。開口 1 3 0 には、次に、チャンネル材料 1 4 2 の上に配置されたドレイン材料 1 5 2 を形成するために、ドーパされた半導体材料 (例えば N ドープ) を充填することができる。トランジスタ 1 0 0 の他の構成要素 (例えば第 1 の導電性材料 1 1 8 、第 3 の導電性材料 1 2 4 および第 2 の絶縁性材料 1 4 4) を摂氏 8 0 0 度未満の製造温度で形成するための従来の技法は当技術分野で知られている。このような技法には、場合によっては、例えば摂氏 6 5 0 度未満の製造温度 (例えば摂氏 2 0 0 度から 6 0 0 度の範囲の温度) が必要である。方法は、第 1 の絶縁性材料 1 6 0 、第 2 の絶縁性材料 1 4 4 およびドレイン材料 1 5 2 の上部表面を平坦化することと同じく含むことができる。これらの上部表面の平坦化は、任意の平坦化技法を使用して達成することができる。

30

40

【 0 0 5 9 】

図 5 J を参照すると、方法は、ドレイン材料 1 5 2 の頂上に、ドレイン材料 1 5 2 と接触して第 2 の導電性材料 1 4 8 を形成することをさらに含む。メモリ・セルをさらに形成する場合、第 2 の導電性材料 1 4 8 の真上に記憶素子 (例えばコンデンサ) を同じく形成し

50

、当業者に知られている様々な構成の記憶素子に従ってメモリ・セルを形成することができる。

【0060】

いくつかの実施形態では、トランジスタの形成は、ドレイン材料、チャネル材料およびソース材料を含む膜のスタックが堆積され、線を形成するために最初にエッチングされ、充填され、かつ、直角の方向にもう一度エッチングされて、ゲート酸化物およびゲート金属が後続するピラーを形成するゲート・ラスト・フロー・フォーメーションを含むことができる。当業者に知られている、トランジスタを形成する他の方法がさらに企図されている。

【0061】

図6および図7は、本開示の追加実施形態による垂直構成で構成されたトランジスタの略断面正面図である。垂直方向ハイブリッド・トランジスタ600、700の構造は、基板112および第1の導電性材料118に対して、異なるタイプのソース材料122、チャネル材料142およびドレイン材料152を垂直方向に積み重ねることができる点で概ね図1Aの構造に類似している。しかしながら図6では、ハイブリッド・トランジスタ600のチャネル材料142は、ソース材料122の頂部からドレイン材料152の底部まで先細りになっているワイド・ベースを有することができる。さらに、チャネル材料126は、ゲート電極126の長さによって画定されるチャネル長L全体にわたって垂直方向に展開することができる。ゲート電極126は、この先細りに適応するべく、わずかに角度を付けることができる。図7では、ソース材料122およびドレイン材料152は、ゲート電極126の長さによって画定されるチャネル領域中へ展開することができる。したがってソース材料112の少なくとも一部は、ゲート電極126の底部の上方まで展開することができ、また、ドレイン材料152の少なくとも一部は、ゲート電極126の頂部の下方まで展開することができる。したがってゲート電極126の長さによって画定されるチャネル領域140は、異なる材料タイプ（例えば低移動度材料および高移動度材料）を含むハイブリッド・チャネルであってもよい。チャネル領域140内のこれらの異なる材料122、142、152の長さを選択して、必要に応じて他のデバイス・メトリックス（例えばDIBL、SVTM、等々）を調整することができる。このような先細りチャネル領域の形成は、当業者に知られているように実施することができる。いくつかの実施形態では、チャネル材料142からソース材料およびドレイン材料122、152までのバンドギャップは、一様に勾配を付けることができる。いくつかの実施形態では、ソース材料およびドレイン材料122、152のドーピングは非一様であってもよい。例えばチャネル長L内のゲート電極126と重畳しているソース材料およびドレイン材料122、152の部分は、ゲート電極126の面積の外側の部分のソース材料およびドレイン材料122、152のより高いドーピング濃度に対して、より低いドーピング濃度を有することができる。

【0062】

いくつかの実施形態では、メモリ・セルは、プレーナ・アクセス・トランジスタ（すなわち水平アクセス・トランジスタとも呼ばれる）を含むように構造化することができる。図8および図9は、本開示の追加実施形態によるこのようなプレーナ・アクセス・トランジスタの非制限の実施例を示したものである。

【0063】

図8を参照すると、トランジスタ800は基板812を含むことができ、この基板812の上にトランジスタ800が支持される。ゲート電極824は基板812の上に配置することができる。いくつかの実施形態では、ゲート電極824のための導電性材料と基板812の間に追加材料814（例えば酸化シリコン材料）を配置することができる。ゲート酸化物材料840は、ゲート電極824の側壁の周囲を含むゲート電極824の真上に形成することができる。ソース材料822、チャネル材料842およびドレイン材料852は、ゲート酸化物材料840の上に形成することができ、かつ、ソース・コンタクト802を介して第1の導電性材料818と結合することができ、また、ドレイン・コンタクト804を介して第2の導電性材料848と結合することができる。材料822、842、

10

20

30

40

50

852は、上で考察したように異なる材料タイプから形成してハイブリッド・トランジスタを形成することができる。

【0064】

図8に示されているように、材料822、842、852の組合せは、ゲート酸化物材料840より短い幅を有することができ、また、第1の導電性材料818および第2の導電性材料848は、それぞれ、チャンネル領域844の少なくとも2つの側面を取り囲むことができる。材料822、842、852は、それらのそれぞれの導電性材料818、848の内側の端部の近傍に配置することができる。

【0065】

図9を参照すると、トランジスタ900は、図8と同様に積み重ねられた基板912、ゲート電極924、ゲート酸化物940およびソース材料922、チャンネル材料942およびドレイン材料952を含むことができる。図8の実施形態と図9の実施形態の間の1つの相違は、材料922、942、952およびゲート酸化物940の組合せは、長さにおいて実質的に同じ広がりを持つことができることである。さらに、第1の導電性材料918および第2の導電性材料948は、チャンネル領域944の頂面の、それぞれのチャンネル材料942A、942Cの外側の端部の近傍にのみ配置することができる。トランジスタ900は、チャンネル材料942の真上に形成されたエッチ停止材料960およびパッシベーション材料962などの追加材料をさらに含むことができる。頂部ゲート構成または底部ゲート構成を含む水平トランジスタの他の構成も同じく企図されている。

【0066】

図10Aおよび図10Bは、様々なゲート電圧を印加した場合のトランジスタの駆動電流(I_D)を示すグラフである。詳細には、図10Bのグラフ1050は、図10Aのグラフ1000の一部のズーム・イン拡大図である。線1002は、本開示の実施形態によるハイブリッド・トランジスタに対する異なるゲート電圧(V_G)によって得られる駆動電流 I_D を示している。線1004は、導電性コンタクト間に一様なチャンネルを有する従来のトランジスタに対する異なるゲート電圧(V_G)によって得られる駆動電流(I_D)を示している。図10Aおよび図10Bに示されているように、線1002に対するオフ電流(V_G がゼロ未満である場合の $I_{OFF} = I_D$)は線1004と同様であるが、オン電流(V_G がゼロより高い場合の $I_{ON} = I_D$)は、線1004と比較すると大きくなっている。したがってハイブリッド・トランジスタは、従来のデバイスに対して、大きいオン電流(I_{ON})および小さいオフ電流(I_{OFF})を有する利点を組み合わせることができる。

【0067】

半導体デバイスが同じく開示される。半導体デバイスは、上で考察したように構成されたハイブリッド・アクセス・トランジスタ、および該ハイブリッド・アクセス・トランジスタと動作可能に結合された記憶素子を個々に含むDRAMセルを含むダイナミック・ランダム・アクセス・メモリ(DRAM)アレイを含む。

【0068】

図11は、本明細書において説明されている1つまたは複数の実施形態に従って実現される半導体デバイス1100の簡易ブロック図である。半導体デバイス1100は、メモリ・アレイ1102および制御論理構成要素1104を含む。メモリ・アレイ1102は、上で説明したメモリ・セルを含むことができる。制御論理構成要素1104は、メモリ・アレイ1102内の任意またはすべてのメモリ・セルの読出し、書込みあるいはリフレッシュのために、メモリ・アレイ1102と動作可能に結合することができる。したがってダイナミック・ランダム・アクセス・メモリ(DRAM)アレイを含む半導体デバイスが開示される。DRAMアレイは複数のDRAMセルを含む。複数のDRAMセルの個々のDRAMセルは、上で考察したように、酸化物半導体材料を含むチャンネル領域、およびドーパされた半導体材料を含む1つまたは複数のソース領域またはドレイン領域を有するハイブリッド・アクセス・トランジスタを含む。

【0069】

10

20

30

40

50

システムが同じく開示される。システムはメモリ・セルのメモリ・アレイを含む。個々のメモリ・セルは、アクセス・トランジスタと、トランジスタと動作可能に結合された記憶素子とを含むことができる。アクセス・トランジスタは、上で考察したように構成することができる。

【0070】

図12は、本明細書において説明されている1つまたは複数の実施形態に従って実現される電子システム1200の簡易ブロック図である。電子システム1200は少なくとも1つの入力デバイス1202を含む。入力デバイス1202は、キーボード、マウスまたはタッチ・スクリーンであってもよい。電子システム1200は少なくとも1つの出力デバイス1204をさらに含む。出力デバイス1204は、モニター、タッチ・スクリーンまたはスピーカであってもよい。入力デバイス1202および出力デバイス1204は、必ずしも互いに分離可能である必要はない。電子システム1200は記憶デバイス1206をさらに含む。入力デバイス1202、出力デバイス1204および記憶デバイス1206はプロセッサ1208に結合されている。電子システム1200は、プロセッサ1208に結合されたメモリ・デバイス1210をさらに含む。メモリ・デバイス1210は、本明細書において説明されている1つまたは複数の実施形態による少なくとも1つのメモリ・セルを含む。メモリ・デバイス1210はメモリ・セルのアレイを含むことができる。電子システム1200は、計算処理産業製品または消費者製品を含むことができる。例えばそれらに限定されないが、システム1200は、パーソナル・コンピュータまたはコンピュータ・ハードウェア構成要素、サーバまたは他のネットワーク化ハードウェア構成要素、ハンドヘルド・デバイス、タブレット・コンピュータ、電子ノートブック、カメラ、電話、ミュージック・プレーヤ、無線デバイス、ディスプレイ、チップ・セット、ゲーム、車両または他の知られているシステムを含むことができる。

【0071】

本開示は、様々な変更態様およびその実施態様における代替形態が可能であるが、図面には一例として特定の実施形態が示されており、また、本明細書において詳細に説明された。しかしながら本開示には、開示されている特定の形態に限定されることは意図されていない。そうではなく、本開示は、以下の添付の特許請求の範囲およびそれらの合法的等価物によって定義されている本開示の範囲の範疇であるあらゆる変更態様、組合せ、等価物、変形形態および代替を包含している。

10

20

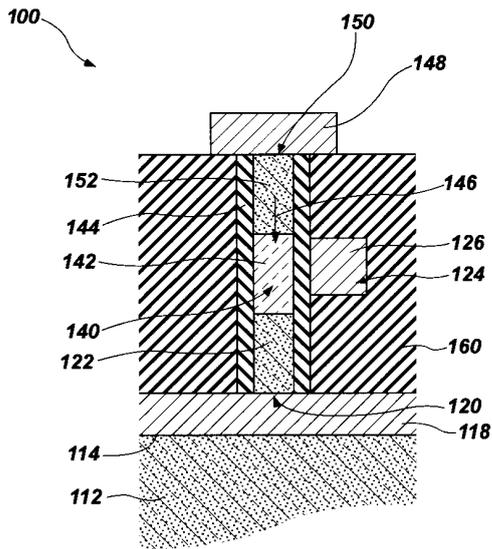
30

40

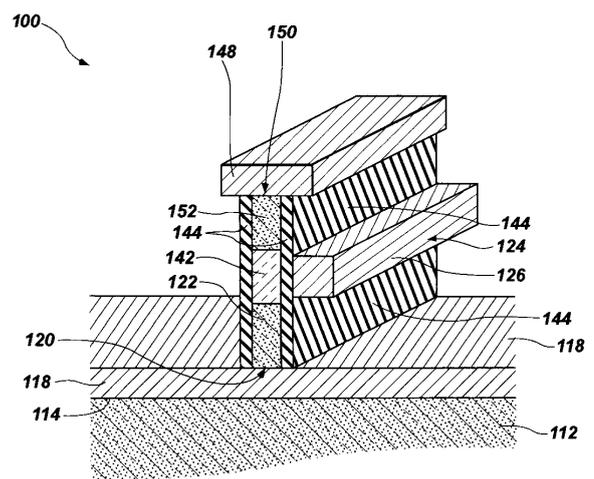
50

【図面】

【図 1 A】

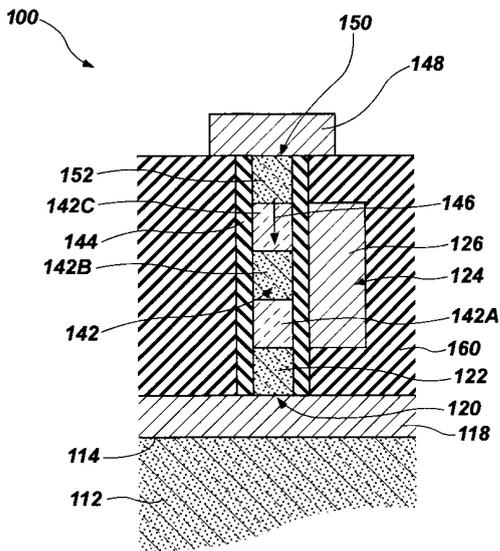


【図 1 B】

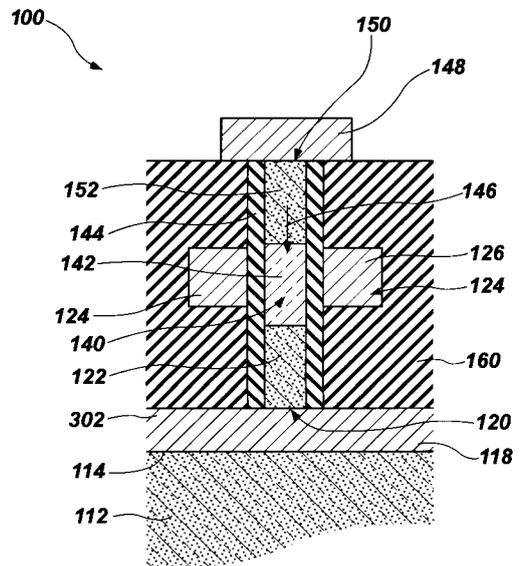


10

【図 2】



【図 3】



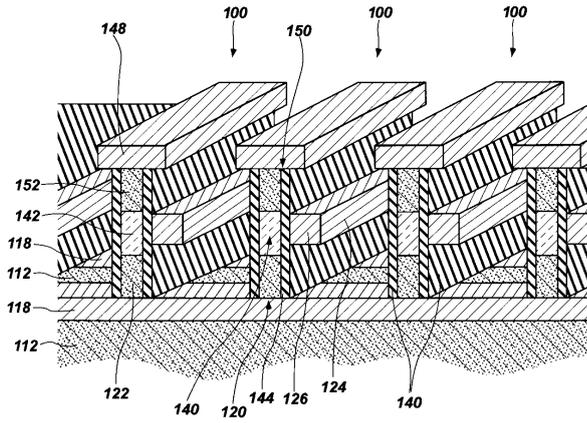
20

30

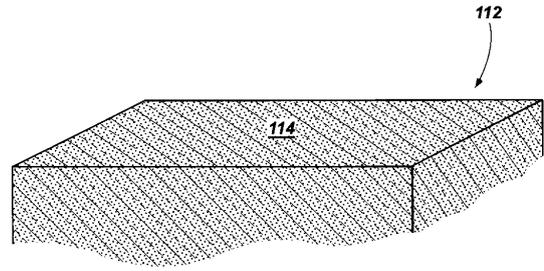
40

50

【 図 4 】

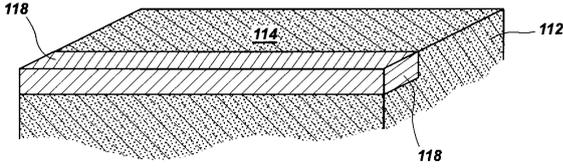


【 図 5 A 】

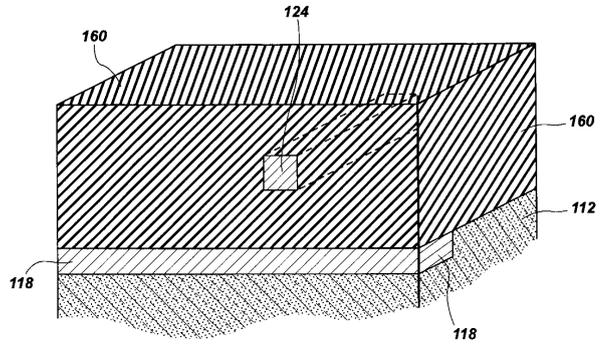


10

【 図 5 B 】



【 図 5 C 】



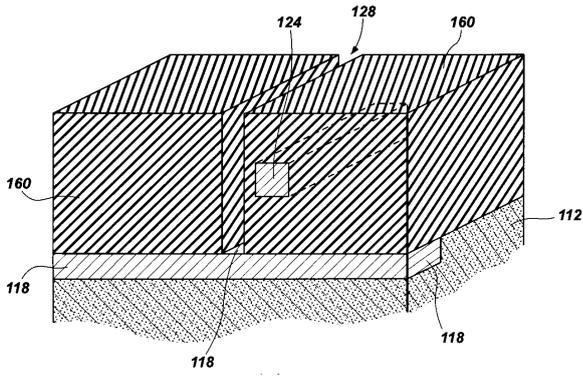
20

30

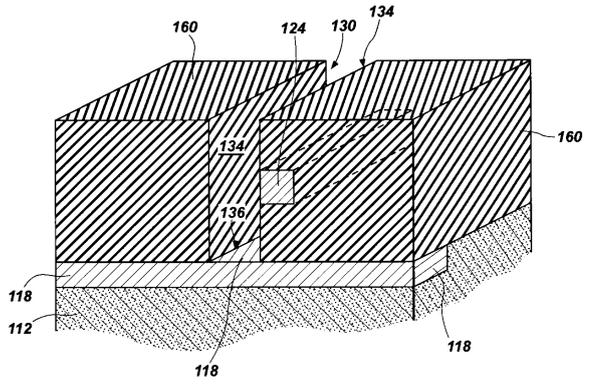
40

50

【図 5 D】

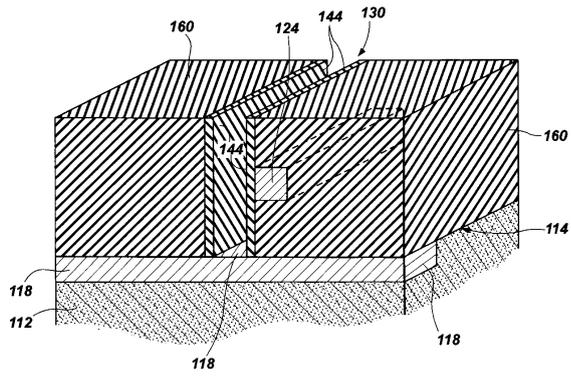


【図 5 E】

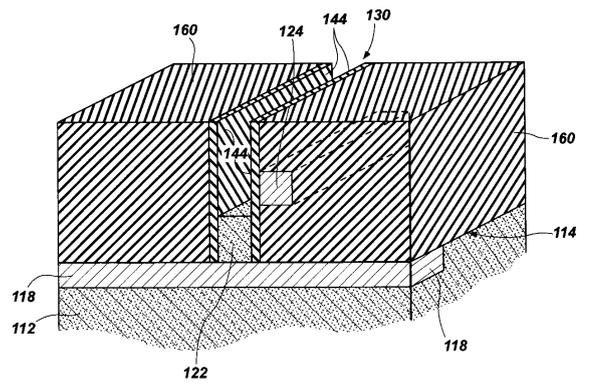


10

【図 5 F】

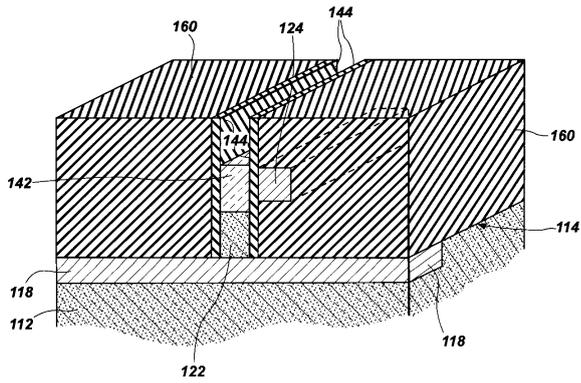


【図 5 G】

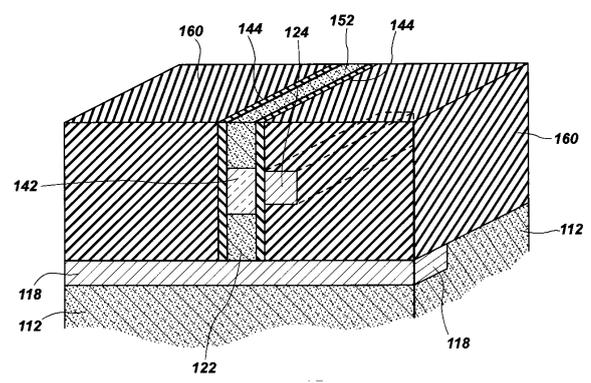


20

【図 5 H】



【図 5 I】

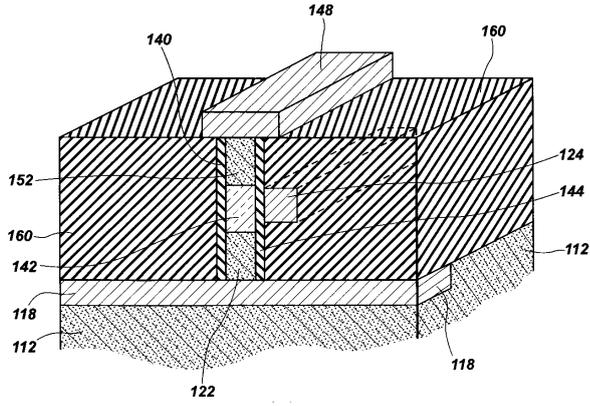


30

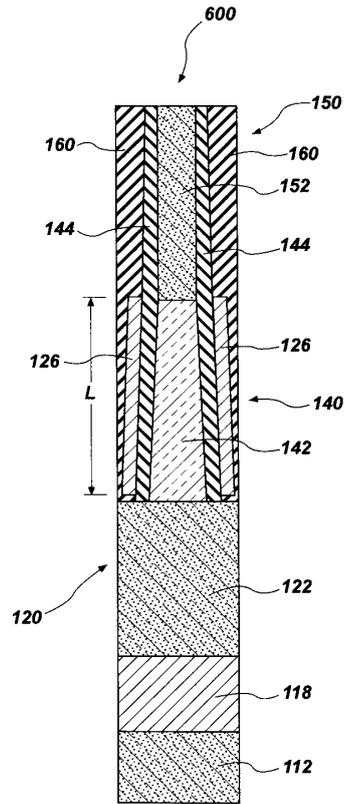
40

50

【 図 5 J 】



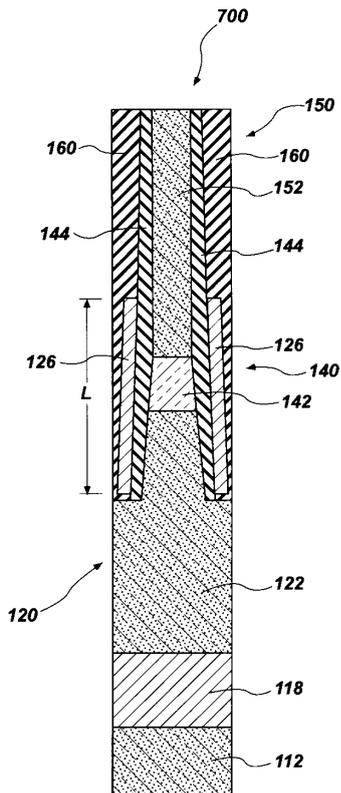
【 図 6 】



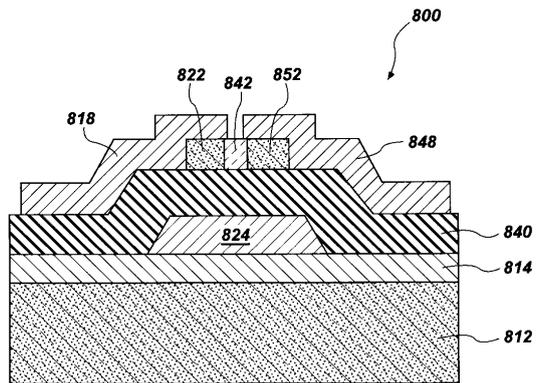
10

20

【 図 7 】



【 図 8 】

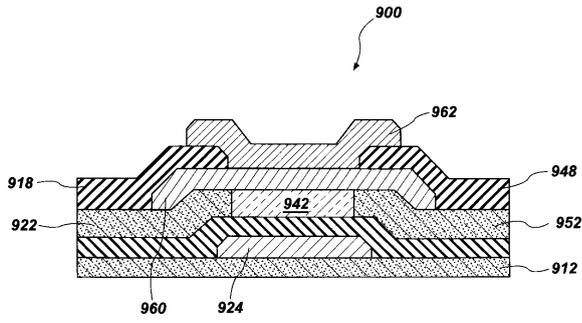


30

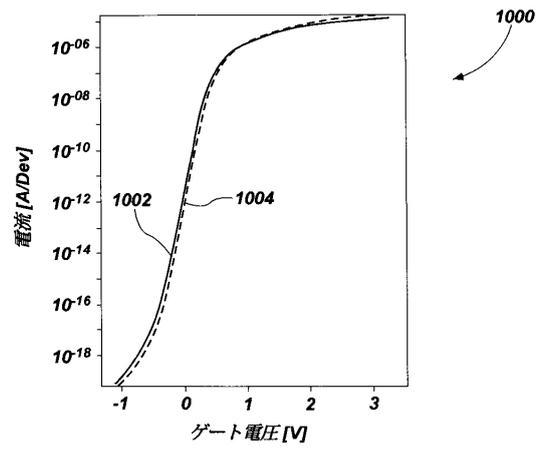
40

50

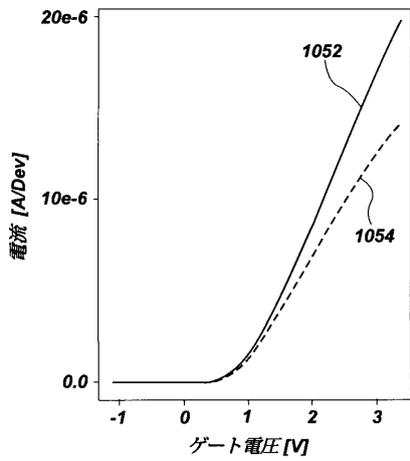
【図 9】



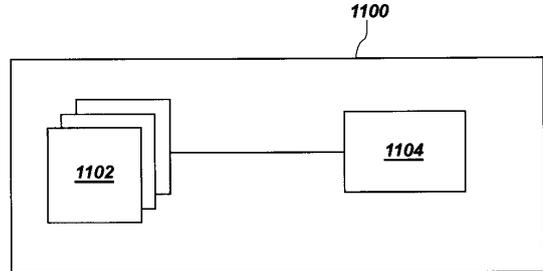
【図 10 A】



【図 10 B】



【図 11】



10

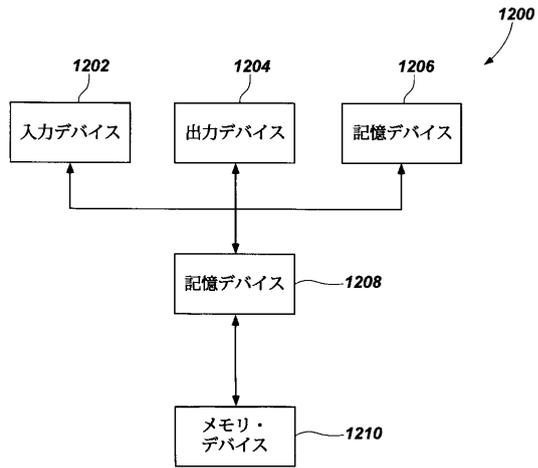
20

30

40

50

【 図 1 2 】



10

20

30

40

50

フロントページの続き

(51)国際特許分類

F I

H 0 1 L	29/78	6 1 7 N
H 0 1 L	29/78	6 1 7 T
H 0 1 L	29/78	6 1 8 B
H 0 1 L	29/78	6 1 8 C
H 0 1 L	29/78	6 2 6 A

(33)優先権主張国・地域又は機関

米国(US)

6, ボイズ, イースト レッド シダー レーン 2 5 4 7, アパートメント S 3 0 1

(72)発明者

リウ, ハイタオ

アメリカ合衆国, アイダホ州 8 3 7 1 6, ボイズ, イースト エスカープメント コート 6 5 8 2

(72)発明者

ラマスワミ, ドゥライ ヴィシャーケ ニルマル

アメリカ合衆国, アイダホ州 8 3 7 1 6, ボイズ, サウス ホースシュー ブレイス 5 8 6 9

審査官

上田 智志

(56)参考文献

特開2012-064934(JP, A)

特開2012-119664(JP, A)

米国特許第05739057(US, A)

特表2008-515224(JP, A)

特開2012-151461(JP, A)

米国特許出願公開第2013/0069052(US, A1)

米国特許出願公開第2015/0069320(US, A1)

(58)調査した分野

(Int.Cl., DB名)

H 0 1 L 2 9 / 7 8 6

H 0 1 L 2 1 / 3 3 6

H 0 1 L 2 7 / 1 1 5 8 2