

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4383718号  
(P4383718)

(45) 発行日 平成21年12月16日(2009.12.16)

(24) 登録日 平成21年10月2日(2009.10.2)

(51) Int.Cl. F I  
 HO 1 L 21/8242 (2006.01) HO 1 L 27/10 3 2 1  
 HO 1 L 27/108 (2006.01)

請求項の数 5 (全 19 頁)

<p>(21) 出願番号 特願2002-129174 (P2002-129174)                  (22) 出願日 平成14年4月30日 (2002. 4. 30)                  (65) 公開番号 特開2003-31696 (P2003-31696A)                  (43) 公開日 平成15年1月31日 (2003. 1. 31)                  審査請求日 平成17年4月11日 (2005. 4. 11)                  (31) 優先権主張番号 特願2001-141484 (P2001-141484)                  (32) 優先日 平成13年5月11日 (2001. 5. 11)                  (33) 優先権主張国 日本国(JP)</p>	<p>(73) 特許権者 000003078                  株式会社東芝                  東京都港区芝浦一丁目1番1号                  (74) 代理人 100092820                  弁理士 伊丹 勝                  (72) 発明者 渡辺 健                  神奈川県横浜市磯子区新杉田町8番地                  株式会社東芝 横浜                  事業所内                  審査官 小森 重樹</p>
---	--

最終頁に続く

(54) 【発明の名称】 半導体メモリ装置及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

S O I 基板の絶縁膜上に形成された半導体素子形成領域上にゲート絶縁膜を介して形成されたゲートと、

前記半導体素子形成領域に前記ゲート直下のチャンネル領域を介して互いに離隔して形成された第1および第2のソース/ドレインと、

第1の電位に設定された第1のデータ状態および第2の電位に設定された第2のデータ状態を記憶するものであり、前記第1のソース/ドレインと前記第2のソース/ドレインとに挟まれこれらと逆の導電型であるフローティングのチャンネルボディと、

を含む一つのトランジスタによりメモリセルが構成され、

前記トランジスタは、前記第1のソース/ドレインの少なくともチャンネル領域に接する部分が、前記第2のソース/ドレインの少なくともチャンネル領域に接する部分に比べて高不純物濃度に設定され、

前記トランジスタの第1のデータ状態は、前記第2のソース/ドレインを基準電位とし、前記ゲートに前記基準電位に対してチャンネルをオンさせる極性の第1の制御電圧を印加し、前記第1のソース/ドレインに第1の制御電圧と同極性の第2の制御電圧を印加して、前記第1のソース/ドレイン接合近傍でインパクトイオン化を起こして前記チャンネルボディに多数キャリアを注入することにより書き込まれ、

前記トランジスタの第2のデータ状態は、前記第1のソース/ドレインを前記基準電位とし、前記ゲートに前記第1の制御電圧を印加し、前記第2のソース/ドレインに前記第

1の制御電圧と同極性の第3の制御電圧を印加して、前記チャンネルボディの多数キャリアを前記第1のソース/ドレインに放出させることにより書き込まれる

ことを特徴とする半導体メモリ装置。

【請求項2】

S O I基板の絶縁膜上に形成された半導体素子形成領域上にゲート絶縁膜を介して形成されたゲートと、

前記半導体素子形成領域に前記ゲート直下のチャンネル領域を介して互いに離隔して形成された第1および第2のソース/ドレインと、

前記第1のソース/ドレイン上には形成されず、前記第2のソース/ドレイン上に形成されたシリコンよりも比誘電率が高い絶縁膜と、

前記第1のソース/ドレインと前記第2のソース/ドレインとに挟まれこれらと逆の導電型であるフローティングのチャンネルボディと、

を含む一つのトランジスタによりメモリセルが構成され、

前記トランジスタは、前記第1のソース/ドレイン接合近傍でインパクトイオン化を起こして前記チャンネルボディに多数キャリアを注入した第1のデータ状態と、前記ゲートからの容量結合により所定電位が与えられた前記チャンネルボディと前記第1のソース/ドレインの間に順方向バイアスを与えることにより前記チャンネルボディの多数キャリアを放出した第2のデータ状態とを記憶するものである

ことを特徴とする半導体メモリ装置。

【請求項3】

S O I基板の絶縁膜上に形成された半導体素子形成領域上にゲート絶縁膜を介して形成されたゲートと、

前記半導体素子形成領域に前記ゲート直下のチャンネル領域を介して互いに離隔して形成された第1のソース/ドレインと、

少なくともチャンネル領域に接する部分を有し、この部分よりも前記第1のソース/ドレインの少なくともチャンネル領域に接する部分の方が高不純物濃度に設定されている第2のソース/ドレインと、

前記第1ソース/ドレインと前記第2のソース/ドレインとに挟まれこれらと逆の導電型であるフローティングのチャンネルボディと、

を含む一つのトランジスタによりメモリセルが構成され、

前記トランジスタは、前記第1のソース/ドレイン接合近傍でインパクトイオン化を起こして前記チャンネルボディに多数キャリアを注入した第1のデータ状態と、前記ゲートからの容量結合により所定電位が与えられた前記チャンネルボディと前記第1のソース/ドレインの間に順方向バイアスを与えることにより前記チャンネルボディの多数キャリアを放出した第2のデータ状態とを記憶するものであることを特徴とする半導体メモリ装置。

【請求項4】

S O I基板の絶縁膜上に形成された半導体素子形成領域に形成され、互いに他から分離されたフローティングのチャンネルボディを持ってマトリクス配列された、第1のソース/ドレインのチャンネル領域に接する部分が第2のソース/ドレインのチャンネル領域に接する部分に比べて高不純物濃度に設定されたトランジスタと、

一方向に並ぶトランジスタのゲートが共通に接続されたワード線と、

前記ワード線と交差する方向に並ぶトランジスタの前記第1のソース/ドレインが共通に接続されたビット線と、

前記ワード線と交差する方向に並ぶ前記トランジスタの第2のソース/ドレインが共通に接続されたプレート線と

を備えてメモリセルアレイが構成され、

前記トランジスタは、前記第1のソース/ドレイン接合近傍でインパクトイオン化を起こして前記チャンネルボディに多数キャリアを注入した第1のデータ状態と、ゲートからの容量結合により所定電位が与えられた前記チャンネルボディと前記第1のソース/ドレインの間に順方向バイアスを与えることにより前記チャンネルボディの多数キャリアを放出した

10

20

30

40

50

第2のデータ状態とを記憶するものであることを特徴とする半導体メモリ装置。

【請求項5】

メモリセルが、SOI基板の絶縁膜上に形成された半導体素子形成領域上にゲート絶縁膜を介して形成されたゲートと、前記半導体素子形成領域に前記ゲート直下のチャネル領域を介して互いに離隔して形成された第1および第2のソース/ドレインと、第1の電位に設定された第1のデータ状態および第2の電位に設定された第2のデータ状態を記憶するものであり、前記第1のソース/ドレインと前記第2のソース/ドレインとに挟まれこれらと逆の導電型であるフローティングのチャネルボディとを含み、前記第1のソース/ドレインの少なくともチャネル領域に接する部分が、前記第2のソース/ドレインの少なくともチャネル領域に接する部分に比べて高不純物濃度に設定された一つのトランジスタにより構成される半導体メモリ装置の製造方法であって、

10

半導体基板上に絶縁膜により分離されて積層された第1導電型の半導体層にゲート絶縁膜を介してゲート電極を形成する工程と、

前記ゲート電極をマスクとして垂直方向のイオン注入を行って、第1および第2のソース/ドレインにそれぞれ第2導電型の第1及び第2の低濃度層を形成する工程と、

前記ゲート電極をマスクとして斜め方向のイオン注入を行って、前記第1のソース/ドレインには前記第1の低濃度層と重なる浅い第2導電型の第1の高濃度層を形成し、前記第2のソース/ドレインには前記第2の低濃度層のチャネル領域に接する拡張領域部分を残して第2の低濃度層に重なる浅い第2導電型の第2の高濃度層を形成する工程と、

20

前記ゲート電極の側壁に側壁絶縁膜を形成する工程と、

前記ゲート電極と側壁絶縁膜をマスクとして垂直方向のイオン注入を行って、前記第1および前記第2のソース/ドレインにそれぞれ前記絶縁膜に達する深さで第2導電型の第3及び第4の高濃度層を形成する工程と、

を有することを特徴とする半導体メモリ装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、トランジスタのチャネルボディを記憶ノードとしてダイナミックにデータ記憶を行う半導体メモリ装置とその製造方法に関する。

【0002】

30

【従来の技術】

従来のDRAMは、MISFETとキャパシタによりメモリセルが構成されている。DRAMの微細化は、トレンチキャパシタ構造やスタックトキャパシタ構造の採用により大きく進んでいる。現在、単位メモリセルの大きさ(セルサイズ)は、最小加工寸法をFとして、 $2F \times 4F = 8F^2$ の面積まで縮小されている。更に、セルサイズを $6F^2$ や $4F^2$ にまで小さくする提案も種々なされている。

【0003】

しかし、セルサイズを $6F^2$ 或いはそれ以下にまで小さくするためには、トランジスタを縦型にしなければならないといった技術的課題や、隣接セル間の電氣的干渉が大きくなるといった問題、更に加工や膜生成等の製造技術上の困難があり、実用化は容易ではない。

40

【0004】

これに対して、キャパシタを用いず、一つのMISFETにより1ビットのメモリセルを構成する半導体メモリも、以下に例示するように幾つか提案されている。

1 JOHN E.LEISS et al, "dRAM Design Using the Taper-Isolated Dynamic Cell" (IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL.SC-17, NO.2, APRIL 1982, pp337-344)

2 特開平3 - 171768号公報

3 Marnix R.Tack et al, "The Multistable Charge-Controlled Memory Effect in SOI MOS Transistors at Low Temperatures" (IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL.37, MAY, 1990, pp1373-1382)

4 Hsing-jen Wann et al, "A Capacitorless DRAM Cell on SOI Substrate" (IEDM 93,

50

pp635-638)

【 0 0 0 5 】

【発明が解決しようとする課題】

しかし、 1 は構造が複雑であり、寄生トランジスタを利用していることから、特性の制御性にも難点がある。 2 は、構造は単純であるが、トランジスタのドレイン、ソース共に信号線に接続して電位制御する必要がある。また、ウェル分離であるため、セルサイズが大きく、しかもビット毎の書き換えができない。 3 では、SOI基板側からの電位制御を必要としており、従ってビット毎の書き換えができず、制御性に難点がある。

4 は特殊トランジスタ構造を必要とし、またメモリセルには、ワード線、ライトビット線、リードビット線、ページ線を必要とするため、信号線数が多くなる。

10

【 0 0 0 6 】

この発明は、単純なトランジスタ構造をメモリセルとしてダイナミック記憶を可能とした半導体メモリ装置とその製造方法を提供することを目的としている。

【 0 0 0 7 】

【課題を解決するための手段】

この発明に係る半導体メモリ装置は、ゲートと、半導体素子形成領域に互いに離隔して形成された第1および第2のソース/ドレインと、第1の電位に設定された第1のデータ状態および第2の電位に設定された第2のデータ状態を記憶するものであり、第1ソース/ドレインと第2のソース/ドレインとに挟まれこれらと逆の導電型であるフローティングのチャンネルボディと、を含む一つのトランジスタによりメモリセルが構成され、トランジスタの第1のデータ状態は、第2のソース/ドレインを基準電位とし、ゲートにチャンネルをオンさせる極性の第1の制御電圧を印加し、第1のソース/ドレインに第1の制御電圧と同極性の第2の制御電圧を印加して、第1のソース/ドレイン接合近傍でインパクトイオン化を起こしてチャンネルボディに多数キャリアを注入することにより書き込まれ、トランジスタの第2のデータ状態は、第1のソース/ドレインを基準電位とし、ゲートに第1の制御電圧を印加し、第2のソース/ドレインに第1の制御電圧と同極性の第3の制御電圧を印加して、チャンネルボディの多数キャリアを第1のソース/ドレインに放出させることにより書き込まれることを特徴とする。

20

【 0 0 0 8 】

この発明によると、一つのメモリセルは単純な一つのトランジスタにより構成され、そのフローティングのチャンネルボディを記憶ノードとし、その電位状態によりデータ記憶を行う。第1のデータ状態は、第2のソース/ドレインを基準電位とし、トランジスタを5極管動作させることにより書き込まれる。即ち、第1のソース/ドレイン接合近傍でインパクトイオン化を起こし、生成された多数キャリアをチャンネルボディに注入することにより、チャンネルボディが第1の電位に設定される。第2のデータ状態は、第1のソース/ドレインを基準電位とし、ゲートから容量結合によりチャンネルボディ電位を制御して、トランジスタのチャンネルボディと第1のソース/ドレインとの接合に順バイアス電流を流して、チャンネルボディの多数キャリアを第1のソース/ドレインに放出させた第2の電位として書き込まれる。そしてこの第2のデータ状態の書き込み時、第2のソース/ドレインは補助ゲートとして用いる。即ち第2のソース/ドレインには、ゲートに与える第1の制御電圧と同極性の第3の制御電圧を与えて、pn接合による容量カップリングによりチャンネルボディの電位制御を補助する。これにより、第1のソース/ドレインを基準電位に保ったまま、第1のソース/ドレイン接合で大きな順方向電流を流すことを可能としている。

30

40

【 0 0 0 9 】

以上のようにこの発明においては、第1及び第2のデータ状態の書き込みを一極性の制御電圧のみを用いて実現している。ちなみに、この発明において、第2のソース/ドレインを基準電位に固定した状態で同様の書き込みを実現することもできる。これを実現するためには、第2のデータ書き込み時は、ゲートに第1の制御電圧を与えて容量カップリングによりチャンネルボディ電位を上昇させ、第1のソース/ドレインには第1の制御電圧とは逆極性の制御電圧を与えればよい。これにより、第1のソース/ドレインとチャンネルボデ

50

ィの間に大きな順方向電流を流して、チャンネルボディの多数キャリアを第1のソース/ドレインに放出させることができるからである。しかし、このような第2のデータ状態の書き込み法を用いると、データ書き込みに正負の制御電圧が必要になり、複雑な電位発生回路を必要とするだけでなく、複数のトランジスタの第1のソース/ドレインをビット線に共通接続したセルアレイを構成して、第2のデータ状態を選択的に書き込む際に、同じビット線に接続された非選択セルでデータ破壊を生じるおそれ大きい。

【0010】

具体的に、nチャンネルメモリセルを用いたセルアレイで説明する。選択ワード線（ゲート）に正の制御電圧を与え、選択ビット線（第1のソース/ドレイン）に負の制御電圧を与えると、同じ選択ビット線に接続された非選択セルで第1のソース/ドレインとチャンネルボディの間が順バイアスになり、第1のデータ状態が破壊されるおそれがある。これに対してこの発明では、第2のデータ書き込み時、第2のソース/ドレインを補助ゲートとして用いて、ゲートと同じ正の制御電圧を与えることにより、第1のソース/ドレインを0Vに保持して、チャンネルボディと第1のソース/ドレインとの間に大きな順方向電流を流すことが可能なる。

10

【0011】

但し、第2のソース/ドレインを補助ゲートとして用いる上述した第2のデータ状態の書き込み法では、トランジスタは第1のデータ書き込みの場合とは第1のソース/ドレイン、第2のソース/ドレインを入れ替えたオン動作となるから、各部の制御電圧の値によって、第2のソース/ドレイン接合近傍でインパクトイオン化が起こり、第1のデータ状態の書き込みモードと同じになるおそれがある。これを避けるためには、次の配慮が必要である。

20

【0012】

第1の方法は、第1のデータ書き込み時に第1のソース/ドレインに与える第2の制御電圧に比べて、第2のデータ書き込み時に第2のソース/ドレインに与える第3の制御電圧を低く抑えることである。これにより、第1のデータ書き込み時は、ゲートに与える第1の制御電圧を第2の制御電圧と同じとしてトランジスタを5極管動作させることができるが、第2のデータ書き込み時にはトランジスタを5極管動作させないようにすることができる。この結果、第2のデータ状態の書き込みに際しては、インパクトイオン化電流を流さず、或いはインパクトイオン化電流が僅かに流れるとしても、これを第1のソース/ドレイン側での順方向電流に比べて無視できる程度に小さく抑えることで、チャンネルボディの多数キャリア放出が可能になる。

30

【0013】

第2の方法としては、トランジスタの第1のソース/ドレイン、第2のソース/ドレインを非対称にすることが有効である。即ち、第1のソース/ドレインの少なくともチャンネル領域に接する部分に比べて、第2のソース/ドレインの少なくともチャンネル領域に接する部分を低不純物濃度にする。これにより、第2のデータ状態の書き込み時に、第2のソース/ドレイン側をドレインとする5極管動作させたとしても、第1のデータ状態の書き込み時に比べてインパクトイオン化電流を小さく抑え、これより第1のソース/ドレイン側での順方向電流を大きくして、第2のデータ状態の書き込みが可能になる。いいかえれば、このような非対称構造の採用により、第1のデータ書き込み時の第1のソース/ドレインに与える第2の制御電圧と、第2のデータ書き込み時に第2のソース/ドレインに与える第3の制御電圧を同じ値にすることも可能になる。

40

【0014】

第3の方法としては、トランジスタが、第2のソース/ドレイン上に形成され第2のソース/ドレインよりも比誘電率が高い絶縁膜を含むようにすることが有効である。これによれば、上記第2の方法と同様のことが言える。

【0015】

上記に説明したこの発明の1つの構成として、半導体メモリ装置は、ゲートと、第1および第2のソース/ドレインと、前記第2のソース/ドレイン上に形成された前記第2のソ

50

ース/ドレインよりも比誘電率が高い絶縁膜と、前記第1ソース/ドレインと前記第2のソース/ドレインとに挟まれこれらと逆の導電型であるフローティングのチャンネルボディと、を含む一つのトランジスタによりメモリセルが構成され、トランジスタは、第1のソース/ドレイン接合近傍でインパクトイオン化を起こしてチャンネルボディに多数キャリアを注入した第1のデータ状態と、ゲートからの容量結合により所定電位が与えられたチャンネルボディと第1のソース/ドレインの間に順方向バイアスを与えることによりチャンネルボディの多数キャリアを放出した第2のデータ状態とを記憶するものであることを特徴とする。

【0016】

また、この発明の他の構成として、半導体メモリ装置は、ゲートと、第1のソース/ドレインと、少なくともチャンネル領域に接する部分を有し、この部分よりも第1のソース/ドレインの少なくともチャンネル領域に接する部分の方が高不純物濃度に設定されている第2のソース/ドレインと、第1ソース/ドレインと第2のソース/ドレインとに挟まれこれらと逆の導電型であるフローティングのチャンネルボディと、を含む一つのトランジスタによりメモリセルが構成され、トランジスタは、第1のソース/ドレイン接合近傍でインパクトイオン化を起こしてチャンネルボディに多数キャリアを注入した第1のデータ状態と、ゲートからの容量結合により所定電位が与えられたチャンネルボディと第1のソース/ドレインの間に順方向バイアスを与えることによりチャンネルボディの多数キャリアを放出した第2のデータ状態とを記憶するものであることを特徴とする。

【0017】

また、この発明のさらに他の構成として、半導体メモリ装置は、互いに他から分離されたフローティングのチャンネルボディを持ってマトリクス配列された、第1のソース/ドレインのチャンネル領域に接する部分が第2のソース/ドレインのチャンネル領域に接する部分に比べて高不純物濃度に設定されたトランジスタと、一方方向に並ぶトランジスタのゲートが共通に接続されたワード線と、ワード線と交差する方向に並ぶトランジスタの第1のソース/ドレインが共通に接続されたビット線と、ワード線と交差する方向に並ぶトランジスタの第2のソース/ドレインが共通に接続されたプレート線とを備えてメモリセルアレイが構成され、トランジスタは、第1のソース/ドレイン接合近傍でインパクトイオン化を起こしてチャンネルボディに多数キャリアを注入した第1のデータ状態と、ゲートからの容量結合により所定電位が与えられたチャンネルボディと第1のソース/ドレインの間に順方向バイアスを与えることによりチャンネルボディの多数キャリアを放出した第2のデータ状態とを記憶するものであることを特徴とする。

【0018】

この発明はまた、メモリセルが、フローティングのチャンネルボディを持つ一つのトランジスタにより構成される半導体メモリ装置の製造方法であって、半導体基板上に絶縁膜により分離されて積層された第1導電型の半導体層にゲート絶縁膜を介してゲート電極を形成する工程と、ゲート電極をマスクとして垂直方向のイオン注入を行って、第1および第2のソース/ドレインにそれぞれ第2導電型の第1及び第2の低濃度層を形成する工程と、ゲート電極をマスクとして斜め方向のイオン注入を行って、第1のソース/ドレインには第1の低濃度層と重なる浅い第2導電型の第1の高濃度層を形成し、第2のソース/ドレインには第2の低濃度層のチャンネル領域に接する拡張領域部分を残して第2の低濃度層に重なる浅い第2導電型の第2の高濃度層を形成する工程と、ゲート電極の側壁に側壁絶縁膜を形成する工程と、ゲート電極と側壁絶縁膜をマスクとして垂直方向のイオン注入を行って、第1および第2のソース/ドレインにそれぞれ絶縁膜に達する深さで第2導電型の第3及び第4の高濃度層を形成する工程と、を有することを特徴とする。

【0019】

この発明はさらに、メモリセルが、第1のソース/ドレイン、第2のソース/ドレインおよびフローティングのチャンネルボディを持つ一つのトランジスタにより構成される半導体メモリ装置の製造方法であって、半導体基板上に絶縁膜により分離されて積層された半導

10

20

30

40

50

体層上に、第2のソース/ドレインおよびチャネルボディが形成される形成領域を露出する開口部を有する第1の膜を形成する工程と、形成領域および第1の膜上に、順に、第2のソース/ドレインよりも比誘電率が高くゲート絶縁膜となる第2の膜、ゲート電極となる導電性の第3の膜を形成する工程と、異方性エッチングで第3の膜をエッチングすることにより開口部の側壁に沿って側壁導電膜を形成する工程と、側壁導電膜をパターンニングしてゲート電極を形成する工程と、ゲート電極を形成した後、第1の膜を除去する工程と、第1の膜を除去した後、ゲート電極をマスクとして半導体層に第1のソース/ドレインおよび第2のソース/ドレインを形成する工程と、を有することを特徴とする。

【0020】

【発明の実施の形態】

以下、図面を参照して、この発明の実施の形態を説明する。実施の形態で説明されるMISFETとは本発明に係るトランジスタの一例である。本発明において、第1および第2のソース/ドレインとは、一方がソースとして機能するとき、他方がドレインとして機能するものである。

【0021】

(第1実施形態)

図1は、この発明の第1実施形態によるDRAMのメモリセルMCの断面構造を示している。メモリセルMCはこの例ではnチャネルMISFETにより構成されている。p型シリコン層3は、シリコン酸化膜等の絶縁膜2によりシリコン基板1とは分離されたSOI構造を有する。SOI基板としては、具体的にはシリコン基板にイオン注入により酸化膜を埋め込んだもの、シリコン基板を貼り合わせたもの等が用いられる。p型シリコン層3をフローティングのチャネルボディとして、この上にゲート絶縁膜4を介してゲート電極5が形成され、ゲート電極5に自己整合されたn型の第1のソース/ドレイン6及び第2のソース/ドレイン7が形成されている。

【0022】

第1のソース/ドレイン6及び第2のソース/ドレイン7はそれぞれ、絶縁膜2に達する深さの高濃度層(n<sup>+</sup>型層)6a及び7aと、チャネル領域に接する部分に浅く形成されたエクステンション(拡張)領域6b及び7bとから構成されている。ここで第1のソース/ドレイン側の拡張領域6bは高濃度層(n<sup>+</sup>型層)により形成され、第2のソース/ドレイン側の拡張領域7bは、低濃度層(n<sup>-</sup>型層)により形成されて、第1のソース/ドレイン、第2のソース/ドレインが非対称となっている。

【0023】

メモリセルMCをマトリクス配列してセルアレイを構成する場合、p型シリコン層3は、各セル毎に他から分離されたフローティングとする。ゲート電極5はワード線WLに接続され、第1のソース/ドレイン6はビット線BLに接続され、第2のソース/ドレイン7はプレート線PLに接続される。

【0024】

図2は、メモリセルアレイの等価回路を2×2ビットについて示している。y方向に並ぶ複数のメモリセルMCのゲートはワード線WLに共通接続され、x方向に並ぶ複数のメモリセルMCについては、第1のソース/ドレインがビット線BLに共通接続され、第2のソース/ドレインがプレート線PLに共通接続される。

【0025】

図5及び図6は、メモリセルアレイの構成を示す平面図とそのA-A'断面図である。p型シリコン層3は、素子分離絶縁膜11により矩形の素子形成領域10として区画され、各素子形成領域10にMISFETが形成される。MISFETの第1のソース/ドレイン6と第2のソース/ドレイン7は、前述のように非対称構造とする。即ち、第1のソース/ドレイン6の拡張領域6bは、高濃度のn<sup>+</sup>型層とし、第2のソース/ドレイン7の拡張領域7bは低濃度のn<sup>-</sup>型層としている。

【0026】

MISFETのゲート電極5は、y方向に連続的にパターン形成されてワード線WLとな

10

20

30

40

50

る。MISFET上部は層間絶縁膜12に覆われ、この層間絶縁膜12に、MISFETの第1のソース/ドレイン6及び第2のソース/ドレイン7に接続されるコンタクトプラグ13が埋め込まれる。そして層間絶縁膜12上には、x方向に配列されたMISFETの第2のソース/ドレイン7を共通接続するプレート線(PL)14が配設される。プレート線14上は更に層間絶縁膜15で覆われ、この上にビット線(BL)16が配設される。ビット線16は、プレート線14と並行して配設され、x方向に配列されたMISFETの第1のソース/ドレイン6を共通接続する。

【0027】

この様に構成されたDRAMの動作を説明する。この実施の形態のメモリセルMCは、フローティングであるチャンネルボディ(p型シリコン層3)が多数キャリアを保持した第1の電位状態(以下、これをデータ“1”とする)と、多数キャリアを放出した第1の電位より低い第2の電位状態(以下、これをデータ“0”とする)をダイナミックに記憶する。

10

【0028】

データ“1”の書き込みは、第2のソース/ドレインを基準電位(0V)とし、第1のソース/ドレインとゲートに正の制御電圧を与えて、MISFETを5極管動作させる。このとき、第1のソース/ドレイン接合近傍でインパクトイオン化を起こして、生成されたホールをチャンネルボディに注入することにより、データ“1”が書かれる。

【0029】

データ“0”の書き込みは、ゲートに正の制御電圧を与えてチャンネルボディの電位を容量結合により上昇させ、第1のソース/ドレインとチャンネルボディの間で順方向バイアス電流を流す。このときこの実施の形態では、第1のソース/ドレインを基準電位(0V)に保持したまま、第1のソース/ドレインとチャンネルボディの間で大きな順方向電流を流すために、第2のソース/ドレインからも正の制御電圧を与える。この第2のソース/ドレインからの制御電圧は、pn接合容量を介してチャンネルボディの電位上昇に寄与する。これにより、チャンネルボディの過剰ホールを放出したデータ“0”が書かれる。

20

【0030】

但しデータ“0”の書き込み時、MISFETは第1のソース/ドレインの機能をソースにすると共に第2のソース/ドレインの機能をドレインにした状態でオン動作して、チャンネル電流が流れるから、このときインパクトイオン化が起こらないこと、或いは起こったとしても第1のソース/ドレインでの順方向電流に比べて無視できる程度に小さいことが重要である。そのためにこの実施の形態では、MISFETを非対称としている。即ち、第2のソース/ドレイン7側の拡張領域7bを低濃度のn<sup>-</sup>型層としており、これにより、第1のソース/ドレインの機能をソースにすると共に第2のソース/ドレインの機能をドレインとする5極管動作のモードになったとしても、ピンチオフ領域の電界を小さくすることができ、インパクトイオン化電流を小さく抑えることができる。

30

【0031】

図3は、MISFETのチャンネルボディ電位V<sub>b</sub>と、ゲート電圧(ワード線電圧)V<sub>WL</sub>の関係を示している。図示のように、チャンネルボディ電位V<sub>b</sub>の差として、データ“1”、“0”が記憶される。チャンネルボディ電位V<sub>b</sub>の差は、MISFETのしきい値電圧の差となる。即ち、ボディ電位V<sub>b</sub>の高い“1”データの場合のしきい値電圧V<sub>th1</sub>と、ボディ電位V<sub>b</sub>の低い“0”データの場合のしきい値電圧V<sub>th0</sub>とは異なる。これらのしきい値電圧V<sub>th1</sub>、V<sub>th0</sub>の差を検出することにより、データの読み出しが可能になる。

40

【0032】

図4は、具体的に図2のようなメモリセルアレイを構成したときの、データの書き込み、保持及びデータ読み出しの動作タイミングを示している。時刻t<sub>0</sub>までは、スタンバイ状態とし、ここでは、着目するセルのチャンネルボディ電位V<sub>b</sub>が高レベルV<sub>b1</sub>のデータ“1”状態(実線)から、書き込みサイクルでデータ“0”が書かれる場合と、着目するセルのチャンネルボディ電位が低レベルV<sub>b0</sub>のデータ“0”状態(破線)から、書き込みサ

50



イクルでデータ“1”が書かれる場合を示している。

【0033】

即ち時刻  $t_0$  で書き込みサイクルに入り、選択されたワード線  $W_L$  に正の制御電圧  $V_{H1}$  を与える。このワード線  $W_L$  で選択されたメモリセルのうち、“1”データを書き込むセルについては、実線で示すように、プレート線  $P_L$  を  $0V$  とし、これと対をなすビット線  $B_L$  に正の制御電圧  $V_{H2}$  を与える。“0”書き込みを行うセルについては、逆に、破線で示すように、ビット線  $B_L$  を  $0V$  として、これと対をなすプレート線  $P_L$  に正の制御電圧  $V_{H3}$  を与える。ここで、制御電圧  $V_{H1}$ 、 $V_{H2}$ 、 $V_{H3}$  は、例えば電源電圧  $V_{cc}$  とする。非選択のワード線  $W_L$ 、ビット線  $B_L$  及びプレート線  $P_L$  は  $0V$  を保つ。

【0034】

これにより、“1”データが与えられたメモリセルは、5極管動作し、第1のソース/ドレイン接合近傍でインパクトイオン化を起こす。このとき、第2のソース/ドレインとチャネルボディとの  $p-n$  接合は順バイアスになるが、第1のソース/ドレイン側でのインパクトイオン化電流が第2のソース/ドレイン側での順バイアス電流より大きければ、チャネルボディには過剰ホールが蓄積され、その電位  $V_b$  が上昇する。一方、“0”データが与えられたメモリセルは、第1のソース/ドレインの機能をソースにすると共に第2のソース/ドレインの機能をドレインとする5極管動作するが、第1のソース/ドレイン、第2のソース/ドレインの非対称性のために第2のソース/ドレイン接合近傍で生じるインパクトイオン化電流が第1のソース/ドレイン接合に流れる順方向電流に比べて小さい。この結果、チャネルボディの過剰ホールは第1のソース/ドレインに放出され、その電位  $V_b$  が減少する。以上により、時刻  $t_1$  で書き込み動作を終了すると、チャネルボディ電位  $V_b$  が高い状態に設定されたデータ“1”、チャネルボディ電位  $V_b$  が低い状態に設定されたデータ“0”が保持される。

【0035】

データ読み出しは、例えばビット線のプリチャージと、選択セルによるビット線放電を利用する。時刻  $t_3$  でビット線  $B_L$  を例えば電源電圧  $V_{cc}$  にプリチャージする。そして、時刻  $t_4$  で選択ワード線  $W_L$  に読み出し電圧  $V_R$  を印加する。読み出し電圧  $V_R$  を、図3に示すデータ“1”、“0”のしきい値電圧  $V_{th1}$ 、 $V_{th0}$  の中間値とすれば、“1”データのセルには実線で示すようなビット線  $B_L$  を放電する電流が流れ、“0”データのセルには破線で示すように電流が流れない。このビット線放電電流の有無、或いはその結果のビット線電位の差をセンスアンプで検出することにより、“1”、“0”データ判別が可能である。

【0036】

以上のように第1実施形態によれば、一つの  $MISFET$  を1ビットメモリセルとする  $DRAM$  が得られる。しかも、“1”、“0”書き込み及び読み出しに正の制御電圧のみが用いられるから、非選択セルでのデータ破壊も生じにくくなる。例えば、“0”データ書き込み時、選択ビット線に負の電圧を与えれば、第1のソース/ドレイン接合で大きな順方向電流を流すことができるが、この場合、同じビット線に接続された非選択セル(ワード線  $W_L$  が  $0V$ )でも第1のソース/ドレイン接合が順バイアスになって、その非選択セルが“1”データを保持している場合にデータ破壊が生じる可能性がある。このデータ破壊を防止するためには、非選択ワード線にも負の電圧を印加することが必要になる。これに対して第1実施形態では、“0”データ書き込み時、ビット線  $B_L$  は  $0V$  に保持するから、非選択ワード線を  $0V$  としても第1のソース/ドレイン接合は順バイアスにはならず、データ破壊を防止することができる。また、負電圧発生回路を必要としないことも、有利になる。

【0037】

次に、第1実施形態での  $DRAM$  セルの製造工程を、図6の断面での一つのセルに着目して、図7~図11を用いて説明する。まず、図7に示すように、 $SOI$  構造の  $p$  型シリコン層3に  $STI$  (Shallow Trench Isolation) 法により素子分離絶縁膜11を埋め込むことにより、矩形の素子形成領域10を区画する。素子形成領域

10

20

30

40

50

10には必要に応じて、しきい値調整のためのイオン注入を行う。

【0038】

そして、図8に示すように、素子形成領域10のp型シリコン層3上に熱酸化によりゲート絶縁膜4を形成し、その上にゲート電極5を形成する。ゲート電極5は、多結晶シリコンの堆積と、RIEにより形成し、前述のように、紙面に直交する方向に連続するワード線WLとしてパターン形成する。

【0039】

次に、図9に示すように、ゲート電極5をマスクとしてリン(P)イオン注入を行い、第1のソース/ドレイン、第2のソース/ドレイン領域に低不純物濃度で浅いn<sup>-</sup>型層6b0、7b0を形成する。このときイオン注入条件は、ドーズ量 $1 \times 10^{13} / \text{cm}^2$ 程度とし、また通常のように基板に垂直方向のイオン注入として、第1のソース/ドレイン、第2のソース/ドレインに対称的にn<sup>-</sup>型層6b0、7b0を形成する。

10

【0040】

続いて、図10に示すように、ドーズ量 $5 \times 10^{14} / \text{cm}^2$ 程度で、第2のソース/ドレイン側にゲート電極の影ができるような斜め方向からの砒素(As)イオン注入を行う。これにより、第1のソース/ドレイン側では、n<sup>-</sup>型層6b0に完全に重なる浅く高不純物濃度のn<sup>+</sup>型層6b1が形成され、第2のソース/ドレイン側では、チャネル領域に接する部分にn<sup>-</sup>型層7b0を残した状態で、n<sup>-</sup>型層7b0に重なる浅く高不純物濃度のn<sup>+</sup>型層7b1が形成される。

【0041】

20

次に、図11に示すように、ゲート電極5の側壁に側壁絶縁膜8を形成した後、ゲート電極5と側壁絶縁膜8をマスクとして再度砒素イオン注入を行って、第1のソース/ドレイン、第2のソース/ドレイン領域に絶縁膜2に達する深さの高不純物濃度n<sup>+</sup>型層6a、7aを形成する。この後、導入不純物の活性化のために、RTA(Rapid Thermal Anneal)等の熱処理を行う。これにより、第1のソース/ドレイン6の拡張領域6bが高不純物濃度のn<sup>+</sup>型層6b0により構成され、第2のソース/ドレイン7の拡張領域7bが低不純物濃度のn<sup>-</sup>型層7b0により構成された、非対称構造MISFETが得られる。

【0042】

この後は工程図は示さないが、図6に示すように、層間絶縁膜を堆積し、プレート線PL及びビット線BLを形成する。以上のような工程により、第1のソース/ドレイン、第2のソース/ドレインを非対称とした一つのMISFETによりDRAMセルを構成するセルアレイを得ることができる。

30

【0043】

なお、第1実施形態の製造工程も変形することができる。例えば先の製造工程では、第1のソース/ドレイン、第2のソース/ドレインの非対称構造を得るために斜めイオン注入を利用したが、斜めイオン注入に依らず、例えば非対称のイオン注入マスクを形成して垂直イオン注入を行って同様の非対称構造を得ることもできる。また、素子分離法は、STIに限らず、LOCOS法でもよいし、素子形成領域をメサ型に残すメサ型分離を行ってもよい。更に、絶縁膜上にシリコン層を成長させたもの、サファイア基板上にシリコン層を形成したSOS(Silicon On Sapphire)構造を利用することもできる。

40

【0044】

(第2実施形態)

この発明の第2実施形態について説明する。図12は、第2実施形態によるメモリセルの構造を示す断面図である。図1に示す第1実施形態と同一の要素については同一符号を付すことにより説明を省略し、第1実施形態と異なる点を説明する。図12は、図1と異なり、第1のソース/ドレイン、第2のソース/ドレインを対称構造としたMISFETによりメモリセルMCを構成している。即ち、第1および第2のソース/ドレイン6、7は、通常のLDD構造と同様に、高不純物濃度のn<sup>+</sup>型層6a、7aと、チャネル領域に接

50

する低不純物濃度の $n^+$ 型層6b, 7bとから構成されている。この場合も、制御電圧を適当に設定することにより、第1実施形態と同様の動作が可能である。

【0045】

具体的には、図4に示すタイミング図において、データ書き込み時、選択ワード線(ゲート)に与える制御電圧 $V_{H1}$ を例えば電源電圧 $V_{cc}$ より高い $V_{cc+}$ とする。そしてビット線(第1のソース/ドレイン)に与える“1”データ書き込みのための制御電圧 $V_{H2}$ を同じく $V_{cc+}$ とし、プレート線(第2のソース/ドレイン)に与える“0”データ書き込みのための制御電圧 $V_{H3}$ は電源電圧 $V_{cc}$ 又はそれより低い値にする。このとき、“1”データが与えられた選択セルでは、ビット線側をドレインとして5極管動作をして、第1のソース/ドレイン接合近傍でインパクトイオン化を起こし、第1実施形態と同様に“1”書き込みができる。一方、“0”データが与えられたセルでは、プレート線側をドレインとした3極管動作となるから、インパクトイオン化を殆ど発生させることなく、ビット線側に大きな順方向電流を流すことができ、先の実施の形態と同様に“0”書き込みができる。

10

【0046】

(第3実施形態)

この発明の第3実施形態について説明する。図13は、第3実施形態によるDRAMのメモリセルMCの断面構造を示している。第1実施形態と同一の要素については同一符号を付すことにより説明を省略し、第1実施形態と異なる点を説明する。図13は、図1と異なり、第1のソース/ドレイン、第2のソース/ドレインを対称構造としている。つまり、図12に示す第2実施形態と同様な対象構造をしている。ゲート電極5の側面および上面には熱酸化膜からなる絶縁膜24が形成されている。絶縁膜24は第1のソース/ドレイン6の $n^+$ 型層6b上まで延びている。

20

【0047】

第3実施形態において、ゲート絶縁膜22は第2のソース/ドレイン7(シリコン)よりも比誘電率が高い材料で構成されている。シリコンの比誘電率は12.0なのでゲート絶縁膜22の材料はこれより大きい値である。そして、好ましくは比誘電率が20以上であり、さらに好ましくは比誘電率が30以上である。ゲート絶縁膜22の具体例としては、例えば、 $HfO_2$ 、 $TiO_2$ 、 $Al_2O_3$ 、 $Ta_2O_3$ 、 $ZrO_2$ 、 $Y_2O_3$ 、 $La_2O_3$ 、 $CeO_2$ 、 $PrO_2$ 、 $Gd_2O_3$ 、 $Sc_2O_3$ 、 $LaAlO_3$ 、 $ZrTiO_4$ 、 $(Zr, Sn)TiO_4$ 、 $SrZrO_4$ 、 $LaAl_3O_4$ 、 $SrTiO_3$ 、 $BaSrTiO_3$ 等の金属酸化膜或いは、これらのシリケート、もしくは、上述の金属酸化物とシリコン酸化膜、シリコン窒化膜及び $Al_2O_3$ のなかから選ばれた少なくとも一種との混晶の形態でもよい。

30

【0048】

ゲート絶縁膜22は、第2のソース/ドレイン7の $n^+$ 型層7b上まで延びており、第1のソース/ドレイン6上にまで延びていない。 $n^+$ 型層7b上のゲート絶縁膜22により、第1のソース/ドレイン6、第2のソース/ドレイン7の上記非対称構造と同様の機能を果たしている。すなわち、データ“0”書き込み時に、第1のソース/ドレイン6の機能をソースにすると共に第2のソース/ドレイン7の機能をドレインとする5極管動作のモードになっても、ピンチオフ領域の電界を小さくすることができ、インパクトイオン化電流を小さく抑えることができる。

40

【0049】

これについてシミュレーションにより具体的に説明する。図14および図15はシミュレーションの結果であるインパクトイオン化電流密度のグラフである。high-k膜からなるゲート絶縁膜22は、誘電率25、厚さ5.8nm、ゲート長30nmに設定した。しきい値電圧 $V_{th}$ は0.15V、ドレイン電圧 $V_d$ およびゲート電圧 $V_g$ は0.75Vに設定した。

【0050】

図14は第3実施形態、つまりゲート絶縁膜22が第2のソース/ドレイン7の $n^+$ 型層7b上まで延びている場合である。図15は第3実施形態の比較となる場合、つまり、ゲ

50

ート絶縁膜 22 が第 1 のソース/ドレイン 6 の n<sup>-</sup>型層 6 b 上まで延びている場合である。図中の x 軸はゲート長方向を示し、y 軸はゲート電極 5 の厚み方向を示している。

【 0 0 5 1 】

図 1 4 および図 1 5 のグラフの等高線間隔は  $1 \text{ k A / c m}^2$  であり、等高線が多いとインパクトイオン化電流密度が高くなる。図 1 4 の第 3 実施形態は図 1 5 の比較例と比べて、等高線の数が約半分なので、インパクトイオン化電流を約 50% 低減できることが分かる。また、第 3 実施形態は比較例と比べてドレイン電流が 2.5% 低い値になった。

【 0 0 5 2 】

シミュレーションからも分かるように、第 3 実施形態によれば、データ " 0 " 書き込み時に、第 1 のソース/ドレイン 6 の機能をソースにすると共に第 2 のソース/ドレイン 7 の機能をドレインとする 5 極管動作のモードになっても、インパクトイオン化電流を小さく抑えることができる。

10

【 0 0 5 3 】

なお、第 3 実施形態において、第 2 のソース/ドレイン 7 の n<sup>-</sup>型層 7 b 上に、第 2 のソース/ドレイン 7 よりも比誘電率が大きい誘電膜が形成されていれば、上記非対称構造と同様の機能を達成できる。よって、ゲート絶縁膜 22 の材料をシリコン酸化膜にすることも可能である。しかしながら、第 3 実施形態では、high-k 膜のような比誘電率が大きい材料でゲート絶縁膜 22 を構成している。よって、高性能化のためにスケーリング則に従い M I S F E T を微細化しても、ゲート絶縁膜については厚みを小さくしなくてもよい。これにより、シリコン酸化膜をゲート絶縁膜とする場合に生じるトンネル電流を減少

20

【 0 0 5 4 】

また、第 3 実施形態において、第 1 のソース/ドレイン 6、第 2 のソース/ドレイン 7 を対称構造としているが、図 1 に示す第 1 実施形態のように非対称構造にしてもよい。

【 0 0 5 5 】

さらに、第 3 実施形態において、メモリセル M C を動作させる際の制御電圧の印加方法としては、第 1 実施形態および第 2 実施形態で説明したいずれの方法も可能である。

【 0 0 5 6 】

次に、第 3 実施形態での D R A M セルの製造工程について、図 1 6 ~ 図 2 2 を用いて説明する。まず、第 1 実施形態と同様にして図 7 に示す構造を形成する。そして、図 1 6 に示すように、素子形成領域 10 上に熱酸化により絶縁膜 26 を形成し、その上に例えば窒化膜のような絶縁膜 28 (第 1 の膜の一例) を C V D ( C h e m i c a l V a p o r D e p o s i t i o n ) 法により形成する。

30

【 0 0 5 7 】

次に、絶縁膜 28 上に例えばレジストを形成し、このレジストをマスクとして、例えば R I E により絶縁膜 26、28 を選択的にエッチングする。これにより、第 2 のソース/ドレインおよびチャネルボディが形成される形成領域 30 に開口部 32 を形成する。

【 0 0 5 8 】

次に、ゲート絶縁膜となる例えば  $\text{H f O}_2$  からなる絶縁膜 34 (第 2 の膜の一例) を C V D により、絶縁膜 28 および形成領域 30 上に形成する。そして、その上にゲート電極となる例えば多結晶シリコン膜 36 (第 3 の膜の一例) を C V D により形成する。

40

【 0 0 5 9 】

次に、図 1 7 に示すように、多結晶シリコン膜 36 を例えば R I E によりエッチングし、開口部 32 の側壁に沿って多結晶シリコン膜 36 を残す。これが側壁導電膜 38 となる。そして、側壁導電膜 38 のうちゲート電極 5 となる部分をレジスト 40 で覆う。レジスト 40 をマスクとして側壁導電膜 38 を例えばフッ硝酸によるウエットエッチングをし、ゲート電極 5 を形成する。その後、レジスト 40 を除去する。

【 0 0 6 0 】

次に、図 1 8 に示すように、絶縁膜 34 およびゲート電極 5 上に例えばシリコン酸化膜のような絶縁膜 42 を C V D 法に形成する。そして、絶縁膜 28 (窒化膜) をストッパとし

50

て、絶縁膜 42 (シリコン酸化膜) および絶縁膜 34 ( $\text{HfO}_2$ ) を例えば CMP (Chemical Mechanical Polishing) により研磨して、平坦化する。

【0061】

次に、図 19 に示すように、絶縁膜 28 を例えば燐酸によるウエットエッチングにより剥離する。第 3 実施形態では、第 1 の膜として絶縁膜 28 を用いているが、ゲート電極 5 を残すように除去が可能であり、かつ図 18 で説明したように絶縁膜 34、42 を研磨する際のストッパとして機能すれば、絶縁膜に限らず導電膜や半導体膜でもよい。

【0062】

次に、図 20 に示すように、絶縁膜 26、絶縁膜 42 およびゲート電極 5 の側壁にある絶縁膜 34 を、例えば、フッ酸によるウエットエッチングにより除去する。これにより、第 2 のソース/ドレインおよびチャネルボディが形成される形成領域 30 には絶縁膜 34 ( $\text{HfO}_2$ ) が残る。

10

【0063】

次に、図 21 に示すように、例えば、熱酸化により、第 1 のソース/ドレインが形成される領域にシリコン酸化膜からなる絶縁膜 24 を形成する。そして、ゲート電極 5 をマスクとして例えば砒素 (As) のイオン注入を行い、第 1 および第 2 のソース/ドレインが形成される領域に低不純物濃度で浅い  $n^-$  型層 6b0、7b0 を形成する。このときイオン注入条件は、ドーズ量  $5 \times 10^{14} / \text{cm}^2$  程度とし、また通常のように基板に垂直方向のイオン注入として、第 1 のソース/ドレイン、第 2 のソース/ドレインに対称的に  $n^-$  型層 6b0、7b0 を形成する。

20

【0064】

次に、図 22 に示すように、ゲート電極 5 の側壁に側壁絶縁膜 8 を形成する。これにより、絶縁膜 34 は第 2 のソース/ドレイン側の側壁絶縁膜 8 下まで延びたゲート絶縁膜 22 となる。そして、ゲート電極 5 と側壁絶縁膜 8 をマスクとして再度砒素イオン注入を行って、第 1 のソース/ドレイン、第 2 のソース/ドレインに絶縁膜 2 に達する深さの高不純物濃度  $n^+$  型層 6a、7a を形成する。この後の工程は第 1 実施形態と同様なので説明を省略する。

【0065】

(第 4 実施形態)

この発明の第 4 実施形態について説明する。これまでの実施形態では、第 1 及び第 2 のデータ状態の書き込みに一極性の制御電圧を用いていたが、第 4 実施形態では第 1 及び第 2 のデータ状態の書き込みの制御電圧を互いに異なる極性にしている。図 23 は第 4 実施形態のメモリセルの等価回路図である。図 2 に示す第 1 実施形態との違いは、プレート線 (PL) の代わりに接地線 (GND) を設けたことである。第 4 実施形態のメモリセル MC の構造は図 1 に示す第 1 実施形態及び図 13 に示す第 3 実施形態のいずれも適用することができる。第 4 実施形態では第 1 のソース/ドレイン 6 にビット線 (BL) が接続され、第 2 のソース/ドレイン 7 に接地線 (GND) が接続されている。

30

【0066】

次に、第 4 実施形態のデータの書き込みおよび読み出しの動作を説明する。図 24、図 25 はそれぞれ第 4 実施形態のデータの書き込み、読み出しの動作タイミングを示している。図 24 および図 25 において、図 4 に示す符号と同じものについては同一符号を付している。

40

【0067】

時刻  $t_0$  で書き込みサイクルに入り、選択されたワード線 WL に正の制御電圧  $V_{H1}$  を与える。このワード線 WL で選択されたメモリセルのうち、“1” データを書き込むセルについては、実線で示すように、ビット線 BL に正の制御電圧  $V_{H2}$  を与える。一方、“0” 書き込みを行うセルについては、逆に、破線で示すように、ビット線 BL に負の制御電圧  $V_{H4}$  を与える。ここで、制御電圧  $V_{H4}$  はチャネルボディから第 1 のソース/ドレイン 6 に順バイアス電流を流しかつ第 2 のソース/ドレイン 7 接合近傍で生じるインパクト

50

イオン化電流を低く抑えられる電圧であれば、マイナス $V_{cc}$ よりも大きい値（絶対値が小さい値）にすることができる。

【0068】

以上により、“1”データが与えられたメモリセルは、図4に示す“1”データが与えられたメモリセルと同様にして、チャンネルボディの電位 $V_b$ が上昇しハイレベルとなる。一方、“0”データが与えられたメモリセルは、図4に示す“0”データが与えられたメモリセルと同様にして、電位 $V_b$ はハイレベルより低いローレベルとなる。時刻 $t_1$ で書き込み動作を終了すると、チャンネルボディ電位 $V_{b1}$ が高い状態に設定されたデータ“1”、電位 $V_{b1}$ が低い状態に設定されたデータ“0”が保持される。

【0069】

次に、データの読み出しについて図25で説明する。データ“1”の読み出し時は、データ“0”の読み出し時に比べて、電位 $V_{b1}$ が高いので、基板バイアス効果が大きい。このため、データ“1”の読み出し時のドレイン電流 $I_d$ は、データ“0”の読み出し時のそれよりも大きくなる。これらのドレイン電流 $I_d$ の差をセンスアンプで検出することにより、“1”、“0”データ判別が可能である。

【0070】

以上説明したように、第4実施形態によれば、第2のソース/ドレイン7を接地に固定した状態で、メモリ動作をさせることができる。

【0071】

【発明の効果】

以上述べたようにこの発明によれば、単純なトランジスタ構造をメモリセルとしてダイナミック記憶を可能とした半導体メモリ装置を提供することができる。

【図面の簡単な説明】

【図1】この発明の第1実施形態によるメモリセルの構造を示す断面図である。

【図2】同実施の形態のメモリセルアレイの等価回路である。

【図3】同実施の形態のメモリセルのチャンネルボディ電位とゲート電圧特性を示す図である。

【図4】同実施の形態のメモリの動作タイミング図である。

【図5】同実施の形態のメモリセルアレイの平面図である。

【図6】図5のA-A'断面図である。

【図7】同実施の形態のメモリセル製造の素子分離工程を示す図である。

【図8】同実施の形態のメモリセル製造のゲート電極形成工程を示す図である。

【図9】同実施の形態のメモリセル製造のイオン注入工程(1)を示す図である。

【図10】同実施の形態のメモリセル製造のイオン注入工程(2)を示す図である。

【図11】同実施の形態のメモリセル製造のゲート側壁絶縁膜形成及びイオン注入工程(3)を示す図である。

【図12】この発明の第2実施形態によるメモリセルの構造を示す断面図である。

【図13】この発明の第3実施形態によるメモリセルの構造を示す断面図である。

【図14】同実施の形態のシミュレーションのグラフを示す図である。

【図15】比較例のシミュレーションのグラフを示す図である。

【図16】同実施の形態のメモリセル製造のゲート絶縁膜となる絶縁膜( $HfO_2$ )形成工程を示す図である。

【図17】同実施の形態のメモリセル製造のゲート電極形成工程を示す図である。

【図18】同実施の形態のメモリセル製造のCMP工程を示す図である。

【図19】同実施の形態のメモリセル製造のウエットエッチング工程(1)を示す図である。

【図20】同実施の形態のメモリセル製造のウエットエッチング工程(2)を示す図である。

【図21】同実施の形態のメモリセル製造のイオン注入工程(1)を示す図である。

【図22】同実施の形態のメモリセル製造のイオン注入工程(2)を示す図である。

10

20

30

40

50

【図 2 3】 第 4 実施形態のメモリセルアレイの等価回路である。

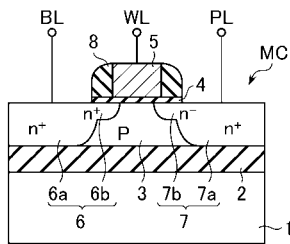
【図 2 4】 同実施の形態のメモリの書き込み動作タイミング図である。

【図 2 5】 同実施の形態のメモリの読み出し動作タイミング図である。

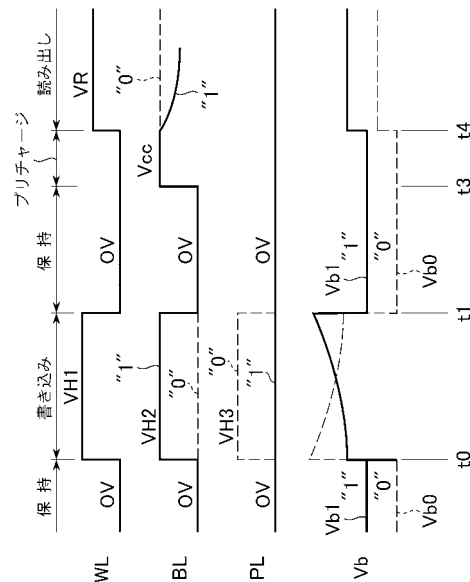
【符号の説明】

1 ... シリコン基板、 2 ... 絶縁膜、 3 ... p型シリコン層（チャネルボディ）、 4 ... ゲート絶縁膜、 5 ... ゲート電極（ワード線WL）、 6 ... 第1のソース/ドレイン、 7 ... 第2のソース/ドレイン、 8 ... 側壁絶縁膜、 10 ... 素子形成領域、 11 ... 素子分離絶縁膜、 12, 15 ... 層間絶縁膜、 13 ... コンタクトプラグ、 14 ... プレート線（PL）、 16 ... ビット線（BL）、 22 ... ゲート絶縁膜（ $HfO_2$ ）、 24 ... 絶縁膜（シリコン酸化膜）、 26 ... 絶縁膜（シリコン酸化膜）、 28 ... 絶縁膜（窒化膜）、 30 ... 形成領域、 32 ... 開口部、 34 ... 絶縁膜（ $HfO_2$ ）、 36 ... 多結晶シリコン膜、 38 ... 側壁導電膜、 40 ... レジスト、 42 ... 絶縁膜（シリコン酸化膜）。

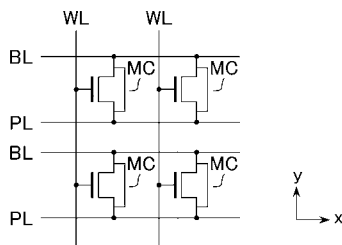
【図 1】



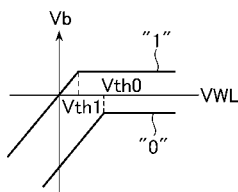
【図 4】



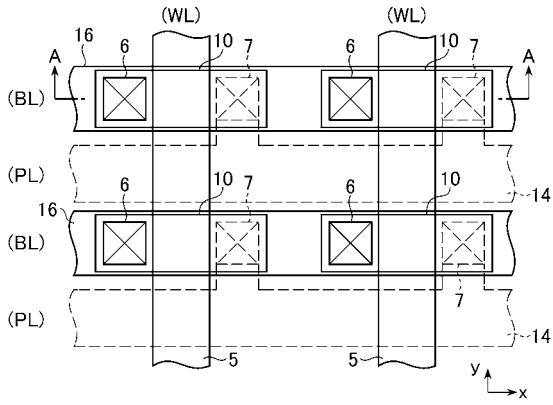
【図 2】



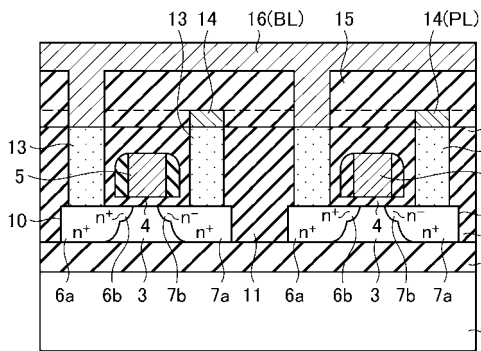
【図 3】



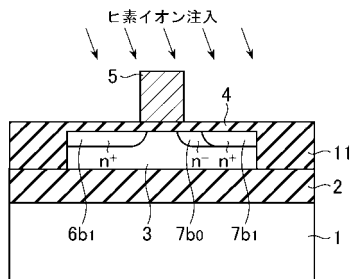
【図5】



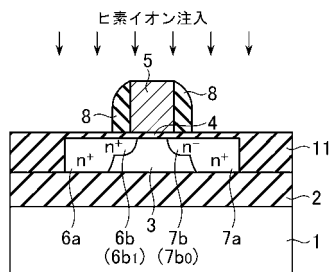
【図6】



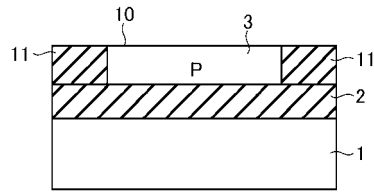
【図10】



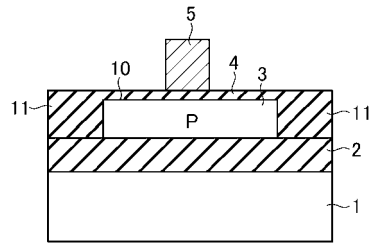
【図11】



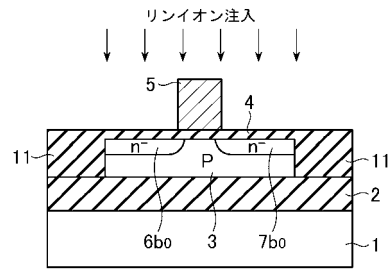
【図7】



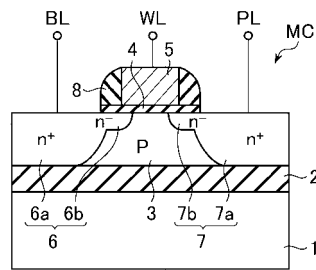
【図8】



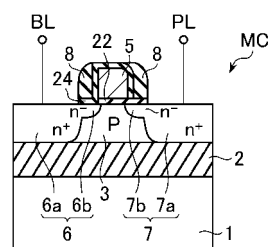
【図9】



【図12】

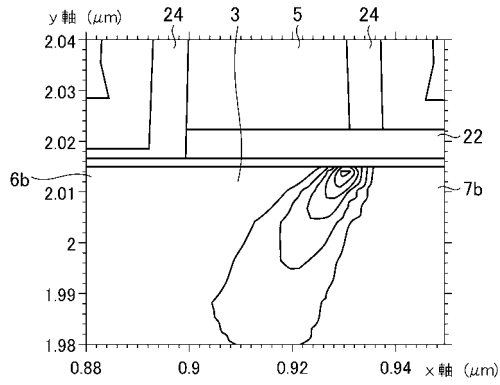


【図13】

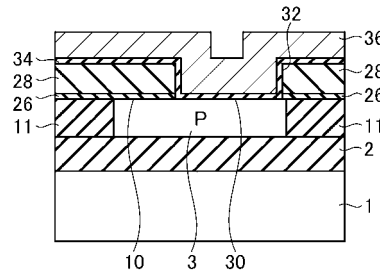




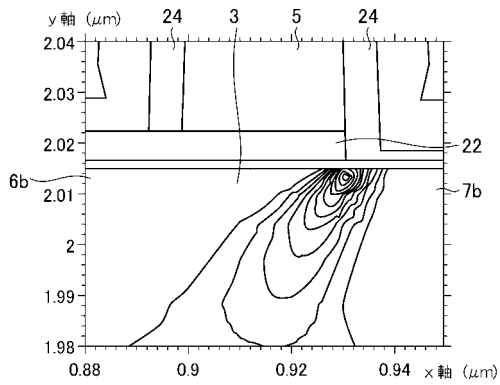
【図14】



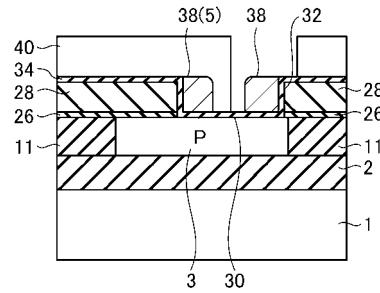
【図16】



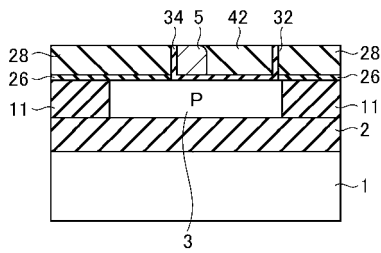
【図15】



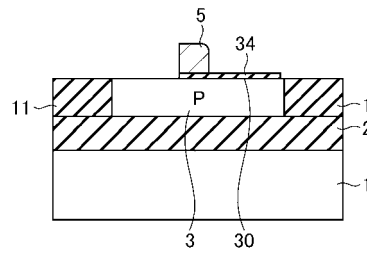
【図17】



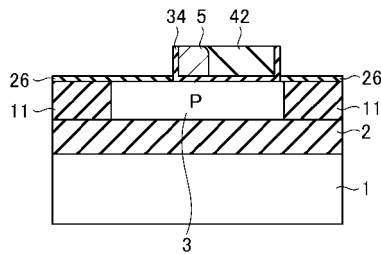
【図18】



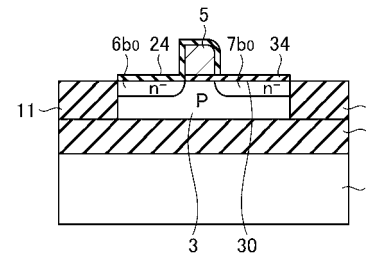
【図20】



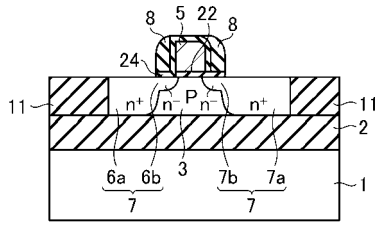
【図19】



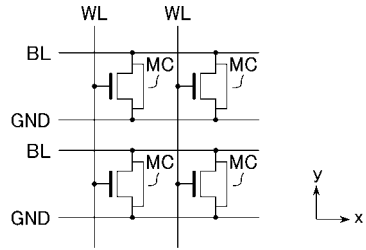
【図21】



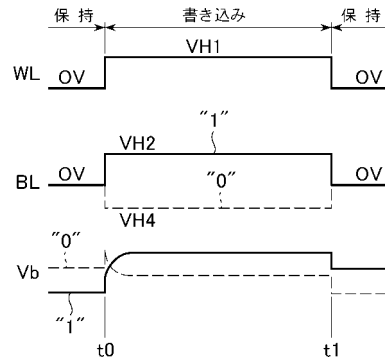
【図 2 2】



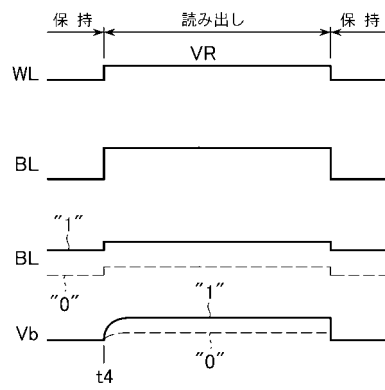
【図 2 3】



【図 2 4】



【図 2 5】



---

フロントページの続き

- (56)参考文献 特開昭62-007149(JP,A)  
特開昭62-007150(JP,A)  
特開平11-087707(JP,A)  
特開平06-132488(JP,A)  
特開平01-307266(JP,A)  
特開昭56-085856(JP,A)  
特開昭51-147280(JP,A)  
特開平10-092952(JP,A)  
特開平08-213624(JP,A)  
特開平03-171768(JP,A)  
特開昭56-006466(JP,A)  
特開平09-321259(JP,A)  
特開平04-212467(JP,A)  
特開平04-255233(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8242

H01L 27/108