

(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl.<sup>6</sup>  
H01L 21/302

(45) 공고일자 1999년03월30일

(11) 등록번호 특0171944

(24) 등록일자 1998년10월22일

(21) 출원번호 특1995-066081  
(22) 출원일자 1995년12월29일

(65) 공개번호 특1997-052604  
(43) 공개일자 1997년07월29일

(73) 특허권자 현대전자산업주식회사 김주용  
경기도 이천군 부발읍 아미리 산 136-1  
(72) 발명자 민영훈  
서울시 송파구 가락1동 479 가락시영아파트 104-403호  
김흥일  
경기도 남양주시 금곡동 168-1 금성훼밀리아파트 804호  
(74) 대리인 이권희, 이정훈

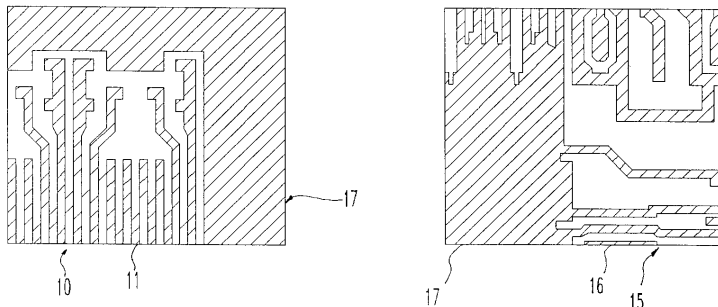
심사관 : 박형식

(54) 반도체소자의 미세패턴 제조방법

요약

본 발명은 반도체소자의 미세패턴 제조방법에 관한 것으로서, 마스크공정에 있어서 저단차용은 저단차만을 위한 노광마스크를 사용하고 고단차 부분에서는 고단차만을 위한 노광마스크를 사용하여 두차례 선택노광하여 각각의 마스크 타입에 대하여 발생하는 최적 노광에너지 및 초점거리등과 같은 최적의 노광공정 변수들 및 사입사 조명방식등과 결합하여 공정마진을 증가시키고, 단차에 의한 불량 발생을 방지하여 공정수율 및 소자 동작의 신뢰성을 향상시킬 수 있다.

대표도



명세서

[발명의 명칭]

반도체소자의 미세패턴 제조방법

[도면의 간단한 설명]

제1(a)도 내지 제1(b)도는 본 발명의 실시예에 따른 반도체소자의 미세패턴 형성을 위한 제1 및 제2노광 마스크의 평면도.

\* 도면의 주요부분에 대한 부호의 설명

10 : 제1노광마스크                      11, 16 : 투명기판  
12, 17 : 광차단막 패턴                15 : 제2노광마스크

[발명의 상세한 설명]

본 발명은 반도체소자의 미세패턴 제조방법에 관한 것으로서, 특히 패턴밀도(pattern density)증가 및 고 집적도에 따른 증가되는 단차상에서의 미세패턴 형성을 위하여 저단차와 고단차를 나누어 이중노광을 실시하여 공정수율 및 동작의 신뢰성을 향상시킬 수 있는 반도체소자의 미세패턴 제조방법에 관한 것이다.

최근 반도체 장치의 경박단소화 추세에 따라 배선간의 거리가 감소되고, 단차를 증가시키며, 트랜지스터

나 캐패시터등과 같은 단위 소자의 크기도 감소되어 패턴의 미세화가 점차 가속되고 있다.

일반적으로 감광막 패턴 형성을 위한 노광 공정시 사용되는 노광 마스크는 석영 기판에 크롬층이나 알루미늄 등의 광차단막을 도포한 후, 이온 빔 에칭에 의해 광차단막 패턴을 형성한다. 그러나 상기의 일반적인 노광 마스크로는 광분해능 이하의 미세 패턴의 형성이 어려우며, 현재 사용되는 통상의 감광액 및 노광 장비, 예를 들어 파장이 436nm인 G라인이나, 365nm인 I라인 스테퍼로는 0.3 $\mu$ m이하의 미세 패턴을 얻기가 어렵다.

더욱이 64M디램 이상의 초고집적 소자들은 0.3 $\mu$ m 이하의 미세패턴이 요구되며, 이러한 극미세 패턴은 고해상도의 감광막 패턴을 얻기 위해서 위상반전 마스크(phase shift mask)를 사용하고 있다.

위상반전 마스크는 노광 마스크의 광차단막 패턴들과 함께 광의 위상을 180° 또는 90° 반전시키는 위상반전막 패턴을 형성하여, 노광 공정시 웨이퍼상에 조사되는 광의 진폭을 일정하게 유지하고, 위상반전막 패턴을 통과한 광과 인접 패턴을 통과한 광과의 간섭에 의한 노광 효과가 최소가 되도록하여 감광막 패턴의 해상도를 향상시키는 원리를 사용한 것이다.

이러한 위상반전 마스크는 입사되는 광의 파장  $\lambda$ 와, 굴절률 n인 위상 반전물질을 광의 위상이 160~200° 정도 반전시키는 두께로 형성하여, 감광막에 조사되는 광의 코트라스트(contrast)비를 크게 하였다. 예를 들어 입사광이 G-라인 또는 I-라인이고, 위상 반전 물질로 에스.오.지(spin on glass; 이하 SOG라 칭함), 산화막 또는 질화막 등을 사용할 경우에 위상 반전 물질을 3400~4000Å 정도의 두께로 형성하면 된다.

상기의 위상반전 마스크를 사용하면, 종래의 감광액 및 노광 장비를 사용하여 0.5 $\mu$ m이하의 미세패턴도 형성할 수 있다.

얼터네이팅(alternating)위상반전 마스크는 반복적인 패턴을 갖는 디바이스에 적용하였을 경우 최대의 공정마진을 얻을 수 있다.

하지만 메모리(memory) 반도체인 경우에는 주변회로 패턴에서는 비반복적인 곳에서 위상반전막을 배열하기가 곤란한 경우가 발생한다. 이러한 경우 주변회로 패턴에서는 위상반전 마스크(mask)를 적용하지 않는 방법이 있는데, 이때에는 두 마스크 타입 사이에 최적 노광에너지 차이가 발생하고, 또한 최적 조점거리도 약간 이동되므로서 공정마진이 감소하게 된다.

실제로 메모리 반도체인 경우 그 고집적화 및 패턴밀집도의 증가에 따른 반도체소자 제조공정을 거듭하면서 극심한 단차(topology)가 생기고, 이로인하여 뒷공정에서의 패턴형성을 어렵게 하고 있다.

특히 소자제조공정을 거듭하면서 극심한 단차가 셀어레이(cell array) 및 주변회로영역(periphery)에 생겨 메탈배선공정같이 두 지역에 모두 패턴닝을 요구하는 경우와 메탈콘택홀(metal contact-hole)같이 주변회로영역에만 패턴닝을 하는 경우가 있어서 어느 경우에 있어서나 마스크 패턴형성시, 단일노광을 함으로써 노광장비의 최적화에너지나 포커스 위치선정이 어렵게 된다.

예를 들면, 워드라인 스트래핑(wordline strapping), 센스앰프(Sense Amp) 및 디코더(decoder)지역간의 단차에 따라 최적화된 에너지 및 포커스를 갖고 노광하기는 실제로 대단히 어려우며, 256M DRAM의 경우에 거듭된 공정후, 메탈 콘택홀 마스크 공정시의 단차는 셀어레이 영역과 주변회로 영역이 작게는 3000Å에서 크게는 9000Å 정도까지 단차가 극심하게 발생한다.

이로 인하여 리소그래피(lithography)공정마진이 작고, 때로는 디포커스(defocus)형태의 불량(fail)이 발생하여 공정수율 및 소자동작의 신뢰성이 떨어지는 문제점이 있다.

따라서 본 발명의 목적은 상기의 문제점을 해결하기 위한 것으로서, 공정을 거듭함에 따른 극심한 단차를 갖는 상태에서 뒷공정에서의 마스크패턴을 웨이퍼상에 무리없이 전사시키기 위해서 저단차 부분에서의 패턴과 고단차 부분에서의 패턴을 각각 구분하여 별도의 마스크를 사용하는 이중노광을 실시하여 리소그래피 고정마진을 증가시키고, 불량발생을 방지하여 공정수율 및 소자 동작의 신뢰성을 향상시킬 수 있는 반도체소자의 미세패턴 제조방법을 제공함에 있다.

상기와 같은 목적을 달성하기 위한 본 발명에 따른 반도체소자의 미세패턴 제조방법은 피식각층상에 감광막을 도포하는 공정과, 상기 감광막을 고단차용 노광마스크로 선택 노광하는 공정과, 상기 감광막을 현상하여 고단차 부분에 감광막패턴을 형성하고 저단차 부분에는 감광막이 남도록 하는 공정과, 상기 저단차 부분의 감광막을 저단차용 노광마스크로 선택노광하는 공정과, 상기 감광막을 현상하여 저단차 부분에도 감광막패턴을 형성하는 공정과, 상기 감광막패턴을 마스크로 피식각층을 제거하여 피식각층 패턴을 형성하는 공정을 구비함에 있다.

본 발명의 다른 특징은, 피식각층상에 감광막을 도포하는 공정과, 상기 감광막을 고단차용 노광마스크로 선택 노광하는 공정과, 상기 감광막을 저단차용 노광마스크로 선택노광하는 공정과, 상기 감광막을 현상하여 감광막패턴을 형성하는 공정과, 상기 감광막패턴을 마스크로 피식각층을 제거하여 피식각층 패턴을 형성하는 공정을 구비함에 있다.

이하, 본 발명에 따른 반도체소자의 미세패턴 제조방법에 관하여 첨부 도면을 참조하여 상세히 설명한다.

제1(a)도 및 제1(b)도는 본 발명에 따른 반도체소자의 미세패턴 제조방법에 사용되는 제1 및 제2노광마스크의 평면도이다.

먼저, DRAM에서 메탈 콘택홀의 예를들면, 메탈 콘택홀이 형성되는 위치는 크게 액티브(activ)지역과, 워드라인지선(wordline: P1), 비트라인지역(bitline: P2) 및 주변지역(poly4: P4)으로 4분되며, 여기서 상기 액티브지역과 워드라인지역 및 비트라인지역과 같이 저단차 지역(I)에서의 패턴 형성시에는 제1(a)도에 도시되어 있는 저단차만을 위한 제1노광마스크(10)를 이용하고, 주변회로 영역과 같이 적어도 8000~9000Å의 단차를 갖는 고단차 지역(II)은 제1(b)도의 고단차용 노광마스크(15)로 노광한다.

상기 제1노광마스크(10)는 투명기판(11)상에 액티브지역과 워드라인지역 및 비트라인지역등 저단차 지역(I)과 대응되는 부분을 선택적으로 노출시키는 광차단막 패턴(12)이 형성되어 있으며, 상기 광차단막 패

턴(12)은 고단차지역을 모두 가리고 있다.

또한 제2노광마스크(15)는 투명기판(16)상에 주변회로 영역등 고단차지연(11)에는 선택적으로 광차단막 패턴(17)이 형성되어 있고, 상기 광차단막 패턴(17)은 저단차지역(1)과 대응되는 부분은 모두 가리도록 형성되어 있다.

따라서, 통상의 메탈콘택홀 마스크 형성공정을 위에 언급한 네지역에 해당되는 패턴을 한 개의 노광마스크로 진행하던 것을 본 발명에서는 피식각층상에 포지티브형 감광막을 도포하고, 상기 제1노광마스크(10)를 사용하여 저단차 지역(1)에 선택 노광한 후, 현상하여 저단차 지역(1)에만 감광막패턴을 형성하고, 상기 제2노광마스크(15)를 사용하여 고단차 지역(11)에 선택노광하고 현상하여 고단차지역(11)에도 감광막패턴을 형성한후, 상기 감광막패턴을 마스크로 상기 피식각층을 식각하여 피식각층 패턴을 형성한다.

상기에서 고단차 부분의 감광막패턴과 저단차 부분의 감광막패턴을 각각 따로 제작하여 노광공정을 이중으로 실시하여 마스크 공정에서의 최대 변수인 최적 에너지와 포커 스위치를 갖도록 노광하여 리소그패리 공정마진을 확보하였다.

여기서 상기 현상 공정을 두차례의 노광후에 한 번만 실시하여도 동일한 효과를 얻을 수 있다.

이상에서 설명한 바와 같이, 본 발명에 의한 이중노광을 통한 반도체소자의 미세패턴 제조방법은 마스크 공정에 있어서 저단차용은 저단차만을 위한 노광마스크를 사용하고 고단차 부분에서는 고단차만을 위한 노광마스크를 사용하여 두차례 선택 노광하여 각각의 마스크 타입에 대하여 발생하는 최적 노광에너지 및 초점거리등과 같은 최적의 노광공정 변수들 및 사입사 조명방식등과 결합하여 공정마진을 증가시키고, 단차에 의한 불량 발생을 방지하여 공정수율 및 소자 동작의 신뢰성을 향상시킬 수 있는 이점이 있다.

### (57) 청구의 범위

#### 청구항 1

피식각층상에 감광막을 도포하는 공정과, 상기 감광막을 고단차용 노광마스크로 선택 노광하는 공정과, 상기 감광막을 현상하여 고단차 부분에 감광막패턴을 형성하고 저단차 부분에는 감광막이 남도록 하는 공정과, 상기 저단차 부분의 감광막을 저단차용 노광마스크로 선택노광하는 공정과, 상기 감광막을 현상하여 저단차 부분에도 감광막패턴을 형성하는 공정과, 상기 감광막패턴을 마스크로 피식각층을 제거하여 피식각층 패턴을 형성하는 공정을 구비하는 반도체소자의 미세패턴 제조방법.

#### 청구항 2

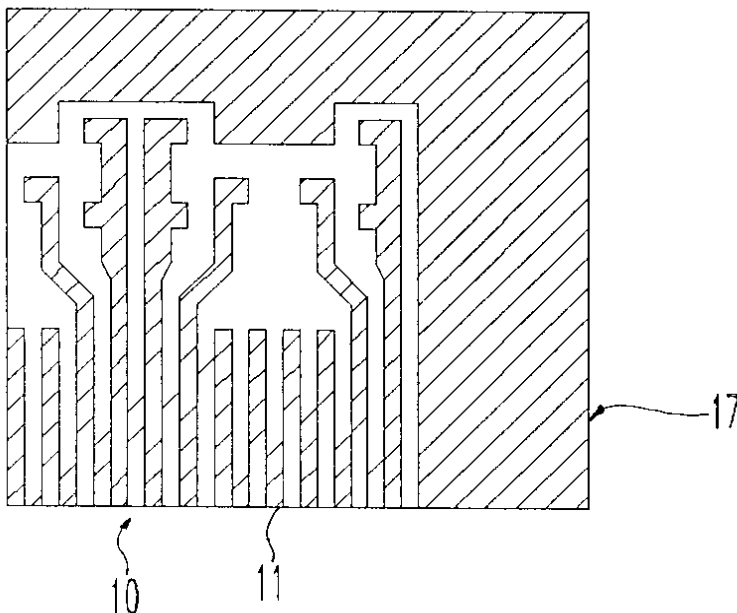
제1항에 있어서, 상기 두차례의 노광 공정을 액티브지역과 워드라인지역 및 비트라인지역을 한 번에 노광하고, 주변회로 영역을 두 번째로 노광하는 것을 특징으로 하는 반도체소자의 미세패턴 제조방법.

#### 청구항 3

피식각층상에 감광막을 도포하는 공정과, 상기 감광막을 고단차용 노광마스크로 선택 노광하는 공정과, 상기 감광막을 저단차용 노광마스크로 선택노광하는 공정과, 상기 감광막을 현상하여 감광막패턴을 형성하는 공정과, 상기 감광막패턴을 마스크로 피식각층을 제거하여 피식각층 패턴을 형성하는 공정을 구비하는 반도체소자의 미세패턴 제조방법.

### 도면

#### 도면 1a



도면 1b

