

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02007/029422

発行日 平成21年3月12日(2009.3.12)

(43) 国際公開日 平成19年3月15日(2007.3.15)

(51) Int.Cl.	F I	テーマコード (参考)
GO 1 R 31/28 (2006.01)	GO 1 R 31/28	K 2 G 0 0 3
GO 1 R 1/073 (2006.01)	GO 1 R 1/073	F 2 G 0 1 1
GO 1 R 31/26 (2006.01)	GO 1 R 31/26	J 2 G 1 3 2
HO 1 L 21/66 (2006.01)	HO 1 L 21/66	B 4 M 1 0 6

審査請求 未請求 予備審査請求 未請求 (全 35 頁)

出願番号	特願2007-534279 (P2007-534279)	(71) 出願人	000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(21) 国際出願番号	PCT/JP2006/314292	(74) 代理人	100095407 弁理士 木村 満
(22) 国際出願日	平成18年7月19日(2006.7.19)	(72) 発明者	谷岡 道修 東京都港区芝五丁目7番1号 日本電気株式会社内
(31) 優先権主張番号	特願2005-259061 (P2005-259061)	(72) 発明者	星野 茂樹 東京都港区芝五丁目7番1号 日本電気株式会社内
(32) 優先日	平成17年9月7日(2005.9.7)	(72) 発明者	田浦 徹 東京都港区芝五丁目7番1号 日本電気株式会社内
(33) 優先権主張国	日本国(JP)		

最終頁に続く

(54) 【発明の名称】 半導体装置の検査装置及び電源供給ユニット

(57) 【要約】

本発明に係る半導体装置の検査装置は、検査用LSIと、電源供給ユニットと、検査用LSI及び電源供給ユニットとテスターと間の接続用に設けられた中間基板とから構成される。検査用LSIは、検査回路及び波形整形回路と、被検査半導体装置と対向するように設けられた誘電体材料層と、この誘電体材料層の前記被検査半導体装置と対向する面における被検査半導体装置の外部端子電極の位置に対応する位置に配置された電極と、誘電体材料層を貫通すると共に前記電極に接続されて外部と信号送受信するための第1の貫通電極と、を有する。前記電源供給ユニットは、前記被検査半導体装置の電源電極に対応する位置に配置されその先端に金属突起を備えた弾性を有する相互に独立したプローブピンと、このプローブピンに電氣的に接続され第1の配線層が形成された基材と、この基材を貫通した第2の貫通電極と、を有する。

【特許請求の範囲】**【請求項 1】**

検査用 L S I と、電源供給ユニットと、前記検査用 L S I 及び前記電源供給ユニットとテストとの間の接続用に配置された中間基板とを有し、前記検査用 L S I は、検査回路及び波形整形回路と、被検査半導体装置と対向するように設けられた誘電体材料層と、この誘電体材料層の前記被検査半導体装置と対向する面における前記被検査半導体装置の外部端子電極の位置に対応する位置に配置された電極と、前記誘電体材料層を貫通すると共に前記電極に接続されて外部と信号送受信するための第 1 の貫通電極と、を有し、前記電源供給ユニットは、前記被検査半導体装置の電源電極に対応する位置に配置されその先端に金属突起を備えた弾性を有する相互に独立したプローブピンと、このプローブピンに電気的に接続され第 1 の配線層が形成された基材と、この基材を貫通した第 2 の貫通電極と、を有することを特徴とする半導体装置の検査装置。

10

【請求項 2】

前記プローブピンにおける前記金属突起は 1 層以上の金属層からなり、前記金属突起の表面には前記被検査半導体装置の前記電源電極の材料に応じて接触特性の良い材料からなる 1 層以上の金属層が形成され、前記第 1 の配線層上には 1 層以上の金属層からなる第 2 の配線層が形成され、前記金属突起の表面に形成された前記 1 層以上の金属層と前記第 2 の配線層とが分離された構造であることを特徴とする請求項 1 に記載の半導体装置の検査装置。

20

【請求項 3】

前記誘電体材料層は、高い比誘電率及び弾性を有する材料から形成されていることを特徴とする請求項 1 又は 2 に記載の半導体装置の検査装置。

【請求項 4】

前記検査用 L S I と前記電源供給ユニットとを連結する連結部材と、前記連結部材により連結された前記検査用 L S I 及び前記電源供給ユニットと前記中間基板との間に配置されその電極部に導電性粒子を集中化した異方性導電シート又は金属細線を埋設した異方性導電シートと、前記電源供給ユニットの前記第 1 の配線層側から前記電源ユニットを介して前記異方性導電シートを支持することにより前記異方性導電シートを前記中間基板に固定する固定部材と、を有することを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の半導体装置の検査装置。

30

【請求項 5】

前記検査用 L S I は、高密度配線基板と検査専用 L S I とに分離され、前記高密度配線基板は、前記被検査半導体装置と対向する面における前記被検査半導体装置の前記外部端子電極の位置に対応する位置に配置された表面電極と、前記被検査半導体装置と対向する面とは反対側の面に形成された裏面電極と、前記表面電極と前記裏面電極とを接続する配線層とを有し、前記検査専用 L S I は、前記検査回路及び前記波形整形回路を有し、前記高密度配線基板と前記検査専用 L S I とを電氣的に接続したことを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の半導体装置の検査装置。

【請求項 6】

前記第 2 の配線層の体積抵抗率は、前記第 1 の配線層の体積抵抗率よりも小さいことを特徴とする請求項 2 乃至 5 のいずれか 1 項に記載の半導体装置の検査装置。

40

【請求項 7】

前記電源供給ユニットにおける前記第 1 の配線層と前記基材との間に、1 層以上の金属層からなる第 3 の金属層が形成されていることを特徴とする請求項 2 乃至 6 のいずれか 1 項に記載の半導体装置の検査装置。

【請求項 8】

前記第 3 の金属層の体積抵抗率は、前記第 1 の配線層の体積抵抗率よりも小さいことを特徴とする請求項 7 に記載の半導体装置の検査装置。

【請求項 9】

前記金属突起の形状は、前記被検査半導体装置と対向する面の形状を長方形状とする角柱

50

形状であり、その幅は、前記プローブピンの幅以下であり、その長さは、前記プローブピンが前記半導体装置の電源電極と接触してからの前記プローブピンの先端部の移動量と前記プローブピンの長手方向の位置公差及び前記半導体装置の電源電極の寸法公差を考慮した長さを加えた寸法以上であり、その高さは、前記第 1 の配線層の表面を基準として、前記被検査半導体装置の電源電極が前記金属突起と接触してからの押込み量と前記金属突起の高さ公差及び前記被検査半導体装置の電源電極の高さ公差を考慮した高さを加えた寸法以上であることを特徴とする請求項 1 乃至 8 のいずれか 1 項に記載の半導体装置の検査装置。

【請求項 10】

前記金属突起の表面に形成された前記 1 層以上の金属層は、金又は金合金層であることを特徴とする請求項 2 乃至 9 のいずれか 1 項に記載の半導体装置の検査装置。

10

【請求項 11】

前記金属突起の表面に形成された前記 1 層以上の金属層は、その表面に微細凹凸形状を有することを特徴とする請求項 2 乃至 10 のいずれか 1 項に記載の半導体装置の検査装置。

【請求項 12】

前記微細凹凸形状は、凹部及び凸部がストライプ状に形成され且つストライプの延伸方向が前記プローブピンの移動方向と同一方向に形成された形状、凹部及び凸部がストライプ状に形成され且つストライプの延伸方向が前記プローブピンの移動方向と垂直方向に形成された形状、碁盤目形状、やすりの目形状、又はランダムな形状であることを特徴とする請求項 11 に記載の半導体装置の検査装置。

20

【請求項 13】

前記微細凹凸形状は、表面の粗さが $1 \mu\text{m}$ 以下の微細凹凸形状であることを特徴とする請求項 11 又は 12 に記載の半導体装置の検査装置。

【請求項 14】

半導体装置の検査装置用の電源供給ユニットであって、被検査半導体装置の電源電極に対応する位置に配置されその先端に金属突起を備えた弾性を有する相互に独立したプローブピンと、このプローブピンに電氣的に接続され第 1 の配線層が形成された基材と、この基材を貫通した貫通電極と、を有することを特徴とする電源供給ユニット。

【請求項 15】

前記プローブピンにおける前記金属突起は 1 層以上の金属層からなり、前記金属突起の表面には前記被検査半導体装置の前記電源電極の材料に応じて接触特性の良い材料からなる 1 層以上の金属層が形成され、前記第 1 の配線層上には 1 層以上の金属層からなる第 2 の配線層が形成され、前記金属突起の表面に形成された前記 1 層以上の金属層と前記第 2 の配線層とが分離された構造であることを特徴とする請求項 14 に記載の電源供給ユニット。

30

【請求項 16】

前記第 2 の配線層の体積抵抗率は、前記第 1 の配線層の体積抵抗率よりも小さいことを特徴とする請求項 15 に記載の電源供給ユニット。

【請求項 17】

前記第 1 の配線層と前記基材との間に、1 層以上の金属層からなる第 3 の金属層が形成されていることを特徴とする請求項 14 乃至 16 のいずれか 1 項に記載の電源供給ユニット。

40

【請求項 18】

前記第 3 の金属層の体積抵抗率は、前記第 1 の配線層の体積抵抗率よりも小さいことを特徴とする請求項 17 に記載の電源供給ユニット。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置をウエハ状態で検査するための検査装置に関し、特に半導体装置の電極ピッチが狭く、且つ高速大容量伝送が必要な半導体装置の検査に好適な検査装置及

50

びそれに使用する電源供給ユニットに関する。

【背景技術】

【0002】

近時、半導体装置の高密度化、高速大容量伝送化の要求が急速に高まりつつある。特に、半導体装置の微細化という観点からみると、2003年度版のITRS (International Technology Roadmap for Semiconductors、半導体技術国際ロードマップ)のロードマップにおいて、周辺配置電極のピッチが2004年の35 μ mから2009年には20 μ mへ、エリア配置電極のピッチが2004年の150 μ mから2009年には100 μ mへと、夫々急速な微細化の進展が予測されている(図14参照)。このような状況において、微細ピッチ電極を有する半導体装置の検査技術が一つのキーテクノロジーになっている。特に、半導体装置製造において、ウエハ状態での素子の電気検査であるウエハ検査をどのように実施するかという問題は、ウエハ製造工程への問題の迅速なフィードバックによる品質向上に寄与し、確実に不良品を除去し半導体装置の量産時における生産直行率を高め、更に生産性向上による低コスト化を図る上で極めて重要である。

10

【0003】

従来のウエハ検査は、信号の送受信を行う上で接触方式と非接触方式に大別される。現在、主流で使用されている接触方式は、ウエハとテスター間の信号の送受信を行うためのインターフェースとして、プローブカードを用いて半導体装置電極に何らかの接触子をコンタクトさせる方式である。最も汎用的に用いられている接触子が、カンチレバー方式と呼ばれるプローブカードであり、金属針を半導体装置電極に接触させる方式である。この他の接触方式として、金属突起(バンプ)付きのメンブレンシート、TCP (Tape Carrier Package) リード付きのメンブレンシート、シリコンウイスカにめっきを施したピン状のシリコンプローブを使用したものがある。

20

【0004】

非接触方式は、半導体装置に通信用コイルを配置して外部と無線により信号の入出力を行う方式、及び半導体装置とミラー構造のチップを用いて半導体装置の信号配線とミラーチップの配線とを近接させることにより非接触の容量結合により信号取り出しを行う方式等が知られている。そして、金属針を用いたカンチレバー方式が特許文献1に、金属突起付きのメンブレンシート方式が特許文献2に、TCPリード付きのメンブレンシート方式が特許文献3に、シリコンウイスカを用いた方式が特許文献4に夫々開示されている。また、通信用コイルを用いた方式が特許文献5に、非接触の容量結合により信号取り出しを行う方式が特許文献6に夫々開示されている。以下、先ず、接触方式の従来技術について説明する。

30

【0005】

(1) 金属針を用いたカンチレバー方式(特許文献1)(第1の従来技術)

この方式ではタングステン、レニウムタングステン等の金属針を加工し、接触子として用いる。金属針の狭ピッチ化を図るため、図17に示すように根元直径190 μ mの金属針150の先端を極細線加工する。加工された複数の金属針150を、遮蔽版151を用いて夫々の間の絶縁をとりつつ、4段積み重ねている。このような構造により、接触子の先端ピッチを50 μ m迄狭ピッチ化することを可能としている。

40

【0006】

(2) 金属突起(バンプ)付きのメンブレンシートを用いた方式(特許文献2)(第2の従来技術)

特許文献2の他に、特許文献7の「バンプ接点付き薄膜プローブ緩衝システム」、及び特許文献8の「プローブカード」が知られている。これらは、半導体装置の外部電極に対向した位置に金属突起(バンプ)を有するコンタクトシートを用いた方式のプローブ構造である。代表例として、図18に特許文献2に記載のプローブカード構造体の一部及びその製法を示す。

【0007】

図18において、プローブカードを構成するフレキシブルな絶縁フィルム160の片面

50

に所望の検査回路パターン（図示せず）、及び電極リード161が形成されている。電極リード161の先端には、半導体装置165の外部端子電極166に対向した位置に金属突起（ランプ）162が形成されている。プローブカードは、この金属突起162を介して半導体装置165の外部端子電極166と接触する。

【0008】

（3）TCPリード付きのメンブレンシートを用いた方式（特許文献3）（第3の従来技術）

特許文献3に類似する従来技術は、特許文献9、特許文献10、及び特許文献11にも開示されている。これらは、半導体装置の外部電極に対向した位置に、金属リードを有するフレキシブル基板を使用した方式のプローブ構造を有する。

10

【0009】

代表例として、図19に、特許文献3に開示されたプローブカードの構造図を示す。図19（a）はプローブカードの一辺における要部の断面図であり、図19（b）はプローブカードの一部を破断して示した斜視図である。フレキシブルなフィルム171の片面に所望の検査回路パターン（図示せず）、及びプローブピン172が形成されている。このプローブピン172が半導体装置175の外部電極と接触する。

【0010】

プローブピン172は検査回路パターンの先端部にあり、その配線パターンはフィルム171で支持されている。これらの配線パターン、プローブピン172、及びフィルム171は一体としてフレキシブル基板（FPC）170を構成している。フレキシブル基板170が薄いため、単体では所望の接触力を得ることができない。このため、プローブカードは、フレキシブル基板170をその両面において支持するクランパ173a、173b及び支持体174を備えている。これにより、プローブピン172が半導体装置175の外部電極に確実に接触するようになっている。

20

【0011】

なお、支持体174はステンレス製又は真鍮製である。支持体174は、フレキシブル基板170のうちプローブピン172に近い部分を受ける傾斜面を前方（図19（a）では右方）に有し、カード基板（図示せず）への水平な取り付け面を後方（図19（a）では左方）に有する。この傾斜面は、図19（b）からわかるように、上から見ると前端部を短辺とする台形状である。

30

【0012】

プローブカードは、更に、ステンレス製のハードな補強プレート176と、上面に配線パターンを有するプリント基板177とを備える。プリント基板177が補強プレート176によって補強されてハードなカード基板が構成される。クランパ173aも前端部を短辺とする台形プレートである（図19（b）参照）。クランパ173aは、支持体174の傾斜面上に重ねられた絶縁シート178とフレキシブル基板170との上に重ねられた状態でボルト179aによって支持体174に取り付けられる（図19（a）参照）。クランパ173bは、フレキシブル基板170を間に挟んで、支持体174の水平面上に重ねられた状態で、ボルト179bにより支持体174に取り付けられている。

【0013】

これにより、クランパ173aがフレキシブル基板170のうちプローブピン172側の部分を上方から支持体174の傾斜面に固定すると共に、その前縁部でプローブピン172を上方から支持する。

40

【0014】

（4）シリコンウイスカを接触子に活用したウエハ検査用プローブ（特許文献4）（第4の従来技術）

特許文献12に記載の従来技術に類似する技術は、特許文献13、特許文献14にも開示されている。代表例として、図20に、特許文献12に開示されたプローブピン及びそれを有するコンタクターの構造図を示す。

【0015】

50

図 20 に示すプローブピンは、シリコン基板 180 に針状単結晶 181 を成長させ、その後、この針状単結晶 181 の面の表面に更に Ni 下地膜 182 及び Au 膜 183 を形成し、Au 膜 183 の先端に Pd 膜 184 を形成した構造を持つ。つまり、シリコン基板 180 上に Au の種を配置し、VLS 成長させることによりシリコンの針状単結晶 181 が形成される。図示のプローブピンは、針状単結晶 181 の表面に導電膜を設けた半導体計測用プローブであり、先端部のみを接点材料により被覆したプローブピン構造である。

【0016】

次に非接触方式の従来技術について説明する。

【0017】

(5) 通信用コイルを用いた非接触検査方式(特許文献5)(第5の従来技術)

本方式による構造と検査方法を図 21 (a)乃至(c)を参照して説明する。図 21 (a)はウエハ 190 の平面図であり、ウエハ 190 に複数の半導体チップ 196 が形成されている。図 21 (b)は、(a)におけるウエハ 190 上の半導体チップ 196 が設けられた丸枠部分の拡大図である。図 21 (b)に示すように、半導体チップ 191 A、191 B に夫々半導体検査専用の通信用コイル 192 A、192 B が形成され、通信用コイル 192 A、192 B と接続端子 193 A、193 B とが夫々配線 194 A、194 B により接続されている。通信用コイル 192 A、192 B は夫々矩形スパイラル形状のコイルであり、半導体チップ 191 A、191 B の回路面側に絶縁性の表面保護膜を介して形成されている。各通信用コイルには 2 本の配線が形成されており、それらのうちの 1 本の配線は半導体チップの内部で接続端子に接続されており、他の 1 本はスクライプライン上

10

20

【0018】

この構造の半導体チップを使用し、図 21 (c)に示すように、検査を実施する。即ち、半導体検査装置のヘッド 195 から半導体チップ 191 A の通信コイル 192 A に対して検査信号を無線により出力する。それに対する半導体チップ 191 A からの出力信号を受信することにより、半導体チップ 191 A の機能検査を行う。このヘッド 195 又は半導体チップを移動させることにより、各半導体チップに対して順次検査を行う。

【0019】

(6) 容量結合を用いた非接触検査方式(特許文献6)(第6の従来技術)

図 22 に、特許文献 6 に開示された発明の構造図を示す。電圧プローブチップ 210 においては、LSI チップ 200 におけるモニタ対象である信号線 201 に相対向する位置にセンサー部 211 が配置されており、この電圧プローブチップ 210 により、半導体チップ 200 の電圧変化を静電誘導による誘起電圧として検出する。

30

【0020】

詳細には、電圧プローブチップ 210 は、シリコン基板 212 上に形成された増幅回路等の信号処理回路部 213 と、LSI チップ 200 における信号線 201 に相対向する位置に配列されたセンサー部 211 と、センサー部 211 上面の膜厚 0.5 μm のシリケートガラス(誘電体材料層) 214 とで構成されている。誘電体材料層 214 の表面は平滑になるように研磨が施されている。

【0021】

LSI チップ 200 は、シリコン基板 202 表面に配線層 203 が形成されており、この配線層 203 上に形成された層間絶縁膜 204 の表面に信号線 201 が一定間隔で配置されている。そして、配線層 203 は層間絶縁膜 204 に設けたスルーホールを介して信号線 201 の信号線電極に接続されている。信号線電極が露出している層間絶縁膜 204 の表面はCMP(化学的機械研磨)法等により平坦化処理が施されている。

40

【0022】

LSI チップ 200 の信号線 201 の電極と、電圧プローブチップ 210 のセンサー部 211 との位置合わせを行い、真空吸引しつつ加圧し、直接接合により固定する。この状態で LSI チップ 200 の外部取り出し端子(図示せず)に電圧を印加して駆動する。そして、このときの誘導電圧を電圧プローブチップ 210 のセンサー部 211 で検出し、信

50

号処理回路部 2 1 3 を介してモニタする。

【 0 0 2 3 】

- 【 特許文献 1 】 米国特許第 5, 9 6 9, 5 3 3 号
- 【 特許文献 2 】 特開平 5 - 2 2 6 4 3 0 号公報
- 【 特許文献 3 】 特開平 6 - 3 3 4 0 0 6 号公報
- 【 特許文献 4 】 特開平 1 1 - 1 9 0 7 4 8 号公報
- 【 特許文献 5 】 特開 2 0 0 3 - 2 7 3 1 8 0 号公報
- 【 特許文献 6 】 特開 2 0 0 3 - 3 4 4 4 4 8 号公報
- 【 特許文献 7 】 特開平 5 - 2 4 3 3 4 4 号公報
- 【 特許文献 8 】 W O 9 8 / 5 8 2 6 6
- 【 特許文献 9 】 特開平 6 - 3 3 4 0 0 5 号公報
- 【 特許文献 1 0 】 特開平 6 - 3 3 1 6 5 5 号公報
- 【 特許文献 1 1 】 特開平 6 - 3 2 4 0 8 1 号公報
- 【 特許文献 1 2 】 特開平 1 0 - 0 3 8 9 1 8 号公報
- 【 特許文献 1 3 】 特開平 2 0 0 2 - 2 5 7 8 5 9 号公報
- 【 特許文献 1 4 】 特開平 5 - 1 9 8 6 3 6 号公報

10

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 2 4 】

しかしながら、上述の従来技術には以下に示すような問題点がある。

20

【 0 0 2 5 】

先ず、接触方式による第 1 乃至第 3 の従来技術の問題点について、狭ピッチ化と高速信号伝送の観点から説明する。

【 0 0 2 6 】

第 1 の従来技術では、金属針と遮蔽板で 4 段に積層したプローブを構成しており、4 段積層して接触子の先端ピッチは 5 0 μ m ピッチである。更なる狭ピッチ化を図るためには、以下の問題点がある。

【 0 0 2 7 】

1 . 金属針の極細加工、材質変更が必要になるため、加工が極めて困難であり、製造コストが高くなる。

30

【 0 0 2 8 】

2 . 加工できたとしても、金属針の剛性不足のため、十分な耐久性能を確保できない。

【 0 0 2 9 】

3 . 金属針の長さが長いため、抵抗による信号の伝送損失が増大し、信号遅延が大きく、高周波信号の伝送が困難になる。

【 0 0 3 0 】

第 2 の従来技術は、メンブレンシートを用いた構造であるため、裏面にグラウンドを形成し、インピーダンス整合を図ることが可能であり、高速信号伝送には有利な構造である。しかしながら、半導体装置の外部電極との接触は金属突起（バンプ）を介して行われている。金属突起は、コンタクト時に半導体装置の回路面と接触しないように、ある一定高さ以上に保つ必要がある。また、基材にフィルム状のメンブレンシートを用いていること、及びめっきによる製造方法を用いるため、金属突起のピッチは最少で 6 0 μ m 程度であり、これ以下の狭ピッチにすることが困難である。

40

【 0 0 3 1 】

第 3 の従来技術は、第 2 の従来技術と同様にメンブレンシートを使用するため高速信号伝送には有利である。しかしながら、基材として、フィルム状のフレキシブル材料を使用しているため、フィルム基板製造プロセスの熟履歴により、4 0 μ m ピッチ以下の微細ピッチの場合、金属リードピッチ方向の位置精度を所望の値（ $\pm 1 . 0 \mu$ m 以下）に制御することが困難である。また、プローブピンは弾性を有する金属材料である単一の材料で形成されており、コンタクト対象材料によっては選択を行っていないため良好な接触特性を

50

得ることが困難な場合がある。

【0032】

第1乃至第3の従来技術は、上記のような問題点を有しており、特に狭ピッチ化という観点から40 μ mピッチが限界であるという問題点を有している。

【0033】

次に、半導体装置の電極に対する接触痕の観点から第1乃至第3の従来技術の問題点について説明する。

【0034】

図23(a)乃至(d)に、夫々第1乃至第4の従来技術により半導体装置の電極にプロービングした場合の、電極上に発生する接触痕の写真を示す。第1乃至第3の従来技術は、接触子が電極に接触した後、オーバードライブ(接触子が電極に接触した点を基準として、半導体装置を接触子に対して上昇させた量=押し込み量)を負荷することにより、アルミニウム電極表面の酸化皮膜を突き破り、接触を得るというメカニズムに基づいており、図23(a)乃至(c)に示すような接触痕が発生する。

10

【0035】

図24(a)に半導体装置の電極220の微細化と実接合面積に関する相関図を示す。図24(a)の左図に示すように、電極パッドピッチが大きい場合、円で示した接合面積(圧着面積221)に対してプロービングによる接触痕222の割合は小さい。しかし、図24(a)の右図に示すように、電極パッドピッチが小さくなると、接触痕222の比率が大きくなる。例えば、図24(a)の左から右へ電極パッドピッチが100、80、75 μ mであるとし、接合面積(圧着面積221)とプロービングによる接触痕面積の差分を接合面積で除した値を実接合面積と定義すると、接触痕222の比率は夫々86、79、75%となり、接触痕222の比率が大きくなることがわかる。このように実接合面積が減少すると、次工程のワイヤボンディング及びフリップチップ実装用のバンプ形成において、剥がれの発生という接合不良が発生する。この問題点は、接触痕が発生する第1乃至第3の従来技術に共通した課題である。

20

【0036】

この課題に対する対策として、半導体装置の電極223を図24(b)に示すように、長方形形状とし、プロービングエリア224とボンディングエリア(接続エリア225)に分けること、及びアルミニウム電極231の表面の酸化膜の影響を除去するために、アルミニウム電極231の上に無電解メッキによりNi膜232、Au膜233を成膜して接圧を低くすること等が行われている。しかしながら、電極形状の長方形化は、チップサイズの大型化を引き起こし、ウエハ内でのチップ数量が減少するため、コスト高になると共に、チップサイズの小型化のネックとなる。また、アルミニウム電極231上の表面処理は、プロセスの追加により製造コストが上昇するといった問題点を有している。これらの問題点も、第1乃至第3の従来技術に共通した課題である。

30

【0037】

第4の従来技術に関して、上記の狭ピッチ化、高速信号伝送、及び接触痕の観点より問題点を説明する。第4の従来技術は、半導体装置の外部電極との接触をシリコンの針状単結晶にめっきを施したピンで行うものであり、半導体装置電極に対して垂直にプロービングし、座屈変形を活用して接触を得ている。このため、図23(d)に示すように、接触痕は極めて小さく維持できるが、接触圧力が小さいため、表面酸化膜があるアルミニウム及び銅といった材質に対して、良好な接触を得ることが困難である。狭ピッチ化の観点からは、40 μ mピッチ以下の領域になると、ピン直径10 μ m程度のピンを形成する必要がある。この場合、ピン成長させる前のSiメサへ金バンプを搭載する技術が著しく困難になり、金属膜を付与したときの応力及びピン形成後の先端トリミング工程によるダメージ発生により、半導体装置の電極ピッチに対応した位置精度の確保が困難となる。また、ピン直径が極細線になっているため、オーバードライブをかけたときにピン強度の不足により、ピンの破壊が発生するという問題点を有する。

40

【0038】

50

以上、接触方式による第1乃至第4の従来技術の問題点を述べた。次に、非接触方式である第5及び第6の従来技術の問題点について説明する。第5及び第6の従来技術はいずれも非接触式であることから、半導体装置電極への接触痕をなくすることができるという利点を有しているが、以下の問題点が存在する。

【0039】

第5の従来技術は、通信用コイルをチップ内部に形成する必要があるため、以下の問題点を有する。

【0040】

1. コイル形成プロセスの追加とチップ内部にコイル形成領域確保が必要になり、チップサイズの大型化を引き起こし、コスト高になる。

10

【0041】

2. 通信コイルと接続端子との間が配線されているため、検査終了後に配線を切断する必要がある。このとき、スクライプライン上の配線は従来プロセスで切断できるため問題ないが、チップ内部配線の切断は、プロセス追加になるため、コスト高の要因となる。

【0042】

3. ウエハ上のチップは近接して並んでいるため、検査対象である所望のチップに隣接するチップへも信号が送受信される可能性がある。

【0043】

4. 電源供給方法に関する記載がないため、仮に電源供給を無線で行うと考えると、供給能力が不足して半導体チップを駆動できない可能性がある。

20

【0044】

第6の従来技術においては、LSIチップの電源供給は、使用時に実際に用いる電圧を外部取り出し端子に印加して駆動するものであるが(明細書段落0062)、特にどのようなプローブを使用するかまでは不明であるため、汎用のカンチレバー方式のプローブを使用するものと推察される。この場合、以下の問題点がある。

【0045】

1. 電源供給電極上に接触痕が大きく残り、接合不良が発生する。

2. 電圧プローブチップから外部への信号取り出し構造が、TAB又はワイヤを用いて行うため、高速信号伝送において伝送損失による遅延が発生する。

【0046】

3. 電圧プローブチップ及びLSIチップはいずれも研磨された平面であり、誘電体材料層もシリケートガラスであって、極めて固いため、両者を接触させるときに極めてシビアな平行度調整が必要になる。

30

【0047】

4. 多少でも平行度調整がずれた場合に、どちらかのチップに損傷が発生する。

【0048】

5. 更に、LSIチップの配線層は10 μ m以下のピッチであり、このレベルの位置合わせを行うためには、汎用のウエハプローバを使用することは不可能であり、特別な装置が必要になり、コスト高になる。

【0049】

以上、上記の問題点をまとめると、接触方式の従来技術には、接触痕を小さくし、40 μ m以下の狭ピッチ化への対応が困難であるという問題点がある。一方、非接触方式の従来技術には、電源供給電極の接触痕を小さくし、汎用装置を用いた検査を行うことが困難であるという問題点がある。

40

【0050】

本発明はかかる問題点に鑑みてなされたものであって、半導体装置の検査に際して、その電極上の接触痕レス化を実現することで、次工程の接続プロセスにおける高信頼性接続の実現とデバイスの狭ピッチ化及び低コスト化を可能にする半導体装置の検査装置及びそれに使用する電源供給ユニットを提供することを目的とする。

【課題を解決するための手段】

50

【0051】

本発明に係る半導体装置の検査装置は、検査用LSIと、電源供給ユニットと、前記検査用LSI及び前記電源供給ユニットとテスターとの間の接続用に配置された中間基板とを有し、前記検査用LSIは、検査回路及び波形整形回路と、被検査半導体装置と対向するように設けられた誘電体材料層と、この誘電体材料層の前記被検査半導体装置と対向する面における前記被検査半導体装置の外部端子電極の位置に対応する位置に配置された電極と、前記誘電体材料層を貫通すると共に前記電極に接続されて外部と信号送受信するための第1の貫通電極と、を有し、前記電源供給ユニットは、前記被検査半導体装置の電源電極に対応する位置に配置されその先端に金属突起を備えた弾性を有する相互に独立したプローブピンと、このプローブピンに電氣的に接続され第1の配線層が形成された基材と、この基材を貫通した第2の貫通電極と、を有することを特徴とする。

10

【0052】

前記プローブピンにおける前記金属突起は1層以上の金属層からなり、前記金属突起の表面には前記被検査半導体装置の前記電源電極の材料に応じて接触特性の良い材料からなる1層以上の金属層が形成され、前記第1の配線層上には1層以上の金属層からなる第2の配線層が形成され、前記金属突起の表面に形成された前記1層以上の金属層と前記第2の配線層とが分離された構造であることが好ましい。

【0053】

前記誘電体材料層は、高い比誘電率及び弾性を有する材料から形成されていることが好ましい。

20

【0054】

前記検査用LSIと前記電源供給ユニットとを連結する連結部材と、前記連結部材により連結された前記検査用LSI及び前記電源供給ユニットと前記中間基板との間に配置されその電極部に導電性粒子を集中化した異方性導電シート又は金属細線を埋設した異方性導電シートと、前記電源供給ユニットの前記第1の配線層側から前記電源ユニットを介して前記異方性導電シートを支持することにより前記異方性導電シートを前記中間基板に固定する固定部材と、を有するように構成してもよい。

【0055】

前記検査用LSIは、高密度配線基板と検査専用LSIとに分離され、前記高密度配線基板は、前記被検査半導体装置と対向する面における前記被検査半導体装置の前記外部端子電極の位置に対応する位置に配置された表面電極と、前記被検査半導体装置と対向する面とは反対側の面に形成された裏面電極と、前記表面電極と前記裏面電極とを接続する配線層とを有し、前記検査専用LSIは、前記検査回路及び前記波形整形回路を有し、前記高密度配線基板と前記検査専用LSIとを電氣的に接続するように構成してもよい。

30

【0056】

前記第2の配線層の体積抵抗率は、前記第1の配線層の体積抵抗率よりも小さいことが好ましい。

【0057】

前記電源供給ユニットにおける前記第1の配線層と前記基材との間に、1層以上の金属層からなる第3の金属層が形成されていてもよい。

40

【0058】

前記第3の金属層の体積抵抗率は、前記第1の配線層の体積抵抗率よりも小さいことが好ましい。

【0059】

前記金属突起の形状は、前記被検査半導体装置と対向する面の形状を長方形とする角柱形状であり、その幅は、前記プローブピンの幅以下であり、その長さは、前記プローブピンが前記半導体装置の電源電極と接触してからの前記プローブピンの先端部の移動量と前記プローブピンの長手方向の位置公差及び前記半導体装置の電源電極の寸法公差を考慮した長さを加えた寸法以上であり、その高さは、前記第1の配線層の表面を基準として、前記被検査半導体装置の電源電極が前記金属突起と接触してからの押込み量と前記金属

50

突起の高さ公差及び前記被検査半導体装置の電源電極の高さ公差を考慮した高さとを加えた寸法以上とすることができる。

【0060】

前記金属突起の表面に形成された前記1層以上の金属層は、金又は金合金層であってもよい。

【0061】

前記金属突起の表面に形成された前記1層以上の金属層は、その表面に微細凹凸形状を有するものであってもよい。

【0062】

前記微細凹凸形状は、凹部及び凸部がストライプ状に形成され且つストライプの延伸方向が前記プローブピンの移動方向と同一方向に形成された形状、凹部及び凸部がストライプ状に形成され且つストライプの延伸方向が前記プローブピンの移動方向と垂直方向に形成された形状、碁盤目形状、やすりの目形状、又はランダムな形状であってもよい。

10

【0063】

前記微細凹凸形状は、表面の粗さが1 μm 以下の微細凹凸形状であることが好ましい。

【0064】

本発明に係る電源供給ユニットは、半導体装置の検査装置用の電源供給ユニットであって、被検査半導体装置の電源電極に対応する位置に配置されその先端に金属突起を備えた弾性を有する相互に独立したプローブピンと、このプローブピンに電気的に接続され第1の配線層が形成された基材と、この基材を貫通した貫通電極と、を有することを特徴とする。

20

【0065】

前記プローブピンにおける前記金属突起は1層以上の金属層からなり、前記金属突起の表面には前記被検査半導体装置の前記電源電極の材料に応じて接触特性の良い材料からなる1層以上の金属層が形成され、前記第1の配線層上には1層以上の金属層からなる第2の配線層が形成され、前記金属突起の表面に形成された前記1層以上の金属層と前記第2の配線層とが分離された構造であることが好ましい。

【0066】

前記第2の配線層の体積抵抗率は、前記第1の配線層の体積抵抗率よりも小さいことが好ましい。

30

【0067】

前記第1の配線層と前記基材との間に、1層以上の金属層からなる第3の金属層が形成されていてもよい。

【0068】

前記第3の金属層の体積抵抗率は、前記第1の配線層の体積抵抗率よりも小さいことが好ましい。

【発明の効果】

【0069】

本発明によれば、半導体装置、即ち被検査LSIの電極上の接触痕レス化を実現することができ、これにより、次工程の接続プロセスにおける高信頼性接続の実現とデバイスの狭ピッチ化及び飛躍的な低コスト化が可能となる。また、検査用LSIを使用することにより、従来と比較して高速検査が可能になり、半導体装置をベアチップの状態でパッケージ品と同等レベルの選別検査を実施することが可能となる。従って、ベアチップを使用したSiP (System in a Package) 構造の生産直行率を高め、大幅に生産コストを低減できる。

40

【図面の簡単な説明】

【0070】

【図1】本発明の第1の実施形態に係る半導体装置の検査装置を示す断面図である。

【図2】図1に示された検査用LSIの製造方法の流れを説明するための断面図である。

【図3】図2に続く、検査用LSIの製造方法の流れを説明するための断面図である。

50

【図 4】図 3 に続く、検査用 L S I の製造方法の最後の工程を説明するための断面図である。

【図 5】検査用 L S I から被検査 L S I に信号が伝搬する信号経路における送受信部のブロック図である。

【図 6】図 1 に示された電源供給ユニットを説明するための図であり、(a) は、電源供給ユニット 2 0 の平面図及び A - A 線に沿った断面図、(b) は、(a) に示すプローブ部 3 6 の平面図、(c) は、(a) に示すプローブ部 3 6 の断面図である。

【図 7】第 1 の実施形態の電源供給ユニットにおけるプローブ部の別の例を示した図である。

【図 8】第 1 の実施形態の電源供給ユニットにおけるプローブ部の更に別の例を示した図である。

10

【図 9】本発明の第 2 の実施形態に係る半導体装置の検査装置を示す断面図である。

【図 1 0】本発明の第 3 の実施形態に係る半導体装置の検査装置を示す断面図である。

【図 1 1】本発明の第 4 の実施形態に係る半導体装置の検査装置を示す断面図である。

【図 1 2】図 1 に示された電源供給ユニットの製造方法の流れを説明するための断面図である。

【図 1 3】図 1 2 に続く、電源供給ユニットの製造方法の流れを説明するための断面図である。

【図 1 4】図 1 3 に続く、電源供給ユニットの製造方法の流れを説明するための断面図である。

20

【図 1 5】図 1 4 に続く、電源供給ユニットの製造方法の流れを説明するための断面図である。

【図 1 6】L S I の電極ピッチの微細化ロードマップを説明するための図である。

【図 1 7】第 1 の従来技術を説明するための斜視図である。

【図 1 8】第 2 の従来技術を説明するための断面図である。

【図 1 9】第 3 の従来技術を説明するための (a) 側面図及び (b) 斜視図である。

【図 2 0】第 4 の従来技術を説明するための断面図である。

【図 2 1】第 5 の従来技術を説明するための図である。

【図 2 2】第 6 の従来技術を説明するための断面図である。

【図 2 3】第 1 乃至第 4 の従来技術の課題について説明するための図である。

30

【図 2 4】従来技術の別の課題について説明するための図である。

【符号の説明】

【 0 0 7 1 】

1 0 ; 検査用 L S I

1 0 A、2 0 B ; 貫通電極

2 0 ; 電源供給ユニット

2 1 ; プローブピン

2 2 ; 基材

2 3 ; 第 1 の配線層

2 4 A ; 第 1 の金属層

40

2 4 B ; 第 2 の金属層

2 5 ; 第 2 の配線層

2 6 ; カバー膜

2 7 ; 第 3 の配線層

2 8 ; 第 3 の金属層

3 0 ; 中間基板

4 0 ; 異方性導電シート

5 0 ; 被検査 L S I (半導体装置)

【発明を実施するための最良の形態】

【 0 0 7 2 】

50

以下、本発明の実施形態について添付の図面を参照して詳細に説明する。

【0073】

(第1の実施形態)

図1は、本発明の第1の実施形態に係る半導体装置の検査装置を示す断面図であり、特に、電源供給ユニットとそのプローブ部分の詳細を示す。先ず、本実施形態の全体構成を説明する。図1に示すように、本実施形態に係る半導体装置の検査装置は、検査用LSI10と、電源供給ユニット20と、中間基板30とから構成されている。

【0074】

被検査物である半導体装置(被検査LSI50という)は、ウエハステージ300上に載置されている。検査用LSI10は、LSIUエハ101を有し、このLSIUエハ101上における被検査LSI50の外部端子電極52の位置に対応する位置には、被検査LSI50と同じ電極51が配置されている。また、検査用LSI10は、検査信号の入出力を行う検査回路(図示せず)と、信号の入出力の際に波形整形するための波形整形(コンパレータ)回路(図示せず)と、テスター等の外部との信号入出力及び電源供給のための貫通電極(第1の貫通電極)10Aと、回路面に形成された誘電体材料層117とを有している。

10

【0075】

電源供給ユニット20においては、基材22上に第1の配線層23が形成されており、この第1の配線層23には複数の弾性を有するプローブピン21が電気的に接続されている。これらの複数のプローブピン21は夫々独立した形状を有しており、また、その先端部が被検査LSI50の電源電極の位置に対応するようにプローブピン21が配置されている。プローブピン21においては、その先端部における被検査LSI50の電源電極と接触する箇所に金属突起が形成されており、この金属突起の表面には、被検査LSI50の電源電極材料に応じて接触特性に優れた材料からなると共に、1層以上の金属層からなる第2の金属層24Bが形成されている。また、第1の配線層23の表面には、1層以上の金属層からなる第2の配線層25が形成され、更に、第2の配線層の表面には、保護膜(カバー膜)26が形成されている。更にまた、基材22には、外部への信号取り出しのための貫通電極(第2の貫通電極)20Bが設けられている。本実施形態は、基材22上に形成された第1の配線層23上に、1層以上の金属層からなる第2の配線層25が形成され、しかも、前記金属突起表面の第2の金属層24Bと第2の配線層25とが分離された構造であることを特徴としている。

20

30

【0076】

中間基板30の下面の所定の箇所には複数の電極31が設けられており、これらは検査用LSI10に設けられた貫通電極10A及び電源供給ユニット20に設けられた貫通電極20Bに接続される。また、中間基板30の上面には、プローブカードにおけるパフォーマンスボードの電極配置に対応する位置に電極32が設けられており、中間基板30の内部には基板の上面及び下面に夫々設けられた電極31及び32を接続する配線層33が設けられている。検査用LSI10及び電源供給ユニット20と中間基板30との間は、電極31と貫通電極10A及び貫通電極20Bとの間に設けられた、例えば、はんだボール34で接続される。

40

【0077】

次に、図2乃至図4を参照して、検査用LSIの製造方法について詳細に説明する。

【0078】

先ず、図2(a)に示すように、拡散プロセスが完了し、表面に外部電極としてのアルミニウム電極102を形成したLSIUエハ(検査用LSI)101を用意する。

【0079】

次に、図2(b)に示すように、LSIUエハ101の表面にCVDによりカバー膜103を10乃至15 μm の厚さで形成した後、表面をCMP(化学的機械研磨)法により平坦化处理し、その上にレジスト104を全面塗布により形成する。

【0080】

50

次に、図2(c)に示すように、貫通電極10A(図1)を形成する部分のレジスト104、カバー膜103をフォトリソグラフィにより除去する。除去部分の寸法は、アルミニウム電極102のサイズの50%程度とする。即ち、アルミニウム電極102のサイズが100 μ mであれば、除去部分のサイズは50 μ mとする。

【0081】

次に、図2(d)に示すように、除去部分に対応するアルミニウム電極102をウエットエッチング又はドライエッチングにより除去する。

【0082】

次に、図2(e)に示すように、RIE(Reactive Ion Etching)によりLSIUエハ101に200乃至300 μ mの深さの貫通孔101aを形成する。

【0083】

次に、図2(f)に示すように、貫通孔101aの内壁を含む表面全域にCVDにより絶縁膜105を0.2 μ mの厚さで形成する。

【0084】

更に、図2(g)に示すように、ステップ(f)に引続いて、TiNによる10nm厚のバリア層とCuによる0.15 μ m厚のシード層とによるバリア/シード層106を形成した後、貫通孔101a内をCuめっき107により埋め込む。これにより貫通電極10Aが形成される。

【0085】

次に、図2(h)に示すように、表面に堆積したCuをウエットエッチング又はCMP法を用いて除去し、更にアルミニウム電極102の表面が露出するまでカバー膜103をドライエッチングにより除去する。

【0086】

次に、図2(i)、(j)に示すように、レジスト108を塗布した後、貫通電極部分のレジストをエッチング処理により除去する。

【0087】

次に、図3(k)、(l)に示すように、アルミニウム電極102と貫通電極10Aの導通を得るために、その表面に無電解Ni/Auめっき109を施し、レジスト108を除去する。

【0088】

次に、図3(m)、(n)に示すように、ガラス等を材質とする支持体110とLSIUエハ101とを接着剤111で張り合わせ、貫通電極10Aの底面側より10乃至30 μ m程度Siが残るまで裏面から研削処理を行った後、ドライエッチングを用いて貫通電極10A部分の頭出しを実施する。

【0089】

次に、図3(o)に示すように、CVDを用いてLSIUエハ101の裏面へ絶縁膜(SiN又はSiO₂等)112を形成する。

【0090】

次に、図3(p)乃至(r)に示すように、絶縁膜112をCMP又はドライエッチングにより除去した後、裏面電極形成のため、バリア層とシード層によるバリア/シード層113を形成し、不要な部分はレジスト114を用いてミリングにより除去する。続いてレジストを除去して貫通電極10Aの裏面側に裏面電極115を形成する。

【0091】

次に、図3(s)、(t)に示すように、保護膜(パッシベーション膜)116を表面側と同様に形成し、支持体110を剥離する。

【0092】

次に、図4に示すように、回路面上にシリコングル(誘電体材料層)117を塗布して2乃至5 μ mの厚さで形成する。シリコングル117は、例えば東レダウコーニングシリコン社のSE44445CV(登録商標)、SE4440(登録商標)等の比誘電率が4乃至7の比較的高いものを用いることが好ましい。また、シート状のエラストマー

10

20

30

40

50

を接着剤で貼り付けることも可能である。

【0093】

なお、検査用LSI10と被検査LSI50と間のインターフェース構造は、検査用LSI10及び被検査LSI50の各外部信号電極を近接させて容量結合により信号伝送を行う構造であるため、送信側から送られる信号はインターフェース部分で波形が微分された状態で受信側に伝搬する。従って、受信側ではこの微分された波形を元の信号波形に戻す為の波形整形回路を搭載する必要がある。例えば、検査用LSI10から被検査LSI50に信号が伝搬する信号経路には前記波形整形回路を被検査LSI50側に搭載し、被検査LSI50から検査用LSI10に信号が伝搬する信号経路には前記波形整形回路を検査用LSI50側に搭載する。また、双方向の信号を扱う信号経路には検査用LSI10側及び被検査LSI50側の両方に波形整形回路を搭載する。

10

【0094】

図5は、検査用LSI10と被検査LSI50との間のインターフェース構造の一例として、検査用LSI10から被検査LSI50に信号が伝搬する信号経路における送受信部を示したブロック図である。図5(a)及び(b)においては、検査用LSI10と被検査LSI50との間に容量504が形成されており、検査用LSI10及び被検査LSI50の各外部信号電極を近接させて容量結合により信号伝送を行う構造となっている。波形の復元処理は、図5(a)では比較器501により、また、図5(b)ではプリアンプ502及び保持素子503により行う。なお、被検査LSI50においては、この回路をチップ間のスクライプライン上に形成することも可能である。この場合、回路規模を増加させることなく、本発明の検査装置を適用することができる。

20

【0095】

次に、図6(a)乃至(c)を参照して、電源供給ユニット20の各部位の使用材料と詳細構造について説明する。図6(a)は、電源供給ユニット20の平面図及びA-A線に沿った断面図、(b)は、(a)に示すプローブ部36の平面図、(c)は、(a)に示すプローブ部36の断面図である。

【0096】

図6(a)に示すように、基材22の表面には第1の配線層23が形成され、この第1の配線層のピッチ間隔は、被検査半導体装置の電源用電極に対応するプローブ部における小さなピッチ間隔から、中間基板30の電極に接続できる大きなピッチ間隔まで平面的にピッチ拡張されている。

30

【0097】

基材22は、半導体材料として汎用的に使用されているシリコン、又はシリコンと熱膨張係数の近い材料であるガラスセラミックス、若しくはガラス等を使用する。これは、電源供給ユニット20の製造時の熱履歴によるピン位置精度の劣化を抑制すること、及びバーンイン試験時の温度差による被検査半導体装置の電源電極とプローブピン21間の位置ずれを抑制するためである。これらの材料の中でも加工容易性及び電気特性の観点から、ガラスセラミックスを使用することが好ましい。

【0098】

図6(b)及び(c)に示すように、第1の配線層23はプローブピン21に接続されており、そのため製造容易性を考慮してプローブピン21の基部である第1の金属層24Aと同一材料であるNi(ニッケル)又はNi合金を用いる。第1の配線層23の幅は、製造時にショートが発生せず、リークも発生しないレベルである被検査半導体装置の電源電極ピッチの50乃至60%程度とする。厚さは、製造容易性を考慮してプローブピン21の第1の金属層24Aの厚さと同等とする。

40

【0099】

第2の配線層25は、配線部分の導電率を高めて導体損失を低減することを目的として第1の配線層23の上に形成する。材質は、第1の配線層23の材質であるNi又はNi合金と比較して体積抵抗率が小さく、体積抵抗率が 1×10^{-8} 乃至 4×10^{-8} mの範囲の金属(例えば、金、金/銅合金、金/パラジウム合金、銅)を用いる。図6(b)

50

に示すように、第2の配線層25の形成領域は、プローブピン21の根元部分が設置された基材22の端部から製造時の公差 $2\mu\text{m}$ 程度基材22側に入った位置から、第1の配線層23の幅から製造公差分を差し引いた幅で第1の配線層23の全表面に形成する。従って、第1の配線層23の幅が $30\mu\text{m}$ の場合は、第2の配線層25は $28\mu\text{m}$ 幅で全面に形成する。

【0100】

プローブピン21は、電気めっきによる製造が可能であり、 100GPa 以上のヤング率を有する金属（例えば、Ni、Ni/鉄合金、Ni/コバルト合金、Ni/マンガン合金）を材料として用いる。プローブピン21の幅は、被検査半導体装置の電源用電極ピッチの50乃至60%とする。プローブピン21の厚さと長さは、弾性限界内で所望の接触圧力を得ることができ、所定のオーバードライブ量（被検査半導体装置の電極がプローブピンと接触した点を基準として被検査半導体装置を押し込む量を示す。以下、OD量という。）を負荷したときに、被検査半導体装置とプローブピンとが干渉しないことを制約条件として決定する。

10

【0101】

被検査半導体装置の電源用電極との接点となる金属突起35の材質は、金属突起35の表面に形成される第2の金属層24B以外の部分を、第1の金属層24Aとの密着性を考慮して、プローブピン21の母材金属である第1の金属層24Aと同じ材質であるNi又はNi合金とする。もちろん、Niと同等以上の硬度を有するその他の材料を使用することも可能である。図6(b)及び(c)に示すように、金属突起35の幅Wはプローブピン21の幅以下とし、金属突起の長さL2は、プローブピン21が被検査半導体装置の電源電極と接触してからのプローブピン21の先端部の移動量と、プローブピンの移動方向の位置公差及び被検査半導体装置の電極寸法の公差を考慮した長さとを加えた寸法以上とし、その形状は例えば長方形とする。金属突起35の高さH2は、第1の配線層23の表面を基準として、被検査半導体装置の電源電極が金属突起35と接触してからの押し込み量と金属突起35の高さ公差及び被検査半導体装置の電源電極の高さ公差を考慮した高さを加えた寸法以上とする。

20

【0102】

金属突起35の表面形状は、コンタクト対象に応じて適正な形状に加工する。被検査半導体装置の電源電極が金パンプの場合は、金属突起の表面形状は凹凸の無いフラットな形状とする。電気めっき終了後の表面の粗さが $0.05\mu\text{m}$ 以下であれば、フラット形状を形成するための特別な加工は不要である。表面の粗さが、 $0.05\mu\text{m}$ を越える場合は、表面の研磨を実施する。被検査半導体装置の電源電極がアルミニウム又は銅の場合は、この電源電極上に自然酸化皮膜が表面に存在するので、これを突き破るために金属突起35の表面に、粗さが $1\mu\text{m}$ 以下のレベルで微細凹凸を形成する。この微細凹凸の形状は、図6(b)の右上図に例示するように、凹部及び凸部がストライプ状に形成され且つストライプの延伸方向がプローブピン21の移動方向と同一方向に形成したもの、凹部及び凸部がストライプ状に形成され且つストライプの延伸方向がプローブピン21の移動方向と垂直方向に形成したもの、碁盤目形状のもの、やすりの目形状のもの等の種々の形状とすることができ、更に、ランダムな形状のものを採用することもできる。

30

40

【0103】

金属突起35の表面には、金属突起の酸化防止を目的として第2の金属層24Bが形成されている。第2の金属層24Bは、例えば 0.05 乃至 $3\mu\text{m}$ の厚さの金又は金合金（Au（金）-Pd（パラジウム）、Au-Co（コバルト）、Au-Cu（銅）等）により形成される。なお、図示例では、第2の金属層24Bの形状は、平板状となっている。

【0104】

図6(a)に示すように、貫通電極20Bを基材22の内部を貫通するように形成し、また、第3の配線層27を基材22の第1の配線層が形成されている面とは反対側の面上に形成し、貫通電極20Bを介して第3の配線層27と第1の配線層23と接続することにより、基材22の裏面への配線引き出しが可能になり、外部IF信号の高速伝送が可能

50

になる。

【0105】

貫通電極20Bの寸法は、基材22の外部端子ピッチにより決まる。例えば0.5mmピッチの場合は、（直径）は200乃至300 μm 、長さ（深さ）は100乃至300 μm である。第3の配線層27は、例えば20 μm 以下の厚さのNi膜とその上層に厚さ2 μm 以下のAuめっきで構成されている。配線部の形状が円形の場合、その直径は200乃至300 μm である。

【0106】

図6(a)に示すように、基材22の中央部には貫通孔22aが形成されており、この貫通孔22aはプローブピン21を独立化し、検査用LSI10を配置するために必要である。貫通孔22aは、基材22の機械的強度を考慮して深さ200 μm 以上とし、外形サイズは被検査LSI50上に形成された最外周の電極により囲まれた領域のサイズに、プローブピン21の長さ及びその公差分から決まるサイズを加えた領域サイズとする。

10

【0107】

次に、電源供給ユニット20の寸法について、被検査LSI50の電源電極ピッチが50 μm の場合を一例として説明する。

【0108】

プローブピン21の幅Wは、製造上ショートが発生しない最大の35 μm であり、厚さH1は、1回の電気めっきで形成可能である35 μm とする。プローブピン21の長さL1は、120 μm のOD量をプローブピン21に負荷したときに弾性限界内であり、且つ

20

【0109】

金属突起35の高さH2は、被検査LSI50を80 μm 押し込んだときに、被検査LSI50とプローブピン21とが接触しないこと及び製造精度を考慮して、最小100 μm とする。第1の配線層23の上に形成する第2の配線層25は、プローブピン21の根元部分が設置された基材22の端部から製造時の公差2 μm ほど基材22側に入った位置から第1の配線層23全面に幅32 μm で形成する。金属突起35の表面に形成する第2の金属層24Bの長さL2は、押し込み量80 μm のときに、第2の金属層24Bが被検査LSI50の電源電極に必ず接するために必要な長さ27 μm と、製造精度 $\pm 2\mu\text{m}$ と、位置精度 $\pm 1\mu\text{m}$ とを考慮して、30 μm 以上必要である。また、第2の金属層24Bの厚さは、製造性を考慮して2 μm とする。

30

【0110】

なお、図7に示すように、第2の金属層24Bに代えて、角錐形状の第4の金属層24B'を設けることも可能である。角錐形状の金属層24B'は、シリコンにKOH（水酸化カリウム）溶液を使用した異方性エッチングを施すことにより所望の角錐形状を形成し、更に、金属めっきを施すことにより得ることができる。この角錐バンプを第1の金属層24Aに形成した金属突起部に転写接続することにより、図7に示す第4の金属層24B'を形成することができる。

40

【0111】

次に、本実施形態の効果について説明する。本実施形態に係る半導体装置の検査装置は、以下のような効果を奏する。

【0112】

1. 被検査LSI50の電極上の接触痕を飛躍的に低減できる。

【0113】

2. 40 μm ピッチ以下の超微細ピッチ対応が可能である。

【0114】

3. 電源供給ユニット20において大幅なピン数削減が可能である。

【0115】

4. 検査用LSI10と被検査LSI50との平行度調整の許容度を大きくできる。

50

【 0 1 1 6 】

5 . 電源供給ユニット 2 0 のプローブピン 2 1 の長期信頼性を確保でき、十分な実用性を有する。

【 0 1 1 7 】

これらの効果を奏する理由を、以下に順次説明する。本実施形態においては、被検査 L S I 5 0 の電極上の接触痕を飛躍的に低減できる理由は 2 点ある。1 点目は、非接触の容量結合による信号伝送を用いる点である。これにより、信号電極の接触痕を皆無にできる。2 点目は、電源電極の接触子として、コンタクト対象に応じて電気接点部の構造を最適化したフィンガーリード方式のプローブを使用することにより、超低圧で安定した接触を得ることができるからである。例えば、5 0 μ m ピッチのアルミニウム電極に対しては、OD 量 5 0 μ m、0 . 3 g / p i n 以上の接圧で安定した接触を実現できる。この値は、従来のカンチレバー方式の 1 / 2 0 以下の接圧であり、接触痕もサブミクロンオーダーレベルに小さくできる。また、電源電極を数個まとめて 1 箇所接触するようにすれば、更に接触痕を皆無にできる電極数が増加する。

10

【 0 1 1 8 】

次に、4 0 μ m ピッチ以下の超微細ピッチ対応が可能である理由は、主に 3 点ある。1 点目は、基材 2 2 としてガラスセラミックス、ガラス、シリコン等の P I (ポリイミドフィルム) と比較して熱膨張係数が小さい材料を使用したことにより、製造工程の熱履歴における精度劣化を防止できるからである。2 点目は、電鍍技術の適用により、極めて微細なピン幅で一定レベルの厚さを確保できるため、十分な接圧を確保できるからである。例えば、1 0 μ m のピン幅で 1 0 μ m のピン厚が形成できる。3 点目は、マイクロマシン技術の適用により、アディティブ工法によりプローブピン 2 1 及び基材 2 2 上の配線層を形成できるからである。

20

【 0 1 1 9 】

電源供給ユニット 2 0 において大幅なピン数削減が可能である理由は、信号電極への接触が不要であること、更に、電源電極を一定数まとめて 1 箇所接触するからである。

【 0 1 2 0 】

検査用 L S I 1 0 と被検査 L S I 5 0 との平行度調整の許容度を大きくできる理由は、検査用 L S I 1 0 の回路面に弾性を有する誘電体材料を用いることにより、若干の平行度のばらつきであれば、そのばらつきを誘電体材料層 1 1 7 により吸収することができるからである。

30

【 0 1 2 1 】

電源供給ユニット 2 0 においてプローブピン 2 1 の長期信頼性が確保できる理由は以下の通りである。即ち、プローブピン 2 0 における被検査 L S I 5 0 の電源電極に接触する面に形成された第 2 の金属層 2 4 B と、第 1 の配線層 2 3 の上に形成された第 2 の配線層 2 5 とが分離され、第 2 の金属層 2 4 B を除くプローブピン 2 1 を単一の弾性材料から形成する構造としたためである。また、金属突起を被検査 L S I 5 0 の電源電極との接触部分に設けることにより、ウエハステージ 3 0 0 を上昇させて被検査 L S I 5 0 をプローブピン 2 1 と接触させたときに、被検査半導体装置の電源電極部分のみを金属突起と接触させることができる。金属突起を設けないか、又は厚さの小さな金属層を設ける場合は、被検査 L S I 5 0 の電源電極部以外にプローブピン 2 1 が接触するため、接圧が減少し、OD 量の増加を招き、仮に初期接触を確保できたとしても長期信頼性の劣化に繋がる。従って、金属突起を設けることは、小さな OD 量で安定接触を実現し、長期信頼性を維持する極めて有効な手段である。

40

【 0 1 2 2 】

次に、プローブ部の他の構成例について、図 8 を参照して説明する。図 8 のプローブ構造が図 1 のプローブ構造と異なる点は、第 1 の配線層 2 3 と基材 2 2 との間に、第 3 の金属層 2 8 を備えている点である。第 3 の金属層 2 8 は、第 1 の配線層 2 3 の材料である N i 又は N i 合金と比較して体積抵抗率が小さく、体積抵抗率が 1×10^{-8} 乃至 4×10^{-8} m の範囲の金属 (例えば、金、金 / 銅合金、金 / パラジウム合金、銅) を材料として

50

形成されている。このような構造により、第1の実施形態における電源供給ユニット20の配線層構造と比較して、更に高い導電性を獲得できるため、高速信号伝送時の導体損失を小さくすることができ、飛躍的な信号透過特性向上を図ることができる。なお、本構造は、1GHz以上の信号伝送が必要な場合に特に有効である。1GHz以下の場合、第1の実施形態における配線層構造により、十分な信号伝送特性を得ることができる。また、図7に示すように、第3の配線層28は、図7のプロープ部に適用されても良い。

【0123】

(第2の実施形態)

図9は、本発明の第2の実施形態に係る半導体装置の検査装置を示す断面図である。本実施形態と第1の実施形態との違いは、電源供給ユニット20における基材22の裏面側(基材22の上面側)に検査用LSI10の方向に伸びる突出部37を設け、この突出部37と検査用LSI10の裏面(検査用LSI10の上面)の端部とを接着剤41により連結固定している点である。加えて、検査用LSI10及び電源供給ユニット20と中間基板30との間に、異方性導電シート40を配置している。この異方性導電シート40は、その所定の箇所に形成された電極42に導電性粒子を集中化したもの、又は金属細線を埋設したものである。そして、電極42は、中間基板30の下面に設けられた電極31に接続され、更に、検査用LSI10、電源供給ユニット20及び異方性導電シート40は、中間基板30に着脱可能に設けられた固定手段である押さえ治具45により、電源供給ユニット20のカバー膜26の表面を下方から支持することにより、中間基板30に取り付けられた構造となっている。また、検査用LSI10の貫通電極10Aと異方性導電シート40の電極42とは、バンプ43を介して接続されている。このような構成により、着脱容易性の向上と、被検査LSI50と検査用LSI10及び電源供給ユニット20との間の平行度の調整を行うことが容易となり、平行度のばらつきを吸収することができるというメリットを有している。

10

20

【0124】

(第3の実施形態)

図10は、本発明の第3の実施形態に係る半導体装置の検査装置を示す断面図である。本実施形態と第1及び第2の実施形態との違いは、被検査LSI50におけるウエハ511内部に、全チップに共通の共通電源層512を設けることにより、電源供給ユニット20のプロープピン数を削減した点である。共通電源層512は、ウエハ511全体を共通化するものではなく、ウエハ511を1/8又は1/4分割等の一定のエリアに分けて共通化することも可能である。更に、本実施形態においては、不良チップが発生した場合に、即座に電源ラインを他のチップと切断できる構造も有している。このような構造により、検査中に不良チップが発生した場合も、他の被検査LSIを検査することが可能になる。

30

【0125】

更にまた、ウエハ511内部に共通電源層512を設けることにより、プロープピン21と接触する電源電極はチップ間のスクラライン上、又はウエハ511の周辺部に配置できる。従って、電源ユニットのプロープピン21の位置を、上記ウエハ511の電源電極513位置に対応させることにより、プロープピン21は被検査LSI50上の電源電極に接触せずに被検査LSI50への電源供給及び検査が実施でき、電源電極を含めた被検査LSI50の全電極の接触痕を皆無にすることが可能となるため、検査後の接続信頼性が飛躍的に高まる。

40

【0126】

(第4の実施形態)

図11は、本発明の第4の実施形態に係る半導体装置の検査装置を示す断面図である。本実施形態と第1乃至第3の実施形態との違いは、検査用LSIの代わりに、高密度配線基板60と検査専用LSI70とを備える点にある。

【0127】

図11に示すように、高密度配線基板60は、検査用LSIの代わりに、被検査LSI

50

50の信号電極に対応する位置に電極を有しており、この電極により被検査LSI50と容量結合による信号送受信を行う。更に、高密度配線基板60は、この信号を検査専用LSI70に伝送するための配線層及び電極を有している。また、検査専用LSI70の外部電極は、高密度配線基板60の電極と接続されている。

【0128】

本実施形態は、検査用LSIを検査専用LSI70と被検査LSI50に対して容量結合を行う高密度配線基板60とに分離することにより、検査専用LSI70に貫通電極の形成が不要になるというメリットを有している。但し、検査信号が高密度配線基板60の配線を経由するので、信号伝送損失が発生して高速検査では不利になるため、検査内容に応じて第1乃至第3の実施形態との使い分けが必要になる。

10

【0129】

(電源供給ユニットの製造方法)

次に、図1における電源供給ユニット20の製造方法について、図12及び図15を参照して詳細に説明する。

【0130】

基材22として所望寸法を有するガラスセラミックス又はガラス等の絶縁性材料を準備する(図12(a))。次に、基材22における被検査LSIの電源電極位置にプローブピンの長さを加えた領域に、深さ200 μ m以上で座ぐり部321を形成する(図12(b))。基材22の外形寸法は、電源電極、外部IFのピン数、及び貫通電極10Aのピッチに依存する。例えば、ピン数が200ピン、貫通電極10Aのピッチを0.5mmとすると、基材22は27mmの外形となる。この後、波長355nmのハイパワーLD(Laser Diode)励起タイプのYAG(Yttrium Aluminium Garnet)レーザ又はRIE(Reactive Ion Etching)により、貫通孔322を、(直径)200 μ m、深さ270 μ m以上の領域に形成する(図12(c))。次に、プラズマCVD(Chemical Vapor Deposition)法又はスパッタ法を用いて、銅のシード層323を100乃至300nmの厚さで全面に膜付けする(図12(d))。

20

【0131】

次に、図12(e)に示すように、座ぐり部321と貫通孔322に電気めっきにより銅層を完全に充填して、犠牲層324及び貫通電極20Bを形成する。貫通孔322内を完全充填する場合、当然ながら表面上に数乃至数十 μ mの銅層が堆積するため、銅めっき完了後にCMP(Chemical Mechanical Polishing)法により、表面に堆積する銅層を除去してフラットな状態を形成する。引続いて、犠牲層324及び貫通電極20Bの露出している表面に、0.3 μ m程度の厚さの銅によるシード層326を成膜する(図12(f))。そして、シード層326の表面にレジスト327を20 μ mの厚さで接着又は塗布(図12(g))した後に、露光、現像を行うフォトリソグラフィを用いてプローブピン及び第1の配線層に相当する部分のレジストが除去された凹部形状を形成する(図13(h))。そして、この凹部に電解めっきにより弾性を有する第1の金属層24Aと第1の配線層23を成長させる(図13(i))。

30

【0132】

引続いて、レジストと金属面とが同一平面になるように研磨を行い、その表面に厚さ40 μ mのレジスト328を塗布して(図13(j))、露光、現像を行い、金属突起を形成する領域に凹部329を形成する(図13(k))。次に、この凹部329に第1の金属層24Aをめっきにより形成する。このプロセスを3回繰り返すことにより、高さ100 μ m以上の金属突起を確保できる(図12(l))。なお、100 μ m以上の金属突起の高さH2が必要な場合は、凹部形成とめっきによる埋め込みのプロセスを繰り返す(図13(m)、図13(n)、図14(o)、図14(p))ことにより、順次高さを積み上げることができる。ここで、図13(m)において、330はシード層を、図13(n)において、331はレジストを表す。

40

【0133】

次に、金属突起表面を研磨する工程に入るが、この段階でコンタクト対象、即ち被検査

50

半導体装置の電源電極材料に応じて加工方法を使い分ける。コンタクト対象が金電極又は金パンプの場合、CMP (Chemical Mechanical Polishing) 加工による研磨を実施し、表面の粗さが $0.05 \mu\text{m}$ 以下のレベルを確保するように処理を行う。コンタクト対象がアルミニウム電極又は銅電極の場合は、CMP 加工を実施した後に金属突起表面層に 0.1 乃至 $0.7 \mu\text{m}$ の凹凸を設ける。

【0134】

凹凸形成方法の一例を説明する。微細金属粒子を有する #2000 のラッピングシート (研磨紙) を準備し、これをプローブピンの移動方向にプローブピンの先端から $300 \mu\text{m}$ の間の領域で 50 回程度移動させることにより、 0.1 乃至 $0.7 \mu\text{m}$ の凹凸構造を設けることができる。他の凹凸形成方法として、適正な空孔率を有するセラミック材料又は適正な凹凸を事前に形成したシリコン基板を用いることも可能である。凹凸形状は、図6で説明したように、プローブピンの移動方向のみでなく、移動方向と垂直方向、碁盤目形状、斜め形状、やすりの目形状やランダム形状等の様々な形成を採ることができる。この微細凹凸により、アルミニウムや銅表面の自然酸化膜を突き破り安定した接触を実現できる。

10

【0135】

引続いて、シード層 333 を形成し、レジスト 332 を塗布し (図14 (q))、露光、現像により凹部を形成し、第2の金属層 24B をめっきにより $0.01 \mu\text{m}$ 以上の厚さで成膜する (図14 (r))。これにより、第1の金属層 24A である Ni 又は Ni 合金上の酸化膜の影響を排除することができるため、より安定した接触を実現できる。

20

【0136】

この工程が終了した段階で基材裏面の加工を行う (図14 (s))。まず、グラインダーを用いて基材 22 の厚さが $250 \mu\text{m}$ 程度になるまで薄型化し、必要に応じてダメージ層を除去するためにドライエッチングを実施する。次に、貫通電極 20B が露出した裏面全面にスパッタにより $0.3 \mu\text{m}$ 程度の銅によるシード層 334 を形成する (図14 (t))。この表面に $20 \mu\text{m}$ の厚さのレジスト 335 を塗布し、露光、現像により第2の配線層 25 に相当する部分のレジストが除去された凹部形状を形成する。凹部に 5 乃至 $15 \mu\text{m}$ 厚の Ni 又は Ni 合金を電気めっきにより形成して第3の配線層 27 を形成する。引続いて、表層に無電解めっきにより Au 又は Au 合金めっきを $0.01 \mu\text{m}$ 以上の厚さで形成する (図14 (u))。次に、裏面のレジスト層、シード層を夫々ウエットエッチング、ミリングにより除去し、表面のレジスト層、シード層も同様の手法で除去する (図15 (v) 乃至 図15 (y))。最後に犠牲層 324 をウエットエッチングで除去する (図15 (z))。

30

【0137】

以上のようにして、コンタクト対象に応じて接触特性の良い材料と構造を有する金属突起部を先端に備えたプローブピン 21 と、金属突起表面の第2の金属層 24B と第1の配線層 23 の表層に形成する第2の配線層 25 とが分離されたことを特徴とする電源供給ユニット 20 を得ることができる (図13 (zz))。

【0138】

以上、詳細に説明したように、本発明に係る半導体装置の検査装置は、検査用 LSI と電源供給ユニットと、検査用 LSI 及び電源供給ユニットとパフォーマンスボードとの間に配置され、ピッチ拡張配線層を有する中間基板とから構成されている。そして、検査用 LSI は、検査回路と、波形整形 (コンパレータ) 回路と、被検査 LSI の信号電極パッドに対応した位置に設けられた電極と、電源駆動及び外部インターフェース用の貫通電極と、被検査 LSI に対向する面に形成された誘電体材料とを有する。一方、電源供給ユニットは、被検査 LSI の電源電極に対応した位置に配置され、弾性を有する相互に独立したプローブピンと、このプローブピンと電氣的に接続され第1の配線層が形成された基材とを有する。また、プローブピンの先端部には被検査 LSI の電源電極をプローブするための1層以上の金属層からなる金属突起が形成されており、更に、この金属突起の表面には、被検査 LSI の電極材料に応じて接触特性の良い材料からなる1層以上の金属層が

40

50

形成されている。第1の配線層の上には、1層以上の金属層からなる第2の配線層が形成されており、金属突起の表面に形成された1層以上の金属層と、第2の配線層とは分離された構造となっている。

【0139】

このような構成によれば、電源供給ユニットが、被検査LSIの電源電極部に対応した位置に、金属突起を備えた相互に独立したリード形状のプローブピンを有しているため、被検査LSIを検査用LSIに十分近接させることができ、信号電極の容量結合による非接触の信号伝送が可能となる。また、電源供給ユニットのプローブピンは、その金属突起における被検査LSIの電源電極との接触面に、被検査LSIの電極材料に応じて接触特性の良い金属層を有しているため、安定した接触を超低圧で実現することができる。従って、被検査LSIの電極の接触痕は、信号電極では皆無となり、電源電極では極めて小さくできる。

10

【0140】

また、本発明の電源供給ユニット構造により、電源電流が流れる経路における伝送損失を低減出来るため、より効率の良い電源供給が可能となる。

【0141】

また、プローブピンの先端部における金属突起に設けられた第2の金属層を金又は金合金とすることにより、酸化による接触抵抗の増大を低減できる。また、金又は金合金は抵抗が比較的小さい金属であるため、電源供給において大容量の電流が流せるなど、効果が大きい。

20

【0142】

その結果、以下の効果を奏する。

【0143】

1. 検査後の接続信頼性が飛躍的に高まる。

【0144】

2. 被検査LSIの電極形状を長方形から正方形にすることができるため、チップサイズの小型化に伴う狭ピッチ化と低コスト化を実現できる。

【0145】

3. 信号送受信が検査用LSIと被検査LSIとの間で行われるので、従来のテスターからプローブピンまでの配線距離と比較すると、信号伝送距離を極短距離化でき、より実動作レベルに近い高速検査が可能になる。

30

【0146】

4. 検査用LSIの回路面に比誘電率が比較的高く、弾性を有する誘電体材料を配置するので、ウエハプローバのウエハステージと本発明の検査装置間の平行度に対するマージンを大きくとることができる。

【0147】

以上から、本発明に係る半導体装置の検査装置は、被検査LSIの電極上の接触痕レス化により、次工程の接続プロセスにおける高信頼性接続の実現、デバイスの狭ピッチ化、及び飛躍的な低コスト化を可能にする。また、検査用LSIを使用することにより、従来と比較して高速検査が可能になり、半導体装置をベアチップの状態でパッケージ品と同等レベルの選別検査を実施することが可能となる。従って、ベアチップを用いたSip構造の生産直行率を高め、大幅に生産コストを低減できる。

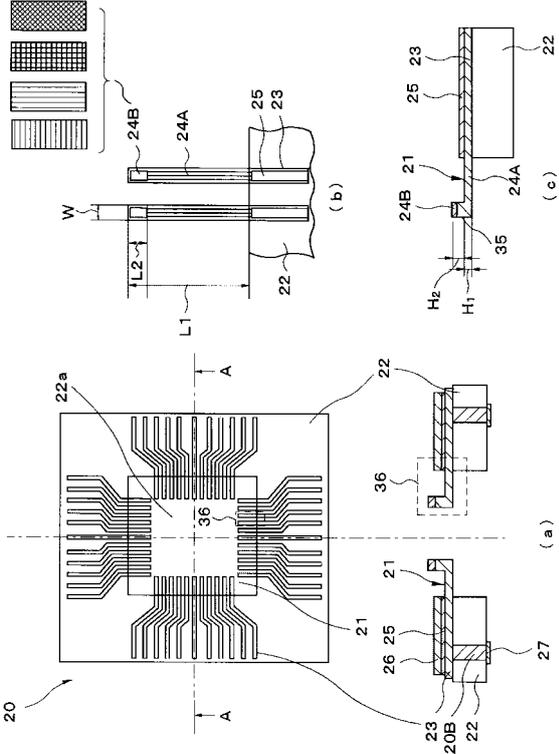
40

【産業上の利用可能性】

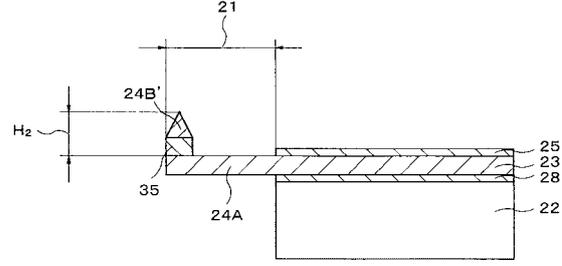
【0148】

本発明は、半導体装置の検査に好適に利用することができる。

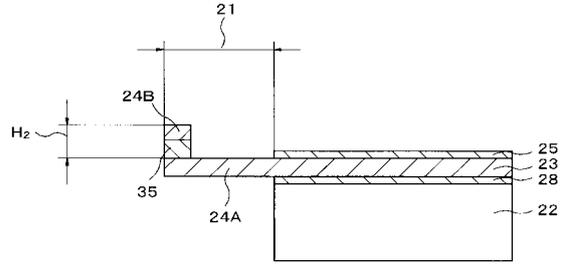
【図6】



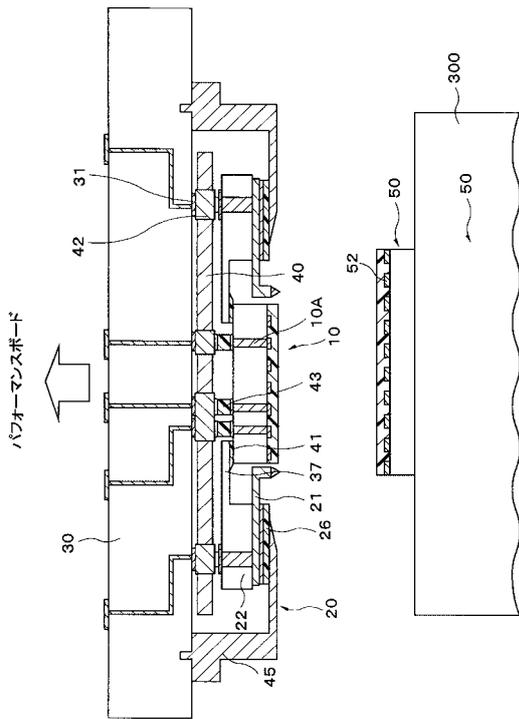
【図7】



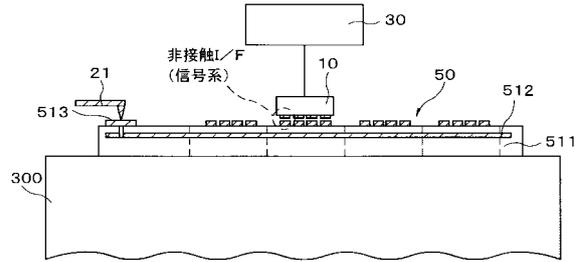
【図8】



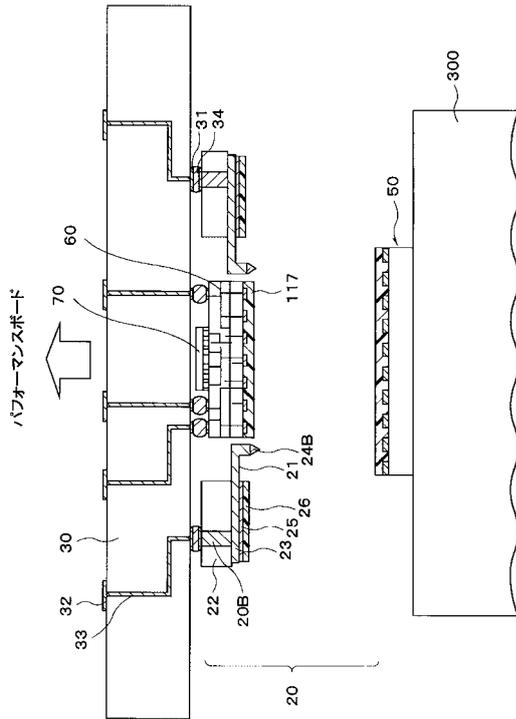
【図9】



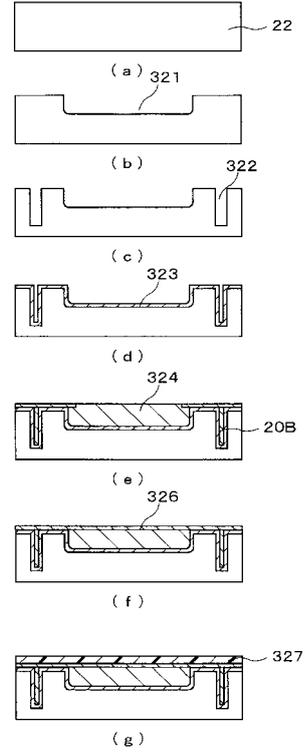
【図10】



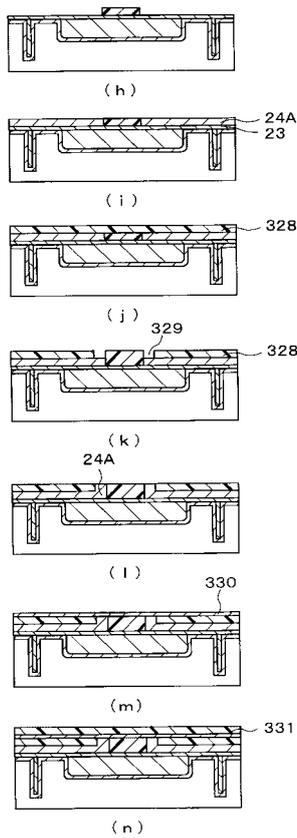
【図 1 1】



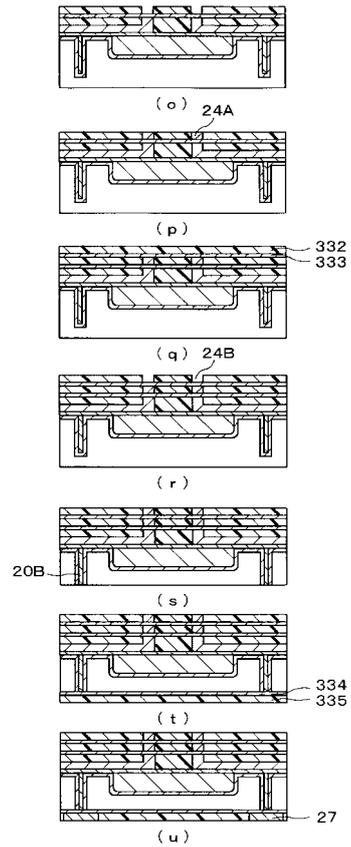
【図 1 2】



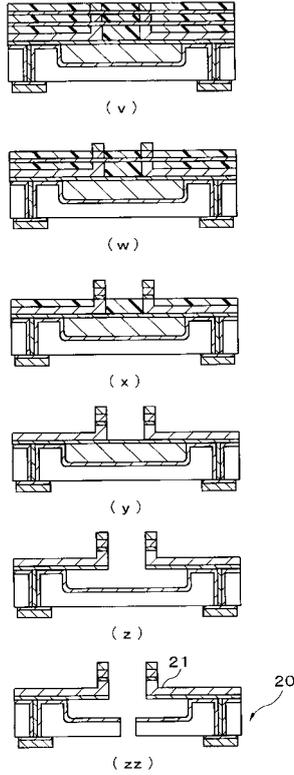
【図 1 3】



【図 1 4】



【図 15】



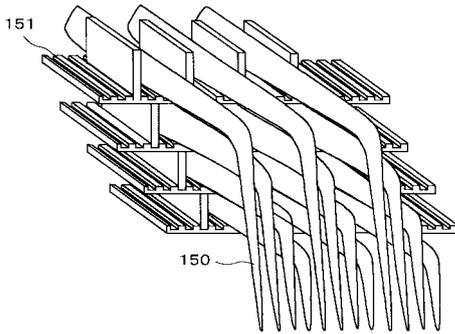
【図 16】

【図 16】

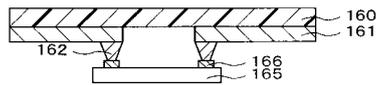
Year of Production	2003	2004	2005	2006	2007	2008	2009	2010	2012	2013	2015	2016	2018
Technology Node		hp90			hp65			hp45		hp32		hp22	
DRAM 1/2 Pitch (nm)	100	90	80	70	65	57	50	45	35	32	25	22	18
MPU/ASIC 1/2 Pitch (nm)	107	90	80	70	65	57	50	45	35	32	25	22	18
MPU Printed Gate Length (nm)	65	53	45	40	35	32	28	25	20	18	14	13	10
MPU Physical Gate Length (nm)	45	37	32	28	25	22	20	18	14	13	10	9	7
Chip Interconnect Pitch (μ m)													
Wire bond-ball	40	35	30	25	25	20	20	20	20	20	20	20	20
Wire bond-wedge	30	25	20	20	20	20	20	20	20	20	20	20	20
TAB*	35	35	30	30	25	25	25	20	20	20	15	15	15
Flip chip area array*	150	150	130	130	120	110	100	100	90	90	80	80	70
Peripheral flip chip	60	60	40	40	30	30	20	20	20	20	15	15	15

半導体技術国際ロードマップ(ITRS 2003)

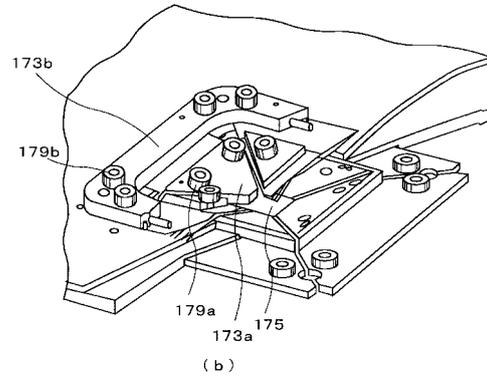
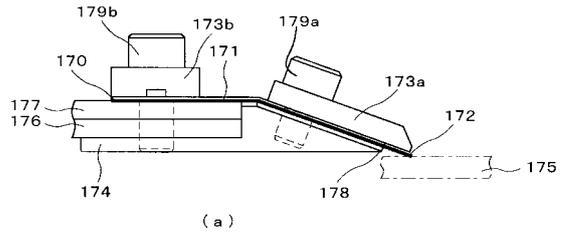
【図 17】



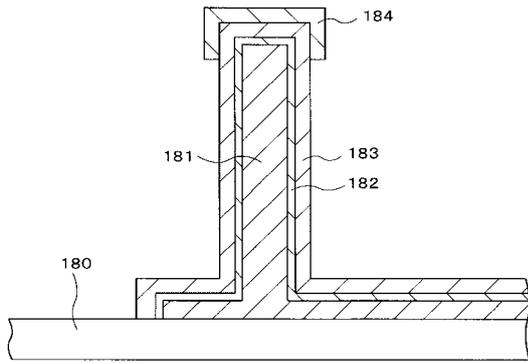
【図 18】



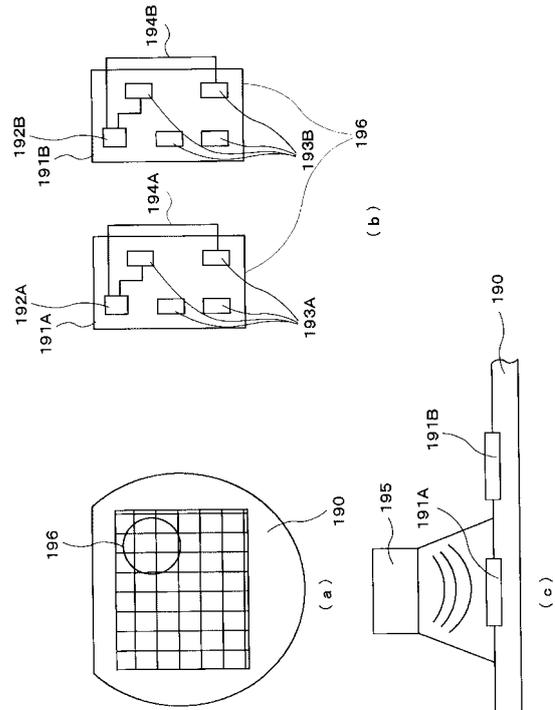
【図 19】



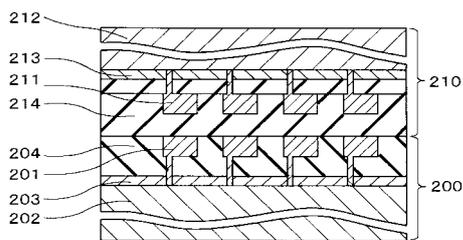
【 図 2 0 】



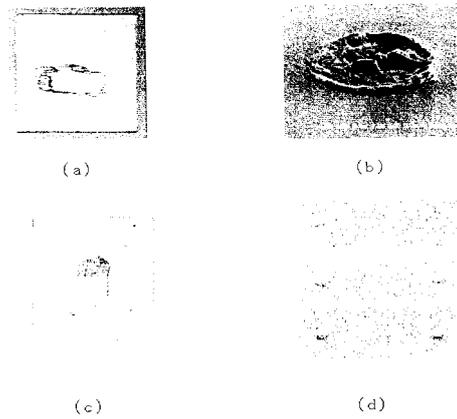
【 図 2 1 】



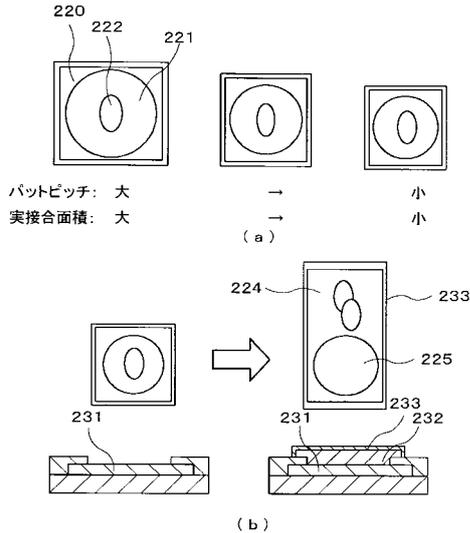
【 図 2 2 】



【 図 2 3 】



【図 2 4】



【手続補正書】

【提出日】平成18年12月28日(2006.12.28)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

検査用LSIと、電源供給ユニットと、前記検査用LSI及び前記電源供給ユニットとテストとの間の接続用に配置された中間基板とを有し、前記検査用LSIは、ウエハと、検査回路及び波形整形回路と、前記ウエハにおける被検査半導体装置と対向する面側に設けられた誘電体材料層と、この誘電体材料層の内部であって前記ウエハにおける前記被検査半導体装置と対向する面における前記被検査半導体装置の外部端子電極と対向した位置に配置された電極と、前記ウエハを貫通すると共に前記電極に接続されて外部と信号送受信するための第1の貫通電極と、を有し、前記電源供給ユニットは、前記被検査半導体装置の電源電極に対応する位置に配置されその先端に金属突起を備えた弾性を有する相互に独立したプローブピンと、このプローブピンに電気的に接続され第1の配線層が形成された基材と、この基材を貫通した第2の貫通電極と、を有することを特徴とする半導体装置の検査装置。

【請求項2】

前記プローブピンにおける前記金属突起は1層以上の金属層からなり、前記金属突起の表面には前記被検査半導体装置の前記電源電極の材料に応じて接触特性の良い材料からなる1層以上の金属層が形成され、前記第1の配線層上には1層以上の金属層からなる第2の配線層が形成され、前記金属突起の表面に形成された前記1層以上の金属層と前記第2の

配線層とが分離された構造であることを特徴とする請求項 1 に記載の半導体装置の検査装置。

【請求項 3】

前記誘電体材料層は、高い比誘電率及び弾性を有する材料から形成されていることを特徴とする請求項 1 又は 2 に記載の半導体装置の検査装置。

【請求項 4】

前記検査用 L S I と前記電源供給ユニットとを連結する連結部材と、前記連結部材により連結された前記検査用 L S I 及び前記電源供給ユニットと前記中間基板との間に配置されその電極部に導電性粒子を集中化した異方性導電シート又は金属細線を埋設した異方性導電シートと、前記電源供給ユニットの前記第 1 の配線層側から前記電源ユニットを介して前記異方性導電シートを支持することにより前記異方性導電シートを前記中間基板に固定する固定部材と、を有することを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の半導体装置の検査装置。

【請求項 5】

前記検査用 L S I は、高密度配線基板と検査専用 L S I とに分離され、前記高密度配線基板は、前記被検査半導体装置と対向する面における前記被検査半導体装置の前記外部端子電極の位置に対応する位置に配置された表面電極と、前記被検査半導体装置と対向する面とは反対側の面に形成された裏面電極と、前記表面電極と前記裏面電極とを接続する配線層とを有し、前記検査専用 L S I は、前記検査回路及び前記波形整形回路を有し、前記高密度配線基板と前記検査専用 L S I とを電氣的に接続したことを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の半導体装置の検査装置。

【請求項 6】

前記第 2 の配線層の体積抵抗率は、前記第 1 の配線層の体積抵抗率よりも小さいことを特徴とする請求項 2 乃至 5 のいずれか 1 項に記載の半導体装置の検査装置。

【請求項 7】

前記電源供給ユニットにおける前記第 1 の配線層と前記基材との間に、1 層以上の金属層からなる第 3 の金属層が形成されていることを特徴とする請求項 2 乃至 6 のいずれか 1 項に記載の半導体装置の検査装置。

【請求項 8】

前記第 3 の金属層の体積抵抗率は、前記第 1 の配線層の体積抵抗率よりも小さいことを特徴とする請求項 7 に記載の半導体装置の検査装置。

【請求項 9】

前記金属突起の形状は、前記被検査半導体装置と対向する面の形状を長方形とする角柱形状であり、その幅は、前記プローブピンの幅以下であり、その長さは、前記プローブピンが前記半導体装置の電源電極と接触してからの前記プローブピンの先端部の移動量と前記プローブピンの長手方向の位置公差及び前記半導体装置の電源電極の寸法公差を考慮した長さを加えた寸法以上であり、その高さは、前記第 1 の配線層の表面を基準として、前記被検査半導体装置の電源電極が前記金属突起と接触してからの押込み量と前記金属突起の高さ公差及び前記被検査半導体装置の電源電極の高さ公差を考慮した高さを加えた寸法以上であることを特徴とする請求項 1 乃至 8 のいずれか 1 項に記載の半導体装置の検査装置。

【請求項 10】

前記金属突起の表面に形成された前記 1 層以上の金属層は、金又は金合金層であることを特徴とする請求項 2 乃至 9 のいずれか 1 項に記載の半導体装置の検査装置。

【請求項 11】

前記金属突起の表面に形成された前記 1 層以上の金属層は、その表面に微細凹凸形状を有することを特徴とする請求項 2 乃至 10 のいずれか 1 項に記載の半導体装置の検査装置。

【請求項 12】

前記微細凹凸形状は、凹部及び凸部がストライプ状に形成され且つストライプの延伸方向が前記プローブピンの移動方向と同一方向に形成された形状、凹部及び凸部がストライプ

状に形成され且つストライプの延伸方向が前記プローブピンの移動方向と垂直方向に形成された形状、碁盤目形状、やすりの目形状、又はランダムな形状であることを特徴とする請求項 1 1 に記載の半導体装置の検査装置。

【請求項 1 3】

前記微細凹凸形状は、表面の粗さが $1\ \mu\text{m}$ 以下の微細凹凸形状であることを特徴とする請求項 1 1 又は 1 2 に記載の半導体装置の検査装置。

【請求項 1 4】

半導体装置の検査装置用の電源供給ユニットであって、被検査半導体装置の電源電極に対応する位置に配置されその先端に金属突起を備えた弾性を有する相互に独立したプローブピンと、このプローブピンに電氣的に接続され第 1 の配線層が形成された基材と、この基材を貫通した貫通電極と、を有することを特徴とする電源供給ユニット。

【請求項 1 5】

前記プローブピンにおける前記金属突起は 1 層以上の金属層からなり、前記金属突起の表面には前記被検査半導体装置の前記電源電極の材料に応じて接触特性の良い材料からなる 1 層以上の金属層が形成され、前記第 1 の配線層上には 1 層以上の金属層からなる第 2 の配線層が形成され、前記金属突起の表面に形成された前記 1 層以上の金属層と前記第 2 の配線層とが分離された構造であることを特徴とする請求項 1 4 に記載の電源供給ユニット。

【請求項 1 6】

前記第 2 の配線層の体積抵抗率は、前記第 1 の配線層の体積抵抗率よりも小さいことを特徴とする請求項 1 5 に記載の電源供給ユニット。

【請求項 1 7】

前記第 1 の配線層と前記基材との間に、1 層以上の金属層からなる第 3 の金属層が形成されていることを特徴とする請求項 1 4 乃至 1 6 のいずれか 1 項に記載の電源供給ユニット。

【請求項 1 8】

前記第 3 の金属層の体積抵抗率は、前記第 1 の配線層の体積抵抗率よりも小さいことを特徴とする請求項 1 7 に記載の電源供給ユニット。

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/JP2006/314292
A. CLASSIFICATION OF SUBJECT MATTER G01R31/312(2006.01)i, G01R1/067(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) G01R31/00, G01R31/02, G01R31/26-3193, G01R1/06-073, H01L21/64-66 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2006 Kokai Jitsuyo Shinan Koho 1971-2006 Toroku Jitsuyo Shinan Koho 1994-2006 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2003-185676 A (Yamaha Corp.), 03 July, 2003 (03.07.03), Full text; all drawings (Family: none)	14-18 1-13
Y A	JP 2001-091543 A (Hitachi, Ltd.), 06 April, 2001 (06.04.01), Par. Nos. [0020] to [0060]; Figs. 1 to 10 & US 6531327 B2 column 4, line 24 to column 10, line 38; Figs. 1 to 10	14-18 1-13
Y A	JP 9-281144 A (NEC Corp.), 31 October, 1997 (31.10.97), Full text; all drawings & EP 0802419 A2 See whole document, all drawings	15-18 2-13
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 06 September, 2006 (06.09.06)		Date of mailing of the international search report 24 October, 2006 (24.10.06)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/314292

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2003-057266 A (Mitsubishi Materials Corp.), 26 February, 2003 (26.02.03), Full text; all drawings (Family: none)	17-18 7-13
A	JP 6-148584 A (Seiko Instruments Inc.), 27 May, 1994 (27.05.94), Full text; all drawings (Family: none)	1-13
A	JP 2003-344448 A (Matsushita Electric Industrial Co., Ltd.), 03 December, 2003 (03.12.03), Full text; all drawings (Family: none)	1-13
A	JP 2002-134570 A (Nippon Denshi Zairyo Kabushiki Kaisha), 10 May, 2002 (10.05.02), Full text; all drawings (Family: none)	4, 6-13
A	JP 2002-176082 A (Hitachi, Ltd.), 21 June, 2002 (21.06.02), Par. Nos. [0093] to [0094]; Figs. 16 to 18 (Family: none)	11-13

国際調査報告		国際出願番号 PCT/JP2006/314292									
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. G01R31/312(2006.01)i, G01R1/067(2006.01)i											
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. G01R31/00, G01R31/02, G01R31/26-3193, G01R1/06-073, H01L21/64-66											
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2006年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2006年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2006年</td> </tr> </table>				日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2006年	日本国実用新案登録公報	1996-2006年	日本国登録実用新案公報	1994-2006年
日本国実用新案公報	1922-1996年										
日本国公開実用新案公報	1971-2006年										
日本国実用新案登録公報	1996-2006年										
日本国登録実用新案公報	1994-2006年										
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)											
C. 関連すると認められる文献											
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号									
Y A	JP 2003-185676 A (ヤマハ株式会社) 2003.07.03, 全文, 全図 (ファミリーなし)	14-18 1-13									
Y A	JP 2001-091543 A (株式会社日立製作所) 2001.04.06, [0020]-[0060], 図 1-10 & US 6531327 B2, column 4, line 24 - column 10, line 38, Figs. 1-10	14-18 1-13									
☞ C欄の続きにも文献が列挙されている。		☞ パテントファミリーに関する別紙を参照。									
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願		の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献									
国際調査を完了した日 06.09.2006		国際調査報告の発送日 24.10.2006									
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 堀 圭 史	2S 3005								
		電話番号 03-3581-1101 内線	3258								

国際調査報告		国際出願番号 PCT/J P 2 0 0 6 / 3 1 4 2 9 2
C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	JP 9-281144 A (日本電気株式会社) 1997.10.31, 全文, 全図 & EP 0802419 A2, See whole document, all drawings	15-18 2-13
Y A	JP 2003-057266 A (三菱マテリアル株式会社) 2003.02.26, 全文, 全図 (ファミリーなし)	17-18 7-13
A	JP 6-148584 A (セイコー電子工業株式会社) 1994.05.27, 全文, 全図 (ファミリーなし)	1-13
A	JP 2003-344448 A (松下電器産業株式会社) 2003.12.03, 全文, 全図 (ファミリーなし)	1-13
A	JP 2002-134570 A (日本電子材料株式会社) 2002.05.10, 全文, 全図 (ファミリーなし)	4, 6-13
A	JP 2002-176082 A (株式会社日立製作所) 2002.06.21, [0093]-[0094], 図 16-18 (ファミリーなし)	11-13

 フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

Fターム(参考) 2G003 AA10 AE08 AG04 AG08 AG12 AH05 AH07
 2G011 AA09 AA10 AA15 AB01 AB06 AB07 AC11 AC14 AE03 AF07
 2G132 AA00 AB01 AC03 AE06 AE08 AE25 AE27 AF02 AF07 AF16
 AG00 AH00 AL03
 4M106 AA01 BA01 DD03 DD04

(注)この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。