



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2017년07월10일  
 (11) 등록번호 10-1756544  
 (24) 등록일자 2017년07월04일

(51) 국제특허분류(Int. Cl.)  
 H01L 29/78 (2006.01) H01L 29/423 (2006.01)  
 (52) CPC특허분류  
 H01L 29/785 (2013.01)  
 H01L 29/4236 (2013.01)  
 (21) 출원번호 10-2015-0146606  
 (22) 출원일자 2015년10월21일  
 심사청구일자 2015년10월21일  
 (65) 공개번호 10-2016-0147618  
 (43) 공개일자 2016년12월23일  
 (30) 우선권주장  
 62/175,849 2015년06월15일 미국(US)  
 14/813,775 2015년07월30일 미국(US)  
 (56) 선행기술조사문헌  
 KR1020060127209 A\*  
 (뒷면에 계속)  
 전체 청구항 수 : 총 10 항

(73) 특허권자  
 타이완 세미콘덕터 매뉴팩처링 컴퍼니 리미티드  
 중화민국, 타이완, 신추, 신추 사이언스 파크,  
 리-신 로드 6, 넘버 8  
 (72) 발명자  
 창 체-첵  
 중화민국, 타이완 300-77, 신츄, 사이언스-베이스  
 드 인터스트리얼 파크, 리신 로드. 6, 8호  
 린 치-한  
 중화민국, 타이완 300-77, 신츄, 사이언스-베이스  
 드 인터스트리얼 파크, 리신 로드. 6, 8호  
 (74) 대리인  
 김태홍, 김진희

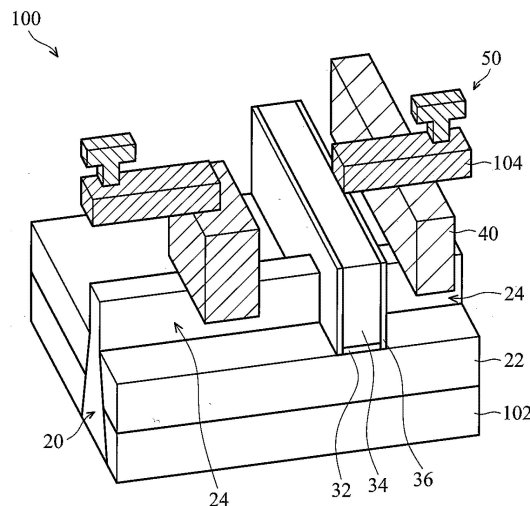
심사관 : 최정민

(54) 발명의 명칭 **인터커넥트 구조물을 구비하는 핀 전계 효과 트랜지스터(FINFET) 소자 구조물 및 그 형성 방법**

**(57) 요약**

반도체 소자 구조물, 및 반도체 소자 구조물을 형성하기 위한 방법이 제공된다. 반도체 소자 구조물이 기판 위에 형성된 제1 금속 층 및 제1 금속 층 위에 형성된 유전체 층을 포함한다. 반도체 소자 구조물이 유전체 층 내에, 그리고 유전체 층 내에 형성된 제1 금속 층 및 제2 금속 층 위에 형성된 부착 층을 더 포함한다. 제2 금속 층이 제1 금속 층에 전기적으로 연결되고, 부착 층의 일부가 제2 금속 층과 유전체 층 사이에 형성된다. 부착 층이 제2 금속 층의 상단 부분을 따라 배치되는 제1 부분을 포함하고, 제1 부분은 수직 방향을 따르는 연장 부분을 갖는다.

**대표도** - 도1



(52) CPC특허분류  
H01L 2924/13067 (2013.01)

(56) 선행기술조사문헌  
KR100660915 B1\*  
US20130270703 A1  
US8058728 B2  
US20140264895 A1  
\*는 심사관에 의하여 인용된 문헌

---

**명세서**

**청구범위**

**청구항 1**

반도체 소자 구조물에 있어서,  
 기관 위에 형성된 제1 금속 층;  
 상기 제1 금속 층 위에 형성된 유전체 층;  
 상기 제1 금속 층과 상기 유전체 층 사이의 식각 중단 층;  
 상기 유전체 층 내에 그리고 상기 제1 금속 층 위에 형성된 부착 층; 및  
 상기 유전체 층 내에 형성된 제2 금속 층  
 을 포함하고,  
 상기 제2 금속 층은 상기 제1 금속 층에 전기적으로 연결되고,  
 상기 부착 층의 일부는 상기 제2 금속 층과 상기 유전체 층 사이에 형성되고,  
 상기 부착 층은 상기 제2 금속 층의 상단 부분을 따라 배치되는(lining with) 제1 부분과, 상기 제1 부분 아래의 제2 부분을 포함하고,  
 상기 제1 부분은 수직 방향을 따르는 연장 부분을 구비하고,  
 상기 제2 부분의 바닥면은 상기 식각 중단 층의 상면 위에 있는 것인, 반도체 소자 구조물.

**청구항 2**

제1항에 있어서,  
 상기 제1 부분은 상기 제2 부분에 연결되지 않는 것인, 반도체 소자 구조물.

**청구항 3**

제2항에 있어서,  
 상기 부착 층의 제2 부분은 경사진 상단 표면을 구비하는 것인, 반도체 소자 구조물.

**청구항 4**

제2항에 있어서,  
 상기 연장 부분은, 상기 제2 부분의 가장 높은 지점 보다 낮은 위치에 배치되는 선단부를 구비하는 것인, 반도체 소자 구조물.

**청구항 5**

제1항에 있어서,  
 상기 부착 층의 제1 부분은 제1 표면을 구비하고, 상기 제1 표면은 상기 유전체 층과 직접적으로 접촉하고 상기 제1 금속 층의 상단 표면에 수직이며, 상기 부착 층의 제1 부분의 가장 낮은 위치는 상기 제1 표면에 위치되는 것인, 반도체 소자 구조물.

**청구항 6**

제1항에 있어서,  
 상기 부착 층의 제1 부분의 하단은 매끄러운 V 형상을 가지는 것인, 반도체 소자 구조물.

**청구항 7**

제1항에 있어서,

상기 제2 금속 층은 비아 부분, 계면 부분, 및 상기 비아 부분 위의 트렌치 부분을 포함하고,

상기 계면 부분은, 상기 비아 부분과 상기 트렌치 부분 사이에 형성되고, 곡선형 측벽들의 쌍을 구비하는 것인, 반도체 소자 구조물.

**청구항 8**

제7항에 있어서,

상기 제2 금속 층의 계면 부분의 일부는, 상기 트렌치 부분으로부터 상기 비아 부분을 향해서 점진적으로 테이퍼링되는 테이퍼형 폭을 갖는 것인, 반도체 소자 구조물.

**청구항 9**

반도체 소자 구조물에 있어서,

기판 위에 형성된 제1 금속 층;

상기 제1 금속 층 위에 형성된 유전체 층;

상기 제1 금속 층과 상기 유전체 층 사이의 식각 중단 층;

상기 유전체 층 내에 그리고 상기 제1 금속 층 위에 형성된 부착 층; 및

상기 유전체 층 내에 형성된 제2 금속 층

을 포함하고,

상기 부착 층은 상기 제2 금속 층과 상기 유전체 층 사이에 형성되고, 상기 제2 금속 층은 비아 부분 및 상기 비아 부분 위의 트렌치 부분을 포함하고,

상기 부착 층은 상기 제2 금속 층의 트렌치 부분에 인접한 제1 부분과, 상기 제1 부분 아래의 제2 부분을 포함하고,

상기 제1 부분은 연장 선단부를 구비하며, 상기 연장 선단부는 상기 제2 금속 층의 비아 부분의 가장 높은 지점보다 낮은 위치에 배치되고,

상기 제2 부분의 바닥면은 상기 식각 중단 층의 상면 위에 있는 것인, 반도체 소자 구조물.

**청구항 10**

반도체 소자 구조물을 형성하기 위한 방법에 있어서,

기판 위에 제1 금속 층을 형성하는 단계;

상기 제1 금속 층 위에 식각 중단 층을 형성하는 단계;

상기 식각 중단 층 위에 유전체 층을 형성하는 단계;

상기 유전체 층 내에 트렌치 개구부-상기 트렌치 개구부는 연장 부분을 가짐- 및 비아 개구부를 형성하는 단계;

상기 트렌치 개구부 및 상기 비아 개구부의 측벽 및 하단 표면 상에 부착 층을 형성하는 단계;

상기 부착 층을 형성하는 단계 이후에, 상기 제1 금속 층 바로 위의 식각 중단 층의 일부를 제거하고, 상기 유전체 층의 일부를 노출시키기 위해서 상기 부착 층의 일부를 제거하는 단계; 및

상기 비아 개구부 및 상기 트렌치 개구부 내에 제2 금속 층-상기 제2 금속 층은 상기 제1 금속 층에 전기적으로 연결됨-을 충전하는 단계

를 포함하는, 반도체 소자 구조물을 형성하기 위한 방법.

**발명의 설명**

**기술 분야**

[0001] 관련 출원의 상호 참조

[0002] 본원은 2015년 6월 15일자로 출원되고 명칭이 "인터커넥트 구조물을 구비하는 핀 전계 효과 트랜지스터(FinFET) 소자 구조물"인 미국 가출원 제62/175,849호의 이익 향유를 주장하고, 그 가출원의 전체가 본원에서 참조로서 포함된다. 본원은 2015년 7월 14일자로 출원되고 명칭이 "인터커넥트 구조물을 구비하는 핀 전계 효과 트랜지스터(FinFET) 소자 구조물"인, 공동 계류중이고 공통 양도된 미국 특허출원 제14/799,258호에 관한 것이고, 그 출원의 전체가 본원에서 참조로서 포함된다.

**배경 기술**

[0003] 반도체 소자가, 개인용 컴퓨터, 셀 전화기, 디지털 카메라, 및 다른 전자 장비와 같은 다양한 전자 적용예에서 이용되고 있다. 반도체 소자는, 전형적으로, 절연 또는 유전체 층, 전도성 층, 및 재료의 반도체성 층을 반도체 기판 위에 순차적으로 침착하는 것(depositing), 그리고 회로 구성요소 및 요소를 상부에 형성하기 위해서 리소그래피를 이용하여 여러 가지 재료 층을 패터닝하는 것에 의해서 제조된다. 전형적으로, 많은 집적 회로가 단일 반도체 웨이퍼 상에서 제조되고, 스크라이브 라인(scribe line)을 따라서 집적 회로들 사이에서 톱작업하는 것에 의해서 웨이퍼 상의 개별적인 다이가 싱글레이팅된다(singulated). 전형적으로, 개별적인 다이가, 예를 들어 다중-칩 모듈 내에서, 또는 다른 유형의 패키징(packaging) 내에서 별개로 패키징된다.

[0004] 반도체 소자의 제조에서, 소자 밀도를 높이기 위해서, 반도체 소자의 크기가 지속적으로 감소되어 왔다. 따라서, 다중-층형 인터커넥트 구조물이 제공된다. 인터커넥트 구조물이 하나 이상의 전도성 라인 및 비아(via) 층을 포함할 수 있을 것이다.

[0005] 비록 기존의 인터커넥트 구조물 및 인터커넥트 구조물을 제조하는 방법이 그들의 의도된 목적에 대체로 적합하나, 그러한 것들이 모든 측면에서 전체적으로 만족스러운 것은 아니다.

**도면의 간단한 설명**

[0006] 첨부 도면과 함께 고려할 때, 이하의 구체적인 설명으로부터 본 개시 내용의 양태가 가장 잘 이해될 수 있을 것이다. 산업계에서의 표준 실무에 따라서, 여러 가지 피처가 실척(scale)으로 도시되지 않았다는 것을 주목하여야 할 것이다. 사실상, 명료한 설명을 위해서, 여러 가지 특징부가 임의적으로 확대 또는 축소되어 있을 수 있을 것이다.

도 1은, 개시 내용의 일부 실시예에 따른, 핀 전계 효과 트랜지스터(FinFET) 소자 구조물 상의 인터커넥트 구조물의 3차원적인 도면을 도시한다.

도 2a 내지 도 2p는, 개시 내용의 일부 실시예에 따른, 인터커넥트 구조물을 가지는 반도체 소자 구조물을 형성하는 여러 스테이지의 횡단면도를 도시한다.

도 2q는, 개시 내용의 일부 실시예에 따른, 도 2p의 영역(A)의 확대도를 도시한다.

도 3a 내지 도 3f는, 개시 내용의 일부 실시예에 따른, 인터커넥트 구조물을 가지는 반도체 소자 구조물을 형성하는 여러 스테이지의 횡단면도를 도시한다.

도 3d는, 개시 내용의 일부 실시예에 따른, 도 3c의 영역(B)의 확대도를 도시한다.

도 3g는, 개시 내용의 일부 실시예에 따른, 도 3f의 영역(C)의 확대도를 도시한다.

도 4a 내지 도 4f는, 개시 내용의 일부 실시예에 따른, 인터커넥트 구조물을 가지는 반도체 소자 구조물을 형성하는 여러 스테이지의 횡단면도를 도시한다.

도 4d는, 개시 내용의 일부 실시예에 따른, 도 4c의 영역(D)의 확대도를 도시한다.

도 5는 과다-함몰된(over-recessed) 트렌치 개구부를 구비한 트렌치-비아 구조물을 도시한다.

**발명을 실시하기 위한 구체적인 내용**

- [0007] 이하의 개시 내용은, 제공된 청구 대상의 상이한 특징들을 실시하기 위한, 많은 상이한 실시예들, 또는 예들을 제공한다. 본 개시 내용을 단순화하기 위해서, 구성요소 및 배열에 관한 구체적인 예가 이하에서 설명된다. 물론, 그러한 구체적인 예는 단지 예시적인 것이고 제한적인 것은 아니다. 예를 들어, 이하의 설명에서 제2특징부 상에 또는 그 위에 제1 특징부를 형성하는 것이, 제1 및 제2 특징부들이 직접적으로 접촉되어 형성되는 실시예들을 포함할 수 있을 것이고, 또한 부가적인 특징부들이 제1 및 제2 특징부들 사이에 형성되어 제1 및 제2 특징부들이 직접적으로 접촉하지 않을 수 있는 실시예들을 포함할 수 있을 것이다. 또한, 본원 개시 내용은 여러 가지 예에서 참조 번호 및/또는 문자를 반복할 수 있을 것이다. 이러한 반복이 단순함 및 명료함을 위한 것이고 그리고 그것 자체가 개시된 여러 가지 실시예들 및/또는 구성들 사이의 관계를 구술하는 것은 아니다.
- [0008] 실시예의 일부 변경들이 설명된다. 여러 도면 및 예시적인 실시예를 통해서 유사한 요소를 나타내기 위해서 유사한 참조 번호를 이용하였다. 방법의 다른 실시예를 위해서, 방법의 이전에, 그 도중에, 그리고 그 이후에 부가적인 동작이 제공될 수 있다는 것, 그리고 설명된 동작의 일부가 대체되거나 배제될 수 있다는 것을 이해하여야 할 것이다.
- [0009] 인터커넥트 구조물을 가지는 반도체 구조물을 형성하기 위한 실시예가 제공된다. 인터커넥트 구조물은 유전체 층 내에 형성된 많은 수의 금속화 층(metallization layer)(예를 들어, 금속간 유전체(inter-metal dielectric), IMD)을 포함한다. 인터커넥트 구조물을 형성하기 위한 하나의 프로세스가 이중 다마신(damascene) 프로세스이다.
- [0010] 도 1은, 개시 내용의 일부 실시예에 따른, 핀 전계 효과 트랜지스터(FinFET) 소자 구조물(100) 상의 인터커넥트 구조물의 3차원적인 도면을 도시한다.
- [0011] FinFET 소자 구조물(100)이 기판(102)을 포함한다. 기판(102)이 실리콘 또는 다른 반도체 재료로 제조될 수 있을 것이다. 대안적으로 또는 부가적으로, 기판(102)이 게르마늄과 같은 다른 원소 반도체를 포함할 수 있을 것이다. 일부 실시예에서, 기판(102)이 실리콘 탄화물, 갈륨 비화물, 인듐 비화물, 또는 인듐 인화물과 같은 화합물 반도체로 제조된다. 일부 실시예에서, 기판(102)이 실리콘 게르마늄, 실리콘 게르마늄 탄화물, 갈륨 비소 인화물, 또는 갈륨 인듐 인화물과 같은 합금 반도체로 제조된다. 일부 실시예에서, 기판(102)이 에피택셜 층을 포함한다. 예를 들어, 기판(102)이 벌크(bulk) 반도체 위에 놓인 에피택셜 층을 갖는다.
- [0012] FinFET 소자 구조물(100)이 또한, 기판(102)으로부터 연장하는 하나 이상의 핀 구조물(20)(예를 들어, Si 핀)을 포함한다. 핀 구조물(20)이 선택적으로 게르마늄(Ge)을 포함할 수 있을 것이다. 핀 구조물(20)이, 포토리소그래피 및 식각 프로세스와 같은 적절한 프로세스의 이용에 의해서 형성될 수 있을 것이다. 일부 실시예에서, 핀 구조물(20)이 건식 식각 또는 플라즈마 프로세스를 이용하여 기판(102)으로부터 식각된다.
- [0013] 셸로우 트렌치 아이솔레이션(shallow trench isolation)(STI) 구조물과 같은 격리(isolation) 구조물(22)이 핀 구조물(20)을 둘러싸도록 형성된다. 일부 실시예에서, 도 1에 도시된 바와 같이, 핀 구조물(20)의 하부 부분이 격리 구조물(22)에 의해서 둘러싸이고, 핀 구조물(20)의 상부 부분이 격리 구조물(22)로부터 돌출한다. 다시 말해서, 핀 구조물(20)의 일부가 격리 구조물(22) 내에 매립된다(embedded). 격리 구조물(22)은 전기적 간섭 또는 누화(crosstalk)를 방지한다.
- [0014] FinFET 소자 구조물(110)은 게이트 유전체 층(32) 및 게이트 전극(34)을 포함하는 게이트 스택(stack) 구조물을 더 포함한다. 게이트 스택 구조물이 핀 구조물(20)의 중앙 부분 위에 형성된다. 일부 다른 실시예에서, 게이트 스택 구조물이 더미(dummy) 게이트 스택이고, 큰 열 소모비용(high thermal budget)의 프로세스가 실시된 후에 금속 게이트(MG)에 의해서 추후에 대체된다.
- [0015] 도 1에 도시된 바와 같이, 이격부재(36)가 게이트 전극(34)의 대향 측벽들 상에 형성된다. 소오스/드레인(S/D) 구조물(24)이 게이트 스택 구조물에 인접하여 형성된다. 콘택 구조물(40)이 소오스/드레인(S/D) 구조물(24) 위에 형성되고, 제1 금속 층(104)이 콘택 구조물(40) 위에 형성된다. 트렌치-비아 구조물(50)이 제1 금속 층(104) 위에 형성된다. 제2 금속 층(미도시)이 트렌치-비아 구조물(50) 상에 형성될 것이다. 트렌치-비아 구조물(50)이 제1 금속 층(104)과 제2 금속 층 사이에 배치되고, 제1 금속 층(104) 및 제2 금속 층에 전기적으로 연결되도록 구성된다.
- [0016] 도 1은 핀 전계 효과 트랜지스터(FinFET) 소자 구조물(100) 위의 제1 금속 층 및 트렌치-비아 구조물(50)을 포함하는 인터커넥트 구조물의 단순화된 도면이다. 층간 유전체(ILD) 층 및 도핑된 영역과 같은 일부 피쳐(feature)가 도 1에 도시되어 있지 않다.

- [0017] 도 2a 내지 도 2p는, 개시 내용의 일부 실시예에 따른, 인터커넥트 구조물(50a)을 가지는 반도체 소자 구조물을 형성하는 여러 스테이지의 횡단면도를 도시한다. 도 2a 내지 도 2p는 이중 다마신 구조물을 형성하기 위한 트렌치-퍼스트(trench-first) 프로세스를 도시한다.
- [0018] 도 2a에 도시된 바와 같이, 반도체 소자 구조물(100)이 기판(102)을 포함한다. 기판(102)이 제1 영역(11) 및 제2 영역(12)을 포함한다. 일부 실시예에서, 제1 영역(11)이 밀집(dense) 영역이고, 제2 영역(12)이 격리 영역이다. 기판(102)이 실리콘 또는 다른 반도체 재료로 제조될 수 있을 것이다. 일부 소자 요소(미도시)가 기판(102) 내에 형성된다. 소자 요소에는 트랜지스터(예를 들면, 금속 산화물 반도체 전계 효과 트랜지스터(MOSFET), 상보성 금속 산화물 반도체(CMOS) 트랜지스터, 바이폴라 접합 트랜지스터(BJT), 고전압 트랜지스터, 고주파 트랜지스터, p-채널 및/또는 N-채널 전계 효과 트랜지스터(PFET/NFET) 등), 다이오드, 및/또는 다른 적용 가능한 요소가 포함된다. 침착, 식각, 주입, 포토리소그래피, 어닐링, 및/또는 다른 적용 가능한 프로세스와 같은, 여러 가지 프로세스를 실시하여 소자 요소를 형성한다. 일부 실시예에서, 소자 요소가 전공정(front-end-of-line)(FEOL) 프로세스에서 기판(102) 내에 형성된다.
- [0019] 기판(102)이 p-타입 웰(well) 또는 n-타입 웰과 같은 여러 가지 도핑된 영역을 포함할 수 있을 것이다. 도핑된 영역이 보론 또는 BF<sub>2</sub> 와 같은 p-타입 도펀트, 및/또는 인(P) 또는 비소(As)와 같은 n-타입 도펀트로 도핑될 수 있을 것이다. 도핑된 영역이 직접적으로 기판(102) 상에, P-웰 구조물 내에, N-웰 구조물 내에, 또는 이중-웰 구조물 내에 형성될 수 있을 것이다.
- [0020] 기판(102)이 웰로우 트렌치 아이솔레이션(STI) 피쳐 또는 실리콘의 부분적 산화(LOCOS) 피쳐와 같은 격리 피쳐(미도시)를 추가적으로 포함할 수 있을 것이다. 격리 피쳐가 여러 가지 소자 요소를 형성하고 격리할 수 있을 것이다.
- [0021] 도 2a에 도시된 바와 같이, 제1 유전체 층(106)(예를 들어, 금속간 유전체, IMD)이 기판(102) 위에 형성되고, 제1 금속 층(104a) 및 제2 금속 층(104b)이 제1 유전체 층(106) 내에 매립된다. 제1 금속 층(104a)이 제1 영역(11) 내에 있고, 제2 금속 층(104b)이 제2 영역(12) 내에 있다. 제1 유전체 층(106), 제1 금속 층(104a) 및 제2 금속 층(104b)이 후공정(back-end-of-line)(BEOL) 프로세스에서 형성된다.
- [0022] 제1 유전체 층(106)이 단일 층 또는 다중 층일 수 있을 것이다. 제1 유전체 층(106)이 실리콘 산화물(SiO<sub>x</sub>), 실리콘 질화물(Si<sub>3</sub>N<sub>4</sub>), 실리콘 산질화물(SiON), 작은 유전 상수(저-k)의 유전체 재료(들), 또는 그 조합으로 제조된다. 일부 실시예에서, 제1 유전체 층(106)이 약 2.5 미만의 유전 상수(k)를 가지는 극저-k(ELK) 유전체 재료로 제조된다. 일부 실시예에서, ELK 유전체 재료가 탄소 도핑된 실리콘 산화물, 비정질 플루오르화 탄소, 파릴렌(arylene), 비스-벤조시클로부텐(BCB), 폴리테트라플루오로에틸렌(PTFE)(Teflon), 또는 실리콘 산탄화물(oxy-carbide) 증합체(SiOC)를 포함한다. 일부 실시예에서, ELK 유전체 재료가, 수소 실세스퀴옥산(HSQ), 다공성 메틸 실세스퀴옥산(MSQ), 다공성 폴리알릴에테르(PAE), 다공성 SiLK, 또는 다공성 실리콘 산화물(SiO<sub>2</sub>)과 같은 기존의 유전체 재료의 다공성 버전을 포함한다. 일부 실시예에서, 유전체 층(106)이 플라즈마 증강 화학기상증착(PECVD) 프로세스에 의해서 또는 스펀 코팅 프로세스에 의해서 침착된다.
- [0023] 일부 실시예에서, 제1 금속 층(104a) 및 제2 금속 층(104b)이 구리(Cu), 구리 합금, 알루미늄(Al), 알루미늄 합금, 텅스텐(W), 텅스텐 합금, 티탄(Ti), 티탄 합금, 탄탈(Ta) 또는 탄탈 합금으로 독립적으로 제조된다. 일부 실시예에서, 제1 금속 층(104)이 도금 방법에 의해서 형성된다.
- [0024] 식각 중단 층(110)이 제1 유전체 층(106) 위에 형성된다. 식각 중단 층(110)이 단일 층 또는 다중 층일 수 있을 것이다. 식각 중단 층(110)은, 제1 유전체 층(106)과 같은 하부의 층을 보호하고, 또한 후속하여 형성되는 층에 대한 개선된 접착을 제공한다.
- [0025] 식각 중단 층(110)이, 알루미늄-함유 재료와 같은 금속-함유 재료로 제조된다. 일부 실시예에서, 알루미늄-함유 재료가 알루미늄 질화물, 알루미늄 산화물 또는 알루미늄 산질화물이다. 알루미늄-함유 재료가 반도체 소자(100)의 속력을 증가시킬 수 있을 것이다.
- [0026] 제2 유전체 층(112)이 식각 중단 층(110) 위에 형성된다. 제2 유전체 층(112)이 단일 층 또는 다중 층일 수 있을 것이다. 제2 유전체 층(112)이 실리콘 산화물(SiO<sub>x</sub>), 실리콘 질화물(Si<sub>3</sub>N<sub>4</sub>), 실리콘 산질화물(SiON), 작은 유전 상수(저-k)의 유전체 재료, 또는 그 조합으로 제조된다. 일부 실시예에서, 제2 유전체 층(112)이 약 2.5 미만의 유전 상수(k)를 가지는 극저-k(ELK) 유전체 재료로 제조된다.
- [0027] 반사방지 층(114) 및 하드 마스크 층(116)이 제2 유전체 층(112) 위에 순차적으로 형성된다. 일부 실시예에서,

반사방지 층(114)이, 실리콘 산산화물(SiO<sub>2</sub>)과 같은 무질소 재료로 제조된다. 일부 실시예에서, 하드 마스크 층(116)이 티탄 질화물(TiN), 탄탈 질화물(TaN), 또는 텅스텐 질화물(WN)과 같은 금속 재료로 제조된다. 플라즈마 프로세스 중에 제2 유전체 층(112)에 대한 큰 식각 선택비(selectivity)를 제공하도록, 금속 재료로 제조된 하드 마스크 층(116)이 구성된다.

[0028] 3중-층 포토레지스트 구조물(120)이 하드 마스크 층(116) 상에 형성된다. 3중-층 포토레지스트 구조물(120)이 하단 층(124), 중간 층(126) 및 상단 층(128)을 포함한다. 일부 실시예에서, 하단 층(124)이, 포토리소그래피 프로세스 중에 반사를 줄이기 위해서 이용되는 하단 반사방지 코팅(BARC) 층이다. 일부 실시예에서, 하단 층(124)이, 실리콘 부화(rich) 산화물 또는 실리콘 산산화물(SiO<sub>2</sub>)와 같은 무질소 재료로 제조된다. 일부 실시예에서, 중간 층(126)이, 실리콘 질화물 또는 실리콘 산질화물 또는 실리콘 산화물과 같은 실리콘계 재료로 제조된다.

[0029] 상단 층(128)이 포지티브(positive) 포토레지스트 층 또는 네거티브 포토레지스트 층일 수 있을 것이다. 일부 실시예에서, 상단 층(128)이 폴리(메틸 메타크릴레이트)(PMMA), 폴리(메틸 글루타르이미드)(PMGI), 페놀 포름알데히드 수지(DNQ/Novolac), 또는 SU-8로 제조된다. 일부 실시예에서, 하단 층(124)의 두께 대 중간 층(126)의 두께의 비율이 약 4 내지 약 8의 범위이다.

[0030] 그 후에, 개시 내용의 일부 실시예에 따라서, 상단 층(128)을 패터닝하여 도 2b에 도시된 바와 같은 패터닝된 상단 층(128)을 형성한다. 패터닝된 상단 층(128)이 제1 부분(128a), 제2 부분(128b) 및 제3 부분(128c)을 포함한다.

[0031] 개시 내용의 일부 실시예에 따라서, 상단 층(128)이 패터닝된 후에, 중간 층(126)이, 도 2c에 도시된 바와 같이 패터닝된 상단 층(128)을 마스크로서 이용하는 것에 의해서 패터닝된다. 결과적으로, 상단 층(128)의 패터닝이 중간 층(126)으로 전사되어 패터닝된 중간 층(126)을 형성한다.

[0032] 개시 내용의 일부 실시예에 따라서, 중간 층(126)이 패터닝된 후에, 하단 층(124)이, 도 2d에 도시된 바와 같이 패터닝된 중간 층(126)을 마스크로서 이용하는 것에 의해서 패터닝된다.

[0033] 그 후에, 개시 내용의 일부 실시예에 따라서, 하드 마스크 층(116)이, 도 2e에 도시된 바와 같이 패터닝된 하단 층(124)을 마스크로서 이용하는 것에 의해서 패터닝된다. 그 후에, 3중-층 포토레지스트 구조물(120)이 식각 프로세스에 의해서 제거된다. 그 후에, 패터닝된 하드 마스크 층(116)이 획득되고, 그러한 패터닝된 하드 마스크 층(116)은 제1 부분(116a), 제2 부분(116b) 및 제3 부분(116c)을 포함한다. 제1 폭(W<sub>1</sub>)이 제1 부분(116a)과 제2 부분(116b) 사이에 형성된다. 제2 폭(W<sub>2</sub>)이 제2 부분(116b)과 제3 부분(116c) 사이에 형성된다. 일부 실시예에서, 제1 폭(W<sub>1</sub>)이 제2 폭(W<sub>2</sub>)과 실질적으로 동일하다.

[0034] 개시 내용의 일부 실시예에 따라서, 하드 마스크 층(116)이 패터닝된 후에, 제2 포토레지스트 구조물(220)이, 도 2f에 도시된 바와 같이 패터닝된 하드 마스크 층(116) 위에 형성된다. 제2 포토레지스트 구조물(220)이 하단 층(224), 중간 층(226) 및 상단 층(228)을 포함한다.

[0035] 개시 내용의 일부 실시예에 따라서, 제2 포토레지스트 구조물(220)의 상단 층(228)이 먼저 패터닝되어 도 2g에 도시된 바와 같은 패터닝된 상단 층(228)을 형성한다. 패터닝된 상단 층(228)이 제1 부분(228a), 제2 부분(228b) 및 제3 부분(228c)을 포함한다. 제3 폭(W<sub>3</sub>)이 제1 부분(228a)과 제2 부분(228b) 사이에 형성된다. 제4 폭(W<sub>4</sub>)이 제2 부분(228b)과 제3 부분(228c) 사이에 형성된다. 제3 폭(W<sub>3</sub>)이 제4 폭(W<sub>4</sub>)과 실질적으로 동일하다. 제1 부분(228a)과 제2 부분(228b) 사이의 제3 폭(W<sub>3</sub>)이 패터닝된 하드 마스크 층(116)의 제1 부분(116a)과 제2 부분(116b) 사이의 제1 폭(W<sub>1</sub>)(도 2e에 도시된 바와 같다) 보다 좁다.

[0036] 그 후에, 개시 내용의 일부 실시예에 따라서, 중간 층(226)이, 도 2h에 도시된 바와 같이 패터닝된 상단 층(228)을 마스크로서 이용하는 것에 의해서 패터닝된다.

[0037] 개시 내용의 일부 실시예에 따라서, 중간 층(226)이 패터닝된 후에, 하단 층(224) 및 반사방지 층(114)의 일부가, 도 2i에 도시된 바와 같이 제거된다. 반사방지 층(114)의 일부가 제1 식각 프로세스(310)에 의해서 제거되어, 제1 영역(11) 내의 제1 함몰부(302a) 및 제2 영역(12) 내의 제2 함몰부(302b)를 형성한다. 함몰부(302)의 측벽이 반사방지 층(114)에 대해서 수직이다. 제1 함몰부(302a)의 폭이 제2 함몰부(302b)의 폭과 실질적으로 동일하다.



- [0038] 제1 플라즈마 프로세스(310)가 산소(O<sub>2</sub>), 이산화탄소(CO<sub>2</sub>) 또는 다른 적용 가능 가스를 포함하는 제1 식각 가스를 이용하는 것을 포함한다. 가스에 더하여, 제1 식각 프로세스(310)가 압력, 전력, 온도 및/또는 다른 적합한 매개변수와 같은 여러 가지 매개변수로 미세-조율(fine-tuned)될 수 있을 것이다.
- [0039] 개시 내용의 일부 실시예에 따라서, 제1 함몰부(302a) 및 제2 함몰부(302b)를 형성한 후에, 반사방지 층(114)이 관통하여 식각되고, 제2 유전체 층(112)의 일부가 도 2j에 도시된 바와 같이 제2 식각 프로세스(330)에 의해서 제거된다.
- [0040] 결과적으로, 함몰부(302)가 길어져서, 제1 개구부(304a) 및 제2 개구부(304b)를 형성한다. 제1 개구부(304a) 및 제2 개구부(304b)의 측벽이 제2 유전체 층(112)에 수직이라는 것을 주목하여야 할 것이다. 다시 말해서, 제1 개구부(304a) 및 제2 개구부(304b) 모두가 실질적으로 수직인 프로파일을 갖는다.
- [0041] 제2 식각 프로세스(330)가 불소-함유 가스, 질소(N<sub>2</sub>), 산소(O<sub>2</sub>) 또는 그 조합을 포함하는 제2 식각 가스를 이용하는 것에 의해서 실시된다. 불소-함유 가스가 질소 헥사플루오로에탄(C<sub>2</sub>F<sub>6</sub>), 테트라플루오로메탄(CF<sub>4</sub>), 트리플루오로메탄(CHF<sub>3</sub>), 디플루오로메탄(CH<sub>2</sub>F<sub>2</sub>), 옥토플루오로프로판(C<sub>3</sub>F<sub>8</sub>), 옥토플루오로시클로부탄(C<sub>4</sub>F<sub>8</sub>), 또는 그 조합을 포함한다.
- [0042] 그 후에, 개시 내용의 일부 실시예에 따라서, 제2 포토레지스트 구조물(220)이 도 2k에 도시된 바와 같이 제거된다. 그에 따라, 패터닝된 하드 마스크 층(116)이 노출된다(exposed).
- [0043] 개시 내용의 일부 실시예에 따라서, 제2 포토레지스트 구조물(220)이 제거된 후에, 제2 유전체 층(112) 및 식각 중단 층(110)이 도 2l에 도시된 바와 같이 제3 식각 프로세스(350)에 의해서 관통 식각되어 제1 금속 층(104)을 노출시킨다.
- [0044] 그에 따라, 제1 비아 개구부(306a) 및 제1 트렌치 개구부(308a)가 형성되고, 이들이 함께, 이중 다마신 공동(dual damascene cavity)으로서 이용하기 위한 제1 트렌치-비아 구조물을 구성한다. 제1 비아 개구부(306a)가 제1 폭(D<sub>1</sub>)을 갖는다. 일부 실시예에서, 제1 폭(D<sub>1</sub>)이 약 30 nm 내지 약 60 nm 범위이다. 제1 트렌치 개구부(308a)가 제3 폭(D<sub>3</sub>)을 갖는다. 일부 실시예에서, 제3 폭(D<sub>3</sub>)이 제1 폭(D<sub>1</sub>) 보다 넓다.
- [0045] 만약 제1 폭(D<sub>1</sub>)이 30 nm 보다 좁다면, 치수가 너무 작아서 전도성 재료를 충전(fill)할 수 없다. 만약 제1 폭(D<sub>1</sub>)이 60 nm 보다 넓다면, 2개의 인접한 비아 개구부들 사이의 피치가 미리 결정된 값 보다 작을 수 있을 것이다.
- [0046] 제3 식각 프로세스(350)가 불소-함유 가스, 질소(N<sub>2</sub>), 산소(O<sub>2</sub>) 또는 그 조합을 포함하는 제3 식각 가스를 이용하는 것에 의해서 실시된다. 불소-함유 가스가 질소 헥사플루오로에탄(C<sub>2</sub>F<sub>6</sub>), 테트라플루오로메탄(CF<sub>4</sub>), 트리플루오로메탄(CHF<sub>3</sub>), 디플루오로메탄(CH<sub>2</sub>F<sub>2</sub>), 옥토플루오로프로판(C<sub>3</sub>F<sub>8</sub>), 옥토플루오로시클로부탄(C<sub>4</sub>F<sub>8</sub>), 또는 그 조합을 포함한다.
- [0047] 제3 식각 프로세스(350)에서 이용되는 제3 식각 가스가 불활성 가스, 예를 들어 아르곤(Ar) 또는 헬륨(He)과 같은 희석 가스를 더 포함한다. 희석 가스가 부하 효과(load effect)를 감소시키기 위해서 이용된다.
- [0048] 개시 내용의 일부 실시예에 따라서, 제3 식각 프로세스(350) 이후에, 도 2m에 도시된 바와 같이, 부착 층(130)이 비아 개구부(306a, 306b) 및 트렌치 개구부(308a, 308b)의 측벽들 및 하단 표면들 상에 형성된다. 그에 더하여, 부착 층(130)이 하드 마스크 층(116) 상에 또한 형성된다.
- [0049] 부착 층(130)이 후속하여 형성되는 층에 대한 개선된 부착을 제공하기 위해서 이용된다. 일부 실시예에서, 부착 층이 티탄(Ti), 티탄 질화물(TiN), 탄탈(Ta), 탄탈 질화물(TaN), 또는 알루미늄 질화물(AlN)로 제조된다.
- [0050] 개시 내용의 일부 실시예에 따라서, 부착 층(130)의 형성 이후에, 도 2n에 도시된 바와 같이, 식각 중단 층(110)의 일부가 제4 식각 프로세스(370)에 의해서 제거되어 제1 금속 층(104a) 및 제2 금속 층(104b)을 노출시킨다.
- [0051] 일부 실시예에서, 제4 식각 프로세스(370)가 플라즈마 프로세스와 같은 건식 식각 프로세스이다. 제4 식각 프로세스(370) 중에, 전기장이 개구부의 모서리 영역에 집중된다. 그에 따라, 모서리 영역이 손상될 수 있을 것이다. 도 2n에 도시된 바와 같이, 특히 모서리 영역에서, 부착 층(130)의 일부가 또한 제거된다. 결과적으로,

부착 층(130)이 불연속적인 층이 된다.

- [0052] 부착 층(130)이 제1 부분(130a), 및 제1 부분(130a) 아래의 제2 부분(130b)을 포함한다. 제1 부분(130a)이 트렌치 개구부(308a, 308b)에 인접하거나 그러한 트렌치 개구부를 따라 배치되고(line with), 제2 부분(130b)이 비아 개구부(306a, 306b)에 인접하거나 그러한 비아 개구부를 따라 배치된다.
- [0053] 일부 실시예에서, 부착 층(130)의 제1 부분(130a)이 수평 방향(금속 층(104)의 상단 표면에 평행하다)의 연장된 하단 표면을 갖는다. 연장된 하단 표면이 부착 층(130)의 제1 부분(130a)의 상단 표면 보다 크다.
- [0054] 일부 실시예에서, 부착 층(130)의 제2 부분(130b)이 경사진 표면을 갖는다. 일부 실시예에서, 부착 층(130)의 제2 부분(130b)이 제1 금속 층(104a, 104b)의 상단 표면에 평행하지 않은 상단 표면을 갖는다.
- [0055] 개시 내용의 일부 실시예에 따라서, 제4 식각 프로세스(370) 이후에, 도 2o에 도시된 바와 같이, 전도성 피쳐(142)가 트렌치 개구부(308a, 308b), 비아 개구부(306a, 306b) 내에 그리고 하드 마스크 층(116) 상에 형성된다.
- [0056] 전도성 피쳐(142)가 제1 금속 층(104)에 전기적으로 연결된다. 일부 실시예에서, 전도성 피쳐(142)가 제2 금속 층으로 지칭된다. 제1 유전체 층(106) 내에 매립된 제1 금속 층(104) 및 제2 유전체 층(112) 내에 매립된 전도성 피쳐(142)가 인터커넥트 구조물(50a)의 일부를 구성한다. 일부 실시예에서, 전도성 피쳐(142)가 구리(Cu), 구리 합금, 알루미늄(Al), 알루미늄 합금, 또는 그 조합으로 제조된다.
- [0057] 유전체 층(112)(특히 저-k 재료)과 전도성 피쳐(142) 사이의 부착이 약하다는 것을 주목하여야 한다. 만약 유전체 층(112)과 전도성 피쳐(142) 사이에 부착 층(130)이 형성되지 않는다면, 도 2p 이후에 실시되는 베이킹(baking) 프로세스에 의해서 전도성 피쳐(142)가 수축될 수 있을 것이다. 그에 따라, 전도성 피쳐(142)의 부착력을 높이고 전도성 피쳐(142)의 수축 문제를 방지하도록, 부착 층(130)이 구성된다.
- [0058] 그 이후에, 개시 내용의 일부 실시예에 따라서, 도 2p에 도시된 바와 같이, 반사방지 층(114), 하드 마스크 층(116), 및 트렌치 개구부(308a, 308b) 외부의 일부 전도성 피쳐(142)가 제거된다. 도 2q는, 개시 내용의 일부 실시예에 따른, 도 2p의 영역(A)의 확대도를 도시한다. 일부 실시예에서, 반사방지 층(114) 및 하드 마스크 층(116)이 화학적 기계적 폴리싱(CMP) 프로세스에 의해서 제거된다.
- [0059] 도 2p에 도시된 바와 같이, 전도성 피쳐(142)의 일부가 부착 층(130)에 의해서 둘러싸이나, 전도성 피쳐(142)의 전부가 부착 층(130)에 의해서 둘러싸이지는 않는다. 전도성 피쳐(142)가 상부 부분(142a)(또는 트렌치 부분으로서 지칭된다), 하부 부분(142c)(또는 비아 부분으로서 지칭된다), 및 상부 부분(142a)과 하부 부분(142c) 사이의 중간 부분(142b)(또는 계면 부분으로서 지칭된다)을 포함한다. 상부 부분(142a)과 중간 부분(142b) 사이에, 그리고 중간 부분(142b)(또는 계면 부분)과 하부 부분(142c) 사이에 명백한 계면이 존재하지 않는다. 도 2p에 도시된 과선을 이용하여 개시 내용을 명확하게 하였다.
- [0060] 상부 부분(142a)이 일정한 폭( $W_5$ )을 가지고, 하부 부분(142c)이 일정한 폭( $W_6$ )을 갖는다. 그러나, 중간 부분(142b)이 상부 부분(142a)으로부터 하부 부분(142c)까지 점진적으로 테이퍼링되는(tapered) 테이퍼형 폭을 갖는다. 다시 말해서, 중간 부분(142b)이 곡선화된 측면의 쌍을 갖는다. 폭( $W_5$ )이 폭( $W_6$ ) 보다 넓고, 테이퍼형 폭이 폭( $W_5$ ) 보다 좁고 폭( $W_6$ ) 보다 넓다.
- [0061] 부착 층(130)이 전도성 피쳐(142)와 제2 유전체 층(112) 사이에 형성되고, 전도성 피쳐(142)의 상부 부분(142a) 및 하부 부분(142c)의 부분들이 부착 층(130) 상에 형성되지 않는다는 것을 주목하여야 한다. 그러나, 전도성 피쳐(142)의 중간 부분(142b)의 일부가 부착 층(130) 상에 형성되지 않는다. 부착 층(130)과 접촉하는 대신에, 전도성 피쳐(142)의 중간 부분(142b)이 제2 유전체 층(112)과 직접적으로 접촉하는데, 이는 부착 층(130)이 불연속적인 층이기 때문이다.
- [0062] 진술한 바와 같이, 부착 층(130)이 제1 부분(130a) 및 제2 부분(130b)을 포함한다. 도 2p 및 도 2q에 도시된 바와 같이, 제1 부분(130a)이 전도성 피쳐(142)의 상부 부분(142a)을 따라 배치되고, 제2 부분(130b)이 전도성 피쳐(142)의 하부 부분(142c)을 따라 배치된다. 인터커넥트 구조물의 일부가 식각 중단 층에 의해서 둘러싸인다. 보다 구체적으로, 전도성 피쳐(142)의 일부가 식각 중단 층에 의해서 둘러싸인다.
- [0063] 제4 식각 프로세스(370)(도 2n에 도시된 바와 같음)를 실시하는 동안, 제1 금속 층(104a, 104b)이 노출되고 일부 부산물(예를 들어, 금속-함유 재료)이 비아 개구부(306a, 306b) 상에 형성될 수 있을 것이다. 그러나, 바람직하지 못한 부산물이 비아 개구부(306a, 306b)의 측면 상에 침착된다면, 비아 개구부(306a, 306b)의 폭이 좁아

지기 시작할 수 있고, 전도성 피쳐(142)가 비아 개구부(306a, 306b) 내부를 충전하기 어렵게 된다. 또한, 일부 금속-함유 재료가 비아 개구부(306a, 306b)의 측벽 상에 재-스퍼터링(re-sputter)될 수 있을 것이다. 결과적으로, 전도성 피쳐(142)와 제2 유전체 층 사이의 부착력이 감소된다. 도 2p에 도시된 제거 프로세스 이후에 베이킹 프로세스를 실시하는 동안 전도성 피쳐(142)가 용이하게 박층될 수 있을 것이다. 그에 따라, 금속 층(104a, 104b)이 노출되기에 앞서서 도 2m에 도시된 바와 같이 부착 층(130)이 형성된다. 부착 층(130)은 비아 개구부(306a, 306b)의 측벽을 오염으로부터 보호하고 전도성 피쳐(142)와 제2 유전체 층(112) 사이의 부착력을 증가시킨다. 또한, 전도성 피쳐(142)의 박층 문제가 또한 방지된다.

[0064] 도 3a 내지 도 3f는, 개시 내용의 일부 실시예에 따른, 인터커넥트 구조물(50b)을 가지는 반도체 소자 구조물을 형성하는 여러 스테이지의 횡단면도를 도시한다. 인터커넥트 구조물(50b)은, 트렌치 개구부(308a, 308b)의 형상이 상이하다는 것을 제외하고, 도 2p에 도시된 바와 같은 인터커넥트 구조물(50a)과 유사하거나 동일하다. 인터커넥트 구조물(50b)을 형성하기 위해서 이용되는 프로세스 및 재료가 인터커넥트 구조물(50a)을 형성하기 위해서 이용된 것들과 유사하거나 동일할 수 있고, 여기에서 다시 반복 설명하지 않는다.

[0065] 도 3a에 도시된 바와 같이, 제3 식각 프로세스(350)가 제2 유전체 층(112)에 대해서 실시되고, 제1 트렌치 개구부(308a) 및 제1 비아 개구부(306a)가 제1 영역(11) 내에 형성되고, 제2 트렌치 개구부(308b) 및 제2 비아 개구부(306b)가 제2 영역(12) 내에 형성된다. 제1 트렌치 개구부(308a) 및 제1 비아 개구부(306a)가 이중 다마신 공동으로서 이용하기 위한 제1 트렌치-비아 구조물을 함께 구성한다. 제2 트렌치 개구부(308b) 및 제2 비아 개구부(306b)가 이중 다마신 공동으로서 이용하기 위한 제2 트렌치-비아 구조물을 함께 구성한다.

[0066] 도 3a에 도시된 바와 같이, 트렌치 개구부(308a, 308b)가 연장된 부분을 갖는다. 트렌치 개구부(308a)가 수직 측벽을 가지는 상부 부분 및 곡선형 하단 부분을 가지는 연장 부분을 포함한다. 수직 측벽과 곡선형 하단 부분 사이의 교차부가 선단부( $P_1$ )로서 지칭된다. 일부 실시예에서, 선단부( $P_1$ )가 비아 개구부(306a)의 가장 높은 지점( $Q_1$ ) 보다 낮은 위치에 배치된다.

[0067] 트렌치-비아 구조물이 깊이( $H_1$ )를 갖는다. 트렌치 개구부(308a)가 폭( $D_3$ )을 갖는다. 종횡비( $H_1/D_3$ )는 깊이( $H_1$ ) 대 폭( $W_3$ )의 비율이다. 트렌치 개구부(308a)의 상부 부분이 깊이( $H_2$ )를 가지고, 연장 부분이 깊이( $H_3$ )를 갖는다. 일부 실시예에서, 깊이( $H_3$ ) 대 깊이( $H_2$ )의 비율( $H_3/D_2$ )이 약 0.5 내지 약 100의 범위이다.

[0068] 개구부의 종횡비가 개구부의 깊이 대 폭으로서 규정된다. 제1 트렌치-비아 구조물의 종횡비가, 도 21의 트렌치-비아 구조물에 대비하여, 더 큰 종횡비를 갖는다는 것을 주목하여야 할 것이다. 만약 제1 트렌치-비아 구조물의 큰 종횡비가 식각된다면, 희망하는 프로파일을 획득하기 위해서 보다 긴 식각 시간이 필요할 것이다.

[0069] 도 5는 과다-함몰된 트렌치 개구부(506)를 구비한 트렌치-비아 구조물을 도시한다. 트렌치 개구부(508)가 비아 개구부(506) 위에 형성된다. 전술한 바와 같이, 트렌치 개구부의 모서리 영역들이 제3 식각 프로세스(350)에 의해서 용이하게 부착될 것이다. 만약 식각 시간이 증가된다면, 트렌치 개구부(508)의 모서리 영역이 과다-함몰된다. 결과적으로, 후속하여 비아 개구부(506) 및 트렌치 개구부(508) 내에 형성되는 전도부가 다른 영역과 접촉할 수 있을 것이다. 과다-함몰된 트렌치 개구부(508)는 바람직한 프로파일이다. 또한, 만약 트렌치-비아 구조물이 격리된 영역 및 밀집 영역 내에 위치된다면, 부하 효과로 인해서, 과다-식각된(over-etched) 트렌치 구조물이 생성될 수 있을 것이다.

[0070] 그에 따라, 트렌치 개구부가 과다-식각되는 것을 방지하기 위해서, 트렌치 개구부가 형성될 때, 트렌치 개구부의 연장 부분이, 제3 식각 프로세스(350)의 식각 매개변수를 제어하는 것에 의해서, 소정 범위 내에서 제어되어야 한다. 예를 들어, 깊이( $H_3$ ) 대 깊이( $H_2$ )의 비율( $H_3/D_2$ )이 약 0.5 내지 약 100의 범위 내에서 제어될 때, 제3 식각 프로세스(350)가 중단된다. 부착 층(130)은, 트렌치 개구부(308a, 308b)가 과다-식각되기 전에 트렌치 개구부(308a, 308b)의 측벽을 보호하기 위해서 이용된다.

[0071] 개시 내용의 일부 실시예에 따라서, 제3 식각 프로세스(350) 이후에, 도 3b에 도시된 바와 같이, 부착 층(130)이 비아 개구부(306a, 306b) 및 트렌치 개구부(308a, 308b)의 측벽들 및 하단 표면들 상에 형성된다. 부착 층(130)이 제1 트렌치 개구부(308a) 및 제1 비아 개구부(306a)를 가지는 제1 트렌치-비아 구조물 및 제2 트렌치 개구부(308b) 및 제2 비아 개구부(306b)를 가지는 제2 트렌치-비아 구조물 상에 등각적으로(conformally) 형성된다.

[0072] 부착 층(130)이 후속하여 형성되는 층에 대한 개선된 부착을 제공하기 위해서 이용된다. 또한, 일부 식각 프로

세스가 트렌치-비아 구조물 상에서 실시될 것이기 때문에, 트렌치-비아 구조물을 과다-식각으로부터 보호하도록, 트렌치 개구부(308a, 308b) 및 비아 개구부(306a, 306b) 상에 형성된 부착 층(130)이 구성된다.

- [0073] 개시 내용의 일부 실시예에 따라서, 부착 층(130)의 형성 이후에, 도 3c에 도시된 바와 같이, 식각 중단 층(110)의 일부가 제4 식각 프로세스(370)에 의해서 제거되어 제1 금속 층(104a) 및 제2 금속 층(104b)을 노출시킨다.
- [0074] 전술한 바와 같이, 모서리 영역들이 제4 식각 프로세스(370)에 의해서 부착된다. 결과적으로, 부착 층(130)이 불연속적인 층이 된다. 부착 층(130)이 제1 부분(130a), 및 제1 부분(130a) 아래의 제2 부분(130b)을 포함한다. 제1 부분(130a)이 제2 부분(130b)에 연결되지 않는다. 제1 부분(130a)이 트렌치 개구부(308a, 308b)에 인접하고, 제2 부분(130b)이 비아 개구부(306a, 306b)에 인접한다. 제1 부분(130a)이, 금속 층(104a, 104b)의 상단 표면에 수직인 수직 방향을 따른 연장 부분을 갖는다.
- [0075] 일부 실시예에서, 부착 층(130)의 제1 부분(130a)이 수평 방향(금속 층(104)의 상단 표면에 평행하다)의 연장된 하단 표면을 갖는다. 연장된 하단 표면이 제1 부분(130)의 상단 표면 보다 크다.
- [0076] 일부 실시예에서, 부착 층(130)의 제2 부분(130b)이 경사진 상단 표면을 갖는다. 일부 실시예에서, 부착 층(130)의 제2 부분(130b)이 제1 금속 층(104a, 104b)의 상단 표면에 평행하지 않은 상단 표면을 갖는다.
- [0077] 부착 층(130)의 일부가 제거될 때, 트렌치 개구부(138a)가 전도성 피처(142)를 형성하기 위한 보다 넓은 면적을 제공한다. 결과적으로, 부착 층(130)의 일부를 제거하지 않는 실시예에 대비하여, 보다 큰 부피의 전도성 피처(142)가 트렌치-비아 구조물 상으로 침착되고, 인터커넥트 구조물(50b)의 저항이 감소된다.
- [0078] 도 3d는, 개시 내용의 일부 실시예에 따른, 도 3c의 영역(B)의 확대도를 도시한다. 부착 층(130)의 제1 부분(130a)이, 제2 유전체 층(112)과 직접적으로 접촉하는 제1 표면(131)을 갖는다. 제1 표면(131)이 제1 금속 층(104a, 104b)의 상단 표면에 수직이다. 가장 낮은 지점( $t_1$ )이 제1 표면(131)에 위치된다. 또한, 가장 낮은 지점( $t_1$ )이, 부착 층(130)의 제2 부분(130b)의 가장 높은 지점( $R_1$ ) 보다 더 높은 위치에 배치된다. 다시 말해서, 연장 부분은, 부착 층(130)의 제2 부분(130b)의 가장 높은 지점( $R_1$ ) 보다 더 낮은 위치에 배치된 선단부( $t_1$ )를 갖는다.
- [0079] 개시 내용의 일부 실시예에 따라서, 제4 식각 프로세스(370) 이후에, 도 3e에 도시된 바와 같이, 전도성 피처(142)가 트렌치 개구부(308a, 308b), 비아 개구부(306a, 306b) 내에 그리고 하드 마스크 층(116) 상에 형성된다.
- [0080] 그 이후에, 개시 내용의 일부 실시예에 따라서, 도 3f에 도시된 바와 같이, 반사방지 층(114), 하드 마스크 층(116), 및 트렌치 개구부(308a, 308b) 외부의 일부 전도성 피처(142)가 제거된다. 일부 실시예에서, 반사방지 층(114) 및 하드 마스크 층(116)이 화학적 기계적 폴리싱(CMP) 프로세스에 의해서 제거된다.
- [0081] 전도성 피처(142)가 트렌치 부분(142a), 계면 부분(142b) 및 비아 부분(142c)을 포함한다. 계면 부분(142b)이 트렌치 부분(142a)과 비아 부분(142c) 사이에 위치된다. 계면 부분(142b)이 곡선화된 측면의 쌍을 갖는다.
- [0082] 도 3g는, 개시 내용의 일부 실시예에 따른, 도 3f의 영역(C)의 확대도를 도시한다. 계면 부분(142b)의 일부가 제1 유전체 층(112)과 직접적으로 접촉한다. 전도성 피처(142)의 계면 부분의 일부가, 트렌치 부분(142a)으로부터 비아 부분(142c)을 향해서 점진적으로 테이퍼링되는 테이퍼형 폭을 갖는다.
- [0083] 도 4a 내지 도 4f는, 개시 내용의 일부 실시예에 따른, 인터커넥트 구조물(50c)을 가지는 반도체 소자 구조물을 형성하는 여러 스테이지의 횡단면도를 도시한다. 인터커넥트 구조물(50c)은, 트렌치 개구부(308a, 308b)의 형상이 상이하다는 것을 제외하고, 도 21에 도시된 바와 같은 인터커넥트 구조물(50a)과 유사하거나 동일하다. 인터커넥트 구조물(50c)을 형성하기 위해서 이용되는 프로세스 및 재료가 인터커넥트 구조물(50a)을 형성하기 위해서 이용된 것들과 유사하거나 동일할 수 있고, 여기에서 다시 반복 설명하지 않는다.
- [0084] 도 4a에서 도시된 바와 같이, 제3 식각 프로세스(350)가 제2 유전체 층(112)에 대해서 실시되고, 트렌치 개구부(308a) 및 비아 개구부(306a)가 제1 영역(11) 내에 형성되고, 트렌치 개구부(308b) 및 비아 개구부(306b)가 제2 영역(12) 내에 형성된다. 트렌치 개구부(308a, 308b)의 하단이 매끄러운(smooth) V 형상을 갖는다.
- [0085] 개시 내용의 일부 실시예에 따라서, 제3 식각 프로세스(350) 이후에, 도 4b에 도시된 바와 같이, 부착 층(130)이 비아 개구부(306a, 306b) 및 트렌치 개구부(308a, 308b)의 측면들 및 하단 표면들 상에 형성된다.

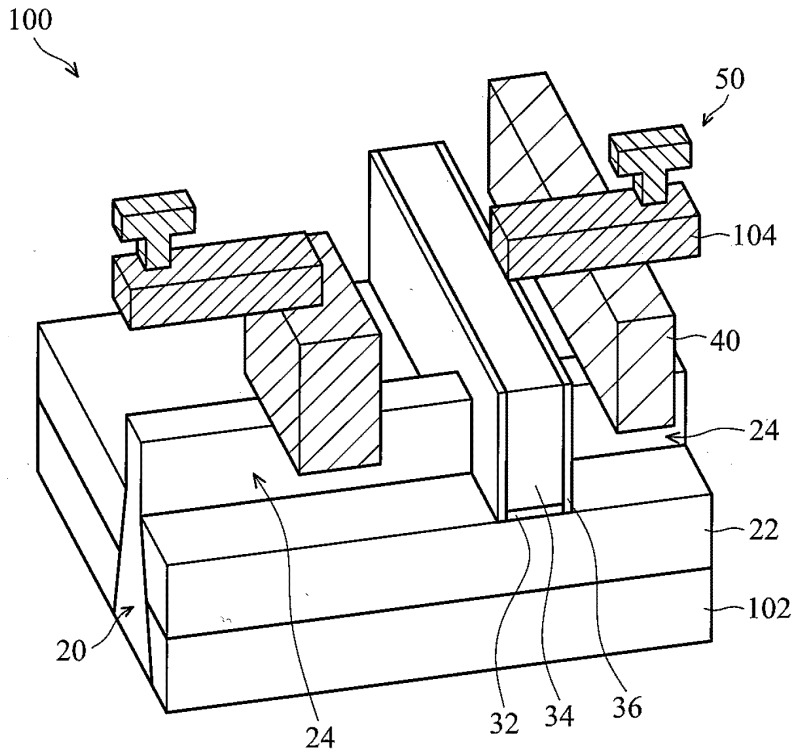
- [0086] 부착 층(130)이 제1 부분(130a), 및 제1 부분(130a) 아래의 제2 부분(130b)을 포함한다. 부착 층(130)이 불연속적인 층이고, 제1 부분(130a)이 제2 부분(130b)에 연결되지 않는다. 제1 부분(130a)이 트렌치 개구부(308a, 308b)에 인접하고, 제2 부분(130b)이 비아 개구부(306a, 306b)에 인접한다. 제1 트렌치 개구부(308a, 308b)의 하단이 매끄러운 V 형상을 갖기 때문에, 부착 층(130)의 제1 부분(130a)의 하단이 또한 매끄러운 V 형상을 갖는다.
- [0087] 개시 내용의 일부 실시예에 따라서, 부착 층(130)의 형성 이후에, 도 4c에 도시된 바와 같이, 식각 중단 층(110)의 일부가 제4 식각 프로세스(370)에 의해서 제거되어 제1 금속 층(104a) 및 제2 금속 층(104b)을 노출시킨다. 도 4d는, 개시 내용의 일부 실시예에 따른, 도 4c의 영역(D)의 확대도를 도시한다.
- [0088] 전술한 바와 같이, 모서리 영역들이 제4 식각 프로세스(370)에 의해서 부착된다. 결과적으로, 부착 층(130)이 불연속적인 층이 된다. 부착 층(130)이 제1 부분(130a), 및 제1 부분(130a) 아래의 제2 부분(130b)을 포함한다. 제1 부분(130a)이 트렌치 개구부(308a, 308b)에 인접하고, 제2 부분(130b)이 비아 개구부(306a, 306b)에 인접한다.
- [0089] 부착 층(130)의 제1 부분(130a)의 하단이 매끄러운 V 형상을 갖는다. 연장 선단부( $t_1$ )가 매끄러운 V 형상의 가장 낮은 위치에 배치된다. 부착 층(130)의 제1 부분(130a)의 하단이 연장 선단부( $t_1$ )에 연결된 제1 등근 측벽(133a) 및 연장 선단부( $t_1$ )에 연결된 제2 등근 측벽(133b)을 가지고, 제1 등근 측벽(133a) 및 제2 등근 측벽(133b)이 연장 선단부( $t_1$ )와 관련하여 대칭적이다.
- [0090] 개시 내용의 일부 실시예에 따라서, 제4 식각 프로세스(370) 이후에, 도 4e에 도시된 바와 같이, 전도성 피쳐(142)가 트렌치 개구부(308a, 308b), 비아 개구부(306a, 306b) 내에 그리고 하드 마스크 층(116) 상에 형성된다.
- [0091] 그 이후에, 개시 내용의 일부 실시예에 따라서, 도 4f에 도시된 바와 같이, 반사방지 층(114), 하드 마스크 층(116), 및 트렌치 개구부(308a, 308b) 외부의 일부 전도성 피쳐(142)가 제거된다. 일부 실시예에서, 반사방지 층(114) 및 하드 마스크 층(116)이 화학적 기계적 폴리싱(CMP) 프로세스에 의해서 제거된다.
- [0092] 부착 층(130)의 제1 부분(130a)이 연장 선단부( $t_1$ )를 구비하고, 연장 선단부( $t_1$ )는, 전도성 피쳐(142)의 비아 부분(142b)의 가장 높은 지점 보다 낮은 위치에 배치된다.
- [0093] 반도체 소자 구조물을 형성하기 위한 실시예 및 그 형성 방법이 제공된다. 반도체 소자 구조물이 기판 위에 형성된 FinFET 구조물, 및 FinFET 구조물 위에 형성된 인터커넥트 구조물을 포함한다. 인터커넥트 구조물은 트렌치-비아 구조물을 가지는 이중 다마신 구조물을 포함한다. 트렌치 개구부 및 비아 개구부가 유전체 층 내에 형성되고, 전도성 피쳐가 트렌치 개구부 및 비아 개구부 내로 충전되어 트렌치-비아 구조물을 형성한다.
- [0094] 제1 금속 층이 노출되기 전에, 부착 층이 트렌치-비아 구조물 상에 형성된다. 부착 층이 불연속적인 층이고 연장 부분을 갖는다. 유전체 층과 전도성 피쳐 사이의 부착을 개선하도록, 그리고 트렌치가 파다-식각되는 것을 방지하도록, 부착 층이 구성된다. 그에 따라, 전도성 피쳐의 박층 문제 및 수축 문제가 방지된다. 또한, 반도체 소자 구조물의 성능이 개선된다.
- [0095] 일부 실시예에서, 반도체 소자 구조물이 제공된다. 반도체 소자 구조물이 기판 위에 형성된 제1 금속 층 및 제1 금속 층 위에 형성된 유전체 층을 포함한다. 반도체 소자 구조물이 유전체 층 내에, 그리고 유전체 층 내에 형성된 제1 금속 층 및 제2 금속 층 위에 형성된 부착 층을 더 포함한다. 제2 금속 층이 제1 금속 층에 전기적으로 연결되고, 부착 층의 일부가 제2 금속 층과 유전체 층 사이에 형성된다. 부착 층이 제2 금속 층의 상단 부분을 따라 배치되는 제1 부분을 포함하고, 제1 부분은 수직 방향을 따르는 연장 부분을 갖는다.
- [0096] 일부 실시예에서, 반도체 소자 구조물이 제공된다. 반도체 소자 구조물이 기판 위에 형성된 제1 금속 층 및 제1 금속 층 위에 형성된 유전체 층을 포함한다. 반도체 소자 구조물이 유전체 층 내에, 그리고 유전체 층 내에 형성된 제1 금속 층 및 제2 금속 층 위에 형성된 부착 층을 포함한다. 부착 층이 제2 금속 층과 유전체 층 사이에 형성되고, 제2 금속 층이 비아 부분 및 비아 부분 위의 트렌치 부분을 포함한다. 부착 층이 제2 금속 층의 트렌치 부분에 인접한 제1 부분을 포함하고, 제1 부분이 연장 선단부를 구비하며, 연장 선단부는, 제2 금속 층의 비아 부분의 가장 높은 지점 보다 낮은 위치에 배치된다.
- [0097] 일부 실시예에서, 반도체 소자 구조물을 형성하기 위한 방법이 제공된다. 그러한 방법은 기판 위에 제1 금속 층을 형성하는 단계 및 제1 금속 층 위에 식각 중단 층을 형성하는 단계를 포함한다. 그러한 방법은 식각 중단

층 위에 유전체 층을 형성하는 단계 및 유전체 층 내에 트렌치 개구부 및 비아 개구부를 형성하는 단계를 포함한다. 트렌치 개구부가 연장 부분을 갖는다. 방법은 트렌치 개구부 및 비아 개구부의 측벽 및 하단 표면 상에 부착 층을 형성하는 단계 그리고 제1 금속 층 바로 위의 식각 중단 층의 부분을 제거하는 단계 및 유전체 층의 일부를 노출시키기 위해서 부착 층의 일부를 제거하는 단계를 포함한다. 방법은 비아 개구부 및 트렌치 개구부 내에 제2 금속 층을 충전하는 단계를 포함하고, 제2 금속 층이 제1 금속 층에 전기적으로 연결된다.

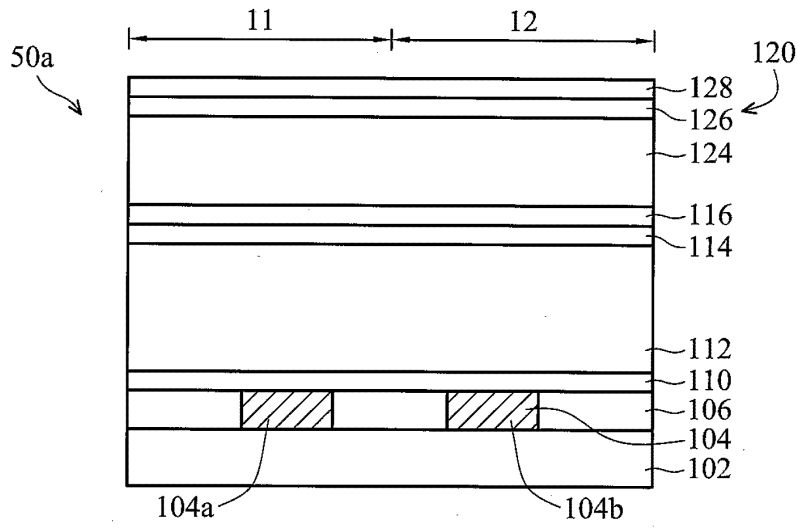
[0098] 당업자가 본 개시 내용의 양태를 보다 잘 이해할 수 있도록, 진술한 내용이 몇몇 실시예의 특징을 개략적으로 설명하였다. 당업자들이 본원에서 소개된 실시예와 동일한 목적을 달성하고 및/또는 동일한 장점을 성취하기 위해서 다른 프로세스 및 구조를 설계 또는 수정하기 위한 기본으로서 본 개시 내용을 용이하게 이용할 수 있다는 것을, 당업자는 이해하여야 할 것이다. 또한, 당업자는, 그러한 균등한 구성이 본원 개시 내용의 사상 및 범위를 벗어나지 않는다는 것을, 그리고 본원 개시 내용의 사상 및 범위를 벗어나지 않고도 당업자가 여러 가지 변화, 치환, 대안을 안출할 수 있다는 것을 이해하여야 할 것이다.

**도면**

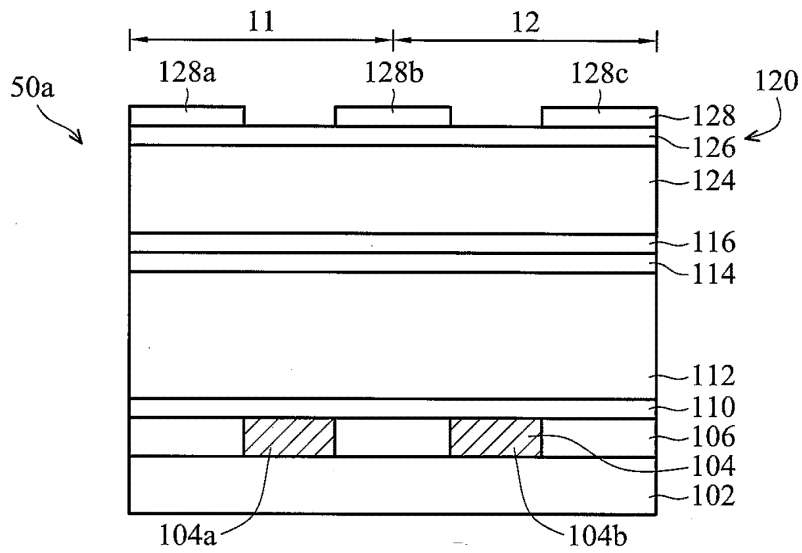
**도면1**



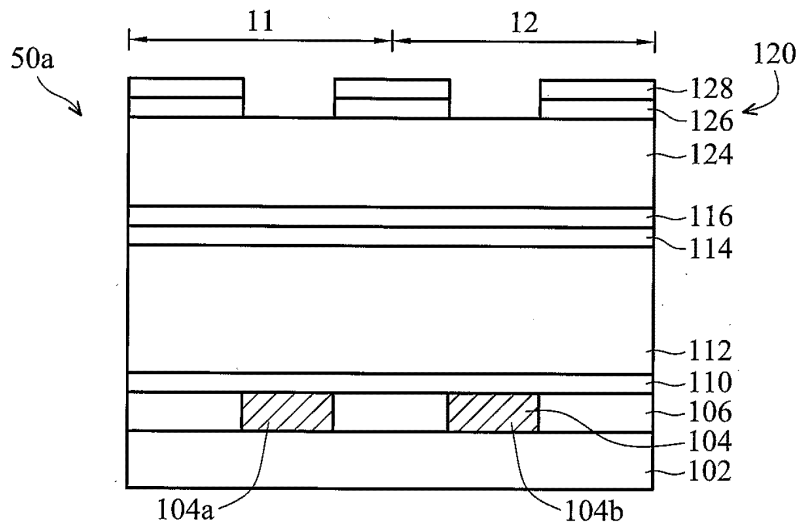
도면2a



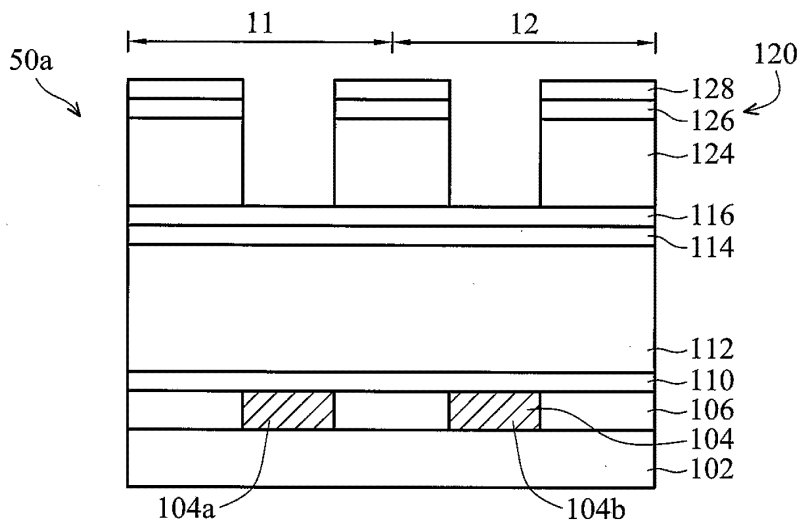
도면2b



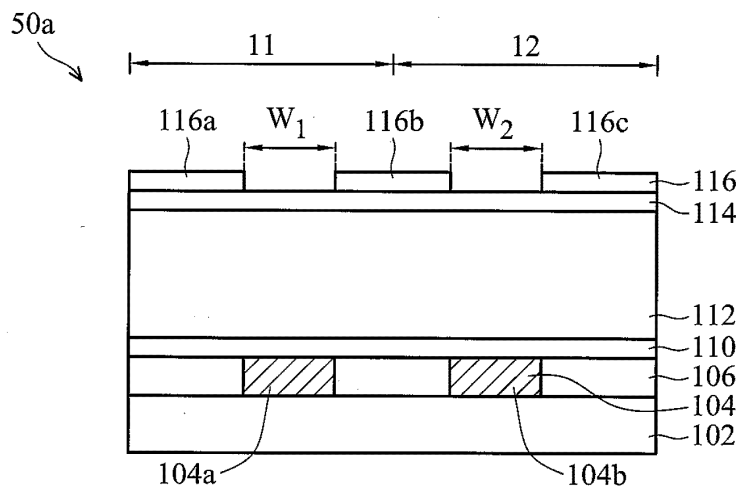
도면2c



도면2d

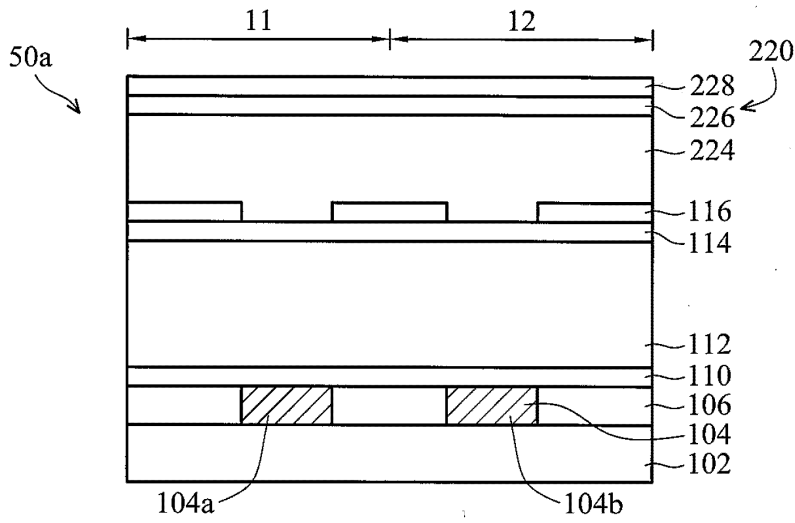


도면2e

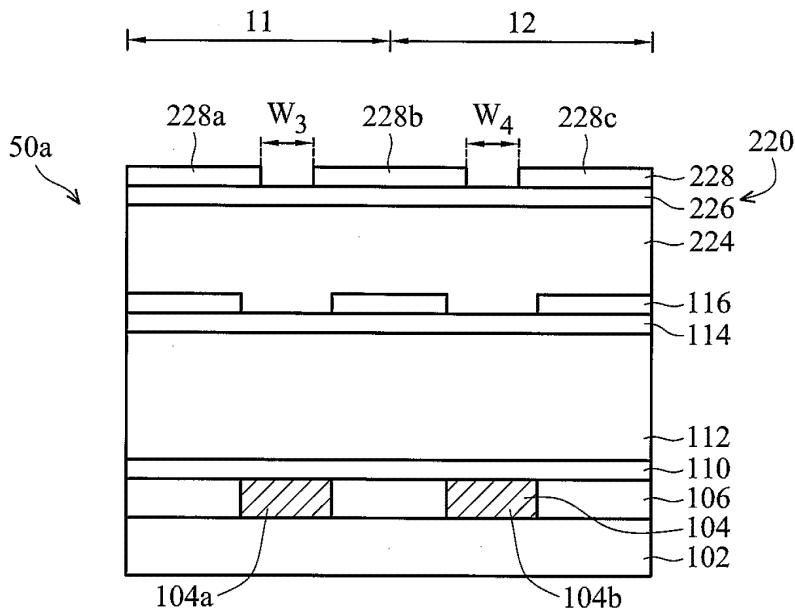




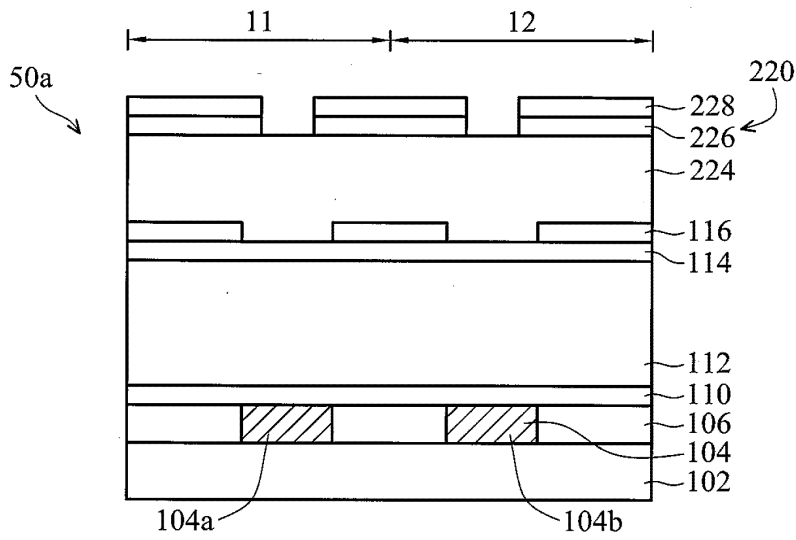
도면2f



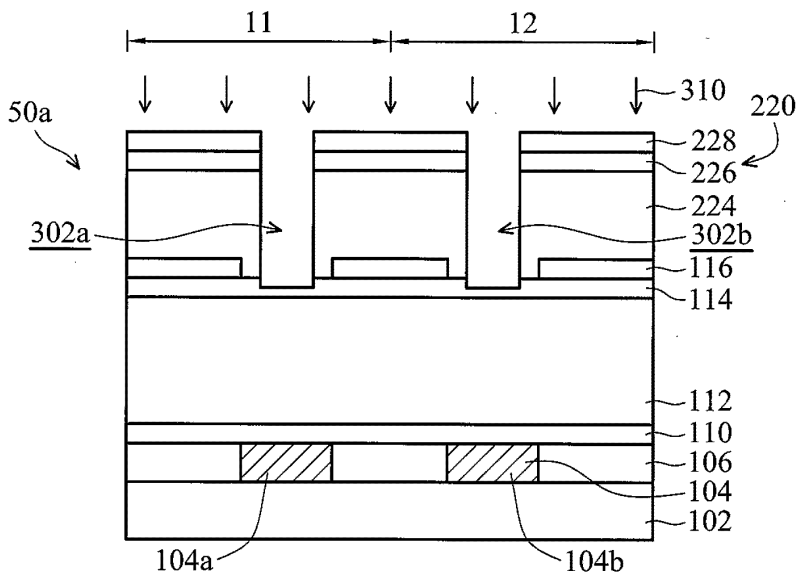
도면2g



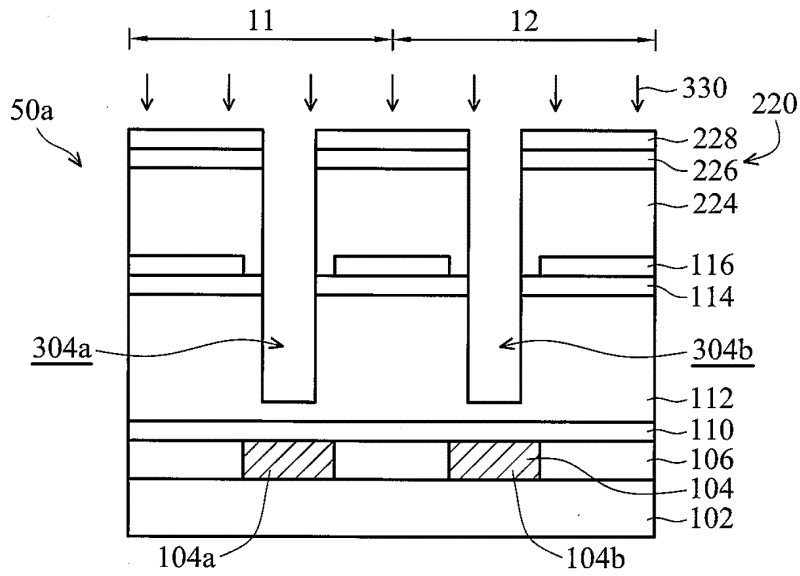
도면2h



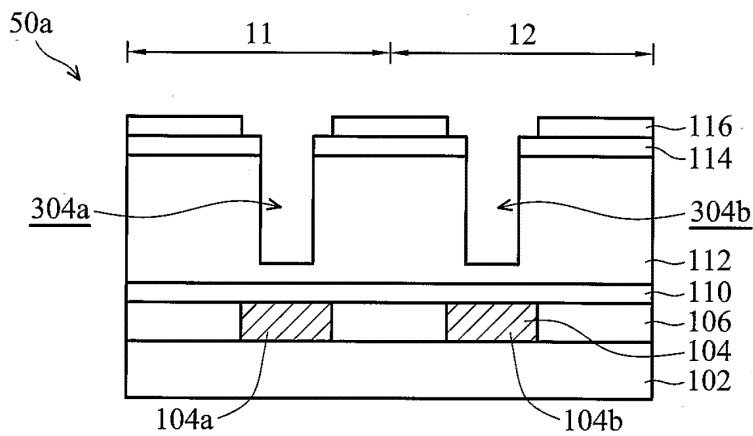
도면2i



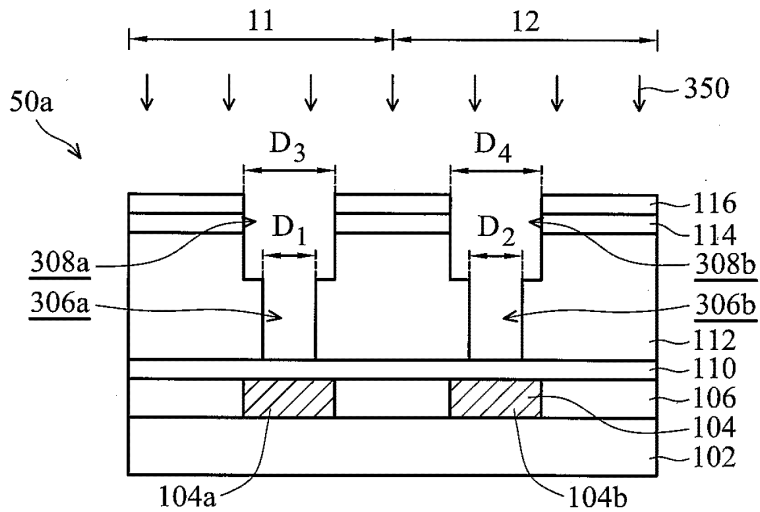
도면2j



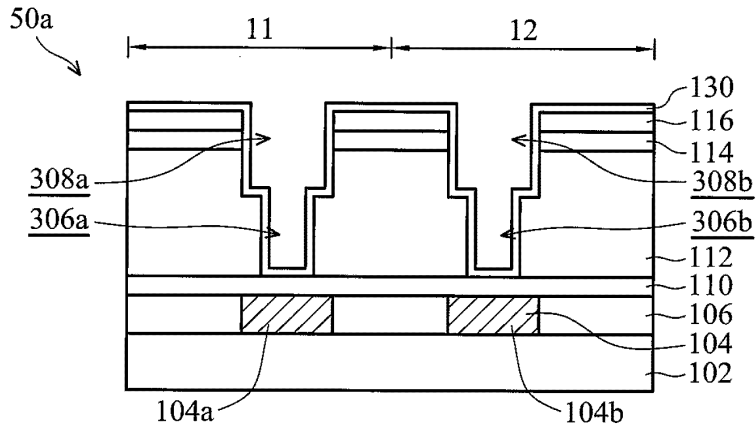
도면2k



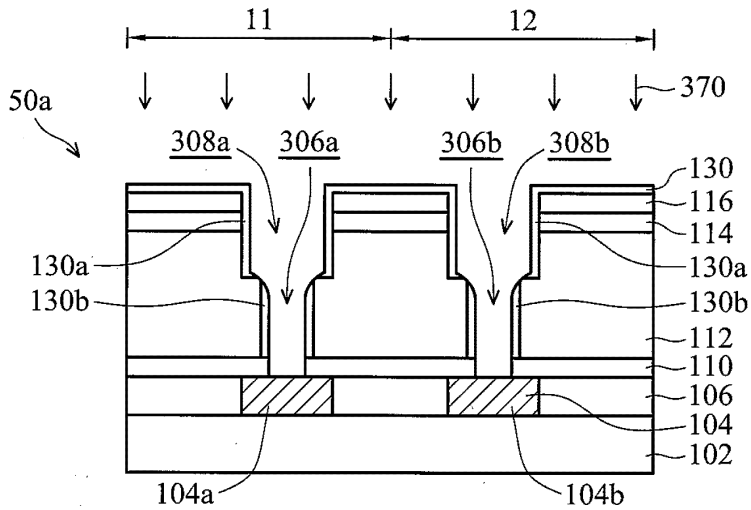
도면2l



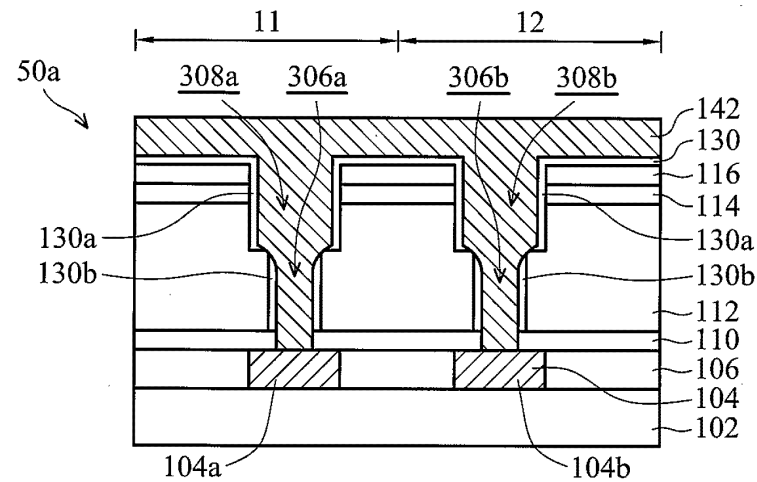
도면2m



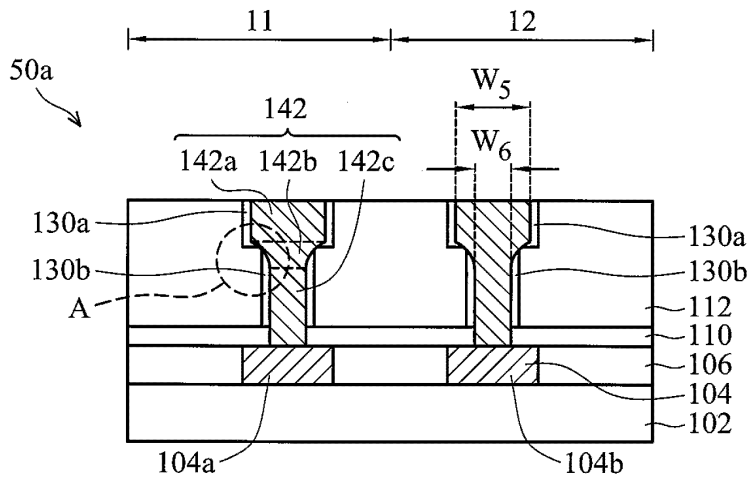
도면2n



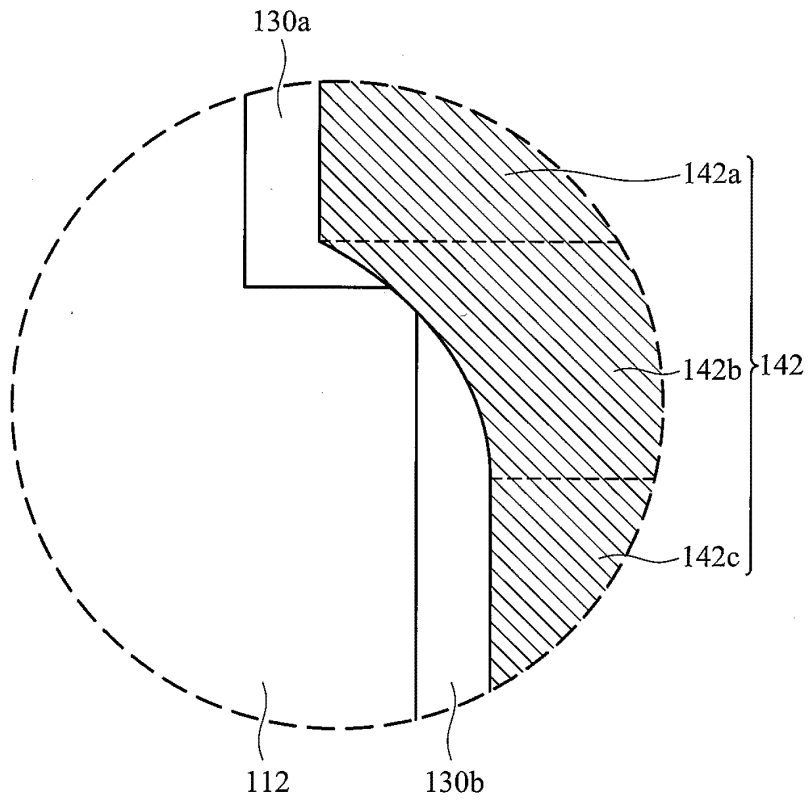
도면2o



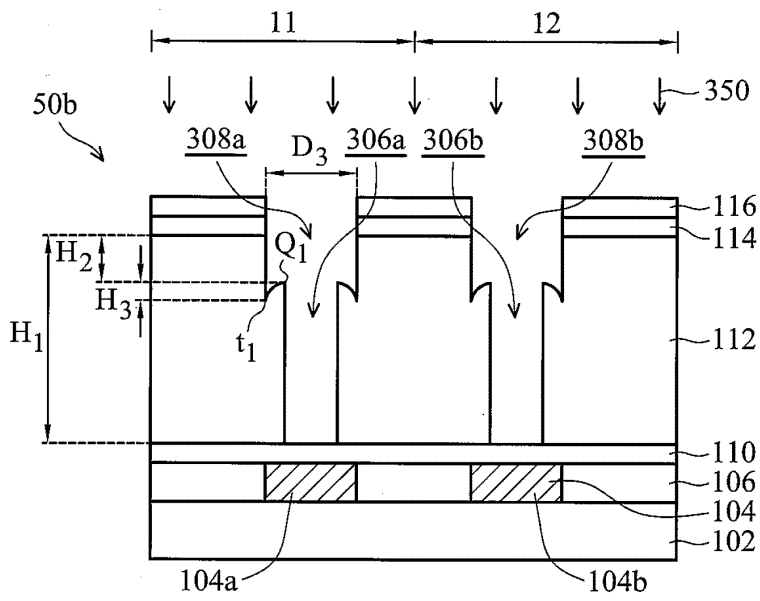
도면2p



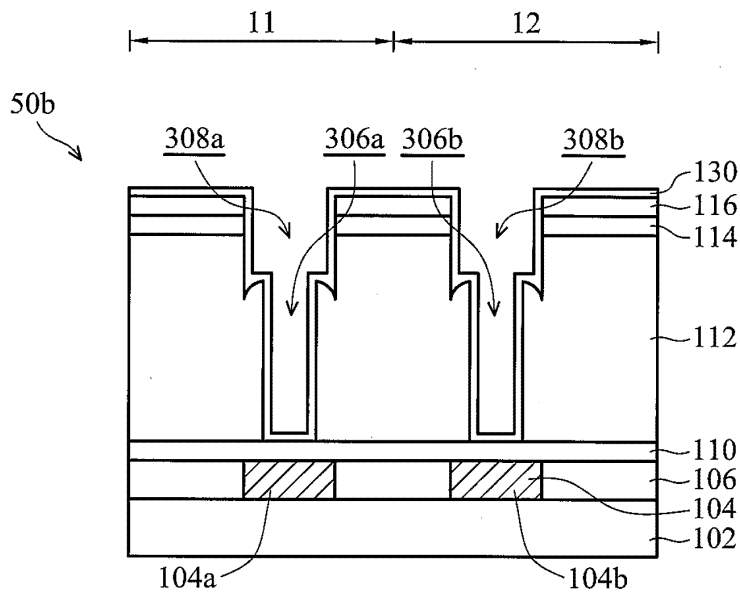
도면2q



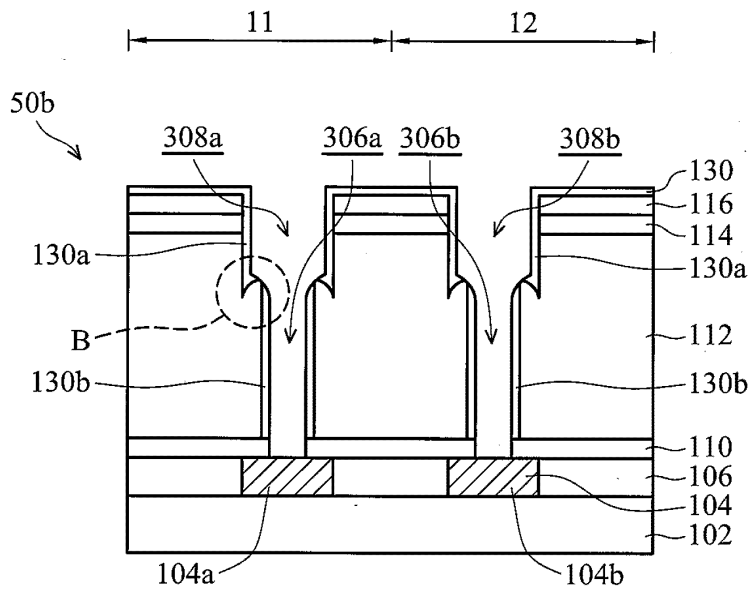
도면3a



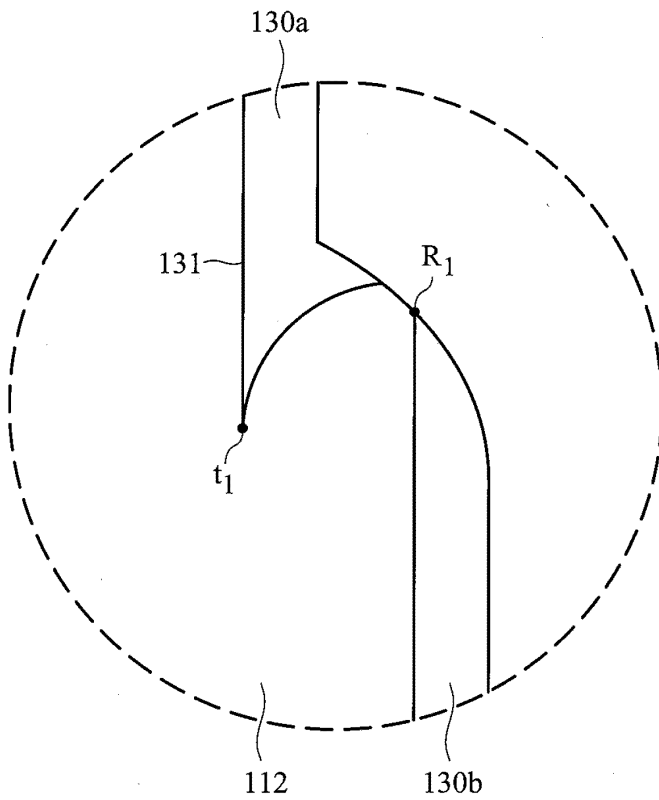
도면3b



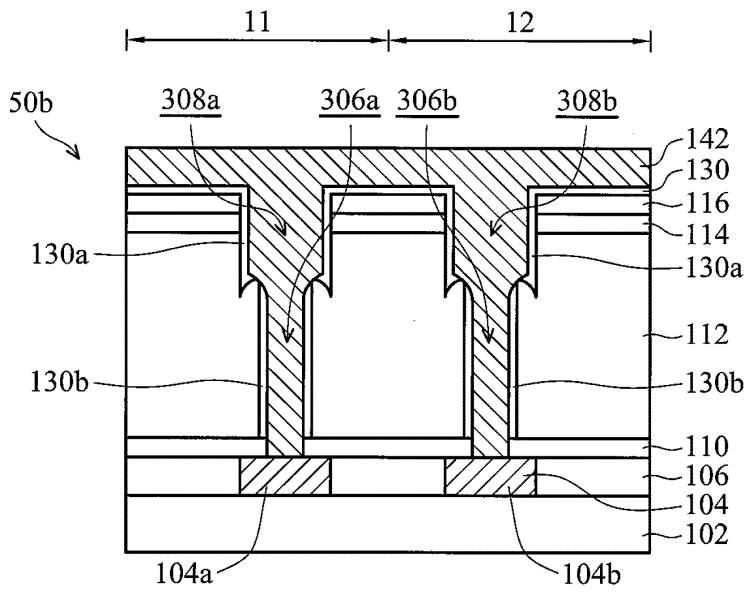
도면3c



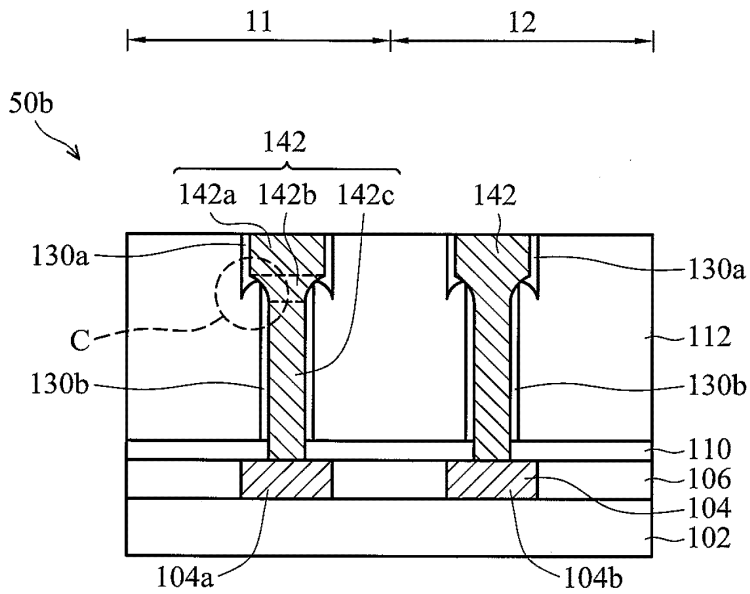
도면3d



도면3e

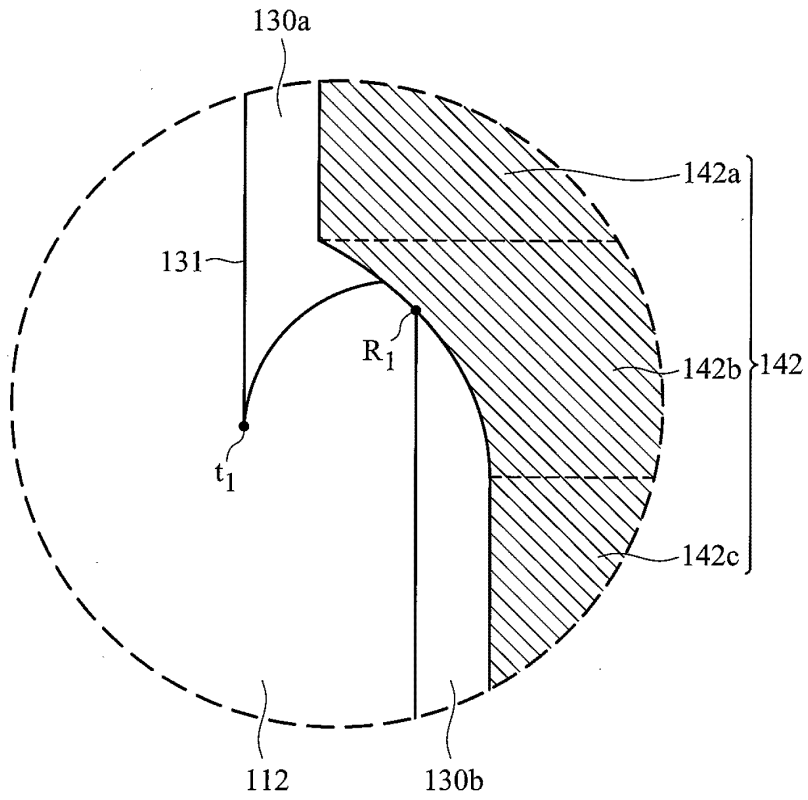


도면3f

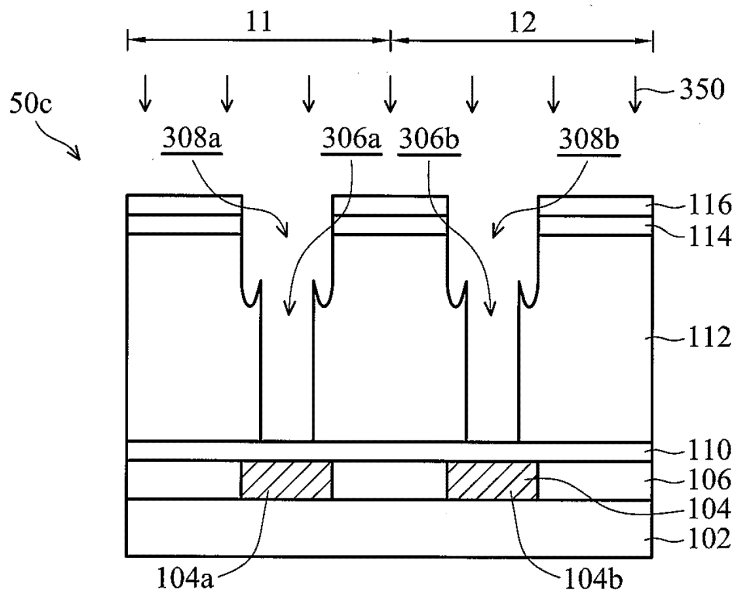




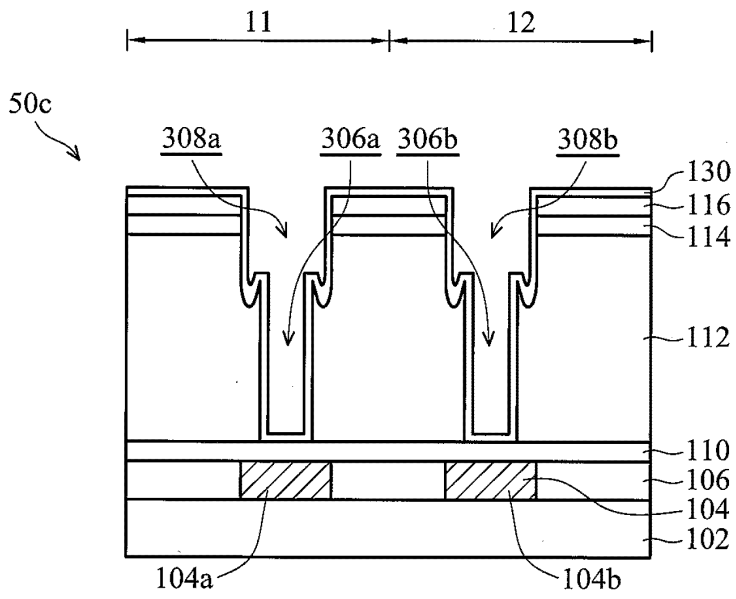
도면3g



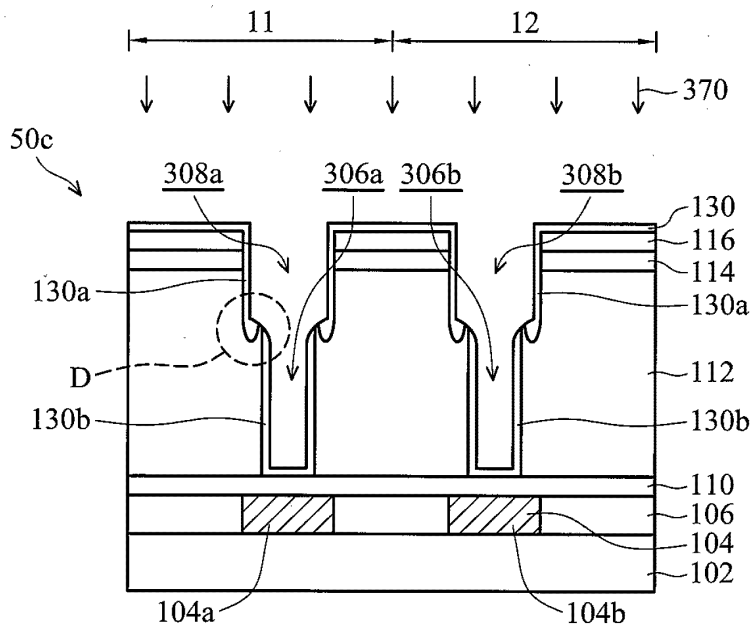
도면4a



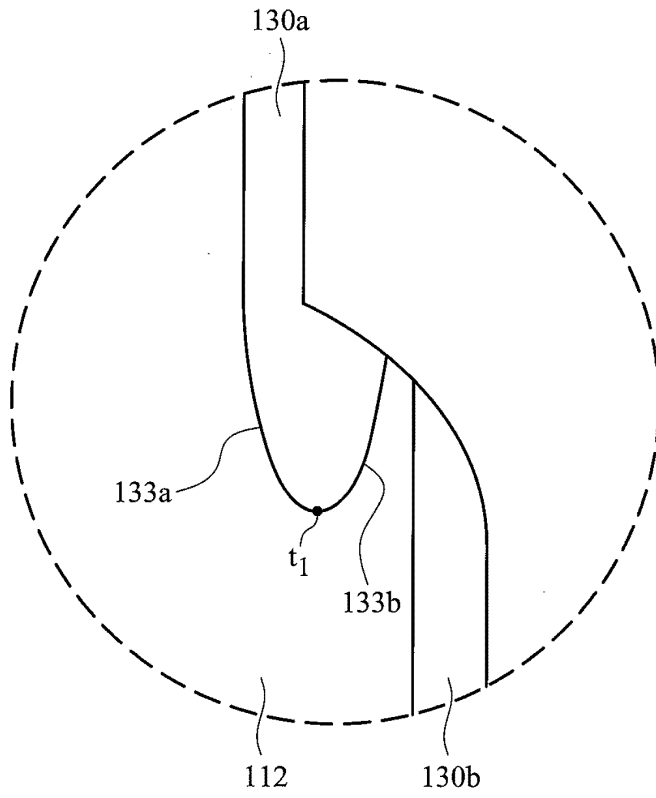
도면4b



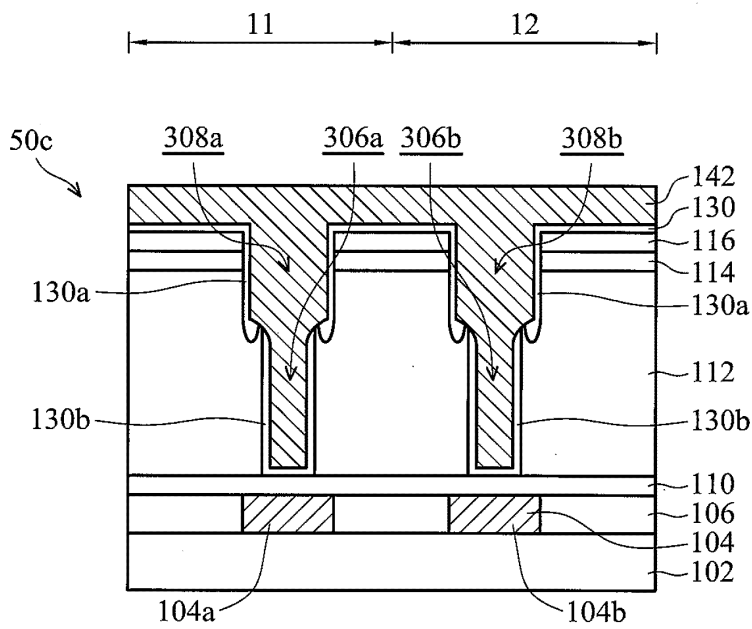
도면4c



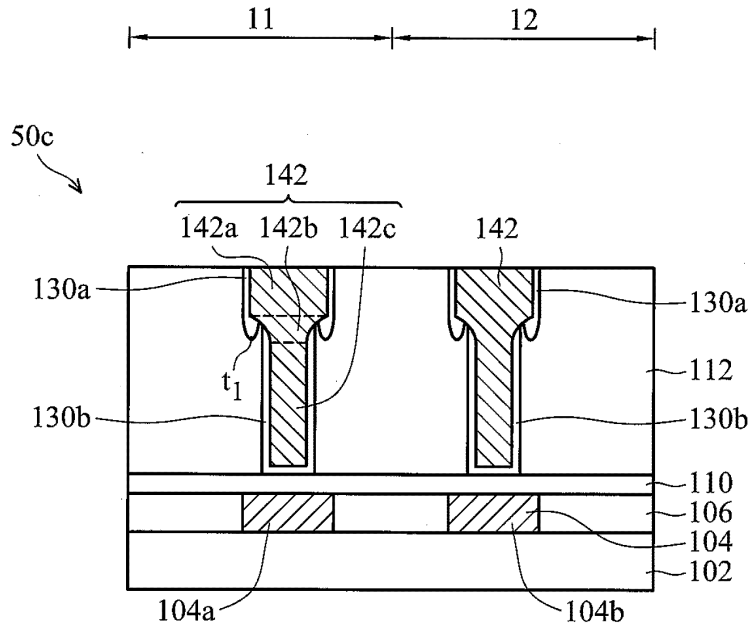
도면4d



도면4e



도면4f



도면5

