

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6259023号  
(P6259023)

(45) 発行日 平成30年1月10日(2018.1.10)

(24) 登録日 平成29年12月15日(2017.12.15)

(51) Int. Cl.	F I
HO 1 L 21/3205 (2006.01)	HO 1 L 21/88 T
HO 1 L 21/768 (2006.01)	HO 1 L 21/90 K
HO 1 L 23/522 (2006.01)	HO 1 L 21/88 G
HO 1 L 23/532 (2006.01)	HO 1 L 21/316 X
HO 1 L 21/316 (2006.01)	HO 1 G 9/24 C

請求項の数 21 外国語出願 (全 14 頁) 最終頁に続く

(21) 出願番号	特願2016-138241 (P2016-138241)	(73) 特許権者	502400304
(22) 出願日	平成28年7月13日(2016.7.13)		ウルトラテック インク
(65) 公開番号	特開2017-28270 (P2017-28270A)		アメリカ合衆国 カリフォルニア州 95
(43) 公開日	平成29年2月2日(2017.2.2)		134 サンノゼ ザンカーロード 30
審査請求日	平成28年9月13日(2016.9.13)		50
(31) 優先権主張番号	62/194,426	(74) 代理人	100136319
(32) 優先日	平成27年7月20日(2015.7.20)		弁理士 北原 宏修
(33) 優先権主張国	米国 (US)	(74) 代理人	100147706
			弁理士 多田 裕司
		(74) 代理人	100148275
			弁理士 山内 聡
		(74) 代理人	100142745
			弁理士 伊藤 世子

最終頁に続く

(54) 【発明の名称】 電極系デバイス用のALD処理のためのマスキング方法

(57) 【特許請求の範囲】

【請求項1】

活性デバイス領域および原子層堆積で形成されたバリア層を有する電気デバイスの電気接続部材を露出する方法であって、

前記電気接続部材上にはんだを堆積させることと、

原子層堆積を用いて前記バリア層を形成することと、

前記はんだを融解させ、前記はんだを覆う前記バリア層の各部分を除去することとを備え、

前記バリア層の形成において、前記バリア層は、前記活性デバイス領域を覆うとともに、前記はんだを覆い、前記はんだは、前記電気接続部材のそれぞれを覆う、方法。

【請求項2】

前記バリア層は、 $Al_2O_3$ 、 $SiO_2$ 、 $TiO_2$  および  $ZrO_2$  の少なくとも一つを含む、請求項1に記載の方法。

【請求項3】

前記はんだは、はんだパンプ技術を用いて形成される、請求項1または2に記載の方法。

【請求項4】

前記電気接続部材は、前記活性デバイス領域の周縁部の少なくとも一部分の周りに位置する、請求項1から3の何れか1項に記載の方法。

【請求項5】

10

20

前記はんだを融解することは、前記バリア層を通じて前記はんだに熱を加えることを含む、請求項 1 から 4 の何れか 1 項に記載の方法。

【請求項 6】

前記熱はレーザによって供給される、請求項 5 に記載の方法。

【請求項 7】

前記電気接続部材から前記はんだを除去し、前記電気接続部材を露出させることをさらに備える、請求項 1 から 6 の何れか 1 項に記載の方法。

【請求項 8】

各はんだの少なくとも一部は、各電気接続部材上に残存する、請求項 1 から 7 の何れか 1 項に記載の方法。

10

【請求項 9】

前記活性デバイス領域は、発光体、光センサ、MEMS デバイス、電解キャパシタおよび DMD 装置の少なくとも一つを含む、請求項 1 から 8 の何れか 1 項に記載の方法。

【請求項 10】

一つ以上の前記電気接続部材との電気接続を確立することをさらに備える、請求項 1 から 9 の何れか 1 項に記載の方法。

【請求項 11】

前記電気接続部材は、電気接続パッドまたは電気接続ピンを含む、請求項 1 から 10 の何れか 1 項に記載の方法。

【請求項 12】

20

電極系電気デバイス用の少なくとも一つの電気接続を提供する方法であって、

a) 原子層堆積処理を用いて支持基板上に、第 1 電極を規定する第 1 金属層を堆積することと、

b) 前記第 1 金属層上に少なくとも一つの第 1 はんだを堆積することと、

c) 前記第 1 金属層および前記少なくとも一つの第 1 はんだ上に絶縁層を形成することと、

d) 前記第 1 はんだを融解して、前記絶縁層の対応する部分を除去し、前記第 1 金属層の少なくとも一つの露出部分を形成することと、

e) 前記第 1 金属層の前記少なくとも一つの露出部分上に少なくとも一つの第 2 はんだを堆積することと、

30

f) 前記絶縁層および前記少なくとも一つの第 2 はんだ上に第 2 金属層を追加し、第 2 電極を規定することと、

g) 前記少なくとも一つの第 2 はんだを融解して、前記第 1 金属層の前記少なくとも一つの露出部分を露出させ、前記第 1 電極用の少なくとも一つの電気接続を規定することとを備える方法。

【請求項 13】

前記電極系電気デバイスは、キャパシタである、請求項 12 に記載の方法。

【請求項 14】

前記絶縁層を形成することは、原子層堆積処理を用いて絶縁材料を堆積することを含む、請求項 12 または 13 に記載の方法。

40

【請求項 15】

前記絶縁材料は、 $Al_2O_3$  である、請求項 14 に記載の方法。

【請求項 16】

前記支持基板は、絶縁材料で形成されたマイクロキャピラリプレートを含む、請求項 12 から 15 の何れか 1 項に記載の方法。

【請求項 17】

前記第 1 金属層および前記第 2 金属層の少なくとも一つは、白金で形成されている、請求項 12 から 16 の何れか 1 項に記載の方法。

【請求項 18】

前記支持基板は、溝を有し、

50

前記溝の深さは、前記溝の幅よりも大きい  
請求項 1 2 から 1 7 の何れか 1 項に記載の方法。

【請求項 1 9】

前記電極系電気デバイスは、金属酸化物金属キャパシタである、請求項 1 2 から 1 8 の何れか 1 項に記載の方法。

【請求項 2 0】

前記第 1 はんだおよび第 2 はんだは、それぞれ複数箇所に堆積される  
請求項 1 2 から 1 9 の何れか 1 項に記載の方法。

【請求項 2 1】

工程 e ) は、前記少なくとも一つの第 2 はんだが、前記第 1 金属層の前記少なくとも一つの露出部分にすぐに隣接する前記絶縁層の一部を覆うことを含み、工程 g ) は、工程 e ) において覆われた前記絶縁層の一部を露出させる、請求項 1 2 から 2 0 の何れか 1 項に記載の方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、原子層堆積 (ALD) に関する。具体的には、電極系デバイスを形成するために用いられる ALD 処理のためのマスクング方法に関する。

【0002】

本明細書中で言及されたあらゆる刊行物または特許文献の全ての開示は、参照により組み込まれる。特許文献には、米国特許第 4, 814, 289 号、第 5, 696, 394 号、第 6, 717, 193 号、第 7, 939, 932 号および第 8, 445, 937 号、並びに、米国付与特許公開第 2010/0164083 号公報、第 2012/0098146 号公報、第 2013/0009264 号公報および第 2013/0177760 号公報が含まれる。

20

【背景技術】

【0003】

ALD は、非常に薄い (すなわち、原子の) 材料層を表面上に堆積させることのできる堆積方法である。ALD は非選択的であるという性質を有する。すなわち、薄膜はあらゆる露出面上に共形的 (等角的) に積層される。

30

【0004】

ALD は、電子デバイス製造において封入段階で採用され、電子デバイス上にコーティングを形成する。ここで、コーティングは、耐ガス性、耐湿性または耐水性を有するバリア層として機能する。このようなコーティングは、例えば、有機発光デバイス (OLED)、デジタルミラーデバイス (DMD)、マイクロ電気機械 (MEMS) デバイス、太陽電池、センサ、キャパシタ (コンデンサ) および集積回路 (IC) デバイスにおいて使用され得る。これらを動作させるには、環境から密閉されていることが有効である。ALD によりバリア層として堆積された一般的なコーティングは、例えば、 $Al_2O_3$  および  $TiO_2$  などの誘電体膜、 $TiN$ 、 $Pt$ 、 $Ru$  などの金属導電膜、およびインジウムスズ酸化物およびアルミニウムがドーブされた酸化亜鉛などの透明導電体を含む。

40

【0005】

多くの電子デバイスは、少なくとも一つの領域を含む。少なくとも一つの領域は、アクセス可能なように、コーティングされていない状態にされる必要がある。このような領域の一例は、接続パッドまたは接続ピンを含む。接続パッドまたは接続ピンは、電子デバイスと、電源などの外部電源との間の電気接続を確立するために使用される。接続パッドまたは接続ピンは露出させる必要があり、これにより、電気接続を実現できる。このことは、バリア層または他のこのような層 (単層または複数層) (例えば、キャパシタの金属および誘電体層) が接続パッドまたは接続ピンを被覆できないことを意味する。これにより、バリア層の一部、または、他の接続パッドまたは接続ピンを覆う層の何れかを選択的に除去する必要がある。

50

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0006】

バリア層の選択的な除去は、一般に、機械的に行われるか、あるいは、マスキングテープまたはダイシングテープを使用して接続パッドまたは接続ピンをマスクすることによって行われる。これらの方法は、明らかな欠点を有している。それは、例えば、接続パッドまたは接続ピンに損傷を与えること、接続品質を低下させること、およびALD膜の堆積温度が制限されることなどである。

## 【課題を解決するための手段】

## 【0007】

本開示は、電極系デバイス用の原子層堆積(ALD)処理のためのマスキング方法に関する。本方法において、はんだはマスキング材料として用いられる。本方法は、電気デバイスの電気接続部材を露出させることを含む。電気デバイスは、活性デバイス領域と、ALDで形成されたバリア層とを有する。この方法は、電気接続部材上にはんだを堆積させ、その後、ALDを用いてバリア層を形成することを含む。ここで、前記バリア層は、前記活性デバイス領域を覆うとともに、前記はんだも覆う。前記はんだは、各電気接続部材をそれぞれ覆う。前記はんだは、その後融解される。これにより、前記はんだを覆う前記バリア層の各部分が除去される。層状キャパシタを形成するとき、接点(コンタクト)を露出させるために同様の方法が採用される。ここで、下層の金属層の少なくとも一部が、電気接点を形成するために露出される必要がある。

## 【0008】

本開示の一局面は、活性デバイス領域および原子層堆積(ALD)で形成されたバリア層を有する電気デバイスの電気接続部材を露出する方法である。本方法は、前記電気接続部材上にはんだを堆積させることと、ALDを用いて前記バリア層を形成することと、前記はんだを融解させ、前記はんだを覆う前記バリア層の各部分を除去することとを含む。前記バリア層の形成において、前記バリア層は、前記活性デバイス領域を覆うとともに、前記はんだを覆う。前記はんだは、前記電気接続部材のそれぞれを覆う。

## 【0009】

本開示の他の局面は上述の方法であって、前記バリア層は、 $Al_2O_3$ 、 $SiO_2$ 、 $TiO_2$ および $ZrO_2$ の少なくとも一つを含む。

## 【0010】

本開示の他の局面は上述の方法であって、前記はんだは、はんだバンプ技術を用いて形成される。

## 【0011】

本開示の他の局面は上述の方法であって、前記電気接続部材は、前記活性デバイス領域の周縁部の少なくとも一部分の周りに位置する。

## 【0012】

本開示の他の局面は上述の方法であって、前記はんだを融解することは、前記バリア層を通じて前記はんだに熱を加えることを含む。

## 【0013】

本開示の他の局面は上述の方法であって、前記熱はレーザーによって供給される。

## 【0014】

本開示の他の局面は上述の方法であって、前記電気接続部材から前記はんだを除去し、前記電気接続部材を露出させることをさらに備える。

## 【0015】

本開示の他の局面は上述の方法であって、各はんだの少なくとも一部は、各電気接続部材上に残存する。

## 【0016】

本開示の他の局面は上述の方法であって、前記活性デバイス領域は、発光体、光センサ、MEMSデバイス、電解キャパシタ(電解コンデンサ)およびDMD装置の少なくとも

10

20

30

40

50

一つを含む。

【0017】

本開示の他の局面は上述の方法であって、一つ以上の前記電気接続部材との電気接続を確立することをさらに備える。

【0018】

本開示の他の局面は上述の方法であって、前記電気接続部材は、電気接続パッドまたは電気接続ピンを含む。

【0019】

本開示の他の局面は、電極系電気デバイス用の少なくとも一つの電気接続を提供する方法である。本方法は、a) 原子層堆積 (ALD) 処理を用いて支持基板上に、第1電極を規定する第1金属層を積層することと、b) 前記第1金属層上に少なくとも一つの第1はんだを堆積することと、c) 前記第1金属層および前記少なくとも一つの第1はんだ上に絶縁層を形成することと、d) 前記第1はんだを融解して、前記絶縁層の対応する部分を除去し、前記第1金属層の少なくとも一つの露出部分を形成することと、e) 前記第1金属層の前記少なくとも一つの露出部分上に少なくとも一つの第2はんだを堆積することと、f) 前記絶縁層および前記少なくとも一つの第2はんだ上に第2金属層を追加し、第2電極を規定することと、g) 前記少なくとも一つの第2はんだを融解して、前記第1金属層の前記少なくとも一つの露出部分を露出させ、前記第1電極用の少なくとも一つの電気接続を規定することとを備える。

10

【0020】

本開示の他の局面は上述の方法であって、前記電極系電気デバイスはキャパシタ (コンデンサ) である。

20

【0021】

本開示の他の局面は上述の方法であって、前記絶縁層を形成することは、原子層堆積処理を用いて絶縁材料を堆積することを含む。

【0022】

本開示の他の局面は上述の方法であって、前記絶縁材料は、 $Al_2O_3$  である。

【0023】

本開示の他の局面は上述の方法であって、前記支持基板は、絶縁材料で形成されたマイクロキャピラリプレートを含む。

30

【0024】

本開示の他の局面は上述の方法であって、前記第1金属層および前記第2金属層の少なくとも一つは、白金で形成されている。

【0025】

本開示の他の局面は上述の方法であって、前記支持基板は、高アスペクト比特性を含む。

【0026】

本開示の他の局面は上述の方法であって、前記電極系電気デバイスは、金属酸化物金属キャパシタ (metal-oxide-metal capacitor) である。

【0027】

本開示の他の局面は上述の方法であって、前記少なくとも一つの第1はんだおよび第2はんだは、複数の第1はんだおよび複数の第2はんだをそれぞれ含む。

40

【0028】

本開示の他の局面は上述の方法であって、工程 e) は、前記少なくとも一つの第2はんだが、前記第1金属層の前記少なくとも一つの露出部分にすぐに隣接する前記絶縁層の一部を覆うことを含み、工程 g) は、工程 e) において覆われた前記絶縁層の一部を露出させる。

【0029】

さらなる特徴点及び利点は、以下の詳細な説明に明記される。また、それらの一部は詳細な説明の記載内容から当業者にとって直ちに明白となるか、詳細な説明、特許請求の範

50

図、添付図面に記載された実施形態を実施することによって認識されるであろう。上記の概要及び下記の詳細な説明に関する記載は、単なる例示であって、特許請求の範囲に記載されている本発明の本質及び特徴を理解するための概略または枠組みを提供するものであることを理解すべきである。

【図面の簡単な説明】

【0030】

添付図面は、さらなる理解を提供するために含まれており、本明細書の一部を構成すると共に本明細書の一部に組み込まれる。図面は、1または複数の実施形態を示しており、詳細な説明と共に種々の実施形態の原理や動作を説明する役割を担う。このように、本開示は、添付図面と共に以下に示す詳細な説明からより完全に理解されることになるであろう。

10

【図1A】図1Aは、一例の電子デバイスの上面模式図である。この模式図には、活性デバイス領域、活性デバイス領域の周囲を取り囲む電気接続部材、および電子デバイスの表面を覆うALDバリア層が示される。

【図1B】図1Bは、図1Aの電子デバイスの1B-1B線に沿った部分の断面図である。この図は、各電気接続部材上に形成されたはんだを、はんだを覆うALDバリア層とともに示す。

【図1C】図1Cは、図1Bと同様の図であって、図1Bに示す構造に熱を加えてはんだを融解させる様子を示す。

【図1D】図1Dは、図1Cと同様の図であって、はんだが融解し、その結果、電気接続部材の上方からALDバリア層の一部が部分的に除去され、これにより、電気接続部材が露出し、電気接続が可能となった状態を示す。

20

【図2A】図2Aは、本明細書に開示されるマスクング方法を用いてキャパシタを形成するマイクロキャピラリー処理の方法の一例を示す模式図である。

【図2B】図2Bは、本明細書に開示されるマスクング方法を用いてキャパシタを形成するマイクロキャピラリー処理の方法の一例を示す模式図である。

【図2C】図2Cは、本明細書に開示されるマスクング方法を用いてキャパシタを形成するマイクロキャピラリー処理の方法の一例を示す模式図である。

【図2D】図2Dは、本明細書に開示されるマスクング方法を用いてキャパシタを形成するマイクロキャピラリー処理の方法の一例を示す模式図である。

30

【図2E】図2Eは、本明細書に開示されるマスクング方法を用いてキャパシタを形成するマイクロキャピラリー処理の方法の一例を示す模式図である。

【図2F】図2Fは、本明細書に開示されるマスクング方法を用いてキャパシタを形成するマイクロキャピラリー処理の方法の一例を示す模式図である。

【図2G】図2Gは、本明細書に開示されるマスクング方法を用いてキャパシタを形成するマイクロキャピラリー処理の方法の一例を示す模式図である。

【図3A】図3Aは、高アスペクト比トレンチ特性を有する基板に対するALD系処理およびマスクング方法の一例を示す断面図である。なお、このような基板は、例えば、金属-絶縁体-金属(MIM)キャパシタの形成に使用される。

【図3B】図3Bは、高アスペクト比トレンチ特性を有する基板に対するALD系処理およびマスクング方法の一例を示す断面図である。なお、このような基板は、例えば、金属-絶縁体-金属(MIM)キャパシタの形成に使用される。

40

【図3C】図3Cは、高アスペクト比トレンチ特性を有する基板に対するALD系処理およびマスクング方法の一例を示す断面図である。なお、このような基板は、例えば、金属-絶縁体-金属(MIM)キャパシタの形成に使用される。

【図3D】図3Dは、高アスペクト比トレンチ特性を有する基板に対するALD系処理およびマスクング方法の一例を示す断面図である。なお、このような基板は、例えば、金属-絶縁体-金属(MIM)キャパシタの形成に使用される。

【図3E】図3Eは、高アスペクト比トレンチ特性を有する基板に対するALD系処理およびマスクング方法の一例を示す断面図である。なお、このような基板は、例えば、金属

50

- 絶縁体 - 金属 (MIM) キャパシタの形成に使用される。

【図 3 F】図 3 F は、高アスペクト比トレンチ特性を有する基板に対する ALD 系処理およびマスクング方法の一例を示す断面図である。なお、このような基板は、例えば、金属 - 絶縁体 - 金属 (MIM) キャパシタの形成に使用される。

【図 3 G】図 3 G は、高アスペクト比トレンチ特性を有する基板に対する ALD 系処理およびマスクング方法の一例を示す断面図である。なお、このような基板は、例えば、金属 - 絶縁体 - 金属 (MIM) キャパシタの形成に使用される。

【図 3 H】図 3 H は、高アスペクト比トレンチ特性を有する基板に対する ALD 系処理およびマスクング方法の一例を示す断面図である。なお、このような基板は、例えば、金属 - 絶縁体 - 金属 (MIM) キャパシタの形成に使用される。

【発明を実施するための形態】

【0031】

以降、本開示の様々な実施形態、および、添付の図面に示される複数の例について詳述する。可能な限り、同一または類似の部分の図では、同一または類似の参照番号および参照符号が用いられる。図面には決まった縮尺がなく、当業者であれば、図面は本発明の主要な部分を説明するために簡略化されていることに気づくであろう。

【0032】

下記の特許請求の範囲の記載は、発明の詳細な説明に組み込まれると共にその一部を構成する。

【0033】

本明細書において用語「はんだ」は、ALD 堆積温度よりも高い温度で融解するが、その融点は絶縁層および金属層の融点よりも低い材料のことをいう。ここで、絶縁層および金属層は、本明細書に開示されるマスクング技術および処理技術が適用される電極系デバイスを構成する。そのため、用語「はんだ」は、比較的低融点の合金を含むが、これに限定はされない。低融点の合金には、例えば、スズ、鉛、真ちゅう、銀、銅、亜鉛、インジウム、ビスマス、ガリウム、水銀、またはこれらの組み合わせが含まれる。本明細書で用いられる用語としての「はんだ」の定義の一例は、ALD 堆積温度よりも高い融点を有し、ALD 体積温度で低蒸気圧を示す材料である。ここで、前記融点は、その材料が配置された電極系デバイスに熱を加えることで、その下部の層に損傷を与えず、その上部の層の対応する部分も選択的に除去しながら、そのデバイスからその材料を除去できる程度に十分低い。

【0034】

電子デバイスおよびマスクング処理の例

図 1 A は、一例の電子デバイス 10 を示す上面図である。電子デバイス 10 は、表面 12 を有する基板 11 を有している。表面 12 上には、電気接続部材 20 および活性デバイス領域 30 が形成されている。活性デバイス領域 30 は、周縁部 32 を有している。電気接続部材 20 は、接続パッドの形態で示されるが、接続ピンの形態であってもよい。一般的に、電気接続部材 20 は、他のデバイスの機能部と比較してサイズが大きく、例えば、200 ミクロン以上の大きさを有する。一例では、電気接続部材 20 は、表面 12 上に、活性デバイス領域 30 の周縁部 32 に隣接して配置される。一例では、ALD は、コーティングまたは「バリア層」50 を形成するために使用される。コーティングまたは「バリア層」50 は、表面 12 を覆い、活性デバイス領域 30 を封入または密封するとともに、電気接続部材 20 も覆う。

【0035】

図 1 B は、図 1 A の構造の断面図であり、各電気接続部材 20 上に形成されるはんだ 22 を示す。図 1 B はまた、実質的に共形 (等角) のバリア層 50 も示す。バリア層 50 は、電子デバイス 10 の表面の特性部分を覆う。はんだ 22 は、電気接続部材 20 のマスク材として機能し、ALD 処理温度よりも高いが、金属 (例えば、銅) よりも低い融点を有する。ALD 処理温度は、バリア層 50 を形成するために使用される。金属は、電気接続部材 20 を形成する。はんだ 22 の選択的な堆積は、公知のはんだバンプ技術を用いて実

10

20

30

40

50

現することができる。

【0036】

図1Cは、図1Bと同様の図であり、熱Hが加えられてはんだ22が融解するときの電子デバイス20の構造を示す。一例では、熱Hは、レーザなどの熱源を用いて加えられる。他の例では、熱Hは、従来公知の熱源によって加えられる。一例では、熱Hは、はんだ22の位置に局所的に加えられる。はんだ22を溶解すると、電気接続部材20の上部のバリア層50の対応する部分が局所的に除去される。これにより、図1Dに示すように、電気接続部材20が露出する一方で、バリア層50のその他の部分は、通常損傷を受けることなく残存する。このように、はんだ22は、低融点の局所的なマスク材として機能する。このマスク材は、熱Hを加えることによって容易に除去される。この熱Hの量は、電気接続部材20を融解させないか、あるいは、電気接続部材20が温度感受性を有する場合には、電子デバイス10を損傷しない。

10

【0037】

一例では、各はんだ22の少なくとも一部は、対応する電気接続部材20の一部となる。これにより、電気接続部材20の性能が低下することはない。なぜなら、電気接続部材20と同様にはんだ材料も導電性を有するためである。他の例では、はんだ22は、構造体から実質的に完全に除去され、電気接続部材20上にはんだが残存することなく電気接続部材20が露出する。融解したはんだ22は、例えば、はんだ除去ガン、はんだ吸収器、はんだウィックまたははんだブレードなどの当該技術分野でよく知られた手段を用いて除去することができる。

20

【0038】

また、図1Dは、電気配線60を示す。電気配線60は、電気接続部材20が上述の方法で露出したときに、電気接続部材20の一つと電気接続を行うために用いられる。

【0039】

電解キャパシタの例

誘電性ALDコーティングは、電解キャパシタにおいて使用され、キャパシタの金属 - 誘電体（絶縁体）電極部を形成する。電解液は、第2電極を形成する。誘電性ALDコーティングは、3D構造を覆うために用いられるが、堆積処理では、金属層も覆い、金属電極へのアクセスを困難にする。そのため、一例では、はんだ22がマスクとして使用され、キャパシタの平坦な（3Dではない）領域における電気接続を形成する。

30

【0040】

このように、本明細書に開示された方法の他の例は、電解キャパシタの形態の電子デバイス10に対して適用される。図2Aは、電解キャパシタを形成するために使用されるマイクロキャピラリープレート110の一例を示す上方斜視図である。一例のマイクロキャピラリープレート110は、円盤形状であり、本体部111、上面112、底面114、内側端部116、中央軸AC、および複数の円筒形状の微小穴120（以下では、「キャピラリー」と呼ぶ）を有する。一例では、本体部111は、ガラスなどの絶縁材料で形成される。キャピラリー120は、上面112および底面114で開口しており、中央軸ACに対して平行に延びている。各キャピラリー120は、内側表面122および径dを有している。径dは、一例では、約2ミクロンから数百ミクロンであり得る。図2Aの拡大挿入図は、4個のキャピラリー120を示すマイクロキャピラリープレート110の部分を示す上面図である。

40

【0041】

電解キャパシタの製造には、マイクロキャピラリープレート110に対して多くの処理を実行する工程が含まれる。図2Bは、図2Aの拡大挿入図と同様の図であって、キャピラリー配列の内側端部116に隣接する部分における4個のキャピラリー120を示す。図2Bは、第1処理工程を示す。第1処理工程では、ALD処理を用いて、上面112およびキャピラリー120の内側表面122に、第1金属層130が積層される。一例では、第1金属層130は、白金である。ALD処理の共形性によって、第1金属層130が上面112だけではなくキャピラリー120の内側表面122も覆うことを可能にするこ

50

とに留意すべきである。第1金属層130は、形成された電解キャパシタにおいて第1電極として機能する。

【0042】

図2Cは、第2処理工程を示す。第2処理工程では、キャピラリー120の配列の内側端部116の近くにおいて、はんだの小パッチ140が、上面112上の第1金属層130の上に堆積される。はんだ140は、処理の次の工程でマスクとして機能する。

【0043】

図2Dは、第3処理工程を示す。第3処理工程では、ALD処理を用いて、第1金属層130上に絶縁層150が形成される。絶縁層150の材料の一例は、 $Al_2O_3$ などの誘電材料（絶縁材料）である。

【0044】

図2Eは、図2Dに示すマイクロキャピラリープレート110の断面図であり、第4処理工程をさらに示す。第4処理工程では、第2金属層160がマイクロキャピラリープレート110の底面114に形成され、第2電極として機能する。一例では、この工程は、マイクロキャピラリープレート110を電解液中に部分的に挿入することによって実施される。

【0045】

図2Fは、図2Dと同様の図であり、第5処理工程の結果を示す。第5処理工程により、はんだ140は、（例えば、図2Eに示すような熱Hを加えることによって）融解して除去される。これにより、第1金属層130の下方の部分が露出し、第1金属層部分130の露出部130Eが形成される。ここで、第1金属層130は、上述した第1電極として機能する。露出部130Eは、最終的に得られる電解キャパシタの電気接点として機能する。図2Gは、図2Eと同様の図であり、露出部130Eを示す。露出部130Eは、最終的に得られる電解キャパシタ装置200の第1金属層130において電気接続を規定する。

【0046】

上述の処理の他の例では、第2金属層160は、より局所的な電解析出処理ではなく、ALD処理を用いて形成される。この場合、処理は、ALDを用いて第2金属層160を積層する前に、誘電体層（絶縁層）上に形成された追加のはんだを含むように変更される。追加のはんだは、第1金属層130と第2金属層160との短絡経路を防止しつつ、第2電極を規定するための機能を担う。

【0047】

電極系電気デバイスおよびマスク処理の他の例

本明細書に開示された方法は、電極系電気デバイスに一般的に適用可能である。ここで、デバイスにおける金属層の一部は、デバイスを形成するときにマスクされる必要がある。これにより、後に露出され、外部との電氣的な接続を行うための金属コンタクトを提供することができる。例えば、トレンチまたはスルーホール（例えば、上述のキャピラリー）などの高アスペクト比特性を有する高表面積キャパシタは、電気接続を必要とする電極を形成するために処理される必要がある。

【0048】

電極系デバイスに対して電気接続を形成する一般的な方法は、図3Aから図3Hを参照して、ここに記載されている。図3Aは、基板300の一部の断面図である。基板300は、上面302と、トレンチの形態の高アスペクト比（HAR）構造310とを有する。高アスペクト比構造310は、側壁312と底壁314とによって規定される。基板300は、エアロゲル、陽極酸化アルミニウム、ガラスなどで形成することができる。ここで、高アスペクト比とは、HAR構造310の深さがその幅よりも大きいこと、例えば、深さが幅の少なくとも2倍、あるいは少なくとも4倍となっていることを意味する。多くのHAR構造310が、10よりも大きいアスペクト比、または100よりも大きいアスペクト比、あるいは、1000よりも大きいアスペクト比を有し得る。

【0049】

10

20

30

40

50

図3Bに示すように、第1工程では、ALD処理を用いてHAR構造(トレンチ)310の側壁312および底壁314に、第1金属層330が共形的に堆積される。一例では、第1金属層330は、白金で形成される。

【0050】

図3Cに示すように、第2工程では、第1金属層330の一部に、少なくとも一つの第1はんだ部(例えば、パッチ)340が積層される。第1金属層330は、後に外部接続用の電気接点として機能することになる。

【0051】

図3Dに示すように、第3工程では、ALD処理を用いて第1はんだ部340を含む第1金属層330上に、誘電体層350が共形的に堆積される。一例では、誘電体層350の材料は、 $Al_2O_3$ である。

10

【0052】

図3Eに示すように、第4工程では、熱H(図3D参照)を加えることによって、第1はんだ部340が除去される。熱Hは、誘電体層350の上側部分を除去し、第1金属層330の露出金属部330Eを残す。

【0053】

図3Fに示すように、第5工程では、第2はんだ部340'が、誘電体層350の微小部分350Eとともに、露出した金属部330E上に堆積される。誘電体層350の微小部分350Eは、露出した金属部330Eを取り囲んでいる。

【0054】

20

図3Gに示すように、第6工程では、誘電体層350および第2はんだ部340'上に、第2金属層360が堆積される。このようにして、誘電体層350は、2つの金属層330および360を電氣的に隔離するという役割を担う。

【0055】

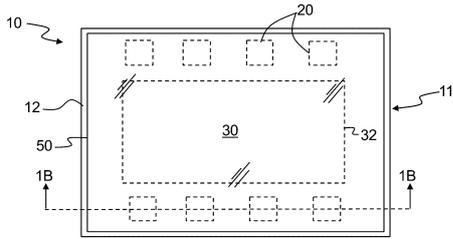
図3Hに示すように、第7工程では、熱Hを加えて、第2はんだ部340'(図3G参照)を除去する。熱Hは、第2金属層360の特定の部分も除去し、その下にある誘電体層350の部分350Eを露出させるとともに、第1金属層330の露出した金属部330Eも露出させる。第1金属層330の露出した金属部330Eは、電気接点として機能し得る。結果として得られる構造は、MIMキャパシタ(MIMコンデンサ)に使用されるタイプのものである。例えば、このタイプでは、第1金属層330および第2金属層360は、第1電極および第2電極として機能する。

30

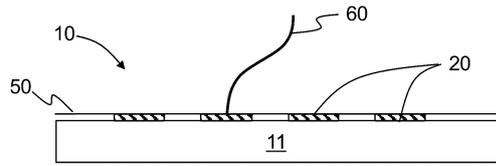
【0056】

当業者には明白であるが、添付される特許請求の範囲で規定された本開示の精神または範囲から逸脱することなく、本明細書中に記載された本開示の好ましい実施形態に対して様々な変更を加えることができる。したがって、本開示は、添付の特許請求の範囲及びその均等範囲内で行われる本開示の修正及び変更を包含する。

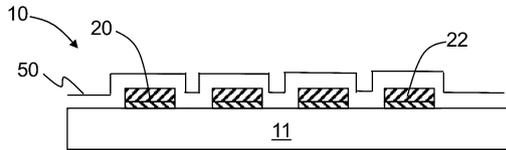
【図 1 A】



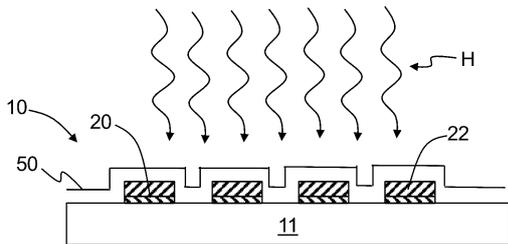
【図 1 D】



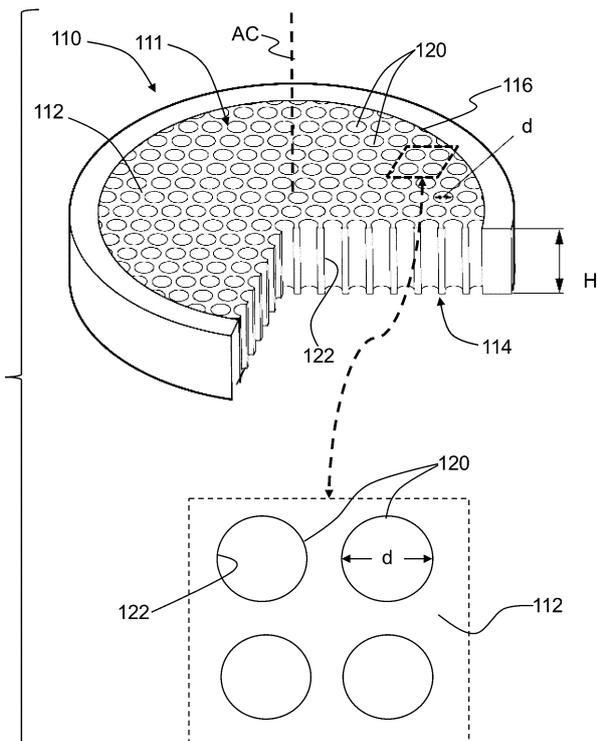
【図 1 B】



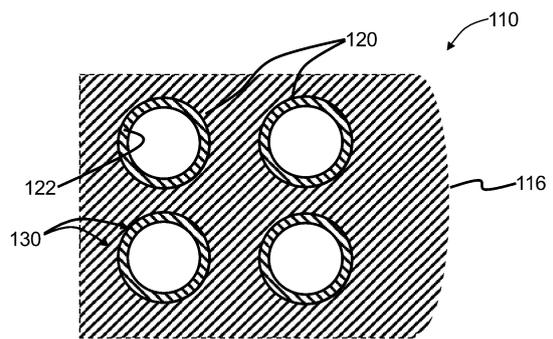
【図 1 C】



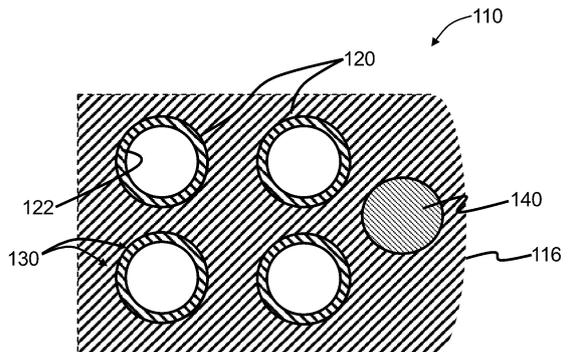
【図 2 A】



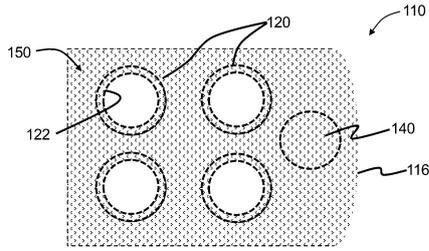
【図 2 B】



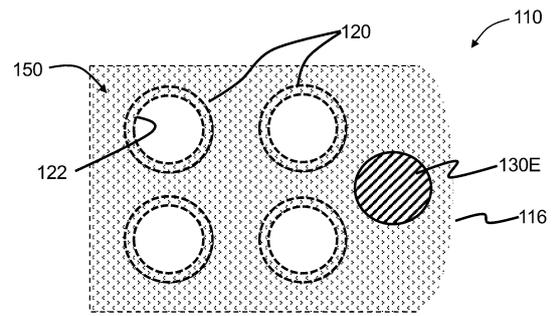
【図 2 C】



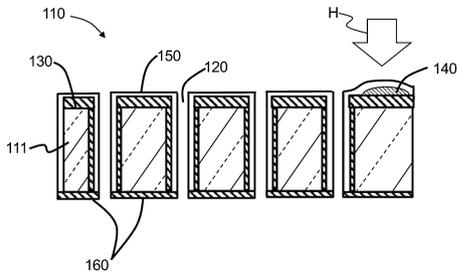
【図 2 D】



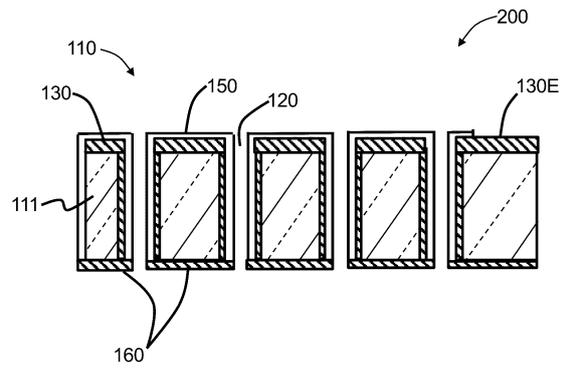
【図 2 F】



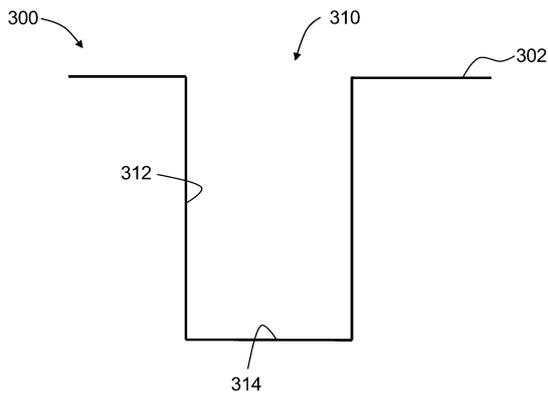
【図 2 E】



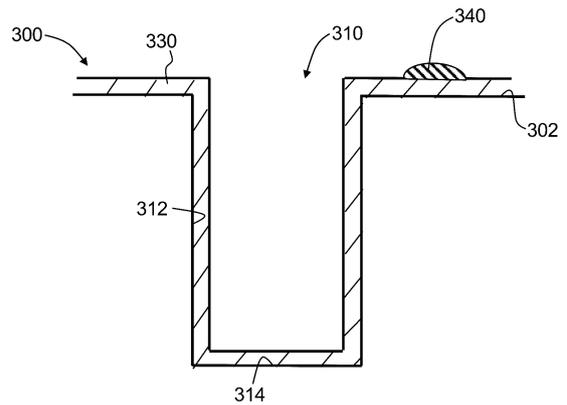
【図 2 G】



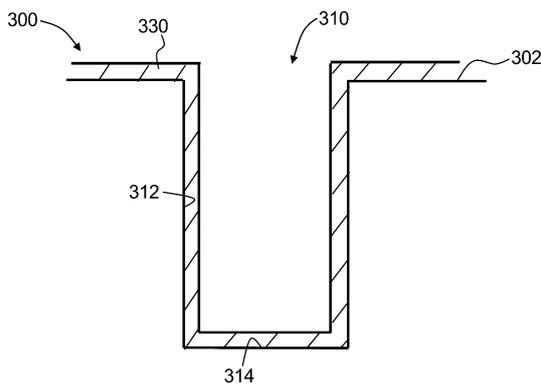
【図 3 A】



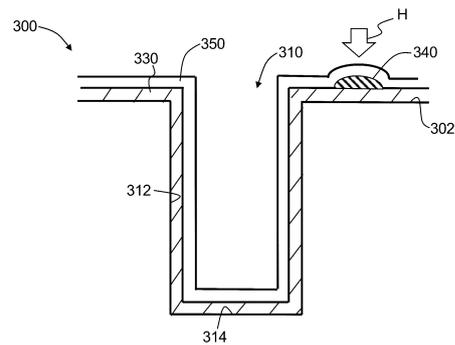
【図 3 C】



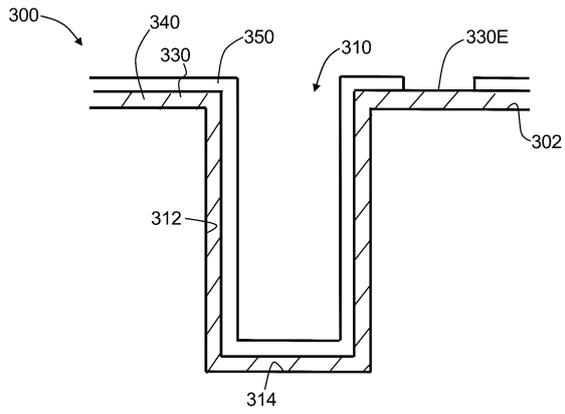
【図 3 B】



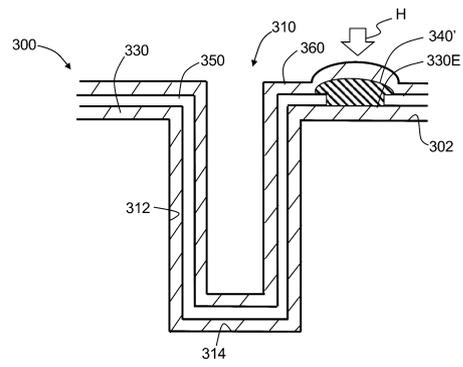
【図 3 D】



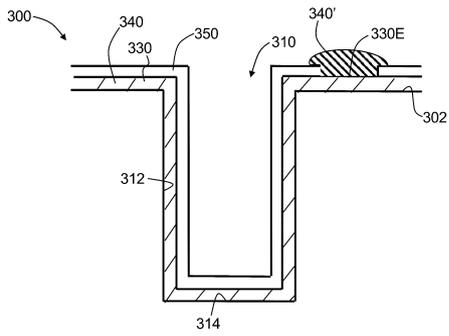
【 3 E 】



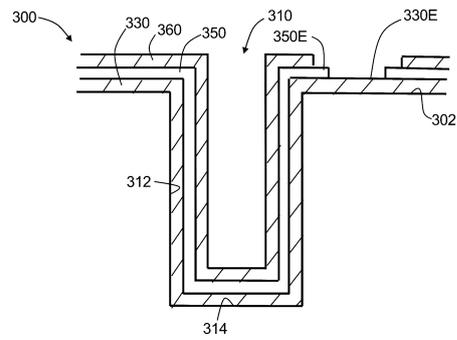
【 3 G 】



【 3 F 】



【 3 H 】



---

フロントページの続き

(51)Int.Cl. F I

H 0 1 G 9/00 (2006.01)

(72)発明者 リッティク、バティア

アメリカ合衆国 マサチューセッツ州 0 2 4 6 0 ニュートン エディンボロ ストリート 1  
4 7

審査官 正山 旭

(56)参考文献 特開2015-092518(JP,A)

特開2008-147626(JP,A)

特表2007-503719(JP,A)

米国特許出願公開第2005/0048755(US,A1)

特開2009-135311(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 1 / 3 2 0 5

H 0 1 G 9 / 0 0

H 0 1 L 2 1 / 3 1 6

H 0 1 L 2 1 / 7 6 8

H 0 1 L 2 3 / 5 2 2

H 0 1 L 2 3 / 5 3 2